



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년12월11일  
(11) 등록번호 10-2611841  
(24) 등록일자 2023년12월05일

(51) 국제특허분류(Int. Cl.)  
G11C 16/10 (2006.01) G11C 16/04 (2006.01)  
G11C 16/24 (2006.01) G11C 16/26 (2006.01)  
(52) CPC특허분류  
G11C 16/10 (2013.01)  
G11C 16/0483 (2013.01)  
(21) 출원번호 10-2016-0071872  
(22) 출원일자 2016년06월09일  
심사청구일자 2021년05월31일  
(65) 공개번호 10-2017-0139383  
(43) 공개일자 2017년12월19일  
(56) 선행기술조사문헌  
US07196928 B2\*  
(뒷면에 계속)

(73) 특허권자  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
양인곤  
서울특별시 강동구 천중로42길 70, 812호 (길동,  
길동청광플러스원큐브1)  
(74) 대리인  
오종한, 문용호

전체 청구항 수 : 총 3 항

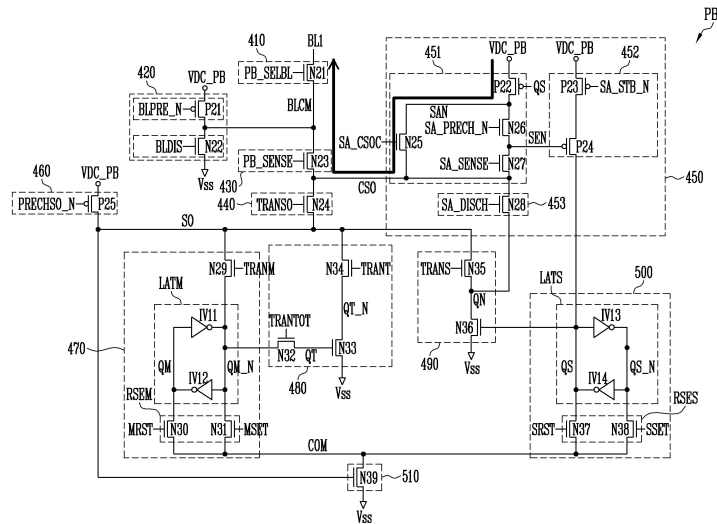
심사관 : 한선경

(54) 발명의 명칭 페이지 버퍼 및 이를 포함하는 메모리 장치

(57) 요약

본 기술은 페이지 버퍼 및 이를 포함하는 메모리 장치에 관한 것으로, 페이지 버퍼는 반도체 메모리 장치의 프로그램 동작 중 비트라인의 셋업 동작 시, 센스 앰프 스트로브 신호에 응답하여 제1 노드가 제1 레벨로 설정되는 래치 회로와, 상기 제1 노드의 상기 제1 레벨 값에 따라 내부 전원을 전류 센싱 노드에 공급하는 전류 제어 회로, 및 페이지 버퍼 센싱 신호에 응답하여 상기 비트라인과 상기 전류 센싱 노드를 연결하되, 상기 페이지 버퍼 센싱 신호의 전위 레벨에 따라 상기 비트라인의 전위 레벨을 조절한다.

대표도



(52) CPC특허분류

*G11C 16/24* (2013.01)

*G11C 16/26* (2013.01)

(56) 선행기술조사문헌

US09570180 B

KR1020150008377 A

KR1020120015179 A

US20040047214 A1

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

반도체 메모리 장치의 프로그램 동작 중 제1 비트라인의 셋업 동작이 종료된 후 제2 비트라인 셋업 동작 시, 센스 앰프 스트로브 신호에 응답하여 제1 노드가 제1 레벨로 설정되는 래치 회로;

상기 제1 노드의 상기 제1 레벨 값에 따라 내부 전원을 전류 센싱 노드에 공급하는 전류 제어 회로; 및

페이지 버퍼 센싱 신호에 응답하여 상기 비트라인과 상기 전류 센싱 노드를 연결하되, 상기 제1 비트라인 셋업 동작 시 제1 전위 레벨의 상기 페이지 버퍼 센싱 신호에 응답하여 상기 비트라인의 전위 레벨을 제1 프로그램 허용 전압으로 조절하고, 상기 제2 비트라인 셋업 동작 시 상기 제1 전위 레벨보다 낮은 제2 전위 레벨의 상기 페이지 버퍼 센싱 신호에 응답하여 상기 비트라인의 전위 레벨을 상기 제1 프로그램 허용 전압보다 높은 제2 프로그램 허용 전압으로 조절하는 페이지 버퍼 센싱 회로를 포함하는 페이지 버퍼.

#### 청구항 2

◆청구항 2은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 제1 비트라인 셋업 동작과 상기 제2 비트라인 셋업 동작은 순차적으로 수행되는 페이지 버퍼.

#### 청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 프로그램 동작 중 외부에서 입력되는 프로그램 데이터를 임시 저장하고, 임시 저장된 상기 프로그램 데이터에 따라 상기 제1 비트라인 셋업 동작 시 상기 비트라인에 제1 프로그램 허용 전압을 인가하거나 프로그램 금지 전압을 인가하는 메인 래치를 더 포함하는 페이지 버퍼.

#### 청구항 4

삭제

#### 청구항 5

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 제2 전위 레벨의 상기 페이지 버퍼 센싱 신호는, 상기 제2 프로그램 허용 전압보다 설정 문턱 전압만큼 높은 전위 레벨을 갖는 페이지 버퍼.

#### 청구항 6

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 전류 제어 회로는 상기 내부 전원과 상기 전류 센싱 노드 사이에 연결되며, 전류 센싱 신호와 상기 제1 노

드의 상기 제1 레벨 값에 응답하여 상기 내부 전원을 상기 전류 센싱 노드에 인가하는 클램프 회로; 및  
 상기 내부 전원과 상기 제1 노드 사이에 연결되며, 상기 센스 앰프 스트로브 신호에 응답하여 상기 내부 전원을  
 상기 제1 노드에 인가하는 전류 판단 회로를 포함하는 페이지 버퍼.

**청구항 7**

반도체 메모리 장치의 프로그램 동작 시 외부에서 입력되는 프로그램 데이터를 임시 저장하고, 상기 프로그램  
 데이터에 따라 센싱 노드의 전위 레벨을 조절하는 메인 래치;

상기 프로그램 동작 중 제1 비트라인 셋업 동작에서 페이지 버퍼 센싱 신호 및 상기 센싱 노드의 전위 레벨에  
 따라 비트라인의 전위 레벨을 프로그램 금지 레벨 또는 제1 프로그램 허용 전압 레벨로 조절하는 페이지 버퍼  
 센싱 회로;

상기 제1 비트라인 셋업 동작이 종료된 후 제2 비트라인 셋업 동작 시 센스 앰프 스트로브 신호에 응답하여 제1  
 노드가 제1 레벨로 설정되는 래치 회로; 및

상기 래치 회로의 상기 제1 노드의 상기 제1 레벨 값에 따라 내부 전원을 전류 센싱 노드에 공급하는 전류 제어  
 회로를 포함하며,

상기 페이지 버퍼 센싱 회로는 상기 제2 비트라인 셋업 동작 시 상기 페이지 버퍼 센싱 신호에 응답하여 상기  
 비트라인의 전위 레벨을 제2 프로그램 허용 전압 레벨로 조절하는 페이지 버퍼.

**청구항 8**

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆

제 7 항에 있어서,

상기 제2 프로그램 허용 전압 레벨은 상기 제1 프로그램 허용 전압 레벨보다 높은 페이지 버퍼.

**청구항 9**

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제 7 항에 있어서,

상기 제1 비트라인 셋업 동작 시 인가되는 상기 페이지 버퍼 센싱 신호의 전위 레벨은 상기 제2 비트라인 셋업  
 동작 시 인가되는 상기 페이지 버퍼 센싱 신호의 전위 레벨보다 높은 페이지 버퍼.

**청구항 10**

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제 9 항에 있어서,

상기 제2 비트라인 셋업 동작 시 인가되는 상기 페이지 버퍼 센싱 신호의 전위 레벨은 상기 제2 프로그램 허용  
 전압보다 설정 문턱 전압만큼 높은 전위 레벨인 페이지 버퍼.

**청구항 11**

◆청구항 11은(는) 설정등록료 납부시 포기되었습니다.◆

제 7 항에 있어서,

상기 전류 제어 회로는 상기 내부 전원과 상기 전류 센싱 노드 사이에 연결되며, 전류 센싱 신호와 상기 제1 노

드의 상기 제1 레벨 값에 응답하여 상기 내부 전원을 상기 전류 센싱 노드에 인가하는 클램프 회로; 및  
 상기 내부 전원과 상기 제1 노드 사이에 연결되며, 상기 센스 앰프 스트로브 신호에 응답하여 상기 내부 전원을  
 상기 제1 노드에 인가하는 전류 판단 회로를 포함하는 페이지 버퍼.

**청구항 12**

다수의 메모리 블록을 포함하는 메모리 셀 어레이;  
 상기 메모리 셀 어레이의 워드라인들에 공급되는 프로그램 전압 및 패스 전압을 생성하기 위한 전압 생성 회로;  
 상기 메모리 셀 어레이의 비트라인들에 각각 연결된 복수의 페이지 버퍼들을 포함하고, 프로그램 데이터에 따라  
 상기 비트라인들에 프로그램 허용 전압 또는 프로그램 금지 전압을 인가하는 제1 비트라인 셋업 동작 및 제2 비  
 트라인 셋업 동작을 수행하는 페이지 버퍼 회로; 및  
 커맨드에 응답하여 상기 메모리 셀 어레이에 대한 프로그램 동작을 수행하도록 상기 전압 생성 회로 및 상기 페  
 이지 버퍼 회로를 제어하기 위한 제어 로직을 포함하며,  
 상기 복수의 페이지 버퍼들 각각은,  
 상기 제1 비트라인 셋업 동작이 종료된 후 상기 제2 비트라인 셋업 동작 시, 센스 앰프 스트로브 신호에 응답하  
 여 제1 노드가 제1 레벨로 설정되는 래치 회로;  
 상기 제1 노드의 상기 제1 레벨 값에 따라 내부 전원을 전류 센싱 노드에 공급하는 전류 제어 회로; 및  
 페이지 버퍼 센싱 신호에 응답하여 상기 비트라인들 중 어느 하나의 비트라인과 상기 전류 센싱 노드를 연결하  
 되, 상기 제1 비트라인 셋업 동작 시 제1 전위 레벨의 페이지 버퍼 센싱 신호에 응답하여 상기 어느 하나의 비  
 트라인의 전위 레벨을 제1 프로그램 허용 전압으로 조절하고, 상기 제2 비트라인 셋업 동작 시 상기 제1 전위  
 레벨보다 낮은 제2 전위 레벨의 상기 페이지 버퍼 센싱 신호에 응답하여 상기 어느 하나의 비트라인의 전위 레  
 벨을 상기 제1 프로그램 허용 전압보다 높은 제2 프로그램 허용 전압으로 조절하는 페이지 버퍼 센싱 회로;를  
 포함하는 반도체 메모리 장치.

**청구항 13**

삭제

**청구항 14**

◆청구항 14은(는) 설정등록료 납부시 포기되었습니다.◆

제 12 항에 있어서,  
 상기 제1 비트라인 셋업 동작과 상기 제2 비트라인 셋업 동작은 순차적으로 수행되는 반도체 메모리 장치.

**청구항 15**

◆청구항 15은(는) 설정등록료 납부시 포기되었습니다.◆

제 12 항에 있어서,  
 상기 복수의 페이지 버퍼들 각각은 상기 프로그램 동작 중 외부에서 입력되는 상기 프로그램 데이터를 임시 저  
 장하고, 임시 저장된 상기 프로그램 데이터에 따라 상기 제1 비트라인 셋업 동작 시 상기 어느 하나의 비트라인  
 에 상기 제1 프로그램 허용 전압을 인가하거나 상기 프로그램 금지 전압을 인가하는 메인 래치를 더 포함하는  
 반도체 메모리 장치.

**청구항 16**

◆청구항 16은(는) 설정등록료 납부시 포기되었습니다.◆

제 12 항에 있어서,

상기 제2 비트라인 셋업 동작 시 상기 페이지 버퍼 센싱 회로는 상기 제2 프로그램 허용 전압을 상기 어느 하나의 비트라인에 인가하는 반도체 메모리 장치.

### 청구항 17

◆청구항 17은(는) 설정등록료 납부시 포기되었습니다.◆

제 12 항에 있어서,

상기 제2 전위 레벨의 상기 페이지 버퍼 센싱 신호는, 상기 제2 프로그램 허용 전압보다 설정 문턱 전압만큼 높은 전위 레벨을 갖는 반도체 메모리 장치.

### 청구항 18

◆청구항 18은(는) 설정등록료 납부시 포기되었습니다.◆

제 12 항에 있어서,

상기 전류 제어 회로는 상기 내부 전원과 상기 전류 센싱 노드 사이에 연결되며, 전류 센싱 신호와 상기 제1 노드의 상기 제1 레벨 값에 응답하여 상기 내부 전원을 상기 전류 센싱 노드에 인가하는 클램프 회로; 및

상기 내부 전원과 상기 제1 노드 사이에 연결되며, 상기 센스 앰프 스트로브 신호에 응답하여 상기 내부 전원을 상기 제1 노드에 인가하는 전류 판단 회로를 포함하는 반도체 메모리 장치.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 전자 장치에 관한 것으로, 특히 페이지 버퍼 및 이를 포함하는 메모리 장치에 관한 것이다.

#### 배경 기술

[0003] 반도체 장치 중 특히 반도체 메모리 장치는 크게 휘발성 메모리 장치(Volatile memory device)와 불휘발성 메모리 장치(Nonvolatile memory device)로 구분된다.

[0004] 불휘발성 메모리 장치는 쓰기 및 읽기 속도가 상대적으로 느리지만 전원 공급이 차단되더라도 저장 데이터를 유지한다. 따라서 전원 공급 여부와 관계없이 유지되어야 할 데이터를 저장하기 위해 불휘발성 메모리 장치가 사용된다. 불휘발성 메모리 장치에는 ROM(Read Only Memory), MROM(Mask ROM), PROM(Programmable ROM), EPROM(Erasable Programmable ROM), EEPROM(Electrically Erasable Programmable ROM), 플래시 메모리(Flash memory), PRAM(Phase change Random Access Memory), MRAM(Magnetic RAM), RRAM(Resistive RAM), FRAM(Ferroelectric RAM) 등이 있다. 플래시 메모리는 노어 타입과 낸드 타입으로 구분된다.

[0005] 플래시 메모리는 데이터의 프로그램과 소거가 자유로운 RAM의 장점과 전원 공급이 차단되어도 저장된 데이터를 보존할 수 있는 ROM의 장점을 가진다. 플래시 메모리는 디지털 카메라, PDA(Personal Digital Assistant) 및 MP3 플레이어와 같은 휴대용 전자기기의 저장 매체로 널리 사용되고 있다.

[0006] 플래시 메모리 장치는 스트링이 반도체 기판에 수평하게 형성된 2차원 반도체 장치와, 스트링이 반도체 기판에 수직으로 형성된 3차원 반도체 장치로 구분될 수 있다.

[0007] 3차원 반도체 장치는 2차원 반도체 장치의 집적도 한계를 해소하기 위하여 고안된 메모리 장치로써, 반도체 기판 상에 수직으로 형성된 다수의 스트링들을 포함한다. 스트링들은 비트라인과 소스 라인 사이에 직렬로 연결된 드레인 선택 트랜지스터, 메모리 셀들 및 소스 선택 트랜지스터를 포함한다.

#### 발명의 내용

**해결하려는 과제**

[0008] 본 발명의 실시 예는 반도체 메모리 장치의 프로그램 동작 시 비트라인의 전위 레벨을 용이하게 조절할 수 있는 페이지 버퍼 및 이를 포함하는 반도체 메모리 장치를 제공한다.

**과제의 해결 수단**

[0010] 본 발명의 실시 예에 따른 페이지 버퍼는 반도체 메모리 장치의 프로그램 동작 중 비트라인의 셋업 동작 시, 센스 앰프 스트로브 신호에 응답하여 제1 노드가 제1 레벨로 설정되는 래치 회로와, 상기 제1 노드의 상기 제1 레벨 값에 따라 내부 전원을 전류 센싱 노드에 공급하는 전류 제어 회로, 및 페이지 버퍼 센싱 신호에 응답하여 상기 비트라인과 상기 전류 센싱 노드를 연결하되, 상기 페이지 버퍼 센싱 신호의 전위 레벨에 따라 상기 비트라인의 전위 레벨을 조절하는 페이지 버퍼 센싱 회로를 포함한다.

[0012] 본 발명의 실시 예에 따른 페이지 버퍼는 반도체 메모리 장치의 프로그램 동작 시 외부에서 입력되는 프로그램 데이터를 임시 저장하고, 상기 프로그램 데이터에 따라 센싱 노드의 전위 레벨을 조절하는 메인 래치와, 상기 프로그램 동작 중 제1 비트라인 셋업 동작에서 페이지 버퍼 센싱 신호 및 상기 센싱 노드의 전위 레벨에 따라 비트라인의 전위 레벨을 프로그램 금지 레벨 또는 제1 프로그램 허용 전압 레벨로 조절하는 페이지 버퍼 센싱 회로와, 상기 제1 비트라인 셋업 동작이 종료된 후 제2 비트라인 셋업 동작 시 센스 앰프 스트로브 신호에 응답하여 제1 노드가 제1 레벨로 설정되는 래치 회로, 및 상기 래치 회로의 상기 제1 노드의 상기 제1 레벨 값에 따라 내부 전원을 전류 센싱 노드에 공급하는 전류 제어 회로를 포함하며, 상기 페이지 버퍼 센싱 회로는 상기 제2 비트라인 셋업 동작 시 상기 페이지 버퍼 센싱 신호에 응답하여 상기 비트라인의 전위 레벨을 제2 프로그램 허용 전압 레벨로 조절한다.

[0014] 본 발명의 실시 예에 따른 반도체 메모리 장치는 다수의 메모리 블록을 포함하는 메모리 셀 어레이와, 상기 메모리 셀 어레이의 워드라인들에 공급되는 프로그램 전압 및 패스 전압을 생성하기 위한 전압 생성 회로와, 상기 메모리 셀 어레이의 비트라인들에 연결되며, 프로그램 데이터에 따라 상기 비트라인들에 프로그램 허용 전압 또는 프로그램 금지 전압을 인가하는 비트라인 셋업 동작을 수행하는 페이지 버퍼 회로, 및 커맨드에 응답하여 상기 메모리 셀 어레이에 대한 프로그램 동작을 수행하도록 상기 전압 생성 회로 및 상기 페이지 버퍼 회로를 제어하기 위한 제어 로직을 포함하며, 상기 페이지 버퍼 회로는 상기 비트라인 셋업 동작 시 상기 비트라인들에 상기 프로그램 허용 전압을 인가할 경우 내부 전원을 이용하여 제1 프로그램 허용 전압 및 제2 프로그램 허용 전압을 순차적으로 인가한다.

**발명의 효과**

[0016] 본 기술에 따르면, 반도체 메모리 장치의 프로그램 동작 시 비트라인의 전위 레벨을 용이하게 조절하여 디스터브 현상을 개선할 수 있으며, 페이지 버퍼의 전력저항을 개선할 수 있다.

**도면의 간단한 설명**

- [0018] 도 1은 본 발명의 실시 예에 따른 반도체 메모리 장치를 설명하기 위한 블록도이다.
- 도 2는 도 1의 메모리 블록들 중 어느 하나를 설명하기 위한 회로도이다.
- 도 3은 도 1의 페이지 버퍼를 설명하기 위한 회로도이다.
- 도 4는 도 1의 페이지 버퍼의 다른 실시 예를 설명하기 위한 회로도이다.
- 도 5는 도 4에 도시된 페이지 버퍼의 동작을 설명하기 위한 신호들의 파형도이다.
- 도 6은 도 1의 반도체 메모리 장치를 포함하는 메모리 시스템을 보여주는 블록도이다.
- 도 7는 도 6의 메모리 시스템의 응용 예를 보여주는 블록도이다.
- 도 8은 도 7을 참조하여 설명된 메모리 시스템을 포함하는 컴퓨팅 시스템을 보여주는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

[0019] 본 발명의 이점 및 특징, 그리고 그것을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 통해 설명될 것이다. 그러나 본 발명은 여기에서 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체

화될 수도 있다. 단지, 본 실시 예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 제공되는 것이다.

- [0020] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "간접적으로 연결"되어 있는 경우도 포함한다. 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0022] 도 1은 본 발명의 실시 예에 따른 반도체 메모리 장치를 설명하기 위한 블록도이다.
- [0024] 도 1을 참조하면, 반도체 메모리 장치(100)는 메모리 셀 어레이(110), 어드레스 디코더(120), 페이지 버퍼 회로(130), 제어 로직(140) 및 전압 생성 회로(150)를 포함한다.
- [0026] 메모리 셀 어레이(110)는 복수의 메모리 블록들(110MB)을 포함한다. 복수의 메모리 블록들(110MB)은 복수의 워드라인들(WL)을 통해 어드레스 디코더(120)와 연결된다. 복수의 메모리 블록들(110MB)은 복수의 비트 라인들(BL1 내지 BLk)을 통해 페이지 버퍼 회로(130)와 연결된다. 복수의 메모리 블록들(110MB) 각각은 복수의 메모리 셀들을 포함한다. 실시 예로서, 복수의 메모리 셀들은 불휘발성 메모리 셀들이다. 복수의 메모리 셀들은 동일한 워드라인에 연결된 복수의 메모리 셀들을 하나의 페이지로 정의할 수 있다. 메모리 셀 어레이(110)는 복수의 페이지로 구성될 수 있다.
- [0027] 또한, 메모리 셀 어레이(110)의 복수의 메모리 블록들(110MB) 각각은 복수의 셀 스트링을 포함한다. 복수의 셀 스트링 각각은 비트라인과 소스 라인 사이에 직렬 연결된 드레인 셀렉트 트랜지스터, 복수의 메모리 셀들 및 소스 셀렉트 트랜지스터를 포함한다.
- [0029] 어드레스 디코더(120)는 복수의 워드라인들(WL)을 통해 메모리 셀 어레이(110)와 연결된다. 어드레스 디코더(120)는 제어 로직(140)의 제어에 응답하여 동작하도록 구성된다. 어드레스 디코더(120)는 반도체 메모리 장치(100) 내부의 입출력 버퍼(미도시)를 통해 어드레스(ADDR)를 수신한다.
- [0030] 어드레스 디코더(120)는 전압 생성 회로(150)에서 생성된 프로그램 전압(Vp<sub>gm</sub>) 및 패스 전압(Vp<sub>ass</sub>)을 포함하는 다수의 동작 전압들을 어드레스(ADDR)에 따라 메모리 셀 어레이(110)에 포함된 복수의 메모리 셀들, 드레인 및 소스 셀렉트 트랜지스터에 인가한다.
- [0031] 어드레스 디코더(120)는 프로그램 동작 시 수신된 어드레스(ADDR) 중 열 어드레스(Y<sub>i</sub>)를 디코딩하도록 구성된다. 어드레스 디코더(120)는 디코딩된 열 어드레스(Y<sub>i</sub>)를 페이지 버퍼 회로(130)에 전송한다.
- [0032] 프로그램 동작 시에 수신되는 어드레스(ADDR)는 블록 어드레스, 행 어드레스 및 열 어드레스(Y<sub>i</sub>)를 포함한다. 어드레스 디코더(120)는 블록 어드레스 및 행 어드레스에 따라 복수의 메모리 블록들(110MB) 중 적어도 하나의 메모리 블록을 선택한 후 복수의 워드라인들(WL) 중 적어도 하나 이상의 워드라인을 선택한다.
- [0034] 페이지 버퍼 회로(130)는 복수의 페이지 버퍼들(PB1~PBk)을 포함한다. 복수의 페이지 버퍼들(PB1~PBk)은 복수의 비트 라인들(BL1 내지 BLk)을 통해 메모리 셀 어레이(110)와 연결된다. 복수의 페이지 버퍼들(PB1~PBk) 각각은 프로그램 동작 시 외부로부터 입력된 프로그램 데이터(DATA)를 임시 저장하고, 임시 저장된 프로그램 데이터(DATA)에 따라 대응하는 복수의 비트라인들(BL1 내지 BLk)의 전위를 제어한다. 페이지 버퍼 회로(130)는 제어 로직(140)의 제어에 응답하여 동작한다.
- [0035] 본 발명의 실시 예에 따른 복수의 페이지 버퍼들(PB1~PBk)은 프로그램 동작 시 복수의 비트라인들(BL1 내지 BLk)의 전위 레벨을 프로그램 데이터(DATA)에 따라 제1 프로그램 허용 전압 또는 제1 프로그램 허용 전압 보다 높은 제2 프로그램 허용 전압으로 제어할 수 있으며, 제2 프로그램 허용 전압을 복수의 비트라인들(BL1 내지 BLk)에 인가하기 위하여 프로그램 전용 전압 또는 내부 전원 전압을 이용할 수 있다.
- [0036] 또한, 복수의 페이지 버퍼들(PB1~PBk)은 프로그램 검증 동작 시 대응하는 복수의 비트라인들(BL1 내지 BLk)의 전류량을 센싱하여 메모리 셀들의 프로그램 검증 동작을 수행한다.
- [0037] 또한, 복수의 페이지 버퍼들(PB1~PBk)은 리드 동작 시 대응하는 복수의 비트라인들(BL1 내지 BLk)의 전류량을 센싱하여 메모리 셀들에 저장된 데이터들을 리드한다.
- [0039] 제어 로직(140)은 어드레스 디코더(120), 페이지 버퍼 회로(130), 및 전압 생성부(150)와 연결된다. 제어 로직(140)은 반도체 메모리 장치(100)의 입출력 버퍼(미도시)를 통해 커맨드(CMD)를 수신한다. 제어 로직(140)은 커맨드(CMD)에 응답하여 반도체 메모리 장치(100)의 제반 동작을 제어하도록 구성된다.



- [0040] 제어 로직(140)은 프로그램 동작 시 복수의 비트라인들(BL1 내지 BLk)의 프리차지 동작 및 디스차지 동작을 수행하도록 복수의 페이지 버퍼들(PB1~PBk)을 제어 하고, 복수의 페이지 버퍼들(PB1~PBk)에 저장된 프로그램 데이터(DATA)에 따라 복수의 비트라인들(BL1 내지 BLk)에 제1 또는 제2 프로그램 허용 전압 및 프로그램 금지 전압을 인가하도록 복수의 페이지 버퍼들(PB1~PBk)을 제어할 수 있다.
- [0041] 또한 제어 로직(140)은 제1 또는 제2 프로그램 허용 전압을 복수의 비트라인들(BL1 내지 BLk)에 인가할 때 페이지 버퍼 센싱 신호의 전위 레벨을 조절하여 복수의 페이지 버퍼들(PB1~PBk)에 인가함으로써, 복수의 비트라인들(BL1 내지 BLk)에 인가되는 제1 또는 제2 프로그램 허용 전압의 전위 레벨을 조절할 수 있다.
- [0043] 전압 생성부(150)는 제어 로직(140)의 제어에 따라 다수의 동작 전압들(Vpgm, Vpass)을 생성하여 출력한다.
- [0044]
- [0045] 도 2는 도 1의 메모리 블록들 중 어느 하나를 설명하기 위한 회로도이다.
- [0046] 도 1의 메모리 블록들은 서로 유사하게 구성될 수 있으므로, 이 중 하나의 메모리 블록을 예를 들어 설명하도록 한다.
- [0048] 도 2를 참조하면, 메모리 블록(110MB)은 비트 라인들(BL1~BLk)과 공통 소스 라인(CSL) 사이에 연결된 복수의 셀 스트링들(ST1~STk)을 포함한다. 예를 들면, 비트 라인들(BL1~BLk)은 셀 스트링들(ST1~STk)에 각각 연결되고, 공통 소스 라인(CSL)은 셀 스트링들(ST1~STk)에 공통으로 연결된다.
- [0049] 복수의 셀 스트링들(ST1~STk)은 서로 유사하게 구성되므로, 이 중 제1 셀 스트링(ST1)을 예를 들어 설명하도록 한다.
- [0050] 제1 셀 스트링(ST1)은 공통 소스 라인(CSL)과 제1 비트 라인(BL1) 사이에서 서로 직렬로 연결된 소스 셀렉트 트랜지스터(SST), 복수의 메모리 셀들(C0~Cn), 및 드레인 셀렉트 트랜지스터(DST)를 포함할 수 있다. 서로 다른 셀 스트링들(ST1~STk)에 연결된 소스 셀렉트 트랜지스터(SST)의 게이트들은 소스 셀렉트 라인(SSL)에 연결되고, 복수의 메모리 셀들(C0~Cn)의 게이트들은 복수의 워드 라인들(WL0~WLn)에 각각 연결되며, 드레인 셀렉트 트랜지스터(DST)의 게이트들은 드레인 셀렉트 라인(DSL)에 연결된다.
- [0051] 예를 들어 메모리 블록(110MB)은 다수의 페이지들(PAGE\_0 내지 PAGE\_n)을 포함할 수 있다. 이러한 페이지는 프로그램 동작 시 기본 단위가 된다.
- [0053] 도 3은 도 1의 페이지 버퍼를 설명하기 위한 회로도이다.
- [0054] 복수의 페이지 버퍼들(PB1~PBk)은 서로 유사하게 구성될 수 있으므로, 이 중 페이지 버퍼(PB1)를 예를 들어 설명하도록 한다.
- [0055] 도 3을 참조하면, 페이지 버퍼(PB1)는 비트 라인 연결 회로(210), 비트 라인 셋업 회로(220), 페이지 버퍼 센싱 회로(230), 센싱 노드 연결 회로(240), 전류 제어 회로(250), 센싱 노드 프리차지 회로(260), 메인 래치(270), 다이내믹 래치(280), 허용 전압 제공 회로(290), 래치 회로(300) 및 디스차지 회로(310)를 포함할 수 있다.
- [0057] 비트 라인 연결 회로(210)는 비트 라인(BL1)과 비트 라인 연결 노드(BLCM) 사이에 연결되며, 비트 라인 선택신호(PB\_SELBL)에 응답하여 동작하는 NMOS 트랜지스터(N1)를 포함할 수 있다. NMOS 트랜지스터(N1)는 비트 라인 선택신호(PB\_SELBL)에 응답하여 턴온(turn on) 또는 턴오프(turn off) 될 수 있다.
- [0059] 비트 라인 셋업 회로(220)는 내부 전원(VDC\_PB) 및 접지 전원(Vss)과 비트 라인 연결 노드(BLCM) 사이에 연결되며, 비트 라인 디스차지 신호(BLDIS)에 응답하여 동작하는 NMOS 트랜지스터(N2) 및 비트 라인 프리차지 신호(BLPRE\_N)에 응답하여 동작하는 PMOS 트랜지스터(P1)를 포함할 수 있다. NMOS 트랜지스터(N2)는 비트 라인 디스차지 신호(BL\_DIS)에 응답하여 턴온 또는 턴오프되어 비트 라인 연결 노드(BLCM)에 접지 전원(Vss)을 인가한다. PMOS 트랜지스터(P1)는 비트 라인 프리차지 신호(BLPRE\_N)에 응답하여 비트 라인 연결 노드(BLCM)에 내부 전원(VDC\_PB)을 인가한다.
- [0061] 페이지 버퍼 센싱 회로(230)는 비트 라인 연결 노드(BLCM)와 전류 센싱 노드(CSO) 사이에 연결되며, 페이지 버퍼 센싱 신호(PB\_SENSE)에 응답하여 동작하는 NMOS 트랜지스터(N3)를 포함할 수 있다. NMOS 트랜지스터(N3)는 페이지 버퍼 센싱 신호(PB\_SENSE)에 응답하여 턴온 또는 턴오프될 수 있다.
- [0063] 센싱 노드 연결 회로(240)는 전류 센싱 노드(CSO)와 센싱 노드(SO) 사이에 연결되며, 노드 연결신호(TRANSO)에 응답하여 동작하는 NMOS 트랜지스터(N4)를 포함할 수 있다. NMOS 트랜지스터(N4)는 노드 연결신호(TRANSO)에 응

답하여 턴온 또는 턴오프될 수 있다.

- [0065] 전류 제어 회로(250)는 클램프 회로(251), 전류 판단 회로(252) 및 디스차지 회로(253)를 포함할 수 있다.
- [0066] 클램프 회로(251)는 NMOS 트랜지스터(N5 내지 N7) 및 PMOS 트랜지스터(P2)를 포함할 수 있다. PMOS 트랜지스터(P2)는 내부 전원(VDC\_PB) 단자와 센스 앰프 노드(SAN) 사이에 연결되며, 래치 회로(300)의 제1 노드(QS)의 전위에 응답하여 턴온 또는 턴오프될 수 있다. NMOS 트랜지스터(N5)는 PMOS 트랜지스터(P2)와 전류 센싱 노드(CSO) 사이에 연결되며, 전류 센싱 신호(SA\_CSOC)에 응답하여 비트라인(BL1)을 센싱하기 위한 센싱 전류를 전류 센싱 노드(CSO)에 인가한다. NMOS 트랜지스터(N6)는 센스 앰프 노드(SAN)와 내부 센싱 노드(SEN) 사이에 연결되며, 내부 센싱 노드 프리차지 신호(SA\_PRECH\_N)에 응답하여 내부 센싱 노드(SEN)에 내부 전원(VDC\_PB)을 인가한다. NMOS 트랜지스터(N7)는 내부 센싱 노드(SEN)와 전류 센싱 노드(CSO) 사이에 연결되며, 내부 센싱 노드 센싱 신호(SA\_SENSE)에 응답하여 내부 센싱 노드(SEN)와 전류 센싱 노드(CSO)를 연결한다.
- [0068] 전류 판단 회로 회로(252)는 PMOS 트랜지스터(P3, P4)를 포함할 수 있다. PMOS 트랜지스터(P3)는 내부 전원(VDC\_PB) 단자와 PMOS 트랜지스터(P4) 사이에 연결되며, 센스 앰프 스트로브 신호(SA\_STB\_N)에 응답하여 턴온 또는 턴오프될 수 있다. PMOS 트랜지스터(P4)는 PMOS 트랜지스터(P3)와 래치 회로(300)의 제1 노드(QS) 사이에 연결되며, 내부 센싱 노드(SEN)의 전위 레벨에 응답하여 턴온 또는 턴오프될 수 있다.
- [0070] 센싱 디스차지부(253)는 전류 센싱 노드(CSO)와 허용 전압 제공 회로(290)의 노드(QN) 사이에 연결되며, 내부 센싱 노드 디스차지 신호(SA\_DISCH)에 응답하여 턴온된다.
- [0072] 센싱 노드 프리차지 회로(260)는 내부 전원(VDC\_PB) 단자와 센싱 노드(SO) 사이에 연결되며, 프리차지 신호(PRECHSO\_N)에 응답하여 동작하는 PMOS 트랜지스터(P5)를 포함할 수 있다. PMOS 트랜지스터(P5)는 프리차지 신호(PRECHSO\_N)에 응답하여 센싱 노드(SO)에 내부 전원(VDC\_PB)을 공급한다.
- [0074] 메인 래치(270)는 NMOS 트랜지스터(N9), 래치(LATM) 및 메인 래치 리셋/셋업 회로(RSEM)를 포함할 수 있다. 메인 래치(270)는 프로그램 데이터를 입력받아 이를 임시 저장할 수 있다.
- [0075] NMOS 트랜지스터(N9)는 메인 데이터 전송 신호(TRANM)에 응답하여 센싱 노드(SO)와 래치(LATM)의 제1 메인 노드(QM\_N)를 서로 연결할 수 있다.
- [0076] 래치(LATM)는 인버터(IV1 및 IV2)를 포함할 수 있다. 인버터(IV1 및 IV2)는 래치(LATM)의 제1 및 제2 메인 노드(QM\_N 및 QM) 사이에서 서로 병렬로 연결될 수 있다. 인버터(IV1)의 입력단자는 제2 메인 노드(QM)에 연결되고, 출력단자는 제1 메인 노드(QM\_N)에 연결될 수 있다. 인버터(IV2)의 입력단자는 제1 메인 노드(QM\_N)에 연결되고, 출력단자는 제2 메인 노드(QM)에 연결될 수 있다.
- [0077] 메인 래치 리셋/셋업부(RSEM)는 래치(LATM)의 제1 및 제2 메인 노드 들(QM\_N 및 QM)에 연결되며, 래치(LATM)를 리셋 또는 셋업할 수 있다. 예를 들면, 메인 래치 리셋/셋업부(RSEM)는 NMOS 트랜지스터(N10, N11)를 포함할 수 있다. NMOS 트랜지스터(N10)는 메인 리셋 신호(MRST)에 응답하여 래치(LATM)의 제2 메인 노드(QM)와 공통 노드(COM)를 서로 연결할 수 있다. NMOS 트랜지스터(N11)는 메인 셋업 신호(MSET)에 응답하여 래치(LATM)의 제1 메인 노드(QM\_N)와 공통 노드(COM)를 서로 연결할 수 있다. 메인 래치 리셋/셋업부(RSEM)는 래치(LATM)의 초기화 동작시 메인 리셋 신호(MRST)에 응답하여 접지 전원이 연결된 공통 노드(COM)와 제2 메인 노드(QM)를 연결하여 제2 메인 노드(QM)가 로우 레벨가 되고 제1 메인 노드(QM\_N)가 하이 레벨이 되도록 래치(LATM)를 초기화시키고, 프로그램 데이터 입력 동작 시 프로그램 데이터 값에 따라 로직 레벨이 결정되는 메인 셋업 신호(MSET)에 응답하여 제2 메인 노드(QM) 및 제1 메인 노드(QM\_N)의 로직 레벨을 유지시키거나 반전시킨다.
- [0078] 다이내믹 래치(280)는 NMOS 트랜지스터(N12, N13, N14)를 포함할 수 있다. 다이내믹 래치(280)는 프로그램 동작 정보를 저장할 수 있다. 예를 들어, 다이내믹 래치부(280)는 MLC(Multi Level Cell), TLC(Triple Level Cell) 및 QLC(Quad Level Cell) 중 어느 하나의 프로그램 동작 정보를 저장할 수 있다.
- [0079] NMOS 트랜지스터(N12)는 다이내믹 데이터 전송 신호(TRANTOT)에 응답하여 제1 메인 노드(QM\_N)와 다이내믹 노드(QT)를 서로 연결할 수 있다. NMOS 트랜지스터(N13)는 NMOS 트랜지스터(N14)와 접지 단자 사이에 연결되며 다이내믹 노드(QT)의 전위에 응답하여 턴온 또는 턴오프될 수 있다. NMOS 트랜지스터(N14)는 센싱 노드(SO)와 NMOS 트랜지스터(N13) 사이에 연결되며, 다이내믹 데이터 전송 신호(TRAN)에 응답하여 턴온 또는 턴오프될 수 있다.
- [0081] 허용 전압 제공 회로(290)는 프로그램 동작 중 비트라인(BL1)에 제2 프로그램 허용 전압을 인가할 때 프로그램 전용 전압(VBL4PGM)을 센싱 노드(SO)를 통해 비트라인(BL1)에 인가한다. 허용 전압 제공 회로(290)는 센싱 노드(SO)와 프로그램 전용 전압(VBL4PGM) 단자 사이에 직렬 연결된 NMOS 트랜지스터(N15, N16)를 포함할 수 있다.

NMOS 트랜지스터(N15)는 전송 신호(TRANS)에 응답하여 턴온 또는 턴오프되며, NMOS 트랜지스터(N16)는 래치 회로(300)의 제1 노드(QS)의 전위에 응답하여 턴온 또는 턴오프될 수 있다.

- [0082] 허용 전압 제공 회로(290)는 프로그램 동작 중 대응하는 메모리 셀의 프로그램 속도를 제어하거나, 프로그램하려는 프로그램 상태에 따라 제1 프로그램 허용 전압(접지 전원) 보다 높은 제2 프로그램 허용 전압을 비트라인(BL1)에 인가하여 비트라인(BL1)의 전위 레벨을 조절할 수 있다.
- [0084] 래치 회로(300)는 센싱 래치(LATS) 및 센싱 래치 리셋/셋업부(RSES)를 포함할 수 있다. 센싱 래치(LATS)는 인버터들(IV3 및 IV4)을 포함할 수 있다. 인버터들(IV3 및 IV4)은 센싱 래치(LATS)의 제1 및 제2 센싱 노드(QS 및 QS\_N) 사이에서 서로 병렬로 연결될 수 있다. 예를 들면, 인버터(IV3)의 입력단자는 제1 센싱 노드(QS)에 연결되고, 출력단자는 제2 센싱 노드(QS\_N)에 연결될 수 있다. 인버터(IV4)의 입력단자는 제2 센싱 노드(QS\_N)에 연결되고, 출력단자는 제1 센싱 노드(QS)에 연결될 수 있다.
- [0085] 센싱 래치 리셋/셋업부(RSES)는 센싱 래치(LATS)의 제1 및 제2 센싱 노드(QS 및 QS\_N)에 연결되며, 센싱 래치(LATS)를 리셋 또는 셋업할 수 있다. 예를 들어, 센싱 래치 리셋/셋업부(RSES)는 NMOS 트랜지스터(N17, N18)를 포함할 수 있다. NMOS 트랜지스터(N17)는 센싱 리셋 신호(SRST)에 응답하여 센싱 래치(LATS)의 제1 센싱 노드(QS)와 공통 노드(COM)를 서로 연결할 수 있다. NMOS 트랜지스터(N18)는 센싱 셋업 신호(SSET)에 응답하여 센싱 래치(LATS)의 제2 센싱 노드(QS\_N)와 공통 노드(COM)를 서로 연결할 수 있다. 센싱 래치(LATS)의 리셋 동작 및 셋업 동작 시 공통 노드(COM)는 접지 전원(V<sub>ss</sub>)이 연결된 상태일 수 있다.
- [0087] 디스차지 회로(310)는 공통 노드(COM)와 접지 전원(V<sub>ss</sub>) 단자 사이에 연결되며, 센싱 노드(SO)의 전위에 따라 턴온 또는 턴오프되는 NMOS 트랜지스터(N19)로 구성될 수 있다.
- [0089] 상술한 설명에 따른 페이지 버퍼(PB1)는 프로그램 동작 중 비트라인 셋업 동작을 제1 비트라인 셋업 동작 및 제2 비트라인 셋업 동작을 포함할 수 있다. 예를 들어 프로그램하려는 데이터 값에 따라 대응하는 비트라인(BL1)을 프로그램 금지 전압(예를 들어 V<sub>DC\_PB</sub>)을 인가하거나, 제1 프로그램 허용 전압(예를 들어 V<sub>ss</sub>)을 인가하는 제1 비트라인 셋업 동작과, 제1 프로그램 허용 전압(예를 들어 V<sub>ss</sub>)을 인가한 후 대응하는 메모리 셀의 프로그램 속도 및 프로그램하려는 프로그램 상태에 따라 제1 프로그램 허용 전압(접지 전원) 보다 높은 제2 프로그램 허용 전압을 비트라인(BL1)에 인가하는 제2 비트라인 셋업 동작을 순차적으로 수행할 수 있다.
- [0090] 제2 비트라인 셋업 동작을 수행하기 위해 페이지 버퍼 회로(130)에 포함된 복수의 페이지 버퍼들(PB1 내지 PBk)은 프로그램 전용 전압(VBL4PGM)이 인가되기 위한 단자가 각각 배치되어야 한다.
- [0092] 도 4는 도 1의 페이지 버퍼의 다른 실시 예를 설명하기 위한 회로도이다.
- [0093] 도 4를 참조하면, 페이지 버퍼(PB1)는 비트 라인 연결 회로(410), 비트 라인 셋업 회로(420), 페이지 버퍼 센싱 회로(430), 센싱 노드 연결 회로(440), 전류 제어 회로(450), 센싱 노드 프리차지 회로(460), 메인 래치(470), 다이내믹 래치(480), 제1 디스차지 회로(490), 래치 회로(500) 및 제2 디스차지 회로(510)를 포함할 수 있다.
- [0095] 비트 라인 연결 회로(410)는 비트 라인(BL1)과 비트 라인 연결 노드(BLCM) 사이에 연결되며, 비트 라인 선택신호(PB\_SELBL)에 응답하여 동작하는 NMOS 트랜지스터(N21)를 포함할 수 있다. NMOS 트랜지스터(N21)는 비트 라인 선택신호(PB\_SELBL)에 응답하여 턴온(turn on) 또는 턴오프(turn off) 될 수 있다.
- [0097] 비트 라인 셋업 회로(420)는 내부 전원(V<sub>DC\_PB</sub>) 및 접지 전원(V<sub>ss</sub>)과 비트 라인 연결 노드(BLCM) 사이에 연결되며, 비트 라인 디스차지 신호(BLDIS)에 응답하여 동작하는 NMOS 트랜지스터(N22) 및 비트 라인 프리차지 신호(BLPRE\_N)에 응답하여 동작하는 PMOS 트랜지스터(P21)를 포함할 수 있다. NMOS 트랜지스터(N22)는 비트 라인 디스차지 신호(BL\_DIS)에 응답하여 턴온 또는 턴오프되어 비트 라인 연결 노드(BLCM)에 접지 전원(V<sub>ss</sub>)을 인가한다. PMOS 트랜지스터(P21)는 비트 라인 프리차지 신호(BLPRE\_N)에 응답하여 비트 라인 연결 노드(BLCM)에 내부 전원(V<sub>DC\_PB</sub>)을 인가한다.
- [0099] 페이지 버퍼 센싱 회로(430)는 비트 라인 연결 노드(BLCM)와 전류 센싱 노드(CSO) 사이에 연결되며, 페이지 버퍼 센싱 신호(PB\_SENSE)에 응답하여 동작하는 NMOS 트랜지스터(N23)를 포함할 수 있다. NMOS 트랜지스터(N23)는 페이지 버퍼 센싱 신호(PB\_SENSE)에 응답하여 턴온 또는 턴오프될 수 있다.
- [0101] 센싱 노드 연결 회로(440)는 전류 센싱 노드(CSO)와 센싱 노드(SO) 사이에 연결되며, 노드 연결신호(TRANSO)에 응답하여 동작하는 NMOS 트랜지스터(N24)를 포함할 수 있다. NMOS 트랜지스터(N24)는 노드 연결신호(TRANSO)에 응답하여 턴온 또는 턴오프될 수 있다.

- [0103] 전류 제어 회로(450)는 클램프 회로(451), 전류 판단 회로(452) 및 디스차지 회로(453)를 포함할 수 있다.
- [0104] 클램프 회로(451)는 NMOS 트랜지스터(N25 내지 N27) 및 PMOS 트랜지스터(P22)를 포함할 수 있다. PMOS 트랜지스터(P22)는 내부 전원(VDC\_PB) 단자와 센스 앰프 노드(SAN) 사이에 연결되며, 래치 회로(500)의 제1 노드(QS)의 전위에 응답하여 턴온 또는 턴오프될 수 있다. NMOS 트랜지스터(N25)는 PMOS 트랜지스터(P22)와 전류 센싱 노드(CSO) 사이에 연결되며, 전류 센싱 신호(SA\_CSOC)에 응답하여 비트라인(BL1)을 센싱하기 위한 센싱 전류를 전류 센싱 노드(CSO)에 인가한다. NMOS 트랜지스터(N26)는 센스 앰프 노드(SAN)와 내부 센싱 노드(SEN) 사이에 연결되며, 내부 센싱 노드 프리차지 신호(SA\_PRECH\_N)에 응답하여 내부 센싱 노드(SEN)에 내부 전원(VDC\_PB)을 인가한다. NMOS 트랜지스터(N27)는 내부 센싱 노드(SEN)와 전류 센싱 노드(CSO) 사이에 연결되며, 내부 센싱 노드 센싱 신호(SA\_SENSE)에 응답하여 내부 센싱 노드(SEN)와 전류 센싱 노드(CSO)를 연결한다.
- [0105] 페이지 버퍼 센싱 회로(430) 및 클램프 회로(451)는 프로그램 동작 중 제2 비트라인 셋업 동작 시 내부 전원(VDC\_PB)을 이용하여 비트라인(BL1)에 제2 프로그램 허용 전압을 인가할 수 있다. 예를 들어 제2 비트라인 셋업 동작 시 클램프 회로(451)는 전류 센싱 노드(CSO)에 내부 전원(VDC\_PB)을 인가하고, 페이지 버퍼 센싱 회로(430)는 제2 프로그램 허용 전압보다 NMOS 트랜지스터(N23)의 문턱 전압 만큼 높은 페이지 버퍼 센싱 신호(PB\_SENSE)에 응답하여 비트라인(BL1)에 제2 프로그램 허용 전압을 인가할 수 있다.
- [0107] 전류 판단 회로 회로(452)는 PMOS 트랜지스터(P23, P24)를 포함할 수 있다. PMOS 트랜지스터(P23)는 내부 전원(VDC\_PB) 단자와 PMOS 트랜지스터(P24) 사이에 연결되며, 센스 앰프 스트로브 신호(SA\_STB\_N)에 응답하여 턴온 또는 턴오프될 수 있다. PMOS 트랜지스터(P24)는 PMOS 트랜지스터(P23)와 래치 회로(500)의 제1 노드(QS) 사이에 연결되며, 내부 센싱 노드(SEN)의 전위 레벨에 응답하여 턴온 또는 턴오프될 수 있다.
- [0109] 센싱 디스차지부(453)는 전류 센싱 노드(CSO)와 제1 디스차지 회로(490)의 노드(QN) 사이에 연결되며, 내부 센싱 노드 디스차지 신호(SA\_DISCH)에 응답하여 턴온된다.
- [0111] 센싱 노드 프리차지 회로(460)는 내부 전원(VDC\_PB) 단자와 센싱 노드(SO) 사이에 연결되며, 프리차지 신호(PRECHSO\_N)에 응답하여 동작하는 PMOS 트랜지스터(P25)를 포함할 수 있다. PMOS 트랜지스터(P25)는 프리차지 신호(PRECHSO\_N)에 응답하여 센싱 노드(SO)에 내부 전원(VDC\_PB)을 공급한다.
- [0113] 메인 래치(470)는 NMOS 트랜지스터(N29), 래치(LATM) 및 메인 래치 리셋/셋업 회로(RSEM)를 포함할 수 있다. 메인 래치(470)는 프로그램 데이터를 입력받아 이를 임시 저장할 수 있다.
- [0114] NMOS 트랜지스터(N29)는 메인 데이터 전송 신호(TRANM)에 응답하여 센싱 노드(SO)와 래치(LATM)의 제1 메인 노드(QM\_N)를 서로 연결할 수 있다.
- [0115] 래치(LATM)는 인버터(IV11 및 IV12)를 포함할 수 있다. 인버터(IV11 및 IV12)는 래치(LATM)의 제1 및 제2 메인 노드(QM\_N 및 QM) 사이에서 서로 병렬로 연결될 수 있다. 인버터(IV11)의 입력단자는 제2 메인 노드(QM)에 연결되고, 출력단자는 제1 메인 노드(QM\_N)에 연결될 수 있다. 인버터(IV2)의 입력단자는 제1 메인 노드(QM\_N)에 연결되고, 출력단자는 제2 메인 노드(QM)에 연결될 수 있다.
- [0116] 메인 래치 리셋/셋업부(RSEM)는 래치(LATM)의 제1 및 제2 메인 노드 들(QM\_N 및 QM)에 연결되며, 래치(LATM)를 리셋 또는 셋업할 수 있다. 예를 들면, 메인 래치 리셋/셋업부(RSEM)는 NMOS 트랜지스터(N30, N31)를 포함할 수 있다. NMOS 트랜지스터(N30)는 메인 리셋 신호(MRST)에 응답하여 래치(LATM)의 제2 메인 노드(QM)와 공통 노드(COM)를 서로 연결할 수 있다. NMOS 트랜지스터(N31)는 메인 셋업 신호(MSET)에 응답하여 래치(LATM)의 제1 메인 노드(QM\_N)와 공통 노드(COM)를 서로 연결할 수 있다. 메인 래치 리셋/셋업부(RSEM)는 래치(LATM)의 초기화 동작시 메인 리셋 신호(MRST)에 응답하여 접지 전원이 연결된 공통 노드(COM)와 제2 메인 노드(QM)를 연결하여 제2 메인 노드(QM)가 로우 레벨가 되고 제1 메인 노드(QM\_N)가 하이 레벨이 되도록 래치(LATM)를 초기화시키고, 프로그램 데이터 입력 동작 시 프로그램 데이터 값에 따라 로직 레벨이 결정되는 메인 셋업 신호(MSET)에 응답하여 제2 메인 노드(QM) 및 제1 메인 노드(QM\_N)의 로직 레벨을 유지시키거나 반전시킨다.
- [0117] 다이내믹 래치(480)는 NMOS 트랜지스터(N32, N33, N34)를 포함할 수 있다. 다이내믹 래치(480)는 프로그램 동작 정보를 저장할 수 있다. 예를 들어, 다이내믹 래치부(480)는 MLC(Multi Level Cell), TLC(Triple Level Cell) 및 QLC(Quad Level Cell) 중 어느 하나의 프로그램 동작 정보를 저장할 수 있다.
- [0118] NMOS 트랜지스터(N32)는 다이내믹 데이터 전송 신호(TRANTOT)에 응답하여 제1 메인 노드(QM\_N)와 다이내믹 노드(QT)를 서로 연결할 수 있다. NMOS 트랜지스터(N33)는 NMOS 트랜지스터(N34)와 접지 단자 사이에 연결되며 다이내믹 노드(QT)의 전위에 응답하여 턴온 또는 턴오프될 수 있다. NMOS 트랜지스터(N34)은 센싱 노드(SO)와 NMOS



트랜지스터(N33) 사이에 연결되며, 다이내믹 데이터 전송 신호(TRAN)에 응답하여 턴온 또는 턴오프될 수 있다.

- [0120] 제1 디스차지 회로(490)는 프로그램 동작 중 전류 센싱 노드(CSO) 또는 센싱 노드(SO)를 디스차지할 수 있다. 제1 디스차지 회로(490)는 센싱 노드(SO)와 접지 전원(V<sub>SS</sub>) 단자 사이에 직렬 연결된 NMOS 트랜지스터(N35, N36)를 포함할 수 있다. NMOS 트랜지스터(N35)는 전송 신호(TRANS)에 응답하여 턴온 또는 턴오프되며, NMOS 트랜지스터(N36)는 래치 회로(300)의 제1 노드(QS)의 전위에 응답하여 턴온 또는 턴오프될 수 있다.
- [0122] 래치 회로(500)는 센싱 래치(LATS) 및 센싱 래치 리셋/셋업부(RSES)를 포함할 수 있다. 센싱 래치(LATS)는 인버터들(IV13 및 IV14)을 포함할 수 있다. 인버터들(IV13 및 IV14)은 센싱 래치(LATS)의 제1 및 제2 센싱 노드(QS 및 QS\_N) 사이에서 서로 병렬로 연결될 수 있다. 예를 들면, 인버터(IV3)의 입력단자는 제1 센싱 노드(QS)에 연결되고, 출력단자는 제2 센싱 노드(QS\_N)에 연결될 수 있다. 인버터(IV4)의 입력단자는 제2 센싱 노드(QS\_N)에 연결되고, 출력단자는 제1 센싱 노드(QS)에 연결될 수 있다.
- [0123] 센싱 래치 리셋/셋업부(RSES)는 센싱 래치(LATS)의 제1 및 제2 센싱 노드(QS 및 QS\_N)에 연결되며, 센싱 래치(LATS)를 리셋 또는 셋업할 수 있다. 예를 들어, 센싱 래치 리셋/셋업부(RSES)는 NMOS 트랜지스터(N37, N38)를 포함할 수 있다. NMOS 트랜지스터(N37)는 센싱 리셋 신호(SRST)에 응답하여 센싱 래치(LATS)의 제1 센싱 노드(QS)와 공통 노드(COM)를 서로 연결할 수 있다. NMOS 트랜지스터(N38)는 센싱 셋업 신호(SSET)에 응답하여 센싱 래치(LATS)의 제2 센싱 노드(QS\_N)와 공통 노드(COM)를 서로 연결할 수 있다. 센싱 래치(LATS)의 리셋 동작 및 셋업 동작 시 공통 노드(COM)는 접지 전원(V<sub>SS</sub>)에 연결된 상태일 수 있다.
- [0125] 제2 디스차지 회로(510)는 공통 노드(COM)와 접지 전원(V<sub>SS</sub>) 단자 사이에 연결되며, 센싱 노드(SO)의 전위에 따라 턴온 또는 턴오프되는 NMOS 트랜지스터(N39)로 구성될 수 있다.
- [0127] 도 5는 도 4에 도시된 페이지 버퍼의 동작을 설명하기 위한 신호들의 파형도이다.
- [0128] 도 1, 도 2, 도 4 및 도 5를 이용하여 본 발명의 실시 예에 따른 페이지 버퍼를 이용한 반도체 메모리 장치의 동작을 설명하면 다음과 같다.
- [0129] 프로그램 동작 시 제어 로직(140)은 프로그램 동작에 대응하는 커맨드(CMD)에 응답하여 페이지 버퍼 회로(130), 전압 생성 회로(150) 및 어드레스 디코더(120)를 제어한다.
- [0130] 페이지 버퍼 회로(130)에 포함된 복수의 페이지 버퍼들(PB1 내지 PBk) 각각은 프로그램 데이터(DATA)를 메인 래치(470)에 임시 저장한다.
- [0131] 전압 생성 회로(150)는 t1 내지 t3 구간 동안 선택된 메모리 블럭(110MB)의 드레인 선택 라인(DSL; SELDSL)에 인가하기 위한 제1 동작 전압(PDSL1)을 생성한다. 어드레스 디코더(120)는 어드레스(ADDR)에 응답하여 제1 동작 전압(PDSL1)을 선택된 메모리 블럭의 드레인 선택 라인(SELDSL)에 인가한다. 이로 인하여 선택된 메모리 블럭(110MB)에 포함된 다수의 셀 스트링들(ST1 내지 STk)은 대응하는 비트라인들(BL1 내지 BLk)에 전기적으로 연결된다.
- [0132] 페이지 버퍼 회로(130)에 포함된 복수의 페이지 버퍼들(PB1 내지 PBk) 각각의 비트 라인 셋업 회로(420)는 t1 구간에서 로우 레벨로 인가되는 비트 라인 프리차지 신호(BLPRE\_N)에 응답하여 비트라인들(BL1 내지 BLk)을 하이 레벨로 프리차지한다.
- [0133] 이 후, 제1 비트라인 셋업 동작을 t2 구간에서 수행한다. 복수의 페이지 버퍼들(PB1 내지 PBk) 각각은 메인 래치(470)에 저장된 데이터 값에 따라 센싱 노드(SO) 전위 레벨을 하이 레벨 또는 로우 레벨로 조절하고, 페이지 버퍼 센싱 회로(430) 및 센싱 노드 연결 회로(440) 각각은 페이지 버퍼 센싱 신호(PB\_SENSE) 및 노드 연결신호(TRANO)에 응답하여 센싱 노드(SO)와 비트라인(BL1)을 연결하여 비트라인(BL1)의 전위 레벨을 조절한다. 제1 비트라인 셋업 동작 시 인가되는 페이지 버퍼 센싱 신호(PB\_SENSE)의 전위 레벨을 제1 레벨로 정의한다. 예를 들어 프로그램 데이터에 따라 비트라인(BL1)에 프로그램 금지 전압을 인가할 경우 비트라인(BL1)의 전위 레벨은 내부 전원(V<sub>DC\_PB</sub>) 레벨을 유지하게 되고, 제1 프로그램 금지 전압을 인가할 경우 비트라인(BL1)의 전위 레벨은 접지 전원(V<sub>SS</sub>) 레벨로 디스차지된다.
- [0134] 이 후, 제2 비트라인 셋업 동작을 t3 구간에서 수행한다. 복수의 페이지 버퍼들(PB1 내지 PBk) 각각의 센싱 노드 프리차지 회로(460)는 일정 시간 동안 로우 레벨로 인가되는 프리차지 신호(PRECHSO\_N)에 응답하여 센싱 노드(SO)를 내부 전원(V<sub>DC\_PB</sub>) 레벨로 프리차지한다. 이로 인하여 제2 디스차지 회로(510)는 공통 노드(COM)에 접지 전원(V<sub>SS</sub>)을 인가한다. 이 후, 센싱 래치 리셋/셋업부(RSES)는 센싱 리셋 신호(SRST)에 응답하여 센싱 래치

(LATS)의 제1 센싱 노드(QS)를 로우 레벨로 초기화시킨다.

- [0135] 이로 인하여 클램프 회로(451)의 PMOS 트랜지스터(P22)가 턴온되고, NMOS 트랜지스터(N25)는 전류 센싱 신호(SA\_CSOC)에 응답하여 전류 센싱 노드(CSO)에 내부 전원(VDC\_PB)을 인가한다.
- [0136] 이때 페이지 버퍼 센싱 회로(430) 제2 프로그램 허용 전압(Vb)보다 NMOS 트랜지스터(N23)의 문턱 전압(Vth) 만큼 높은 페이지 버퍼 센싱 신호(PB\_SENSE)에 응답하여 비트라인(BL1)에 제2 프로그램 허용 전압(Vb)을 인가할 수 있다. 제2 비트라인 셋업 동작시 인가되는 페이지 버퍼 센싱 신호(PB\_SENSE)의 전위 레벨은 제2 레벨로 정의할 수 있으며, 제2 레벨은 제1 비트라인 셋업 동작시 인가되는 페이지 버퍼 센싱 신호(PB\_SENSE)의 제1 레벨 보다 낮은 전위 레벨을 갖을 수 있다.
- [0137] t4 구간에서 전압 생성 회로(150)는 제1 동작 전압(PDSL1)을 디스차지시킨 후, 제1 동작 전압(PDSL1) 보다 전위 레벨이 낮은 제2 동작 전압(PDSL2)을 생성한다. 어드레스 디코더(120)는 제2 동작 전압(PDSL2)을 선택된 메모리 블록의 드레인 선택 라인(SELDSL)에 인가한다.
- [0138] 이 후, 전압 생성 회로(150)는 t5 구간에서 패스 전압(Vpass)을 생성하고, 어드레스 디코더(120)는 패스 전압(Vpass)을 선택된 메모리 블록의 워드라인들(SELWL, UNSELWL)에 인가한다. 전압 생성 회로(150)는 t6 구간에서 프로그램 전압(Vpgm)을 생성하고, 어드레스 디코더(120)는 프로그램 전압(Vpgm)을 선택된 워드라인(SELWL)에 인가한다. 이 후, 전압 생성 회로(150)는 선택된 메모리 블록의 워드라인들(SELWL, UNSELWL)의 전위 레벨을 디스차지한다.
- [0139] 또한 제어 로직(140)은 t8 구간에서 복수의 페이지 버퍼들(PB1 내지 PBk)에 인가되던 신호들을 디스에이블시킨다.
- [0141] 상술한 바와 같이 본 발명에 따르면 반도체 메모리 장치의 프로그램 동작 시 복수의 페이지 버퍼들은 비트라인 셋업 구간에서 내부 전원을 이용하여 대응하는 비트라인들의 전위 레벨을 제2 프로그램 허용 전압으로 조절할 수 있다. 이로 인하여 페이지 버퍼들은 제2 프로그램 허용 전압을 인가하기 위한 프로그램 전용 전압 단자를 설계시 배제시킬 수 있으며, 페이지 버퍼의 전원 저항도 개선시킬 수 있다.
- [0143] 도 6은 도 1의 반도체 메모리 장치를 포함하는 메모리 시스템을 보여주는 블록도이다.
- [0144] 도 6을 참조하면, 메모리 시스템(1000)은 반도체 메모리 장치(100) 및 컨트롤러(1100)를 포함한다.
- [0145] 반도체 메모리 장치(100)는 도 1을 참조하여 설명된 바와 마찬가지로 구성되고, 동작할 수 있다. 이하, 중복되는 설명은 생략된다.
- [0146] 컨트롤러(1100)는 호스트(Host) 및 반도체 메모리 장치(100)에 연결된다. 호스트(Host)로부터의 요청에 응답하여, 컨트롤러(1100)는 반도체 메모리 장치(100)를 액세스하도록 구성된다. 예를 들면, 컨트롤러(1100)는 반도체 메모리 장치(100)의 읽기, 쓰기, 소거, 그리고 배경(background) 동작을 제어하도록 구성된다. 컨트롤러(1100)는 반도체 메모리 장치(100) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 컨트롤러(1100)는 반도체 메모리 장치(100)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.
- [0147] 컨트롤러(1100)는 램(1110, Random Access Memory), 프로세싱 유닛(1120, processing unit), 호스트 인터페이스(1130, host interface), 메모리 인터페이스(1140, memory interface) 및 에러 정정 블록(1150)을 포함한다. 램(1110)은 프로세싱 유닛(1120)의 동작 메모리, 반도체 메모리 장치(100) 및 호스트(Host) 사이의 캐시 메모리, 그리고 반도체 메모리 장치(100) 및 호스트(Host) 사이의 버퍼 메모리 중 적어도 하나로서 이용된다. 프로세싱 유닛(1120)은 컨트롤러(1100)의 제반 동작을 제어한다. 또한 컨트롤러(1100)는 쓰기 동작시 호스트(Host)로부터 제공되는 프로그램 데이터를 임시 저장할 수 있다.
- [0148] 호스트 인터페이스(1130)는 호스트(Host) 및 컨트롤러(1100) 사이의 데이터 교환을 수행하기 위한 프로토콜을 포함한다. 예시적인 실시 예로서, 컨트롤러(1200)는 USB (Universal Serial Bus) 프로토콜, MMC (multimedia card) 프로토콜, PCI (peripheral component interconnection) 프로토콜, PCI-E (PCI-express) 프로토콜, ATA (Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI (small computer small interface) 프로토콜, ESDI (enhanced small disk interface) 프로토콜, 그리고 IDE (Integrated Drive Electronics) 프로토콜, 사유(private) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 호스트(Host)와 통신하도록 구성된다.
- [0149] 메모리 인터페이스(1140)는 반도체 메모리 장치(100)와 인터페이스한다. 예를 들면, 메모리 인터페이스는 낸드

인터페이스 또는 노어 인터페이스를 포함한다.

- [0150] 에러 정정 블록(1150)은 에러 정정 코드(ECC, Error Correcting Code)를 이용하여 반도체 메모리 장치(100)로부터 수신된 데이터의 에러를 검출하고, 정정하도록 구성된다. 프로세싱 유닛(1120)은 에러 정정 블록(1150)의 에러 검출 결과에 따라 읽기 전압을 조절하고, 재 읽기를 수행하도록 반도체 메모리 장치(100)를 제어할 것이다. 예시적인 실시 예로서, 에러 정정 블록은 컨트롤러(1100)의 구성 요소로서 제공될 수 있다.
- [0151] 컨트롤러(1100) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적될 수 있다. 예시적인 실시 예로서, 컨트롤러(1100) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 컨트롤러(1100) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억장치(UFS) 등과 같은 메모리 카드를 구성할 것이다.
- [0152] 컨트롤러(1100) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적되어 반도체 드라이브(SSD, Solid State Drive)를 구성할 수 있다. 반도체 드라이브(SSD)는 반도체 메모리에 데이터를 저장하도록 구성되는 저장 장치를 포함한다. 메모리 시스템(1000)이 반도체 드라이브(SSD)로 이용되는 경우, 메모리 시스템(2000)에 연결된 호스트(Host)의 동작 속도는 획기적으로 개선된다.
- [0153] 다른 예로서, 메모리 시스템(1000)은 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistants), 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), 3차원 수상기(3-dimensional television), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등과 같은 전자 장치의 다양한 구성 요소들 중 하나로 제공된다.
- [0154] 예시적인 실시 예로서, 반도체 메모리 장치(100) 또는 메모리 시스템(1000)은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 반도체 메모리 장치(100) 또는 메모리 시스템(2000)은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지화되어 실장될 수 있다.
- [0156] 도 7은 도 6의 메모리 시스템의 응용 예를 보여주는 블록도이다.
- [0157] 도 7을 참조하면, 메모리 시스템(2000)은 반도체 메모리 장치(2100) 및 컨트롤러(2200)를 포함한다. 반도체 메모리 장치(2100)는 다수의 반도체 메모리 칩들을 포함한다. 다수의 반도체 메모리 칩들은 다수의 그룹들로 분할된다.
- [0158] 도 7에서, 다수의 그룹들은 각각 제 1 내지 제 k 채널들(CH1~CHk)을 통해 컨트롤러(2200)와 통신하는 것으로 도시되어 있다. 각 반도체 메모리 칩은 도 1을 참조하여 설명된 반도체 메모리 장치(100) 중 하나와 마찬가지로 구성되고, 동작할 것이다.
- [0159] 각 그룹은 하나의 공통 채널을 통해 컨트롤러(2200)와 통신하도록 구성된다. 컨트롤러(2200)는 도 6을 참조하여 설명된 컨트롤러(1100)와 마찬가지로 구성되고, 다수의 채널들(CH1~CHk)을 통해 반도체 메모리 장치(2100)의 다수의 메모리 칩들을 제어하도록 구성된다.
- [0161] 도 8은 도 7을 참조하여 설명된 메모리 시스템을 포함하는 컴퓨팅 시스템을 보여주는 블록도이다.
- [0162] 도 8을 참조하면, 컴퓨팅 시스템(3000)은 중앙 처리 장치(3100), 램(3200, RAM, Random Access Memory), 사용

자 인터페이스(3300), 전원(3400), 시스템 버스(3500), 그리고 메모리 시스템(2000)을 포함한다.

[0163] 메모리 시스템(2000)은 시스템 버스(3500)를 통해, 중앙처리장치(3100), 램(3200), 사용자 인터페이스(3300), 그리고 전원(3400)에 전기적으로 연결된다. 사용자 인터페이스(3300)를 통해 제공되거나, 중앙 처리 장치(3100)에 의해서 처리된 데이터는 메모리 시스템(2000)에 저장된다.

[0164] 도 8에서, 반도체 메모리 장치(2100)는 컨트롤러(2200)를 통해 시스템 버스(3500)에 연결되는 것으로 도시되어 있다. 그러나, 반도체 메모리 장치(2100)는 시스템 버스(3500)에 직접 연결되도록 구성될 수 있다. 이때, 컨트롤러(2200)의 기능은 중앙 처리 장치(3100) 및 램(3200)에 의해 수행될 것이다.

[0165] 도 8에서, 도 7을 참조하여 설명된 메모리 시스템(2000)이 제공되는 것으로 도시되어 있다. 그러나, 메모리 시스템(2000)은 도 6을 참조하여 설명된 메모리 시스템(1000)으로 대체될 수 있다. 예시적인 실시 예로서, 컴퓨팅 시스템(3000)은 도 6 및 도 7을 참조하여 설명된 메모리 시스템들(1000, 2000)을 모두 포함하도록 구성될 수 있다.

[0167] 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위와 기술적 사상에서 벗어나지 않는 한도 내에서 다양한 변경이 가능하다. 그러므로 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

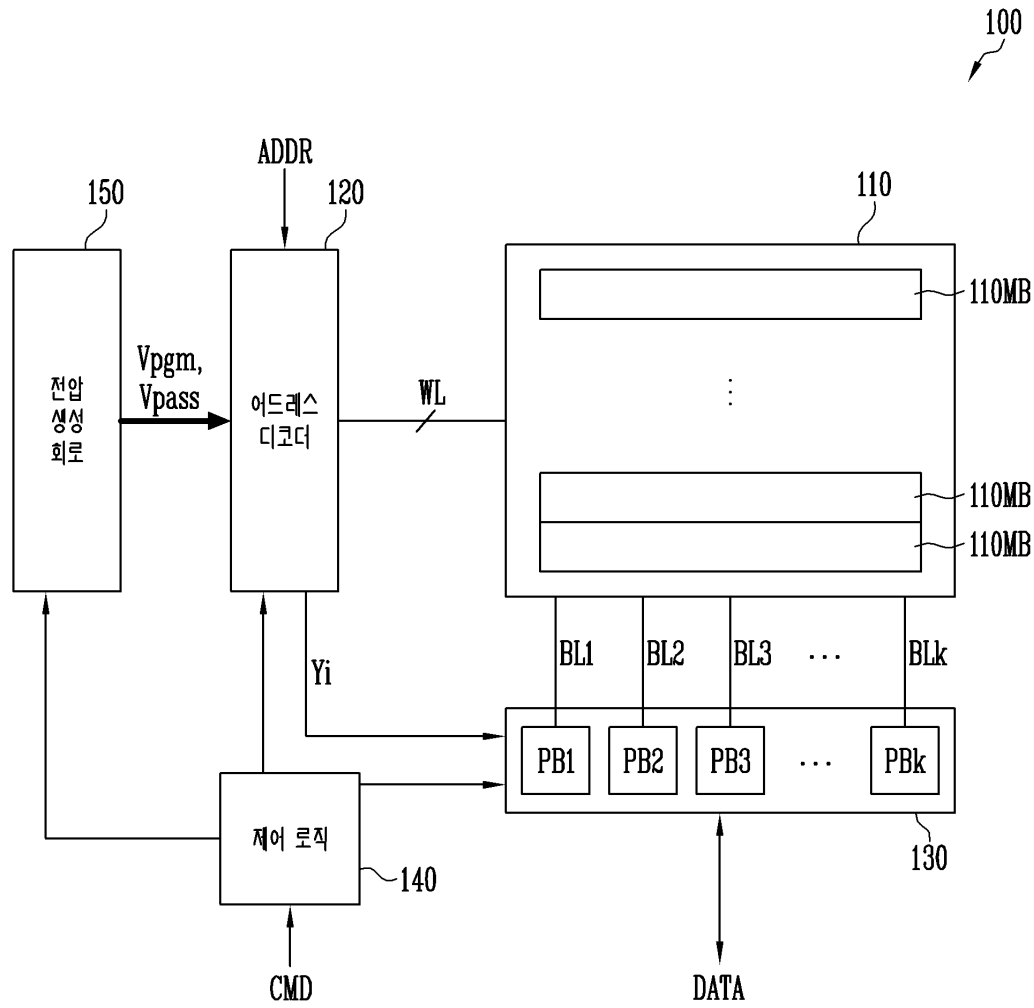
**부호의 설명**

- |        |                 |                |
|--------|-----------------|----------------|
| [0169] | 100: 반도체 메모리 장치 | 110: 메모리 셀 어레이 |
|        | 120: 어드레스 디코더   | 130: 페이지 버퍼 회로 |
|        | 140: 제어 로직      | 150: 전압 생성 회로  |

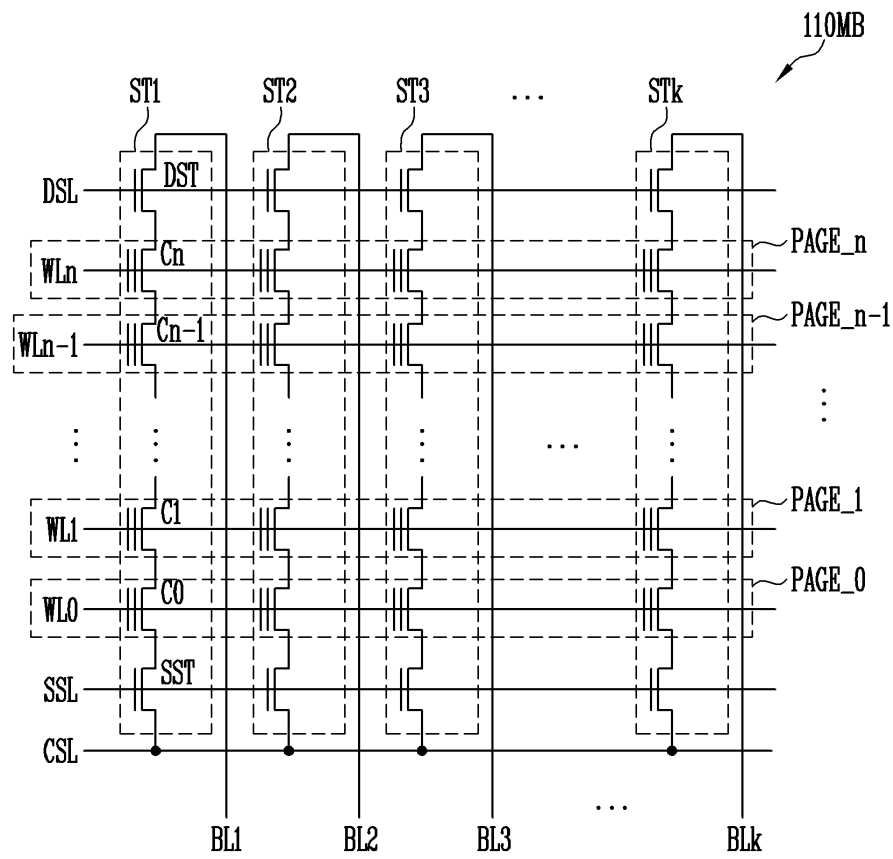


도면

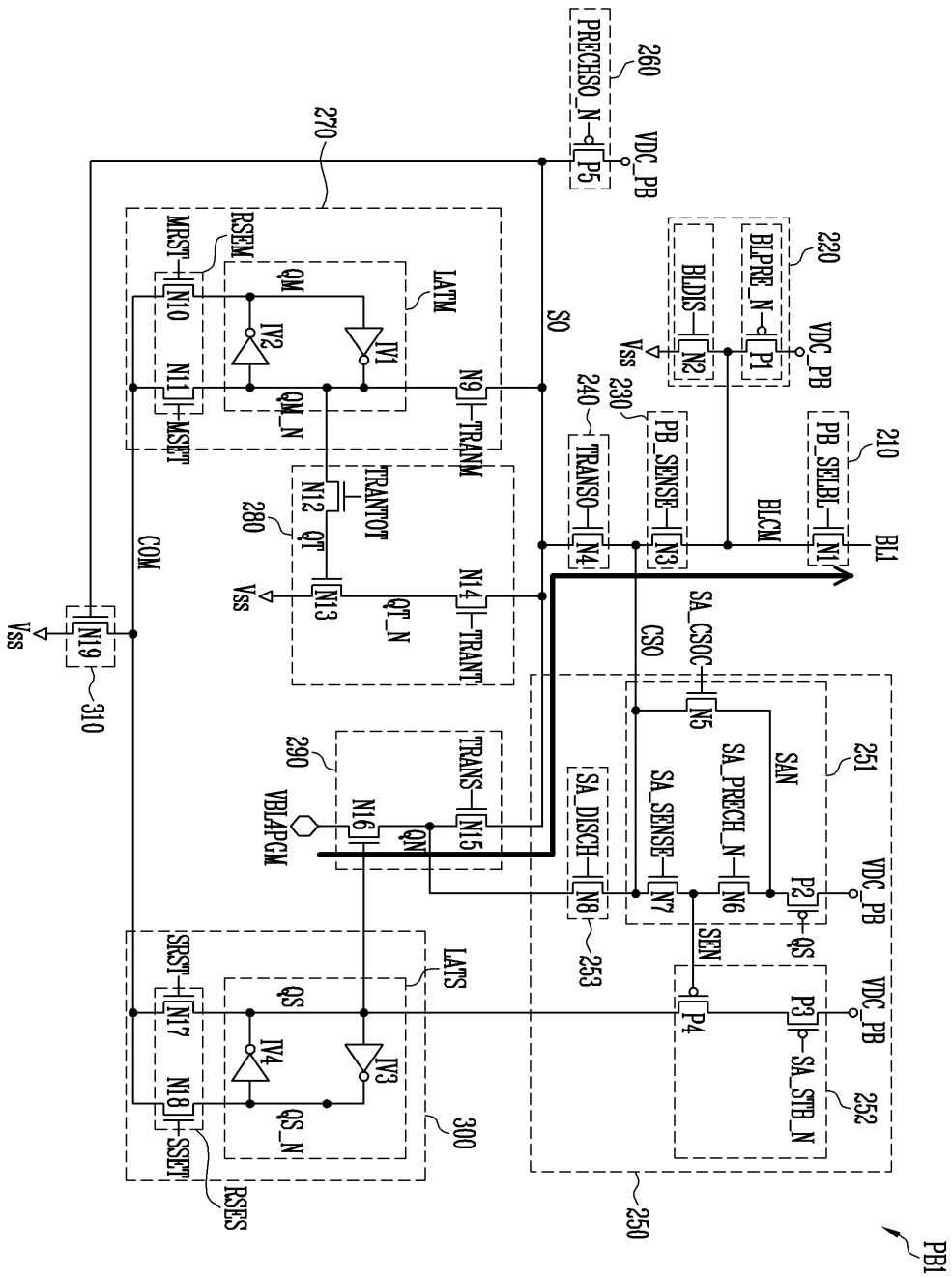
도면1



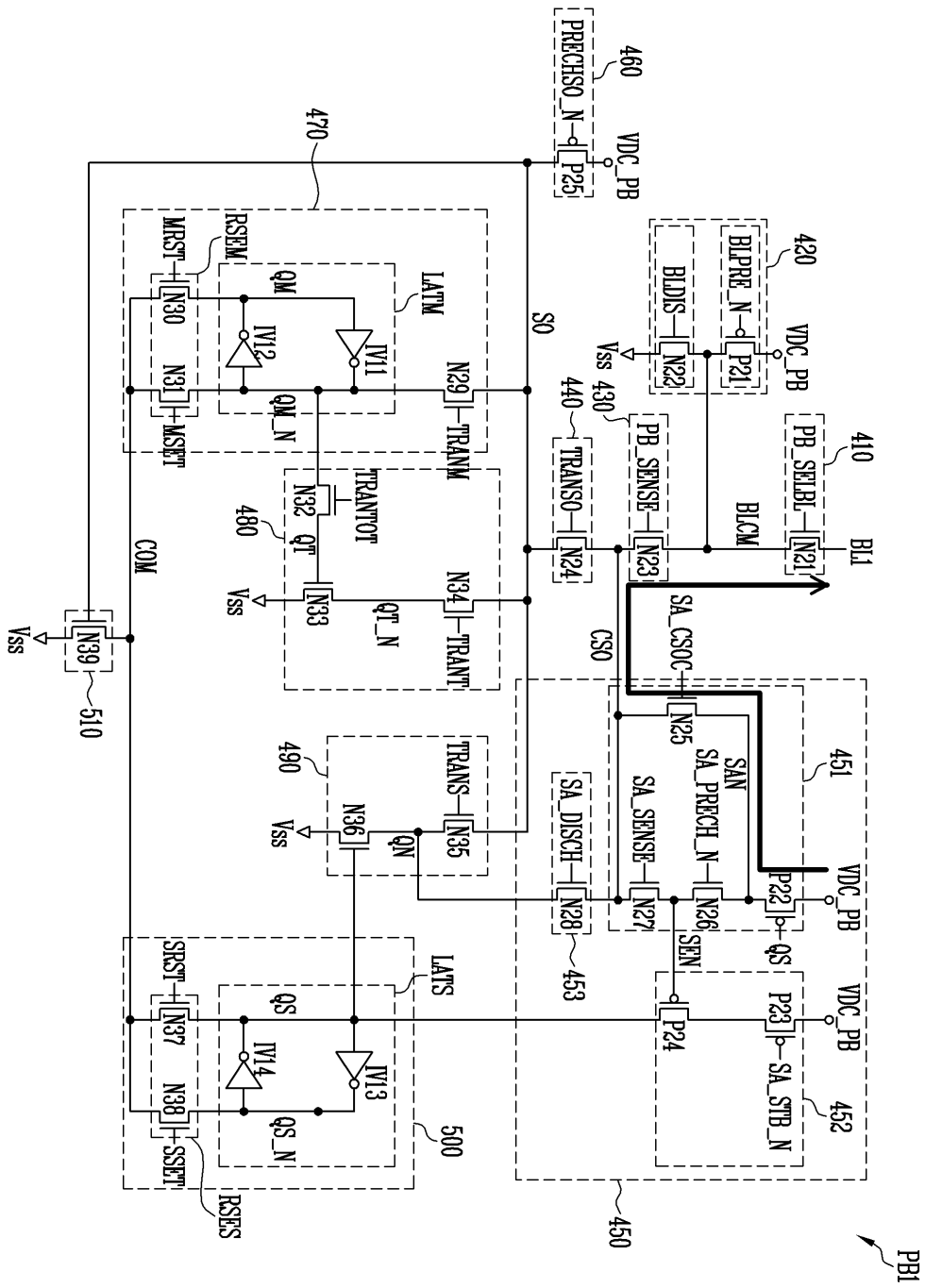
도면2



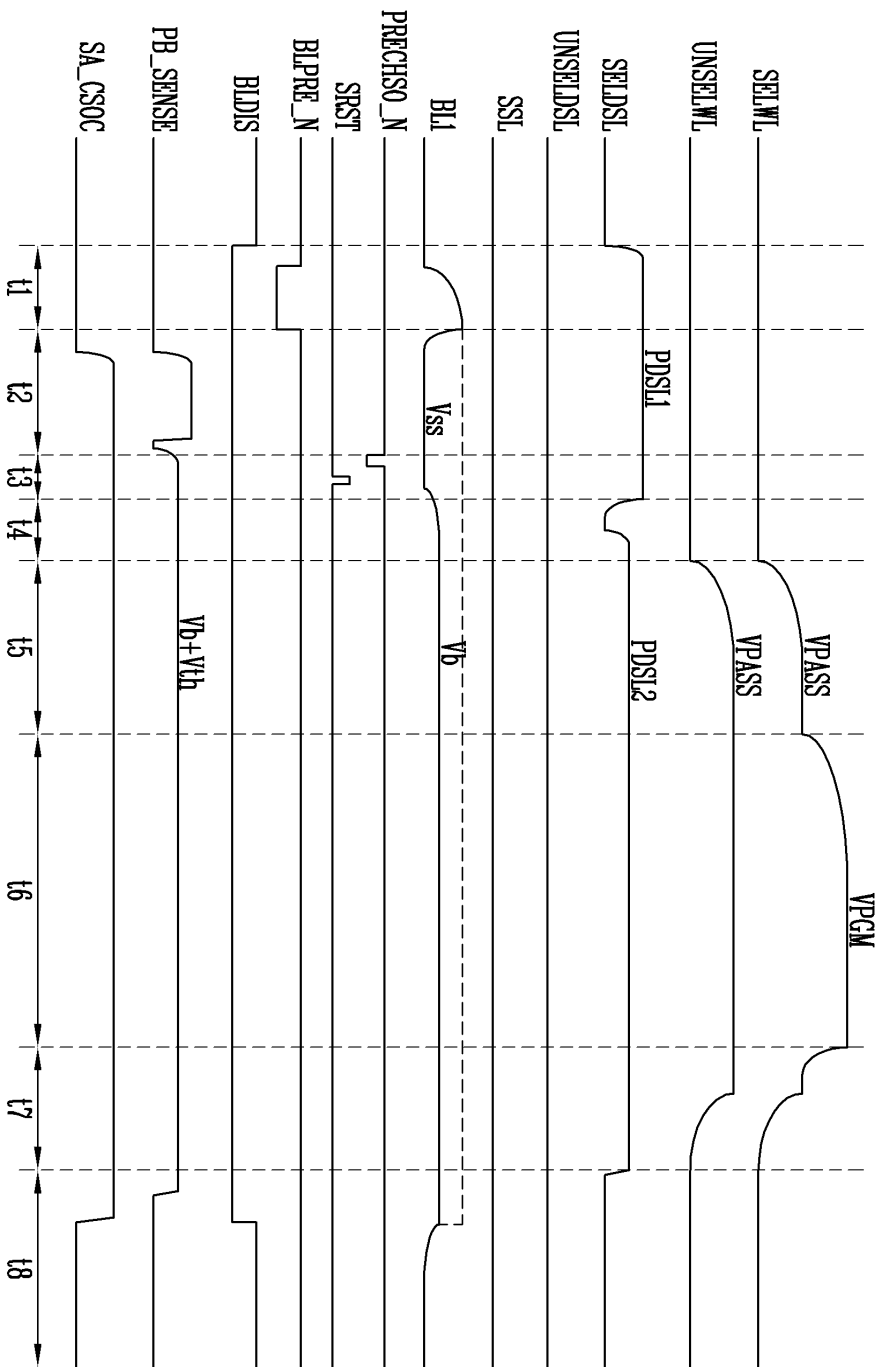
도면3



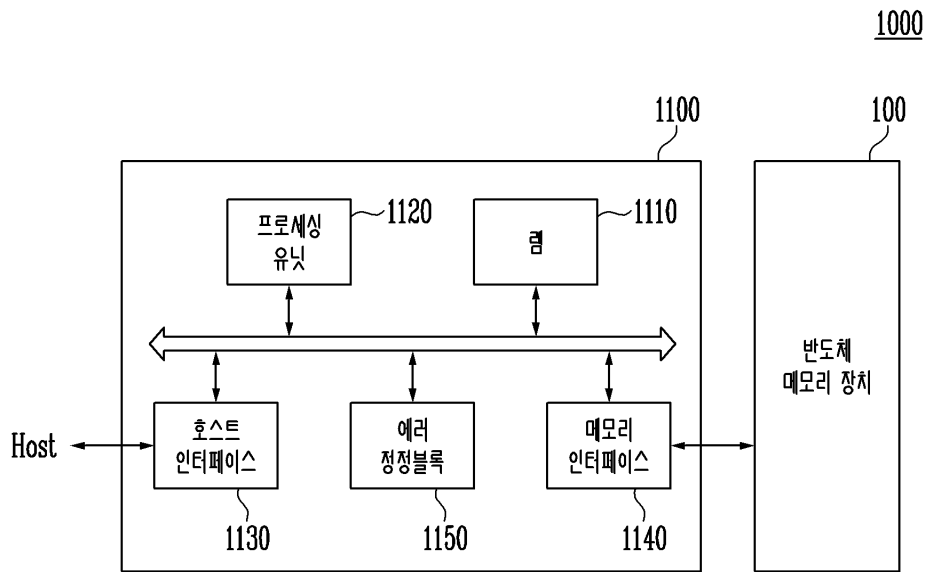
도면4



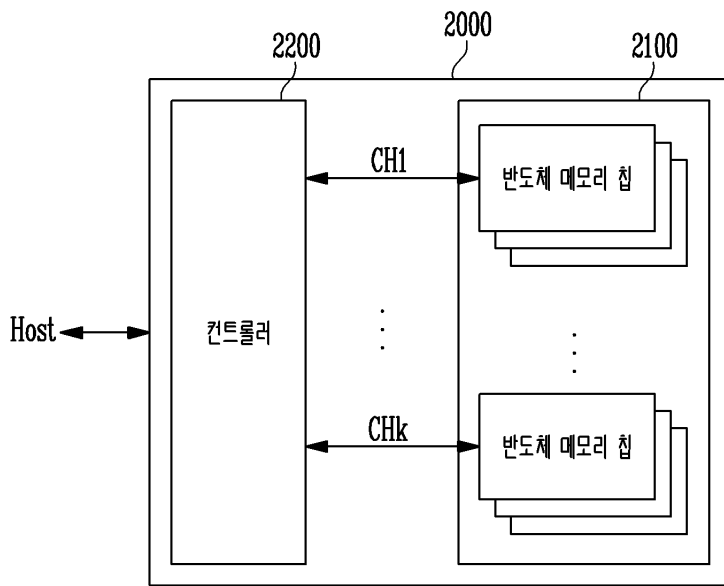
도면5



도면6



도면7



도면8

