



(12)发明专利申请

(10)申请公布号 CN 112634955 A

(43)申请公布日 2021.04.09

(21)申请号 201910904496.8

(22)申请日 2019.09.24

(71)申请人 长鑫存储技术有限公司

地址 230001 安徽省合肥市蜀山区经济技术  
开发区翠微路6号海恒大厦630室

(72)发明人 冀康灵 尚为兵 李红文

(74)专利代理机构 上海盈盛知识产权代理事务  
所(普通合伙) 31294

代理人 孙佳胤 高德志

(51)Int.Cl.

G11C 11/403(2006.01)

G11C 11/4063(2006.01)

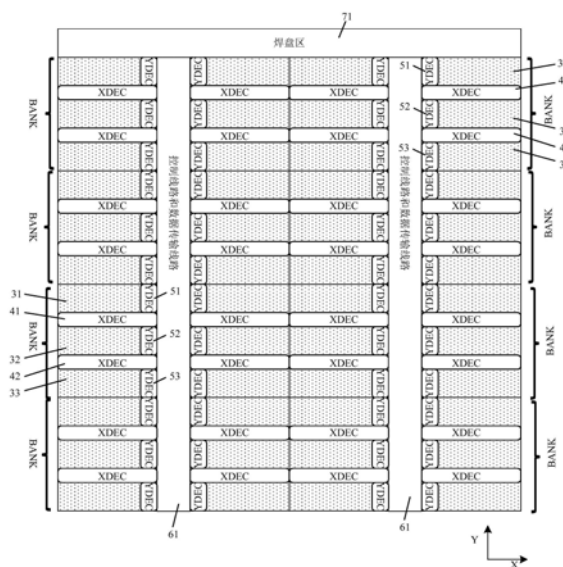
权利要求书1页 说明书5页 附图2页

(54)发明名称

DRAM存储器

(57)摘要

一种DRAM存储器,包括:衬底;位于所述衬底上呈行列排布的若干存储库,每一个存储库在列方向上被分为三个存储块,所述每一个存储块中均具有呈行列排布的若干存储单元。通过将每一个存储库列方向上分为三个存储块,一方面,在每一个存储库容量一定的情况下,在列方向上将每一个存储库分为三个存储块,每一个存储块在行方向上的长度会变短,使得控制线路和数据传输线路到每一个存储块中的存储阵列中相应的存储单元的距离会变短,因而可以不需要很大的驱动,并且使得数据传输线路产生的寄生电阻和寄生电容减小,使得数据传输速率和数据传输准确性提升,降低功耗。



1. 一种DRAM存储器,其特征在于,包括:

衬底;

位于所述衬底上呈行列排布的若干存储库,每一个存储库在列方向上被分为三个存储块,所述每一个存储块中均具有呈行列排布的若干存储单元。

2. 如权利要求1所述的DRAM存储器,其特征在于,所述三个存储块包括在列方向上依次排布的第一存储块、第二存储块和第三存储块。

3. 如权利要求2所述的DRAM存储器,其特征在于,所述每一个存储块中的所述第一存储块、第二存储块和第三存储块分别与第一列解码电路、第二列解码电路和第三列解码电路连接。

4. 如权利要求3所述的DRAM存储器,其特征在于,所述每一个存储块中的所述第一存储块、第二存储块和第三存储块还与第一行解码电路和第二行解码电路连接。

5. 如权利要求3所述的DRAM存储器,其特征在于,所述第一行解码电路与所述第一存储块中所有的存储单元以及第二存储块中部分存储单元连接,用于对第一存储块在所有的存储单元以及第二存储块中部分存储单元进行行寻址,所述第二行解码电路与所述第三存储块在所有的存储单元以及第二存储块中部分存储单元连接,用于对第三存储块在所有的存储单元以及第二存储块中部分存储单元进行行寻址。

6. 如权利要求2所述的DRAM存储器,其特征在于,所述第一存储块、第二存储块和第三存储块的存储容量相等。

7. 如权利要求1所述的DRAM存储器,其特征在于,两相邻列的存储库之间具有线路区,所述线路区中具有控制线路和数据传输线路,所述控制线路用于向对应的存储库发送控制指令和/或地址,所述数据传输线路用于向对应存储库中对应的存储单元传送数据或者从该存储单元中读取数据。

8. 如权利要求7所述的DRAM存储器,其特征在于,还具有焊盘区,所述焊盘区中具有若干第一焊盘和第二焊盘,所述第一焊盘与控制线路连接,所述第二焊盘与数据传输线路连接。

## DRAM存储器

### 技术领域

[0001] 本发明涉及存储器领域,尤其涉及一种DRAM存储器。

### 背景技术

[0002] 动态随机存取存储器(Dynamic Random Access Memory, DRAM)是计算机中常用的半导体存储器件,其存储阵列区由许多重复的存储单元组成。每个存储单元通常包括电容器和晶体管,晶体管的栅极与字线相连、漏极与位线相连、源极与电容器相连,字线上的电压信号能够控制晶体管的打开或关闭,进而通过位线读取存储在电容器中的数据信息,或者通过位线将数据信息写入到电容器中进行存储。

[0003] 现有DRAM存储器组织架构包括若干存储库(BANK),每一个存储库(BANK)均是分成左右两个大小相同的存储块。但是现有的组织架构DRAM存储器在工作时存在功耗较大以及数据传输速率和数据传输准确性仍有待提升的问题。

### 发明内容

[0004] 本发明所要解决的技术问题是怎样减小DRAM存储器功耗以及怎样提高数据传输速率和数据传输准确性。

[0005] 为此,本发明提供了一种DRAM存储器,包括:

[0006] 衬底;

[0007] 位于所述衬底上呈行列排布的若干存储库,每一个存储库在列方向上被分为三个存储块,所述每一个存储块中均具有呈行列排布的若干存储单元。

[0008] 可选的,所述三个存储块包括在列方向上依次排布的第一存储块、第二存储块和第三存储块。

[0009] 可选的,所述每一个存储块中的所述第一存储块、第二存储块和第三存储块分别与第一列解码电路、第二列解码电路和第三列解码电路连接。

[0010] 可选的,所述每一个存储块中的所述第一存储块、第二存储块和第三存储块还与第一行解码电路和第二行解码电路连接。

[0011] 可选的,所述第一行解码电路与所述第一存储块中所有的存储单元以及第二存储块中部分存储单元连接,用于对第一存储块在所有的存储单元以及第二存储块中部分存储单元进行行寻址,所述第二行解码电路与所述第三存储块在所有的存储单元以及第二存储块中部分存储单元连接,用于对第三存储块在所有的存储单元以及第二存储块中部分存储单元进行行寻址。

[0012] 可选的,所述第一存储块、第二存储块和第三存储块的存储容量相等。

[0013] 可选的,两相邻列的存储库之间具有线路区,所述线路区中具有控制线路和数据传输线路,所述控制线路用于向对应的存储库发送控制指令和/或地址,所述数据传输线路用于向对应存储库中对应的存储单元传送数据或者从该存储单元中读取数据。

[0014] 可选的,所述衬底上还具有焊盘区,所述焊盘区中具有若干第一焊盘和第二焊盘,

所述第一焊盘与控制线路连接,所述第二焊盘与数据传输线路连接。

[0015] 与现有技术相比,本发明技术方案具有以下优点:

[0016] 本发明的DRAM存储器,包括:衬底;位于所述衬底上呈行列排布的若干存储库,每一个存储库在列方向上被分为三个存储块,所述每一个存储块中均具有呈行列排布的若干存储单元。通过将每一个存储库列方向上分为三个存储块,一方面,在每一个存储库容量一定的情况下,在列方向上将每一个存储库分为三个存储块,每一个存储块在行方向上的长度会变短(相对于在行方向上将每一个存储库分成两个存储块的方案),使得控制线路本身长度会变短并且控制线路到每一个存储块中的存储阵列中相应的存储单元的距离会变短,因而不需要很大的驱动,降低功耗,并且使得数据传输线路本身长度会变短并且数据传输线路到每一个存储块中的存储阵列中相应的存储单元的距离也会变短,使得数据传输线路产生的寄生电阻和寄生电容减小,使得数据传输速率和数据传输准确性提升,降低功耗;另一方面,存储库中存储块的长度变短,能优化DRAM存储器中存储库的布局,使得DRAM存储器长宽比较为优化,有利于封装的进行。

[0017] 进一步,所述每一个存储块中的所述第一存储块、第二存储块和第三存储块分别与第一列解码电路、第二列解码电路和第三列解码电路连接,所述每一个存储块中的所述第一存储块、第二存储块和第三存储块还与第一行解码电路和第二行解码电路连接。所述第一列解码电路、第二列解码电路和第三列解码电路分别用于对第一存储块、第二存储块和第三存储块中对应的存储单元进行列寻址,所述第一行解码电路和第二行解码电路第一存储块、第二存储块和第三存储块中对应的存储单元进行行寻址,因而可以同时对一个存储库中三个存储块中对应的存储单元同时进行访问(包括读取、写入或刷新),提高了DRAM存储器的运行效率。

[0018] 在一实施例中,所述第一行解码电路与所述第一存储块中所有的存储单元以及第二存储块中部分存储单元连接,用于对第一存储块在所有的存储单元以及第二存储块中部分存储单元进行行寻址,所述第二行解码电路与所述第三存储块在所有的存储单元以及第二存储块中部分存储单元连接,用于对第三存储块在所有的存储单元以及第二存储块中部分存储单元进行行寻址。因而使得一个存储库中三个存储块中存储单元的行解码(译码)可以共享控制,节省了芯片的面积。

## 附图说明

[0019] 图1为本发明一实施例中DRAM存储器的结构示意图;

[0020] 图2为本发明另一实施例中DRAM存储器的结构示意图。

## 具体实施方式

[0021] 如背景技术所言,现有的组织架构DRAM存储器在工作时时存在功耗较大以及数据传输速率和数据传输准确性仍有待提升的问题。

[0022] 参考图1,图1为本发明一实施例中DRAM存储器的结构示意图,所述DRAM存储器包括:若干行列(行方向为图1中X轴方向,列方向为图1中Y轴方向)排布的存储库BANK,图1中以8个存储库BANK作为示例进行说明,所述每个存储库BANK均分成左右两个大小相同的存储块,包括第一存储块21和第二存储块22,第一存储块21和第二存储块22中包括存储阵列

或行列排布的若干存储单元,第一存储块21和第二存储块22分别与对应的行解码电路YDEC和列解码电路XDEC连接,相邻行之间的存储库之间设置有控制线路和数据传输线路,所述控制线路用于向对应的存储库BANK传输控制信号,所述数据传输线路用于向对应的存储单元中传输数据。前述组织架构DRAM存储器其沿行方向(X轴方向)的长度较长,相应的控制线路和数据传输线路的长度也要较长,且控制线路和数据传输线路到每一个存储单元的距离也较长,因而增加了功耗,并且使得控制线路和数据传输线路产生的寄生电阻和寄生电容增大,使得数据传输速率和数据传输准确性下降。此外,行方向(X轴方向)长度过长,使得长宽比例不够优化,会直接影响封装,可能无法满足封装要求。

[0023] 为此,本发明提供了一种DRAM存储器,包括:衬底;位于所述衬底上呈行列排布的若干存储库,每一个存储库在列方向上被分为三个存储块,所述每一个存储块中均具有呈行列排布的若干存储单元。通过将每一个存储库列方向上分为三个存储块,一方面,在每一个存储库容量一定的情况下,在列方向上将每一个存储库分为三个存储块,每一个存储块在行方向上的长度会变短(相对于在行方向上将每一个存储库分成两个存储块的方案),使得控制线路本身长度会变短并且控制线路到每一个存储块中的存储阵列中相应的存储单元的距离会变短,因而不需要很大的驱动,降低功耗,并且使得数据传输线路本身长度会变短并且数据传输线路到每一个存储块中的存储阵列中相应的存储单元的距离也会变短,使得数据传输线路产生的寄生电阻和寄生电容减小,使得数据传输速率和数据传输准确性提升,降低功耗;另一方面,存储库中存储块的长度变短,能优化DRAM存储器中存储库的布局,使得DRAM存储器长宽比较为优化,有利于封装的进行。

[0024] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。在详述本发明实施例时,为便于说明,示意图会不依一般比例作局部放大,而且所述示意图只是示例,其在此不应限制本发明的保护范围。此外,在实际制作中应包含长度、宽度及深度的三维空间尺寸。

[0025] 图2为本发明另一实施例中DRAM存储器的结构示意图。

[0026] 参考图2,所述DRAM存储器,包括:

[0027] 衬底(图中未示出);

[0028] 位于所述衬底上呈行列排布的若干存储库BANK,每一个存储库BANK在列方向上被分为三个存储块(31/32/33),所述每一个存储块(31/32/33)中均具有呈行列排布的若干存储单元。

[0029] DRAM存储器一般分为若干存储库BANK,一个DRAM存储器中存储库BANK的数量可以为4个、8个、16个或其他数量,每一个存储库BANK的存储容量相同,比如DRAM存储器容量为8Gb,相应的存在8个存储库BANK时,每一个存储库BANK的容量为1Gb,DRAM存储器中每一个存储库BANK具有各自的库地址,在对DRAM存储器进行访问(比如读取、写入或刷新)时,先找到对应的存储库BANK,然后找到所述存储库BANK中对应的存储单元。本实施例中,参考图2,以DRAM存储器具有16个BANK作为示例进行说明。

[0030] 每一个存储库BANK在列方向上被分为三个存储块,每一个存储块中具有存储阵列,所述存储阵列包括呈行列排布的若干存储单元,本实施例中,所述三个存储块包括在列方向上依次排布的第一存储块31、第二存储块32和第三存储块33,第一存储块31、第二存储块32和第三存储块33分别与对应的行解码电路XDEC和列解码电路YDEC连接(需要说明的

是,本实施例中,所述列方向指Y轴方向,行方向指X轴方向)。通过将每一个存储库BANK列方向上分为三个存储块(第一存储块31、第二存储块32和第三存储块33),一方面,在每一个存储库BANK容量一定的情况下,在列方向上将每一个存储库BANK分为三个存储块,每一个存储块在行方向上的长度会变短(相对于在行方向上将每一个存储库分成两个存储块的方案),使得控制线路本身长度会变短并且控制线路到每一个存储块中的存储阵列中相应的存储单元的距离会变短,因而不需要很大的驱动,降低功耗,并且使得数据传输线路本身长度会变短并且数据传输线路到每一个存储块中的存储阵列中相应的存储单元的距离也会变短,使得数据传输线路产生的寄生电阻和寄生电容减小,使得数据传输速率和数据传输准确性提升,降低功耗;另一方面,存储库BANK中存储块的长度变短,能优化DRAM存储器中存储库BANK的布局,使得DRAM存储器长宽比较为优化,有利于封装的进行。

[0031] 在一实施例中,所述第一存储块31、第二存储块32和第三存储块33的存储容量相等。

[0032] 在一实施例中,所述每一个存储块BANK中的所述第一存储块31、第二存储块32和第三存储块33分别与第一列解码电路(YDEC) 51、第二列解码电路(YDEC) 52和第三列解码电路(YDEC) 53连接,所述每一个存储块BANK中的所述第一存储块31、第二存储块32和第三存储块33还与第一行解码电路(XDEC) 41和第二行解码电路(XDEC) 42连接。所述第一列解码电路(YDEC) 51、第二列解码电路(YDEC) 52和第三列解码电路(YDEC) 53分别用于对第一存储块31、第二存储块32和第三存储块33中对应的存储单元进行列寻址,所述第一行解码电路(XDEC) 41和第二行解码电路(XDEC) 42第一存储块31、第二存储块32和第三存储块33中对饮的存储单元进行行寻址,因而可以同时对一个存储库BANK中三个存储块中对应的存储单元同时进行访问(包括读取、写入或刷新),提高了DRAM存储器的运行效率。

[0033] 在一实施例中,所述第一行解码电路41与所述第一存储块31中所有的存储单元以及第二存储块32中部分存储单元连接,用于对第一存储块31在所有的存储单元以及第二存储块32中部分存储单元进行行寻址,所述第二行解码电路42与所述第三存储块33在所有的存储单元以及第二存储块32中部分存储单元连接,用于对第三存储块33在所有的存储单元以及第二存储块32中部分存储单元进行行寻址。因而使得一个存储库BANK中三个存储块中存储单元的行解码(译码)可以共享控制,节省了芯片的面积。

[0034] 所述两相邻列的存储库BANK之间具有线路区61,所述线路区61中具有控制线路和数据传输线路,所述控制线路用于向对应的存储库发送控制指令和/或地址,所述控制指令包括写入指令、读取指令和刷新等指令,所述地址包括每个存储库BANK的库地址以及存储库BANK中对应的存储块中相应存储单元的行地址和列地址,所述数据传输线路用于向对应存储库BANK中对应的存储单元传送数据或者从该存储单元中读取数据。

[0035] 所述衬底上还具有焊盘区71,焊盘区71一般位于存储库BANK阵列周围,所述焊盘区71中具有若干第一焊盘区和若干第二焊盘区,所述若干第一焊盘区与控制线路连接,所述若干第二焊盘区与数据传输线路连接。

[0036] 在一实施例中,所述DRAM存储进行寻址的流程一般是先指定存储库BANK的库地址,再指定行地址,然后指列地址。

[0037] 需要说明的是,本实施例中关于存储结构其他限定或描述在本实施例中不再赘述,具体请参考前述存储结构形成过程实施例中的相应限定或描述。

[0038] 本发明虽然已以较佳实施例公开如上,但其并不是用来限定本发明,任何本领域技术人员在不脱离本发明的精神和范围内,都可以利用上述揭示的方法和技术内容对本发明技术方案做出可能的变动和修改,因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化及修饰,均属于本发明技术方案的保护范围。

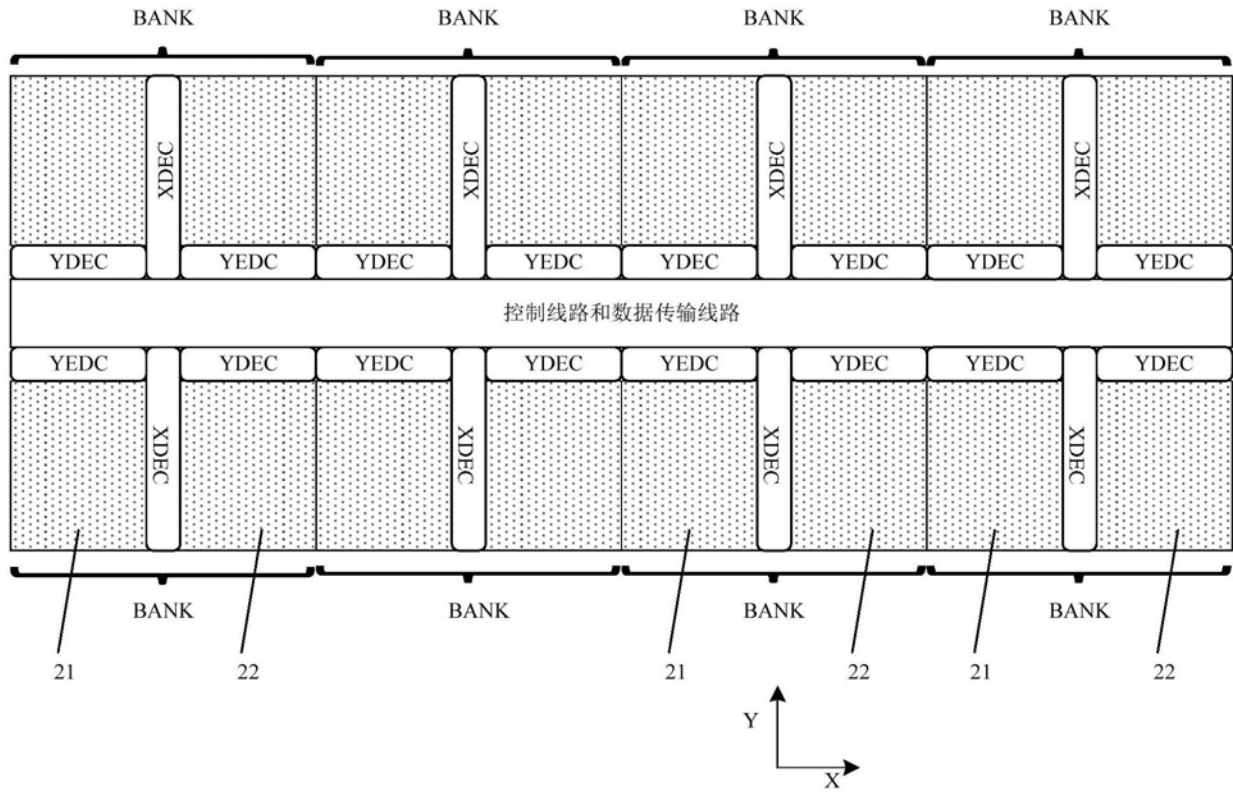


图1



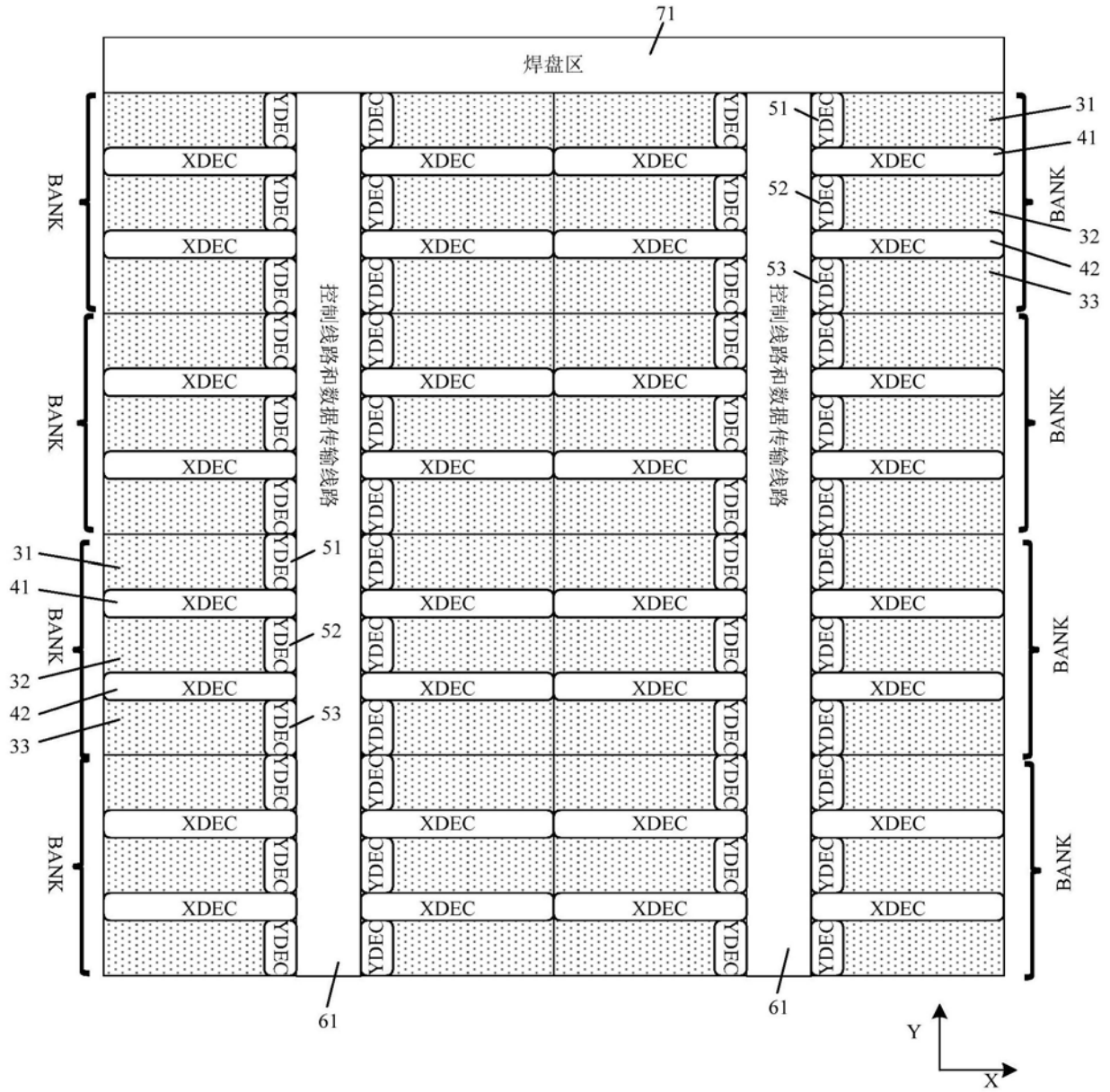


图2