

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년08월10일
G09G 3/30 (2006.01)	(11) 등록번호	10-0611292
G09F 9/30 (2006.01)	(24) 등록일자	2006년08월03일

(21) 출원번호	10-2004-0038408	(65) 공개번호	10-2004-0103431
(22) 출원일자	2004년05월28일	(43) 공개일자	2004년12월08일

(30) 우선권주장	JP-P-2003-00152158	2003년05월29일	일본(JP)
	JP-P-2003-00378569	2003년11월07일	일본(JP)
	JP-P-2004-00154072	2004년05월25일	일본(JP)

(73) 특허권자 산요덴키가부시킴이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 사노케이이찌
대만타이페이시쉬-런디스트리트충산노쓰로드세컨드7-1224층

마루모고지
일본기후켄기후시이찌하시1-8-15

고가마사유키
일본기후켄안빠찌공안빠찌쵸오오모리180

우에스기겐야
일본기후켄오오가끼시야스이쵸1-18-1-203

센다미찌루
일본기후켄기후시기따지마1-6-15아메니티모어202

야마무라구니
일본기후켄안빠찌공안빠찌쵸모리베1763-1

(74) 대리인 장수길
이중희
구영창

심사관 : 천대식

(54) 화소 회로 및 표시 장치

요약

구동 TFT의 임계값 변동의 악영향을 감소한다. 스위칭 TFT(20)가 온 상태가 됨으로써 데이터 라인의 데이터 전압이 구동 TFT(22)의 게이트 전압 V_{G22} 로서 축적 용량(24)에 유지된다. 이 상태에서, 펄스 구동 라인의 전압을 하강시킨다. 구동

TFT(22)의 게이트에는, 타단이 기준 전압에 접속되는 MOS형 용량 소자(28)가 접속되어 있고, MOS형 용량 소자(28)는, 펄스 구동 라인의 하강 전에는 온, 하강하는 도중에 오프 상태로 되고, 그 전환에 의해 용량값이 변화한다. 따라서, 게이트 전압 V_{G22} 의 하강 구배가 변화하고, 이에 의해 구동 TFT(22)의 임계값 변화에 대응하여, 펄스 구동 라인 하강 후의 게이트 전압 V_{G22} 를 보정할 수 있다.

대표도

도 1

색인어

임계값 변동, 구동 TFT, 용량 소자, 펄스 구동 라인, 온/오프, 데이터 라인, 데이터 전압

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 화소 회로의 구성을 도시하는 도면.

도 2는 게이트 전압의 변화 상태를 도시하는 도면.

도 3은 전환 전압의 변화와 게이트 전압의 변화의 관계를 도시하는 도면.

도 4는 본 발명의 실시예에 따른 다른 화소 회로 구성을 도시하는 도면.

도 5는 게이트 전압의 변화 상태를 도시하는 도면.

도 6은 게이트 전압의 변화 상태를 도시하는 도면.

도 7은 축적 용량의 보정 전압에 대한 영향을 도시하는 도면.

도 8은 구동 TFT의 게이트폭의 보정 전압에 대한 영향을 도시하는 도면.

도 9는 MOS형 용량 소자의 게이트 길이의 보정 전압에 대한 영향을 도시하는 도면.

도 10은 본 발명의 다른 실시예에 따른 화소 회로 구성을 도시하는 도면.

도 11은 본 발명의 실시예에 따른 화소의 평면 구성을 도시하는 도면.

도 12는 도 11의 화소의 각 위치의 개략 단면 구조를 도시하는 도면.

도 13은 본 발명의 다른 실시예에 따른 화소 회로의 구성을 도시하는 도면.

도 14는 종래의 화소 회로의 구성을 도시하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

20 : 스위칭 TFT

22 : 구동 TFT

24 : 축적 용량

- 26 : 유기 EL 소자
- 28 : MOS형 용량 소자
- 100 : 기관
- 102 : 버퍼층
- 104 : 게이트 절연막
- 106 : 층간 절연막
- 108 : (제1) 평탄화 절연막
- 110 : (제2) 평탄화 절연막
- 120 : 제1 TFT용 반도체층(능동층)
- 122 : 제2 TFT용 반도체층(능동층)
- 124 : 축적 용량 전극
- 128 : MOS형 용량 소자용 반도체층(능동층)
- 262 : 하부 전극(양극)
- 264 : 상부 전극(음극)
- 270 : 발광 소자층
- 272 : 정공 수송층
- 274 : 발광층
- 276 : 전자 수송층
- 300 : (GL) 게이트 라인
- 302 : 제2 TFT 게이트 전극
- 304 : 금속 배선층
- 306 : MOS형 용량 소자용 게이트 전극
- 308 : 드레인 전극
- 310 : (DL) 데이터 라인
- 330 : (SC) 축적 용량 라인(펄스 구동 라인)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 유기 일렉트로루미네센스(이하 EL) 소자 등의 발광 소자를 포함하는 화소 회로, 및 그 화소 회로를 매트릭스 형상으로 배치된 표시 장치에 관한 것이다.

종래부터, 발광 소자로서 유기 EL 소자를 이용한 유기 EL 패널이 알려져 있고, 그 개발이 진행되고 있다. 이 유기 EL 패널에 있어서는, 유기 EL 소자를 매트릭스 형상으로 배치하고, 이 유기 EL 소자의 발광을 개별적으로 제어함으로써, 표시를 행한다. 특히, 액티브 매트릭스 타입의 유기 EL 패널에서는, 화소마다에 표시 제어용의 TFT를 갖고, 이 TFT의 동작 제어에 의해 화소마다의 발광을 제어할 수 있기 때문에, 매우 고정밀도의 표시를 행할 수 있다.

도 14에, 액티브 매트릭스 타입의 유기 EL 패널에 있어서의 화소 회로의 일례를 도시한다. 화소의 휘도를 나타내는 데이터 전압이 공급되는 데이터 라인은, 게이트가 게이트 라인에 접속된 n 채널의 스위칭 TFT(10)를 통하여, 구동 TFT(12)의 게이트에 접속되어 있다. 또한, 구동 TFT(12)의 게이트에는, 타단이 용량 전원 라인에 접속된 축적 용량(14)의 일단이 접속되어, 구동 TFT(12)의 게이트 전압을 유지한다.

구동 TFT(12)의 소스는, EL 전원에 접속되고, 드레인인 유기 EL 소자(16)의 애노드에 접속되고, 유기 EL 소자(16)의 캐소드가 캐소드 전원에 접속되어 있다.

이러한 화소 회로가 매트릭스 형상으로 배치되어 있고, 소정의 타이밍으로, 수평 라인마다 설치된 게이트 라인이 H 레벨로 되어, 그 행의 스위칭 TFT(10)이 온 상태가 된다. 이 상태에서, 데이터 라인에는, 순차적으로 데이터 전압이 공급되기 때문에, 그 데이터 전압은 축적 용량(14)에 공급 유지되고, 게이트 라인이 L 레벨로 되더라도 그 때의 전압을 유지한다.

그리고, 이 축적 용량(14)에 유지된 전압에 따라, 구동 TFT(12)가 동작하여 대응하는 구동 전류가 EL 전원에서부터 유기 EL 소자(16)를 통하여, 캐소드 전원에 흘러, 유기 EL 소자(16)가 데이터 전압에 따라 발광한다.

그리고, 게이트 라인을 순차적으로 H 레벨로 하여, 입력되어 오는 비디오 신호를 대응하는 화소에 데이터 전압으로서 순차적으로 공급함으로써, 매트릭스 형상으로 배치된, 유기 EL 소자(16)가 데이터 전압에 따라 발광하여, 비디오 신호에 대응한 표시가 행하여진다.

<특허 문헌1>

일본 특표2002-514320호 공보

발명이 이루고자 하는 기술적 과제

그러나, 이러한 화소 회로에 있어서, 매트릭스 형상으로 배치된 화소 회로의 구동 TFT(12)의 임계값 전압이 변동하면, 유기 EL 소자의 휘도가 변동하게 되어, 표시 품질이 저하한다고 하는 문제가 있다. 그리고, 표시 패널 전체의 화소 회로를 구성하는 TFT에 대하여, 그 특성을 완전하게 동일하게 하는 것은 어렵고, 또한 그 온/오프의 임계값이 변동하는 것을 방지하는 것은 어렵다.

그래서, 구동 TFT에 있어서의 임계값의 변동의 표시에 대한 영향을 방지하는 것이 요구된다.

여기서, TFT의 임계값의 변동에 대한 영향을 방지하기 위한 회로에 대해서는, 종래부터 각종의 제안이 있다(예를 들면, 상기 특허 문헌1).

그러나, 이 제안에서는, 임계값 변동의 보상을 하기 위한 회로를 필요로 한다. 따라서, 이러한 회로를 이용하면, 화소 회로의 소자수가 증가하여, 개구율이 작아지게 된다고 하는 문제가 있었다. 또한, 보상을 위한 회로를 추가한 경우, 화소 회로를 구동하기 위한 주변 회로에 대해서도 변경이 필요하게 된다고 하는 문제도 있었다.

본 발명은, 간단한 변경으로, 효과적으로 구동 트랜지스터의 임계값 전압의 변동을 보상할 수 있는 화소 회로를 제공한다.

발명의 구성 및 작용

본 발명은, 데이터 전압을 일단에 받아서 유지하는 축적 용량과, 상기 축적 용량의 상기 일단에 게이트가 접속되어, 상기 축적 용량의 일단의 전압에 따라 전류량이 제어되는 구동 트랜지스터와, 상기 구동 트랜지스터에 흐르는 전류량에 따라 발광하는 발광 소자와, 상기 축적 용량의 타단에 접속되고, 소정의 전압 또는 펄스 형상 신호가 입력되는 제1 제어 신호선과, 상기 구동 트랜지스터의 게이트에 일단이 접속되고, 타단은 소정의 전압 또는 펄스 형상 신호가 입력되는 제2 제어 신호선에 접속되고, 상기 제1 또는 제2 제어 신호선의 전압 변동에 의해 용량값이 변화하는 MOS형 용량 소자를 구비한다.

제1 또는 제2 제어 신호선의 전압 변동에 의해서 상기 MOS형 용량 소자의 온/오프 상태가 변화하여 MOS형 용량 소자의 용량이 변화한다. 따라서, 이 용량값의 변화를 이용하여 구동 트랜지스터의 임계값 변화를 보상하는 것이 가능하게 된다. 또, MOS형 용량 소자로서는, 박막 트랜지스터(TFT) 외에, MIS 트랜지스터, MOS 트랜지스터를 이용할 수 있다.

또한, 상기 데이터 전압을 축적 용량에서 유지한 후, 제1 또는 제2 제어 신호선의 전압 변동에 의해서, MOS형 용량 소자를 온 상태에서부터 오프 상태로 변화하게 하는 것이 바람직하다.

또한, 상기 MOS형 용량 소자는, 상기 구동 트랜지스터와 마찬가지로의 임계값 전압을 갖고 있는 것이 바람직하다.

MOS형 용량 소자는, 구동 TFT와 동일 프로세스로 또한 근방에 형성할 수 있다. 이 때문에, 양자를 용이하게 동일 특성으로 할 수 있다. 양자의 임계값 전압이 같으므로, 이것을 이용하여 임계값 전압의 변동의 보상이 용이하게 된다.

본 발명의 다른 양태에서는, 상기 MOS형 용량 소자의 소스 또는 드레인 중 적어도 한쪽이 상기 구동 트랜지스터의 게이트에 접속되고, 게이트가 상기 제2 제어 신호선에 접속되어 있다.

또한, 본 발명의 다른 양태에서는, 상기 MOS형 용량 소자의 소스 또는 드레인의 한쪽이 데이터 신호의 공급원에 접속되고, 타단이 상기 구동 트랜지스터의 게이트에 접속되고, 게이트가 제2 신호선에 접속되어 있다.

이와 같이, MOS형 용량 소자를 MOS 트랜지스터로 함으로써, 마찬가지로의 작용 효과가 얻어진다.

상기 제1 또는 제2 제어 신호선의 전압 변동에 의해서, 상기 MOS형 용량 소자를 온 상태에서부터 오프 상태로 변화시킴과 함께, 상기 구동 트랜지스터를 오프 상태에서부터 온 상태로 변화시켜서 발광 소자를 발광시키는 것이 바람직하다.

또한, 상기 제2 제어 신호선은, 상기 구동 트랜지스터에 접속되는 구동용 전원선이 겸용할 수 있다. 이에 의해, 별도의 제2 제어 신호선이 불필요하게 된다.

본 발명의 다른 양태에서는, 상기 구동 트랜지스터 및 상기 MOS형 용량 소자는 p 채널 박막 트랜지스터이다.

또한, 본 발명의 다른 양태에서는, 상기 발광 소자는, 일렉트로루미네센스 소자이다.

또한, 본 발명의 다른 양태에서는, 표시 장치에 있어서, 상술한 바와 같은 화소 회로를 매트릭스 형상으로 갖는다.

<실시예>

이하, 본 발명의 실시예에 대하여, 도면에 기초하여 설명한다.

도 1은, 실시예에 따른 1 화소의 화소 회로의 구성을 도시하는 도면이다. 수직 방향으로 연장되는 데이터 라인에는, p 채널의 스위칭 TFT(20)의 드레인이 접속되어 있다. 이 스위칭 TFT(20)의 게이트는 수평 방향으로 연장되는 게이트 라인에 접속되고, 소스는 p 채널의 구동 TFT(22)의 게이트에 접속되어 있다. 또한, 스위칭 TFT(20)의 소스가 접속되어 있는 구동 TFT(22)의 게이트에는, 축적 용량(24)의 일단이 접속되고, 이 축적 용량의 타단은 펄스 구동 라인에 접속되어 있다. 이 펄스 구동 라인(제1 제어 신호선)은, 용량 전원 라인과 마찬가지로 수평 방향으로 연장되는 라인이다.

구동 TFT(22)의 소스는, 수직 방향으로 연장되는 EL 전원 라인에 접속되고, 드레인은 유기 EL 소자(26)의 애노드에 접속되어 있다. 또한, 유기 EL 소자(26)의 캐소드가 캐소드 전원에 접속되어 있다. 여기서, 통상의 경우, 유기 EL 소자(26)의 캐소드는 전 화소 공통으로 되어 있고, 이 캐소드가 소정의 전위의 캐소드 전원에 접속되어 있다.

그리고, 구동 TFT(22)의 게이트에는, 게이트단이 소정 전위의 기준 전원 라인(제2 제어 신호선)의 전압에 설정된 p채널의 MOS형 용량 소자(28)의 일단이 접속되어 있다. 여기서, 이 MOS형 용량 소자(28)는, 통상의 TFT와 마찬가지로, 소스, 채널 및 드레인 영역을 갖고 있는데, 소스 또는 드레인의 한쪽의 전극과, 게이트 전극을 소정의 부위에 접속하여, 단순히 게이트 용량으로서 이용하는 것이다.

또한, MOS형 용량 소자(28)는, 채널 영역과 1개의 불순물 영역을 갖고, 그 불순물 영역에 대응한 전극과 게이트 전극을 소정의 부위에 접속한 것이어도 된다. 또한, MOS형 용량 소자(28)로서는, MOS 트랜지스터, MIS 트랜지스터나, TFT 타입 등이 있다.

이러한 화소 회로가 매트릭스 형상으로 배치되어 있고, 해당하는 수평 라인의 비디오 신호가 입력되어 오는 타이밍에서, 그 수평 라인의 게이트 라인이 L로 되어, 그 행의 스위칭 TFT(20)가 온 상태가 된다. 그리고, 이 상태에서, 비디오 신호가 대응하는 데이터 라인에는, 순차적으로 데이터 전압으로서 공급된다. 이 때문에, 그 데이터 전압은 축적 용량(24)에 공급 유지되고, 게이트 라인이 H 레벨로 되어, 스위칭 TFT(20)가 오프 상태로 되어도 구동 TFT(22)의 게이트 전압이 유지된다.

그리고, 이 축적 용량(24)에 유지된 전압에 따라, 구동 TFT(22)가 동작하여 대응하는 구동 전류가 EL 전원으로부터 유기 EL 소자(26)를 통하여, 캐소드 전원에 흘러, 유기 EL 소자(26)가 데이터 전압에 따라 발광한다.

그리고, 게이트 라인을 순차적으로 L 레벨로 하여, 입력되어 오는 비디오 신호를 대응하는 화소에 데이터 전압으로서 순차적으로 공급함으로써, 매트릭스 형상으로 배치된, 유기 EL 소자(26)가 데이터 전압에 따라 발광하여, 비디오 신호에 대한 표시가 행하여진다.

여기서, 구동 TFT(22)는, EL 전원의 전압과 게이트 전압의 차, 즉, V_{gs} 에 따라 온 상태가 되어 대응하는 구동 전류를 흘린다. 그리고, 이 V_{gs} 가 그 TFT의 특성에 의해 정해지는 임계값 전압 V_{th} 보다 커지게 되었을 때에 전류를 흘리기 시작하고, 구동 전류량은, 게이트 전압과, 임계값 전압의 차에 의해 결정된다. 한편, 매트릭스 형상으로 배치된 다수의 구동 TFT(22)의 임계값 전압을 완전하게 동일하게 하는 것은 어려워, 임계값 전압은 화소 위치에 따라서 다소 변동할 수밖에 없다. 따라서, 표시 휘도가 구동 TFT(22)의 임계값 전압의 변동에 따라 변동하게 된다.

본 실시예에서는, 구동 TFT(22)의 게이트에 MOS형 용량 소자(28)를 접속하고, 또한 축적 용량(24)의 타단을 펄스 구동 라인에 접속하고, 이에 의해 구동 TFT(22)의 임계값 전압의 변동을 보상한다.

우선, 펄스 구동 라인은, 스위칭 TFT(20)가 온 상태로 되어 데이터 전압이 기입되고 있을 때에는, H 레벨에 있다. 그리고, 데이터 전압의 기입(축적 용량(24)에의 충전)이 종료하여, 스위칭 TFT(20)가 오프 상태로 된 후, 펄스 구동 라인은, L 레벨로 되고, 이에 의해 구동 TFT(22)의 게이트 전압이 데이터 전압으로부터 소정값 낮은 전압이 되어, 이 전압에 따른 구동 전류를 흘린다.

한편, MOS형 용량 소자(28)는, 각 화소마다 설치되어 있고, 그 화소의 구동 TFT(22)에 인접하여 형성되어 있고, 구동 TFT(22)와 동일한 공정에 의해 작성된다. 따라서, 구동 TFT(22)와, MOS형 용량 소자(28)는, 불순물 농도 등도 거의 동일하고, 임계값 전압도 동일한 것으로 된다. 그리고, MOS형 용량 소자(28)의 게이트에 인가되는 기준 전압($V_{ref}=V_{G28}$)은, 상술한 펄스 구동 라인의 전압이 H 레벨로부터 L 레벨로 변화했을 때에, MOS형 용량 소자(28)의 채널 영역이 온 상태에서 오프 상태로 변화하도록 설정되어 있고, 정전압이어도 되고, 또한 펄스 구동 전압과는 역상의 신호이어도 된다.

도 2에 도시한 바와 같이, 펄스 구동 라인의 펄스 구동 전압은, H 레벨로부터 L 레벨로 변화한다. 이에 의해 도 1의 노드 T_{G22} 의 전압, 즉 구동 TFT(22)의 게이트 전압(V_{G22})이 펄스 구동 전압에 대응하여 저하한다. 그리고, 이 게이트 전압(V_{G22})이 저하하여, 기준 전압(V_{ref})과의 전위차 ($|V_{ref}-V_{G22}|$)가 MOS형 용량 소자(28)의 임계값 전압(V_{th28})의 절대값보다 작아지면, p 도전형으로 구성된 MOS형 용량 소자(28)는 온 상태에서 오프 상태로 변화한다. 이에 의해, MOS형 용량 소자(28)는, 그 용량이 작아지기 때문에, 축적 용량(24)을 통하여 입력되는 펄스 구동 전압의 변화의 영향이 크게 되어, 게이트 전압의 저하의 기울기가 커진다. 즉, 펄스 구동 전압의 변화에 따라 노드 T_{G22} 의 전위가 변화하는데, MOS형 용량 소자(28)의 용량값이, 이 MOS형 용량 소자(28)의 온 상태일 때에는 크고, 오프 상태일 때에는 작아지게 되어, 용량이 큰 상태에서 작은 상태로 전환할 때에 노드 T_{G22} 의 전위(TFT(22)의 게이트 전위)의 변화의 기울기가 커진다.

MOS형 용량 소자(28)의 온 상태에서 오프 상태로의 전환 전압이, 도 2에 있어서의 「전환 전압 A」인 경우에는, 게이트 전압 V_{G22} 는 도 2에 있어서 실선으로 도시한 바와 같이 변화하여, 전환 전압 A에 이를 때까지는, 제1 기울기로 변화(저하)하고, 그 후 제2 기울기로 변화(저하)하여, 펄스 구동 전압이 L 레벨로 되었을 때에, 게이트 전압 V_{G22} 는 보정 전압 V_{cA} 로 설정된다. 여기서, MOS형 용량 소자(28)의 온/오프 상태로 하는 전환 전압은, 기준 전압 V_{ref} 와의 차로 결정되기 때문에, 전환 전압 A, B는, V_{ref} 에 MOS형 용량 소자(28)의 임계값 전압 V_{th28} 의 절대값을 가산한 전압($V_{ref} + |V_{th28}|$)과 같다.

한편, MOS형 용량 소자(28)의 임계값 전압 V_{th28} 의 절대값이 작고, 전환 전압이, 「전환 전압 A」보다 낮은 「전환 전압 B」인 경우에는, 게이트 전압 V_{G22} 는 도 2에 파선으로 도시한 바와 같이 변화하여, 전환 전압 B에 이를 때까지 제1 기울기로 변화(저하)하고, 그 후 제2 기울기로 변화(저하)하여, 펄스 구동 전압이 L 레벨이 되었을 때에, 게이트 전압 V_{G22} 는 보정 전압 V_{cB} 로 설정된다. 즉, 동일한 데이터 전압(샘플링 전압)이 노드 T_{G22} 에 공급되더라도, 펄스 구동에 의해서 설정되는 게이트 전압은, MOS형 용량 소자(28)의 임계값 전압 V_{th28} 이 낮을 수록(절대값 $|V_{th28}|$ 이 작고, 온 상태로 되기 쉬운 경우일수록), 높은 전압(p-ch TFT에서 오프 전압에 가까운 전압)으로 설정되게 된다.

상술된 바와 같이, 각 화소의 구동 TFT(22)의 임계값 전압 V_{th22} 는, 동일 화소 내에서, 바로 옆에 형성되어 있는 MOS형 용량 소자(28)의 임계값 전압 V_{th28} 과 동일하다. 따라서, 구동 TFT(22)의 임계값 전압 V_{th22} 가 「임계값 전압 V_{th221} 」이면, 게이트 전압 V_{G22} 는, V_{th221} 에 따른 보정 전압 V_{cth221} , 「임계값 전압 V_{th222} 」이면, 게이트 전압 V_{G22} 는, V_{th222} 에 따른 보정 전압 V_{cth222} 로 설정되고, 이 예에서는, 임계값 전압 V_{th22} 와 게이트 전압 V_{G22} 와의 차는, 어느 화소에서도 동일하게 되어 있다. 즉, MOS형 용량 소자(28)의 사이즈, 기준 전압값(V_{G28}), 구동 TFT(22)의 사이즈, 축적 용량(24)의 용량값 등의 설정에 의해서, 데이터 전압이 일정하면, TFT(22)의 임계값 전압 V_{th22} 가 상이하더라도, 임계값 전압 V_{th22} 와 게이트 전압 V_{G22} 의 차를 일정하게 하는 것이 가능하여, 임계값 전압의 변동의 영향을 배제할 수 있다.

여기서, 이와 같은 보상을 행하기 위해서는, 도 2의 제1 기울기에 비하여 제2 기울기가 2배로 되도록, 조건을 설정한다. 이 조건 설정에 대하여 도 3에 기초하여 설명한다. 도 3에 도시하는 바와 같이, MOS형 용량 소자(28)가 온 상태라고 한 경우에는, 그 용량값이 오프 시에 비하여 크기 때문에, 게이트 전압의 변화는 펄스 구동 전압의 변화에 따른 영향이 억제되어, 기울기가 작아진다. 한편, MOS형 용량 소자(28)가 오프 상태인 경우에는 용량값이 작고, 펄스 구동 전압의 변화에 따른 영향이 크기 때문에 기울기가 크다. 그 기울기가 2배로 되는 조건으로 설정되어 있기 때문에, 펄스 구동 전압이 L 레벨이 되었을 때의 게이트 전압의 감소분은, MOS형 용량 소자(28)가 오프 상태일 때가 온 상태일 때의 2배가 된다.

그리고, 실제로는, 도 3에 도시한 바와 같이, MOS형 용량 소자(28)(구동 TFT(22))의 전환 전압이 A인 경우에, 전환 전압 A까지는, 제1 기울기로 게이트 전압 V_{G22} 가 감소하고, 그 후 2배의 크기의 제2 기울기로 게이트 전압 V_{G22} 가 감소한다. 전환 전압이 B인 경우에는, 전환 전압 B까지 게이트 전압 V_{G22} 가 제1 기울기로 감소하기 때문에, 이 게이트 전압 V_{G22} 가 전환 전압 B로 되었을 때의 게이트 전압 V_{G22} 와, 그 때, 전환 전압이 A인 경우의 게이트 전압 V_{G22} 와의 차이 V_a 는, 보정 전압 V_{cA} 와 V_{cB} 의 차($V_{cB} - V_{cA}$)가 된다. 그리고, 제1 기울기에 비하여 제2 기울기가 2배이므로, V_a 는, 전환 전압 A, B의 차와 같게 된다. 따라서, 전환 전압의 차와, 보정 전압 V_c 의 차가 동일하게 되어, 전환 전압(즉, 임계값 전압 V_{th22})의 변동의 영향을 보상할 수 있다.

또한, 도 3에 도시한 바와 같이, 데이터 전압의 기입 전압인 샘플링 전압이 변화한 경우에도, 전환 전압차와, 보정 전압차가 같게 되는 것에는 변함이 없고, 항상 임계값 전압의 변동을 보상하는 것이 가능하다. 그 때, 샘플링 전압 자체의 전위차는 보상 동작 후에는 2배로 증폭된다.

도 4에는, 보다 실속적인 화소 회로의 구성예를 도시하고 있고, MOS형 용량 소자(28)의 게이트는, EL 전원 P_{vdd} 에 접속되어 있다.

이 예에 있어서, EL 전원 $P_{vdd} = 0V$, 캐소드 전원 $CV = -12V$, 데이터 라인 $5 \sim 2V$, 펄스 구동 라인 $8 \sim -4V$, 게이트 라인 $8V \sim -4V$ 로 설정됨과 함께, 축적 용량(24)의 용량값 $= 0.15pF$, MOS형 용량 소자(28)의 채널 길이 $L = 120\mu m$, 채널 폭 $W = 5\mu m$, 구동 TFT(22)의 채널 길이 $L = 34\mu m$, 채널폭 $W = 5\mu m$ 로 설정하고 있다.

여기서, 게이트 라인 GL(300)에 L 레벨의 주사 신호를 출력하여 여기서는 p-ch 형의 스위칭용 TFT(20)를 온시키고, 이 TFT(20)를 통하여 데이터 라인 DL(310)으로부터 데이터 전압(샘플링 전압)으로서 $4V$ 또는 $3V$ 를 노드 T_{G22} 에 기입하

여, 즉, 게이트 전압 V_{G22} 을 4V 또는 3V로 한다. 도 5 및 도 6은, 그 후, 펄스 구동 전압을 8V로부터 -4V로 하강시켰을 때의 게이트 전압 V_{G22} 의 변화의 양태를 도시한다. 도 5가 게이트 전압 4V, 도 6이 게이트 전압 3V인 경우이다. 또한, 양 도면에 있어서, 임계값 전압 V_{th22} (=전환 전압)이 -1V인 경우와, -2V인 경우의 양방을 도시하고 있다. 도 5 및 도 6으로부터 알 수 있는 바와 같이, 샘플링 전압이 서로 다르고, 또한 임계값 전압 V_{th22} 가 서로 다른 경우에도, 구동 TFT(22)의 게이트 전압 V_{G22} , 즉 보정 전압 V_c 가 임계값 전압 V_{th22} 의 차분만큼 상이하기 때문에, 임계값 전압의 변동이 보상되어 있는 것을 알 수 있다.

또한, 도 7에는, 구동 TFT(22)의 채널 길이 $L \times$ 채널 폭 W 를 $34 \times 5 \mu\text{m}$, MOS형 용량 소자(28)의 채널 길이 $L \times$ 채널 폭 W 를 $120 \times 5 \mu\text{m}$ 로 하고, 축적 용량(24)의 용량값을 0.1, 0.15, 0.2pF로 변경한 경우에 있어서의 샘플링 전압의 변화에 대한 보정 전압 V_c (게이트 전압 V_{G22})의 변화의 관계를 도시하고 있다. 도 8에는, 구동 TFT(22)의 채널 길이 L 을 $34 \mu\text{m}$, MOS형 용량 소자(28)의 채널 길이 $L \times$ 채널 폭 W 를 $120 \times 5 \mu\text{m}$, 축적 용량(34)의 용량값을 0.15pF로 하고, 구동 TFT(22)의 채널 폭 W 를 $2.5 \mu\text{m}$, $5.0 \mu\text{m}$, $10.0 \mu\text{m}$ 로 변경한 경우에 있어서의 샘플링 전압의 변화에 대한 보정 전압 V_c (게이트 전압 V_{G22}) 변화의 관계를 도시한다. 또한, 도 9에는, 구동 TFT(22)의 채널 길이 $L \times$ 채널 폭 W 를 $34 \times 5 \mu\text{m}$ 로 하고, MOS형 용량 소자(28)의 채널 길이 $L \times$ 채널 폭 W 를 $80 \times 5 \mu\text{m}$, $120 \times 5 \mu\text{m}$, $160 \times 5 \mu\text{m}$ 로 변경한 경우에 있어서의 샘플링 전압의 변화에 대한 보정 전압(게이트 전압 V_{G22}) 변화의 관계를 도시한다. 이상의 도 7, 도 8 및 도 9로부터 알 수 있는 바와 같이, 축적 용량값, 구동 TFT(22)의 사이즈, MOS형 용량 소자의 사이즈 등의 조건의 변경에 의해 보정 전압의 변화를 조정할 수 있다. 즉, 이들 조건에 의해 게이트 전압 V_{G22} 의 보상 정도를 조정할 수 있다.

또한, 이들 도 7~도 9로부터, 샘플링 전압(입력 전압)의 변화폭에 비하여, 보정 전압 V_{G22} (출력 전압)의 변화폭이 큰 것을 알 수 있다. 조건의 설정에 따라서는, 보정 전압의 변화폭을 매우 크게 할 수 있다. 따라서, 비디오 신호의 변화폭보다, 게이트 전압 V_{G22} 의 변화폭을 크게 할 수 있어서, 유기 EL 소자(26)에 흐리는 구동 전류의 변동폭, 즉 유기 EL 소자(26)의 휘도 변화를 크게 하여, 보다 클리어한 표시를 행할 수 있다.

또, 도 1, 도 4의 예에서는, 스위칭 TFT(20)로서, p 채널 TFT를 이용했지만, n 채널 TFT를 이용해도 된다. 이 경우에는, 게이트 라인 GL(300)에 출력하는 선택 신호(주사 신호)의 극성을 반전하면 된다. 또한, 구동 TFT(22)에 n 채널 TFT를 이용할 수도 있다. 이 경우에는, 도 10에 도시한 바와 같이, MOS형 용량 소자(28)도 n 채널로 하고, 그 게이트를 구동 TFT(22)의 소스에 접속한다. 또한, 이 경우에는, 유기 EL 소자(26)를, 구동 TFT(22)의 드레인과 EL 전원의 사이에 배치하는 것이 바람직하다.

또한, 상술한 바와 같이, 실시예에 따른 각 화소 회로는, 매트릭스 형상으로 배치된 표시 장치가 구성된다. 통상적인 경우, 유리 등의 절연 기판 위에는, 주변 드라이버 회로 및 유기 EL 소자 이외의 화소 회로가 형성되고, 이들 회로 소자의 상층에, 유기 EL 소자가 형성되어, 유기 EL 패널이 구성된다. 단, 실시예의 화소 회로는, 이 형식의 유기 EL 패널에 한정되지 않고, 각종 표시 장치에 적용이 가능하다.

도 11은, 도 4에 도시한 바와 같은 회로 구성으로 하는 경우의 실제의 레이아웃의 일례를 도시하고 있다. 또한, 도 12의 (a), (b), (c)는, 각각 이 도 11의 A-A선, B-B선, C-C 선을 따라 자른 개략 단면 구조를 도시하고 있다. 유리 등의 투명한 절연 기판(100)의 위에 버퍼층(102)이 형성되어 있고, 그 위에 형성되고, 또한 다결정 실리콘으로 이루어지는 각 TFT의 능동층, 및 용량 전극을 구성하는 반도체층(120, 122, 128, 124)은, 도 11에 있어서, 파선으로 도시하고 있다. 또한, 도 11에 있어서, 상기 반도체층보다도 상방에 형성되고, Cr 등의 고용점 금속 재료가 이용된 게이트 라인(300)(GL), 펄스 구동 라인(330)(SC) 및 구동 TFT의 게이트 전극(302) 및 MOS형 용량 소자(28)의 게이트 전극(306)은, 일점 쇄선으로 도시하고, 반도체층이나 상기 GL, SC보다도 상방에 형성되어, Al 등의 저저항 금속 재료가 이용된 데이터 라인(310)(DL), 전원 라인(320)(PL) 및 그 밖의 동층의 금속 배선(304)은, 실선으로 도시하고 있다.

도 11에 도시하는 레이아웃에서는, 각 화소는, 표시 장치의 수평(H) 방향을 따라서 형성되는 게이트 라인 GL(300)의 행간과, 대체적으로 표시 장치의 수직(V) 방향을 따라서 형성되는 데이터 라인 DL(310)의 행간의 위치에 구성되어 있다.

또한, 데이터 라인 DL(310)과 나란히 열 방향으로 이 데이터 라인 DL(310)에 접속되는 화소에 설치되어 있는 유기 EL 소자(26)에, 구동 TFT(22)를 통하여 전력을 공급하는 전원 라인 PL(320)은, 데이터 라인 DL(310)과 거의 나란히 열 방향으로 형성되어 있고, 각 화소 영역 내에서는, 데이터 라인 DL(310)과 상기 유기 EL 소자(26)와의 사이를 통과하고 있다.

스위칭 TFT(20)는, 게이트 라인 GL과 데이터 라인 DL과의 교점 부근에 형성되고, 그 반도체층(120)은, 게이트 라인 GL을 따라 형성되어 있다. 이 TFT(20)의 채널 길이 방향은 게이트 라인 GL을 따라, 즉, 수평 방향으로 형성되어 있다. 게이트 라인 GL로부터는, 화소 영역을 향하여 돌출부가 형성되고, 게이트 절연막(104)을 사이에 두고, 게이트 라인 GL을 따라 연장되는 반도체층(120)의 일부분을 가로지르도록 피복하고 있다.

게이트 라인 GL로부터의 돌출부가 TFT(20)의 게이트 전극(300)으로 되고, 반도체층(120)의 이 게이트 전극(300)에 피복된 영역이 채널 영역으로 되어 있다. 스위칭 TFT(20)의 반도체층(120)은, 게이트 절연막(104) 및 층간 절연막(106)을 관통하여 형성된 콘택트홀에서 데이터 라인 DL과 접속되어 있다. 또한, 반도체층(120)의 데이터 라인 DL과 접속된 도전 영역(예를 들면 드레인 영역(120d))과 채널 영역(120c)을 사이에 두고 반대측에 존재하는 도전 영역(예를 들면 소스 영역(120s))은, 게이트 절연막(104) 및 층간 절연막(106)에 형성된 콘택트홀에서, 층간 절연막(106)의 위에 형성된 금속 배선(304)에 접속되고, 반도체층(120)은, 이 콘택트 위치로부터 수평 방향 및 수직 방향으로 더 확대되고, 인접 화소의 앞, 여기서, 전원 라인 PL과의 중첩 영역의 단부 부근에서 중단하고 있다.

반도체층(120)의 금속 배선(304)과의 콘택트 위치로부터 더 연장되는 영역은 용량 전극(124)으로서 기능하고, 이 용량 전극(124)은, 층 사이에 게이트 절연막(104)을 사이에 두고, 게이트 라인 GL과 평행하게 수평 방향으로 배치된 펄스 구동 라인(330)(SC)의 광폭 영역과 중첩되어 있다. 그리고, 이 용량 전극(124)과 펄스 구동 라인(330)과의 중첩 영역이 축적 용량(24)을 구성하고 있다.

스위칭 TFT(20)의 소스 영역(120s)이 축적 용량 전극(124)과의 사이에서 콘택트홀에서 접속되는 금속 배선(304)은, 데이터 라인 DL 등과 동축이고, 도 11의 예에서는, 콘택트 위치로부터, 나란히 연장되는 데이터 라인 DL 및 전원 라인 PL의 사이를 통과하여 이들과 마찬가지로 수직 방향으로 연장되고, 도 12의 (b)에 도시한 바와 같이, 사이에 층간 절연막(106)을 사이에 두고 연장되어 있는 펄스 구동 라인 SC의 위를 가로질러, 후술하는 MOS형 용량 소자(28)의 반도체층(128)의 형성 영역과 중첩되는 위치에서 중단하고 있다. 이 금속 배선(304)은, 층간 절연막(106) 및 게이트 절연막(104)을 관통하여 형성된 콘택트홀에서, 반도체층(128)과 접속되어 있다.

또한, 금속 배선(304)은, 스위칭 TFT(20)의 반도체층(120)(소스 영역(120s))과의 콘택트 위치로부터, 상기 MOS형 용량 소자의 반도체층(128)과의 콘택트 위치까지의 사이에서, 층간 절연막(106)에 형성된 콘택트홀에서, 게이트 라인 GL막과 동일 재료의 금속층으로 구성되고, 구동 TFT(22)의 게이트 전극을 구성하는 게이트 전극 배선(302)과 접속되어 있다.

게이트 전극 배선(302)은, 도 11에 도시한 바와 같이, 전원 라인 PL과, 구동 TFT(22)의 반도체층(122)과의 콘택트 영역을 우회하도록, 상기 금속 배선(304)과의 콘택트 위치로부터, 일단 수평 방향으로 연장되고, 전원 라인 PL의 하층을 빠져나간 위치에서 굴곡되어 전원 라인 PL과 나란히 수직 방향으로 연장된다. 그 후, 전원 라인 PL과 중첩되도록 수평 방향(도 11의 우측)으로 굴곡되고, 전원 라인 PL과 중첩된 위치로부터 다시 수직 방향으로, 도 12의 (c)에 도시한 바와 같이 전원 라인 PL의 하층이, 구동 TFT(22)의 반도체층(122)과 중첩되도록 연장되어 있다. 게이트 전극 배선(302)이, 게이트 절연막(104)을 사이에 두고 하층의 반도체층(122)과 대향하는 영역이 구동 TFT(22)의 게이트 전극이고, 이 게이트 전극에 피복된 반도체층(122)의 영역에 채널 영역(122c)이 형성되어 있다.

여기서, 구동 TFT(22)의 반도체층(122)은, 수직 방향으로 연장하고, 그 형성 영역의 대부분이 전원 라인 PL의 하층에 배치되어 있다. 반도체층(122)의 도전 영역(여기서는 소스 영역(122s))은, 층간 절연막(106) 및 게이트 절연막(104)에 형성된 콘택트홀에 있어서, 그 상방을 피복하도록 형성되어 있는 전원 라인 PL에 접속되어 있다. 또한, 채널 영역(122c)을 사이에 두고 소스 영역(122s)과 반대측의 위치에 형성되어 있는 도전 영역(여기서는 드레인 영역(122d))은, 다음의 행의 게이트 라인 GL의 근방에서, 전원 라인 PL의 형성 영역으로부터 연장하여, 유기 EL 소자(26)의 하부 전극(여기서는 양극)(262)에 접속되어 있다. 따라서, 이 구동 TFT(22)의 채널 길이 방향은, 전원 라인 PL의 연장 방향인 수직 방향과 평행하게 되어 있다.

도 12의 (c)에 도시한 바와 같이, 유기 EL 소자(26)는, 하부 전극(262)과 상부 전극(264)과의 사이에, 발광 소자층(270)을 구비하고, 발광 소자층(270)은, 이 예에서는 정공 수송층(272), 발광층(274), 전자 수송층(276)의 3층 구조이다. 3층 구조뿐만 아니라, 이용하는 유기 재료 등에 따라, 발광 기능을 구비한 단독층이거나, 2층이거나, 또한 4층 이상의 적층 구조이어도 된다.

또, 데이터 라인 DL 및 전원 라인 PL 등의 형성면 전체를 피복하여 유기 수지 등으로 이루어지는 제1 평탄화 절연층(108)이 기판의 거의 전면에 형성되어 있고, 이 제1 평탄화 절연막(108)의 위에는, 유기 EL 소자(26)의 하부 전극(262)이, ITO

등, 투명한 도전성 금속막 산화물 재료를 이용하여 화소 영역마다 개별로 형성되어 있다. 상기 유기 EL 소자(26)의 하부 전극(262)은, 제1 평탄화 절연막(108)에 형성된 컨택트홀에서, 구동 TFT(22)의 드레인 영역(122d)에 접속된 드레인 전극(308)에 접속되어 있다.

발광 소자층(270)을 사이에 두고, 상기 하부 전극(262)과 대향하여 형성된 상부 전극(264)은, 여기서는 각 화소 공통으로서, 예를 들면 Al 등의 금속 재료나, ITO 등의 도전성 투명 재료 등을 이용할 수 있다.

또한, 도 12의 (c)에 도시하는 바와 같이, 제1 평탄화 절연막(108)의 위에는, 하부 전극(262)의 단부를 피복하도록 제2 평탄화 절연막(110)이 형성되어 있고, 발광 소자층(270)은, 하부 전극(262)의 노출면 및 제2 평탄화 절연막(110)의 위를 피복하도록 형성되어 있다.

발광 소자층(270)으로서, 다층 구조를 채용하는 경우에, 전층을 각 화소 공통으로 형성해도 되고, 다층 중 일부 또는 전층, 예를 들면, 도 12의 (c)에 도시한 바와 같이, 발광층(274)만이, 하부 전극(262)과 마찬가지로의 화소마다 개별 패턴으로 해도 된다.

MOS형 용량 소자(28)는, 이러한 유기 EL 소자(26)와 전원 라인 PL과의 사이에 접속된 구동 TFT(22)에 바로 옆에 형성되어 있다. MOS형 용량 소자(28)의 게이트 전극(306)은, 층간 절연막(106)에 형성된 컨택트홀에서, 전원 라인 PL과 접속되고(도 12의 (b) 참조), 그 컨택트 위치로부터 곧바로 수직 방향으로 연장되어 있다. 또한, MOS형 용량 소자(28)의 반도체층(능동층)(128)은, 금속 배선층(304)과의 컨택트 위치로부터, 구동 TFT(22)의 반도체층(122)과 평행한 수직 방향으로, 상기 게이트 전극(306)과 사이에 게이트 절연막(104)을 사이에 두고 대향하도록 형성되어 있다.

이와 같이, MOS형 용량 소자(28)의 반도체층(128)은, 일단측이, 금속 배선층(304)에 의해서, 구동 TFT(22)의 게이트 전극(302) 및 스위치 TFT(20)의 소스 영역(120s) 및 축적 용량 전극(124)에 접속되어 있지만, 타단측은 전기적으로는 오픈 상태로 되어 있다. 달리 말하면, 이 MOS형 용량 소자(28)의 반도체층(128)은, 도 4에 도시한 바와 같이, TFT를 상정한 경우의 소스 영역 및 드레인 영역이 모두, 상기 금속 배선층(304)을 통하여 스위치 TFT(20)의 소스 영역(120s) 및 축적 용량(24) 및 구동 TFT(22)의 게이트 전극(302)에 접속되어 있다.

전원 라인 PL을 화소 영역 내에서 유기 EL 소자(26) 측으로 굴곡시키고, 이에 의해 데이터 라인 DL과의 사이에 발생한 스페이스에, MOS형 용량 소자(28)를 형성함으로써, 구동 TFT(22)와 근접한 위치에 MOS형 용량 소자(28)를 형성할 수가 있어, 양자의 특성을 정합할 수 있다. 또한, 구동 TFT(22)의 채널 길이 방향과 MOS형 용량 소자(28)의 채널 길이 방향(게이트 전극(306)과 반도체층(128)이 중첩하여 연장되는 방향)이, 모두 수직 방향이고, 또한, 그 채널 영역의 수직 방향에서의 위치가 거의 같게 형성되어 있다.

따라서, 예를 들면 비정질 상태의 실리콘막을 형성한 후에 레이저빔을 조사하여 다결정화하고 이것을 TFT의 능동층에 이용하는 경우, TFT 특성에 큰 영향을 미치는 MOS형 용량 소자(28)의 채널 영역과 구동 TFT(22)의 채널 영역이, 거의 동일한 레이저빔의 조사에 의해 다결정화되게 된다. 특히, 라인 형상의 레이저빔을 수직 방향으로 주사하여 다결정화하는 경우에는 거의 동일한 레이저빔에 의해 다결정화된다. 따라서, 구동 TFT(22)와 MOS형 용량 소자(28)의 특성을 매우 근사시키는 것이 가능하게 된다.

도 13에는, 다른 실시예를 도시하고 있다. 이 예에 있어서, 도 4의 구성과 다른 점은, MOS형 용량 소자(28)의 소스를 스위칭 TFT(20)의 드레인에 접속하고, 드레인을 구동 TFT(22) 게이트에 접속하고 있는 것이다. 즉, 이 실시예에서는, MOS형 용량 소자(28)는, p 채널 MOS 트랜지스터이다.

이러한 구성에 의해서도, MOS형 용량 소자(28)는, 펄스 구동 라인의 전압이 높은 경우에는, 온 상태로 있고, 펄스 구동 라인의 전압이 하강할 때에 그 상태가 온 상태로부터 오프 상태로 변화하고, 용량이 변화하여, 상술한 것과 마찬가지로의 작용 효과가 얻어진다.

<산업 상의 이용 가능성>

표시 장치의 화소 회로 등에 이용할 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면, 제1 또는 제2 제어 신호선(예를 들면 펄스 구동 라인)의 전압 변동에 의해, MOS형 용량 소자의 온/오프 상태가 전환되어, 그 용량값이 변화한다. 그리고, MOS형 용량 소자의 임계값 변화에 따라, MOS형 용량 소자의 온/오프가 어느 전압에서 전환될지가 변화한다.

또한, 펄스 구동 라인의 변화에 따른 구동 트랜지스터의 게이트 전압의 변화는, MOS형 용량 소자의 용량값에 따라 결정되기 때문에, MOS형 용량 소자의 임계값 변동에 따라서, 게이트 전압이 변동하게 된다. 그래서, 구동 트랜지스터의 임계값 변동을 상쇄하도록 구동 트랜지스터의 게이트 전압이 변화하도록, MOS형 용량 소자나 축적 용량 등을 설계함으로써, 구동 트랜지스터의 임계값 변동의 구동 전류에 대한 영향을 저감할 수 있다.

(57) 청구의 범위

청구항 1.

데이터 전압을 일단에 받아서 유지하는 축적 용량과,

상기 축적 용량의 상기 일단에 게이트가 접속되고, 상기 축적 용량의 상기 일단의 전압에 따라 전류량이 제어되는 구동 트랜지스터와,

상기 구동 트랜지스터에 흐르는 전류에 따라 발광하는 발광 소자와,

상기 축적 용량의 타단에 접속되고, 소정의 전압 또는 펄스 형상 신호가 입력되는 제1 제어 신호선과,

상기 구동 트랜지스터의 게이트에 일단이 접속되고, 타단은 소정의 전압 또는 펄스 형상 신호가 입력되는 제2 제어 신호선에 접속되며, 상기 제1 또는 제2 제어 신호선의 전압 변동에 의해서 용량값이 변화하는 MOS형 용량 소자

를 구비하는 것을 특징으로 하는 화소 회로.

청구항 2.

제1항에 있어서,

상기 데이터 전압을 축적 용량에서 유지한 후, 상기 제1 또는 제2 제어 신호선의 전압 변동에 의해서, MOS형 용량 소자를 온 상태에서부터 오프 상태로 변화시키는 것을 특징으로 하는 화소 회로.

청구항 3.

제2항에 있어서,

상기 MOS형 용량 소자는, 상기 구동 트랜지스터와 마찬가지로 임계값 전압을 갖고 있는 것을 특징으로 하는 화소 회로.

청구항 4.

제3항에 있어서,

상기 MOS형 용량 소자의 소스 또는 드레인 중 적어도 한쪽이 상기 구동 트랜지스터의 게이트에 접속되고, 게이트가 상기 제2 제어 신호선에 접속되어 있는 것을 특징으로 하는 화소 회로.

청구항 5.

제3항에 있어서,

상기 MOS형 용량 소자의 소스 또는 드레인의 한쪽이 데이터 신호의 공급원 측에 접속되고, 다른 쪽이 상기 구동 트랜지스터의 게이트에 접속되고, 게이트가 상기 제2 제어 신호선에 접속되어 있는 것을 특징으로 하는 화소 회로.

청구항 6.

제4항 또는 제5항에 있어서,

상기 제1 또는 제2 제어 신호선의 전압 변동에 의해서, 상기 MOS형 용량 소자를 온 상태에서부터 오프 상태로 변화시킴과 함께, 상기 구동 트랜지스터를 오프 상태에서부터 온 상태로 변화시켜 발광 소자를 발광시키는 것을 특징으로 하는 화소 회로.

청구항 7.

제6항에 있어서,

상기 제2 제어 신호선은, 상기 구동 트랜지스터에 접속되는 구동용 전원선이 겸용하는 것을 특징으로 하는 화소 회로.

청구항 8.

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 구동 트랜지스터 및 상기 MOS형 용량 소자는 p 채널 박막 트랜지스터인 것을 특징으로 하는 화소 회로.

청구항 9.

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 발광 소자는, 일렉트로루미네센스 소자인 것을 특징으로 하는 화소 회로.

청구항 10.

제1항 내지 제5항 중 어느 한 항의 화소 회로가 매트릭스 형상으로 배치되어 있는 것을 특징으로 하는 표시 장치.

청구항 11.

제6항에 있어서,

상기 구동 트랜지스터 및 상기 MOS형 용량 소자는 p 채널 박막 트랜지스터인 것을 특징으로 하는 화소 회로.

청구항 12.

제11항에 있어서,

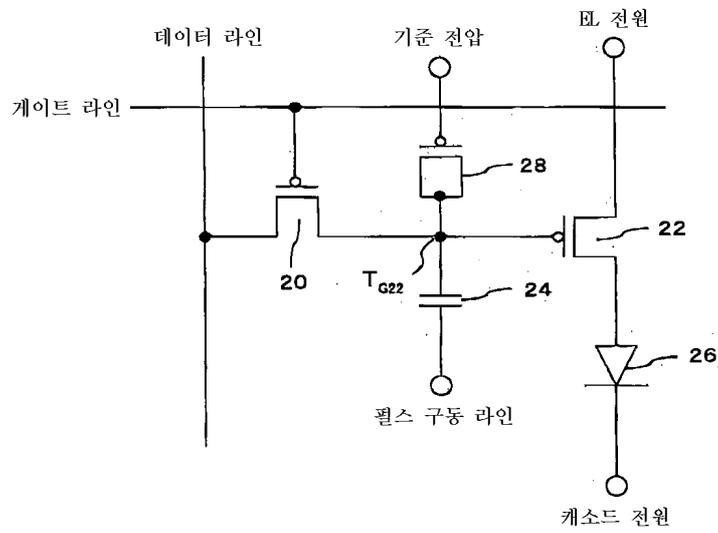
상기 발광 소자는 일렉트로루미네센스 소자인 것을 특징으로 하는 화소 회로.

청구항 13.

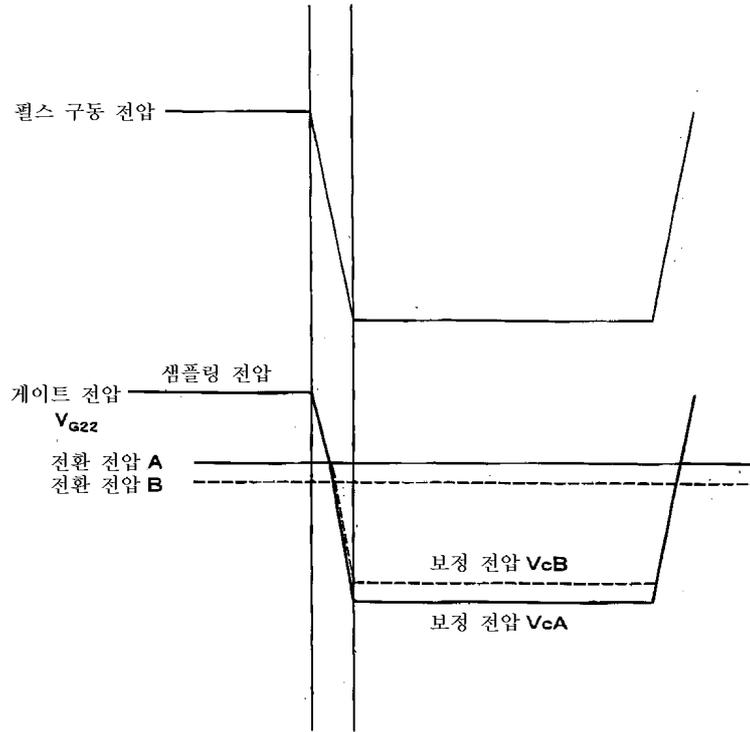
제12항의 화소 회로가 매트릭스 형상으로 배치되어 있는 것을 특징으로 하는 표시 장치.

도면

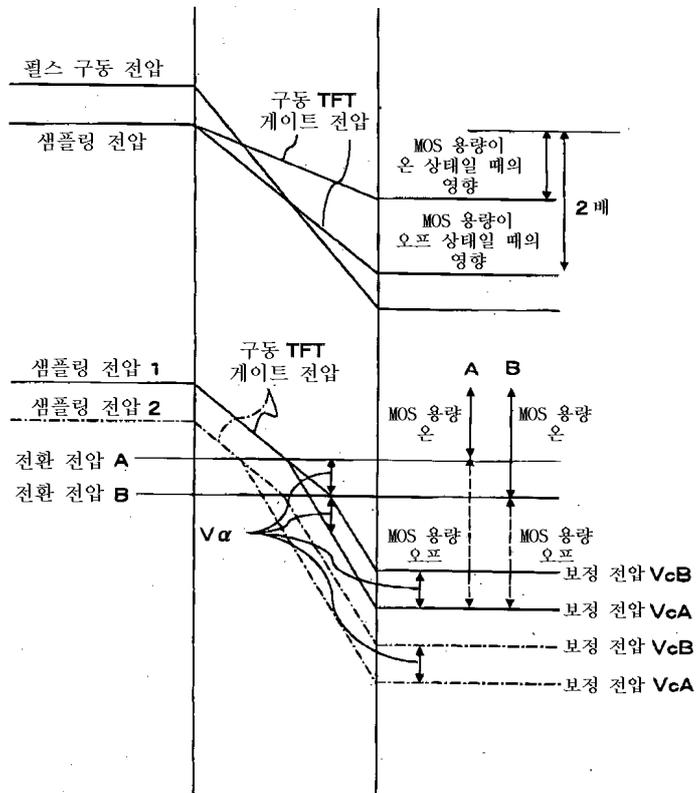
도면1



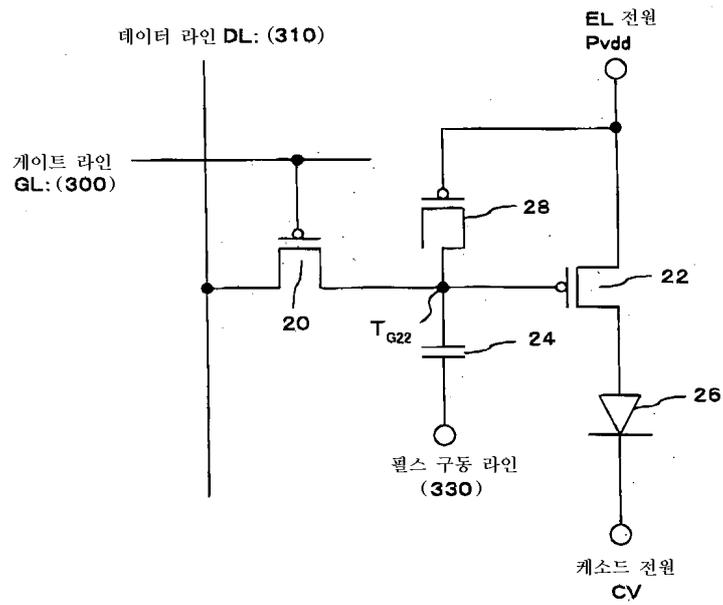
도면2



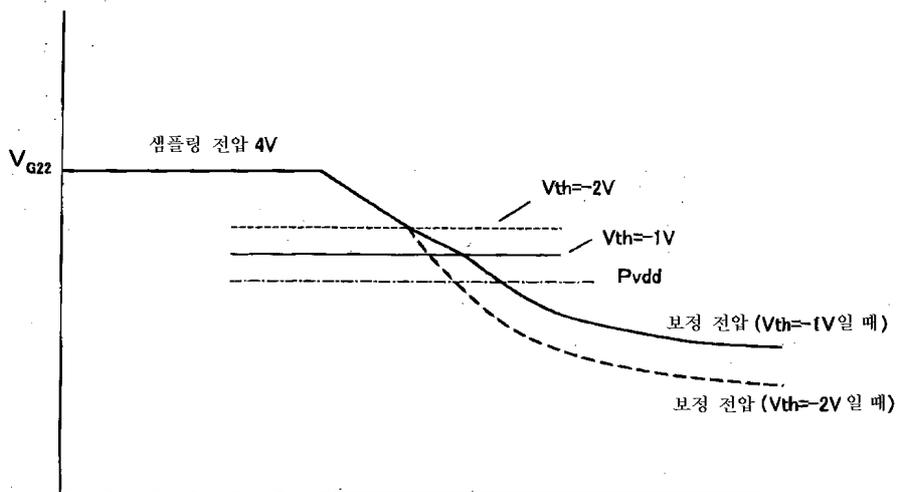
도면3



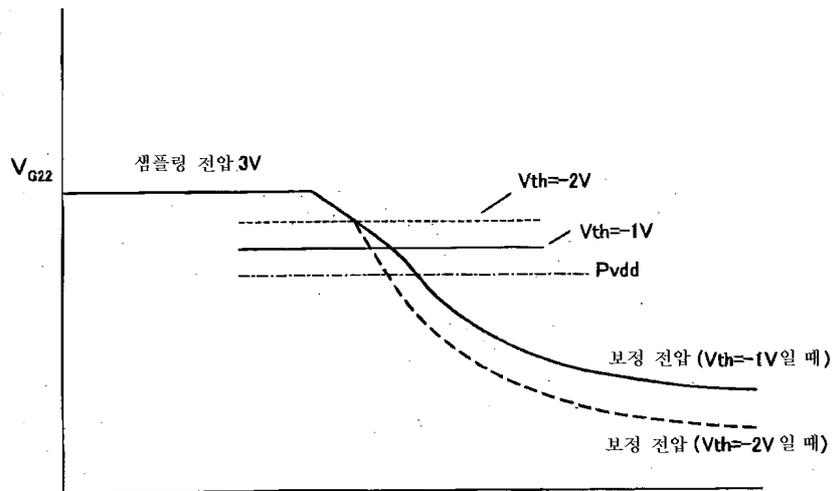
도면4



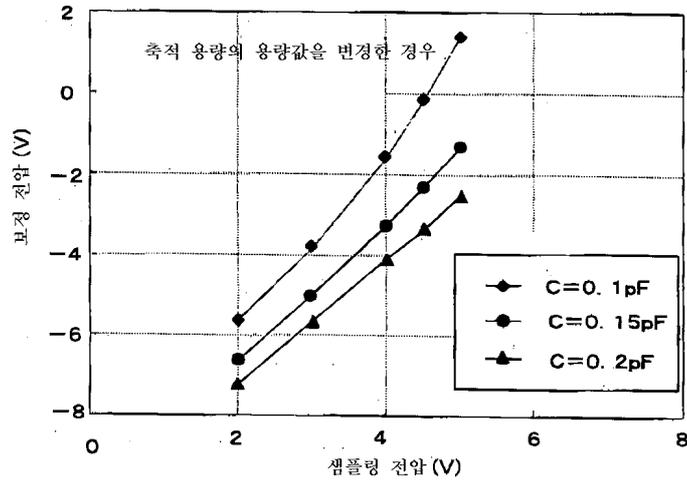
도면5



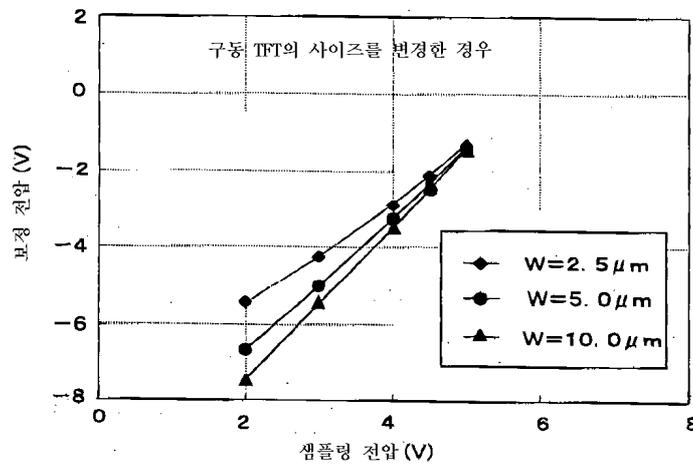
도면6



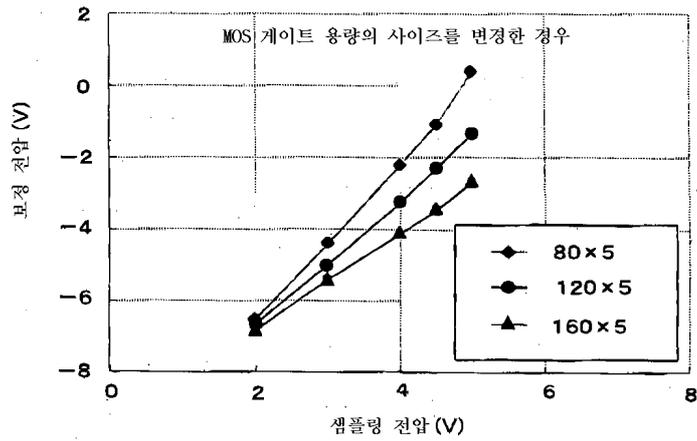
도면7



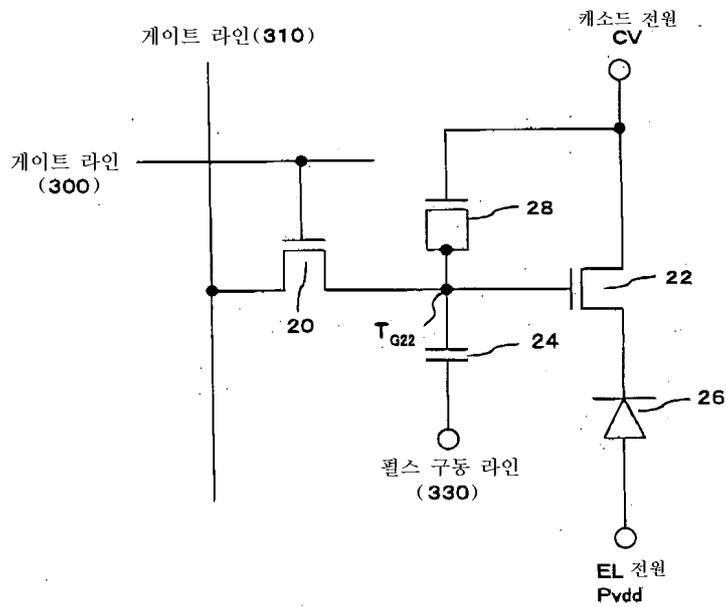
도면8



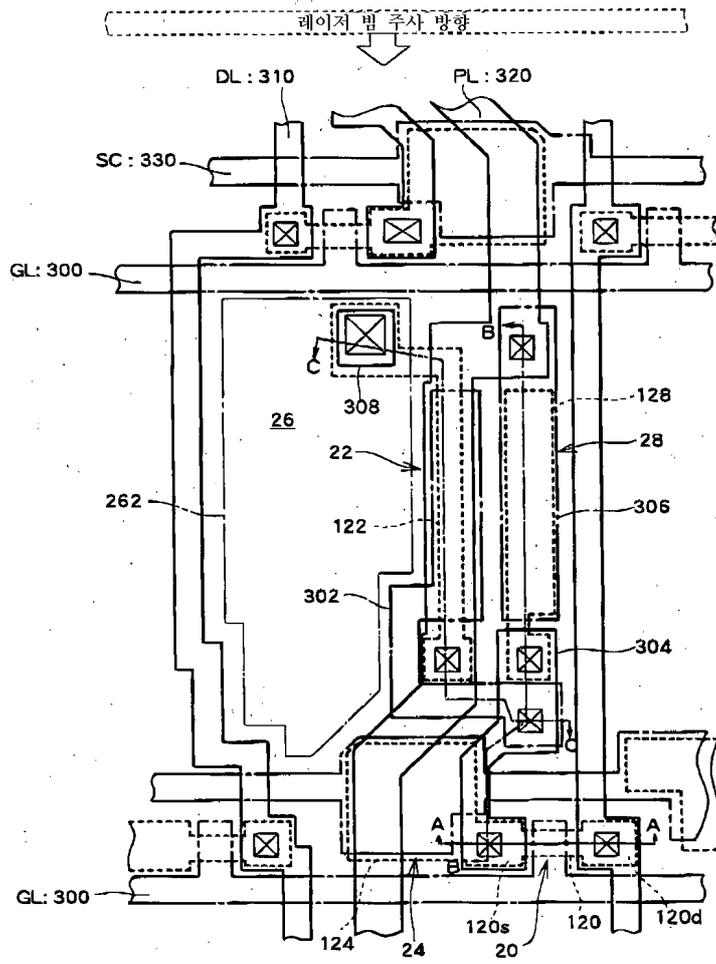
도면9



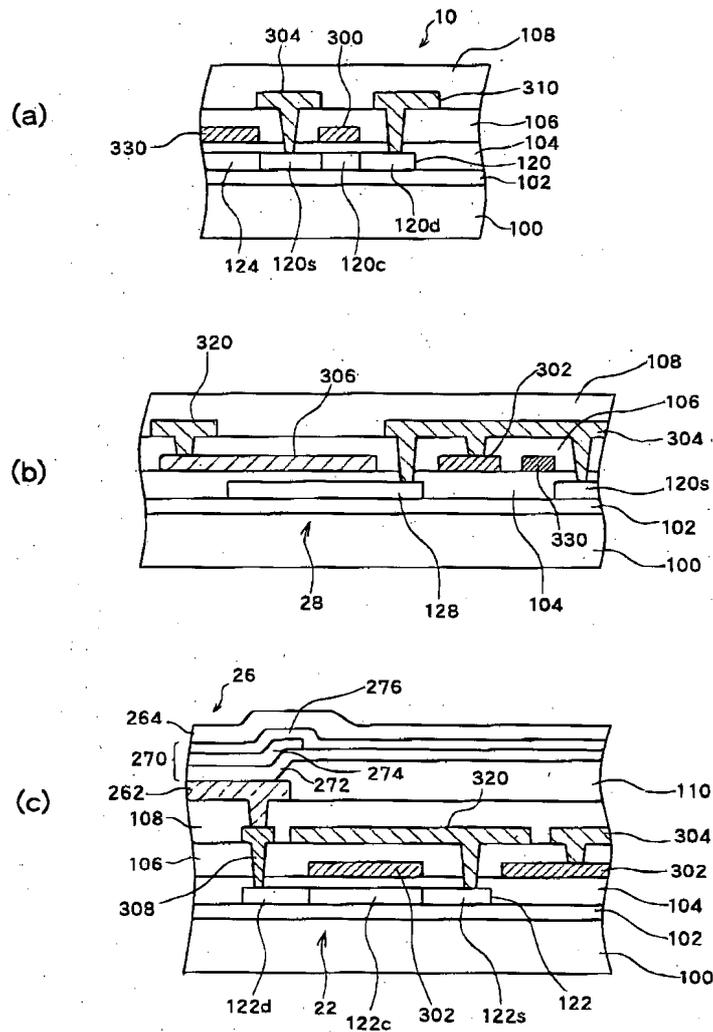
도면10



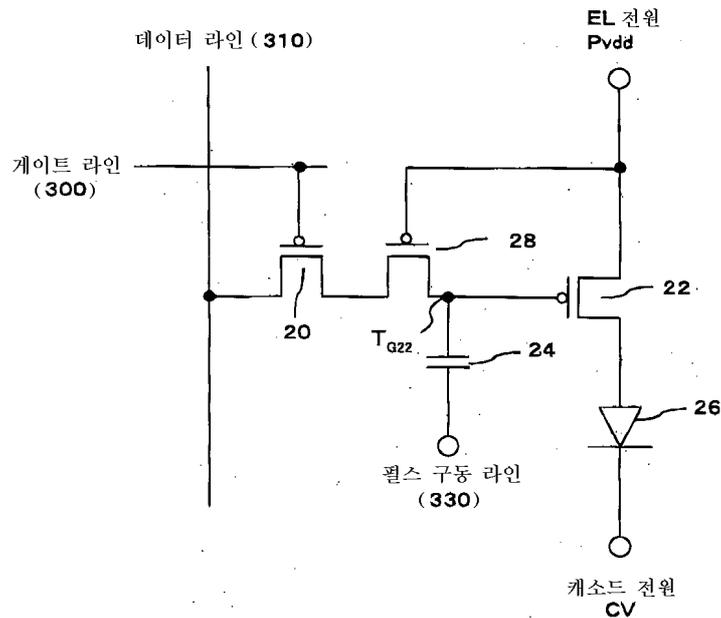
도면11



도면12



도면13



도면14

