

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-235104

(P2012-235104A)

(43) 公開日 平成24年11月29日(2012.11.29)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 E	2 H O 9 2
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 B	4 K O 2 9
GO 2 F 1/1368 (2006.01)	HO 1 L 29/78 6 1 9 A	5 F 1 1 0
C 2 3 C 14/08 (2006.01)	GO 2 F 1/1368	
	C 2 3 C 14/08 K	

審査請求 未請求 請求項の数 7 O L (全 21 頁)

(21) 出願番号 特願2012-94746 (P2012-94746)
 (22) 出願日 平成24年4月18日 (2012. 4. 18)
 (31) 優先権主張番号 特願2011-96442 (P2011-96442)
 (32) 優先日 平成23年4月22日 (2011. 4. 22)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000001199
 株式会社神戸製鋼所
 兵庫県神戸市中央区脇浜町二丁目10番2
 6号

(71) 出願人 512187343
 三星ディスプレイ株式会社
 Samsung Display Co.
 , Ltd.
 大韓民国京畿道龍仁市器興区三星二路95
 95, Samsung 2 Ro, Giheung-Gu, Yongin-City
 , Gyeonggi-Do, Korea

(74) 代理人 100075409
 弁理士 植木 久一

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ構造、ならびにその構造を備えた薄膜トランジスタおよび表示装置

(57) 【要約】

【課題】有機ELディスプレイや液晶ディスプレイなどの表示装置において、保護膜等の形成時に酸化処理層を必要とせずに、薄膜トランジスタの電気特性を安定させることが可能である酸化物半導体層を提供する。

【解決手段】基板上に少なくとも、基板側から順に、酸化物半導体層と、ソース・ドレイン電極と、保護膜とを備えた薄膜トランジスタ構造であって、前記酸化物半導体層は、金属元素全体に占めるZnの含有量が50原子%以上であり、ソース・ドレイン電極および保護膜側に形成される第1酸化物半導体層と、In、Ga、およびZnよりなる群から選択される少なくとも1種の元素と、Snとを含み、基板側に形成される第2酸化物半導体層との積層体であり、かつ、前記第1酸化物半導体層と、前記ソース・ドレイン電極および保護膜とが、直接接触していることを特徴とする薄膜トランジスタ構造。

【選択図】なし

【特許請求の範囲】

【請求項 1】

基板上に少なくとも、基板側から順に、酸化物半導体層と、ソース・ドレイン電極と、保護膜とを備えた薄膜トランジスタ構造であって、

前記酸化物半導体層は、

金属元素全体に占めるZnの含有量が50原子%以上であって、ソース・ドレイン電極および保護膜側に形成される第1酸化物半導体層と、

In、Ga、およびZnよりなる群から選択される少なくとも1種の元素と、Snとを含み、基板側に形成される第2酸化物半導体層との積層体であり、かつ、

前記第1酸化物半導体層と、前記ソース・ドレイン電極および保護膜とが、直接接触していることを特徴とする薄膜トランジスタ構造。 10

【請求項 2】

基板上に少なくとも、基板側から順に、酸化物半導体層と、エッチストッパー層と、ソース・ドレイン電極とを備えた薄膜トランジスタ構造であって、

前記酸化物半導体層は、

金属元素全体に占めるZnの含有量が50原子%以上であって、エッチストッパー層およびソース・ドレイン電極側に形成される第1酸化物半導体層と、

In、Ga、およびZnよりなる群から選択される少なくとも1種の元素と、Snとを含み、基板側に形成される第2酸化物半導体層との積層体であり、かつ、

前記第1酸化物半導体層と、前記エッチストッパー層およびソース・ドレイン電極とが、直接接触していることを特徴とする薄膜トランジスタ構造。 20

【請求項 3】

前記第1酸化物半導体層は、金属元素として、更にAl、GaおよびSnよりなる群から選択される1種以上の元素を含むものである請求項1または2に記載の薄膜トランジスタ構造。

【請求項 4】

前記保護膜は、CVD (Chemical Vapor Deposition) 法によって形成されたものである請求項1または3に記載の薄膜トランジスタ構造。

【請求項 5】

前記エッチストッパー層は、CVD (Chemical Vapor Deposition) 法によって形成されたものである請求項2または3に記載の薄膜トランジスタ構造。 30

【請求項 6】

請求項1～5のいずれかに記載の薄膜トランジスタ構造を備えた薄膜トランジスタ。

【請求項 7】

請求項6に記載の薄膜トランジスタを備えた表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ(TFT)構造、および該構造を備えた薄膜トランジスタや表示装置に関するものである。本発明のTFT構造は、例えば液晶ディスプレイ(液晶表示装置)や有機ELディスプレイ等のフラットパネルディスプレイに代表的に用いられる。以下では、液晶表示装置を代表的に取り上げて説明するが、これに限定する趣旨ではない。 40

【背景技術】

【0002】

表示装置に用いられる半導体層として、酸化物半導体が注目されている。酸化物半導体は、汎用のアモルファスシリコン(a-Si)に比べて高いキャリア移動度を有し、光学バンドギャップが大きく、低温で成膜できるため、大型・高解像度・高速駆動が要求される次世代ディスプレイや、耐熱性の低い樹脂基板などへの適用が期待されている。 50

【0003】

酸化物半導体は、In、Ga、ZnおよびSnよりなる群から選択される少なくとも一種の元素を含んでおり、例えば、In含有酸化物半導体(In-Ga-Zn-O、In-Zn-Sn-O、In-Zn-Oなど)が代表的に挙げられる。あるいは、希少金属であるInを含まず材料コストを低減でき、大量生産に適した酸化物半導体として、Zn含有酸化物半導体(Zn-Sn-O、Ga-Zn-Sn-Oなど)も提案されている(例えば特許文献1)。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2004-163901号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

酸化物半導体をTFTの酸化物半導体層として用いる場合、キャリア濃度が高いだけでなく、TFTのスイッチング特性(トランジスタ特性)に優れていることが要求される。具体的には、(1)移動度が高いことに加えて、(2)SS(Subthreshold Swing、サブスレッショルド スィング、ドレイン電流を1桁あげるのに必要なゲート電圧)値が低く、かつ(3)電圧印加や光照射などのストレスに対する耐性(ストレス耐性)に優れていることなどが要求される。

【0006】

更に酸化物半導体をTFTの酸化物半導体層として用いる場合、TFT製造時に酸化物半導体層の上部にソース・ドレイン電極や、保護膜、エッチストップ層等(以下、酸化物半導体層の上部に、この酸化物半導体層と少なくとも一部が直接接触するように形成される層(膜)を「上部層」と総称することがある)を成膜するが、この上部層形成時に、酸化物半導体層の表面が大きなダメージを受けて酸素の脱離などの欠陥が発生し、閾値電圧の大幅なシフトやスイッチング特性の低下が生じるといった問題がある。

【0007】

詳細には、例えば保護膜を、プラズマCVD(Chemical Vapor Deposition)法で成膜する際、プラズマにより高速化されたラジカルや分子が酸化物半導体の表面に衝突するため、酸化物半導体層の表面に、欠陥(代表的には、酸素の脱離など)が形成されたり、成膜ガスに含まれる水素が導入されるといったことが生じる。その結果、酸化物半導体層の表面が容易に導通化するなどの問題が生じる。これは、おそらく酸化物半導体層の表面に生成される酸素欠損や表面に導入された水素が、酸化物半導体内で電子ドナーとしてふるまうためと推察される。

【0008】

そしてこの様に酸化物半導体層が導体化すると、スイッチング特性を示さなくなったり、閾値電圧が大きく負側へシフトしたりするなど、TFT特性に深刻な影響を与える。

【0009】

そこで、上部層形成時の酸化物半導体層表面へのダメージを抑制するため、上部層成膜前に、例えばN₂Oプラズマを酸化物半導体層表面に照射してこの表面に酸化処理層(通常のTFT作製工程の熱履歴を経ることで形成される酸化層とは異なる)を形成する等して、この表面を予め過剰酸化させる方法が提案されている。ところが、上記酸化処理層を形成すると、上部層形成前に比べて移動度が劣化し、またストレス耐性が低くなるという問題がある。また、上部層形成前にN₂Oプラズマ処理工程を追加する必要があるため、生産性の低下、生産コストの増加などといった問題もある。

【0010】

本発明は上記事情に鑑みてなされたものであり、その目的は、酸化物半導体層の表面に上述した酸化処理層を形成することなく、上部層形成時に生じる酸化物半導体層表面の欠陥発生(ダメージ)や水素導入、およびこれに伴って生じるTFT特性の劣化を、簡易か

10

20

30

40

50

つ確実に低減することのできる新規な技術を提供することにある。

【課題を解決するための手段】

【0011】

上記課題を解決し得た本発明の薄膜トランジスタ構造は、基板上に少なくとも、基板側から順に、酸化物半導体層と、ソース・ドレイン電極と、保護膜とを備えた薄膜トランジスタ構造であって、

前記酸化物半導体層は、

金属元素全体に占めるZnの含有量が50原子%以上であって、ソース・ドレイン電極および保護膜側に形成される第1酸化物半導体層と；

In、Ga、およびZnよりなる群から選択される少なくとも1種の元素と、Snとを含み、基板側に形成される第2酸化物半導体層と；

の積層体であり、かつ、前記第1酸化物半導体層と、前記ソース・ドレイン電極および保護膜とが、直接接触しているところに特徴を有する。

【0012】

また、上記課題を解決し得た本発明の別の薄膜トランジスタ構造は、基板上に少なくとも、基板側から順に、酸化物半導体層と、エッチストッパー層と、ソース・ドレイン電極とを備えた薄膜トランジスタ構造であって、

前記酸化物半導体層は、

金属元素全体に占めるZnの含有量が50原子%以上であって、エッチストッパー層およびソース・ドレイン電極側に形成される第1酸化物半導体層と；

In、Ga、およびZnよりなる群から選択される少なくとも1種の元素と、Snとを含み、基板側に形成される第2酸化物半導体層と；

の積層体であり、かつ、前記第1酸化物半導体層と、前記エッチストッパー層およびソース・ドレイン電極とが、直接接触しているところに特徴を有する。

【0013】

本発明の好ましい実施形態として、前記第1酸化物半導体層は、金属元素として、更にAl、Ga、およびSnよりなる群から選択される1種以上の元素を含むものである。

【0014】

本発明の薄膜トランジスタ構造は、前記保護膜や前記エッチストッパー層が、CVD (Chemical Vapor Deposition) 法によって形成された場合であっても優れた特性を発揮する。

【0015】

本発明には、上記薄膜トランジスタ構造を備えた薄膜トランジスタや、この薄膜トランジスタを備えた表示装置も含まれる。

【0016】

尚、本発明における上記「直接接触」とは、第1酸化物半導体層上に、ソース・ドレイン電極や、保護膜、エッチストッパー層が、上述したN₂Oプラズマ照射等により形成される酸化処理層等を介することなく形成されることを意味する。

【発明の効果】

【0017】

本発明によれば、酸化物半導体層を備えた薄膜トランジスタにおいて、In、Ga、およびZnよりなる群から選択される少なくとも1種の元素と、Snとを含む第2酸化物半導体層へのダメージや水素の導入を抑制する層として、第1酸化物半導体層を介在させているため、N₂Oプラズマ照射により酸化処理層を形成せずとも、上部膜形成後のTFT特性は安定しており、品質の高い表示装置を提供することができる。

【図面の簡単な説明】

【0018】

【図1】図1は、実施形態の製造過程における薄膜トランジスタの構造を説明するための概略断面図である。

【図2】図2は、実施形態の製造過程における薄膜トランジスタの別の構造を説明するた

10

20

30

40

50

めの概略断面図である。

【発明を実施するための形態】

【0019】

本発明者らは、In、Ga、およびZnよりなる群から選択される少なくとも1種の元素と、Snを含む酸化物をTFTの活性層（酸化物半導体層）に用い、この酸化物半導体層の上部に保護膜、エッチストッパー層等の上部層を形成時に、前記半導体層の表面がダメージ等を受けることによるTFT特性の劣化を、簡易且つ確実に低減すべく、鋭意研究を重ねてきた。

【0020】

その結果、上記In、Ga、およびZnよりなる群から選択される少なくとも1種の元素と、Snを含む酸化物で構成される酸化物半導体層（第2酸化物半導体層）を形成後、保護膜等の上部層形成前に、上記第2酸化物半導体層上に、金属元素全体に占めるZnの含有量が50原子%以上である酸化物半導体層（第1酸化物半導体層）を設けておけば、上部層形成前にN₂Oプラズマ照射により酸化処理層を形成しなくとも、上部層形成時に、上記第2酸化物半導体層にプラズマダメージが与えられたり、水素が導入されることを防止でき、その結果、安定したTFT特性が得られて所期の目的を達成できることを見出し、本発明を完成した。

【0021】

以下、各層について詳述する。

【0022】

[第1酸化物半導体層]

第1酸化物半導体層を構成する酸化物は、少なくともZnを含むものであって、第1酸化物半導体層を構成する金属元素全体に占めるZnの含有量が50原子%以上のものである。後述する実施例に示す通り、上記Zn量が50原子%を下回ると、還元性雰囲気に対する耐性が低くなり、上部層形成時の水素の導入により、導通化してトランジスタがスイッチング特性を示さないといった問題が生じる。上記Znの含有量は、好ましくは60原子%以上であり、より好ましくは75原子%以上である。尚、第1酸化物半導体層を構成する酸化物は、金属元素としてZn以外に、本発明の作用効果を損なわないものとして、例えばAl、Ga、およびSnよりなる群から選択される1種以上が更に含まれていてもよい。より好ましい第1酸化物半導体層として、例えばZn-Oや、Zn-Al-O、Zn-Ga-O、Zn-Sn-Oからなるものが挙げられる。

【0023】

本発明の酸化物半導体層は、上述した酸化処理層を必要とするものでないため、前記第1酸化物半導体層と上部層（例えば保護膜）は、後述する図1に示すとおり、直接接触している。

【0024】

第1酸化物半導体層の膜厚は、好ましくは5nm以上とするのがよい。膜厚が薄すぎると上部層形成時のプラズマダメージや水素導入に対するバリア効果を十分に発揮することが難しいからである。より好ましくは10nm以上である。一方、厚すぎると製膜時間を要するため生産コストが増加する。よって第1酸化物半導体層の膜厚は、80nm以下とすることが好ましく、より好ましくは40nm以下である。

【0025】

[第2酸化物半導体層]

第2酸化物半導体層を構成する酸化物は、In、Ga、およびZnよりなる群から選択される少なくとも一種の元素と、Snを含む酸化物（Sn+(In、Ga、Zn)）である。具体的には、例えば、In含有酸化物半導体（In-Zn-Sn-O等）、Inを含まないZn含有酸化物半導体（Zn-Sn-O、Ga-Zn-Sn-O等）などが挙げられる。これらの組成比は特に限定されず、通常用いられる範囲のものを用いることができる。

【0026】

10

20

30

40

50

第2酸化物半導体層の膜厚は、好ましくは30nm以上である。膜厚が薄すぎると基板面内の特性にばらつきが生じるおそれがあるからである。一方、厚すぎると製膜時間を要するため生産コストが増加する。よって第2酸化物半導体層の膜厚は、200nm以下とすることが好ましく、より好ましくは80nm以下である。

【0027】

[第1酸化物半導体層、第2酸化物半導体層の形成方法]

上記第1酸化物半導体層、第2酸化物半導体層は、スパッタリング法にてスパッタリングターゲット(以下「ターゲット」ということがある。)を用いて成膜することが好ましい。スパッタリング法によれば、成分や膜厚の膜面内均一性に優れた薄膜を容易に形成することができる。また、塗布法などの化学的成膜法によって上記酸化物半導体層を形成してもよい。

10

【0028】

スパッタリング法に用いられるターゲットとして、前述した元素を含み、所望の酸化物と同一組成のスパッタリングターゲットを用いることが好ましい。これにより、組成ズレが少なく、所望の成分組成の薄膜を形成することができる。具体的には、第1酸化物半導体層を成膜するターゲットとして、金属元素全体に占めるZnの含有量が50原子%以上である酸化物ターゲットを使用することが挙げられる。また、第2酸化物半導体層を成膜するターゲットとして、In、Ga、およびZnよりなる群から選択される少なくとも1種の元素と、Snとを含む酸化物ターゲット($Sn + (In, Ga, Zn)$)を用いることが挙げられる。

20

【0029】

上記ターゲットは、例えば粉末焼結法等によって製造することができる。

【0030】

第1酸化物半導体層と第2酸化物半導体層をスパッタリング法で成膜する場合、真空状態を保ったまま連続的に成膜することが望ましい。第1酸化物半導体層と第2酸化物半導体層を成膜する際に大気中に曝露すると、空気中の水分や有機成分が薄膜表面に付着し、コンタミの原因となるからである。

【0031】

上記ターゲットを用いてスパッタリングするに当たっては、基板温度を室温とし、酸素添加量を適切に制御して行なうことが好ましい。酸素添加量は、スパッタリング装置の構成やターゲット組成などに応じて適切に制御すれば良いが、おおむね、酸化物半導体のキャリア濃度が $10^{15} \sim 10^{16} \text{ cm}^{-3}$ となるように酸素量を添加することが好ましい。尚、後述する実施例では、酸素添加量を、添加流量比で $100 \times O_2 / (Ar + O_2) = 4\%$ とした。

30

【0032】

[上部層]

本発明において第1酸化物半導体層上に形成する上部層として、例えば保護膜、エッチストップ層、ソース・ドレイン電極などが挙げられる。

【0033】

上記保護膜は、TFT特性を安定して確保するために形成されるものである。本発明に用いられる保護膜の種類は特に限定されず、表示装置に通常用いられるものを用いることができ、例えばSiO_x層、SiN_x層、SiON_x層のいずれかを形成する他、これらを複数積層させることができる。

40

【0034】

上記保護膜の形成には、通常、CVD法(具体的には、例えばプラズマCVD法)や、スパッタリング法などが用いられる。上記プラズマCVD法によりSiO_x層を形成する具体的方法として、例えば、SiH₄とN₂Oの混合ガスを、工業用周波数13.56MHzの高周波プラズマ中で反応させてSiO_xを形成し、酸化物半導体層上に堆積させるなどの方法が挙げられる。

【0035】

50

本発明によれば、保護膜を上記の通りCVD法等で形成する場合であっても、上記第2酸化物半導体層へのダメージ付与や水素導入を防止して、優れたTF特性を確保することができる。

【0036】

上記エッチストッパー層は、例えばソース・ドレイン電極形成時のエッチングの際に、酸化物半導体層へのダメージを防止するために形成される層である。本発明に用いられるエッチストッパー層の種類は特に限定されず、表示装置に通常用いられるものを用いることができる。例えばエッチストッパー層として、SiO_x層、SiN_x層、SiON_x層のいずれかを形成する他、これらを複数積層させることができる。

【0037】

上記エッチストッパー層の形成には、通常、CVD法（具体的には、プラズマCVD法）や、スパッタリング法などが用いられる。

【0038】

本発明によれば、前記エッチストッパー層を、上記の通りCVD法等で形成する場合であっても、上記第2酸化物半導体層へのダメージ付与や水素導入を防止して、優れたTF特性を確保することができる。

【0039】

上記ソース・ドレイン電極も、種類は特に限定されず、表示装置に通常用いられるものを用いることができ、例えば、AlやCuなどの金属または合金を用いても良いし、後記する実施例のように純Moを用いても良い。上記ソース・ドレイン電極の形成には、通常、スパッタリング法などを用いることができる。本発明によれば、このソース・ドレイン電極をスパッタリング法等で形成する場合であっても、上記第2酸化物半導体層へのダメージ付与や水素導入を防止して、優れたTF特性を確保することができる。

【0040】

本発明におけるTFの構造は、上記酸化物半導体層（第1酸化物半導体層と第2酸化物半導体層）と、上部層を備え、前記第1酸化物半導体層と上部層は、直接接触している（具体的に、エッチストッパー層を有しない場合は、前記第1酸化物半導体層と、前記ソース・ドレイン電極および保護膜とが直接接触しており、エッチストッパー層を有する場合は、前記第1酸化物半導体層と、エッチストッパー層およびソース・ドレイン電極とが、直接接触している）点に特徴を有しており、TFにおけるその他の構成については特に限定されない。

【0041】

よってTFは、基板上に、ゲート電極、ゲート絶縁膜、上記酸化物半導体層、上記ソース・ドレイン電極、必要に応じて上記エッチストッパー層、上記保護膜、透明導電膜等を少なくとも有していれば良く、その構造は通常用いられるものであれば特に限定されない。また、このTFを備えた表示装置においても、本発明で規定する以外の構成は特に限定されない。

【0042】

以下、図1や図2を参照しながら、上記TFの製造方法の実施形態を説明する。図1、2および以下の製造方法は、本発明の好ましい実施形態の一例を示すものであり、これに限定する趣旨ではない。例えば図1、2には、ボトムゲート型構造のTFを示しているがこれに限定されず、酸化物半導体層の上にゲート絶縁膜とゲート電極を順に備えるトップゲート型のTFであっても良い。トップゲート型TFにおいても、酸化物半導体層が第1酸化物半導体層と第2酸化物半導体層で構成され、第1酸化物半導体層が上部層と直接接触していればよい。

【0043】

図1に示すように、基板1上にゲート電極2およびゲート絶縁膜3が形成され、その上に第2酸化物半導体層4、第1酸化物半導体層4'が形成されている。第1酸化物半導体層4'上にはソース・ドレイン電極5が形成され、その上に保護膜（絶縁膜）6が形成され、コンタクトホール7を介して透明導電膜8がドレイン電極5に電氣的に接続されてい

10

20

30

40

50

る。

【0044】

基板1上にゲート電極2およびゲート絶縁膜3が形成する方法は特に限定されず、通常用いられる方法を採用することができる。また、ゲート電極2およびゲート絶縁膜3の種類も特に限定されず、汎用されているものを用いることができる。例えばゲート電極2として、電気抵抗率の低いAlやCuの金属、これらの合金を用いても良いし、後記する実施例のように純Moを用いても良い。また、ゲート絶縁膜3としては、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜などが代表的に例示される。そのほか、 Al_2O_3 や Y_2O_3 などの酸化物や、これらを積層したものを用いることもできる。

【0045】

次いで酸化物半導体層(第2酸化物半導体層4と第1酸化物半導体層4')を形成する。第2酸化物半導体層4は、上述した通り、第2酸化物半導体層と同組成のスパッタリングターゲットを用いたDCスパッタリング法またはRFスパッタリング法により成膜することができる。また上述した通り、第2酸化物半導体層4と第1酸化物半導体層4'は、順次、真空一環で連続成膜するのが好ましい。

【0046】

第2酸化物半導体層4と第1酸化物半導体層4'をウェットエッチングした後、パターニングする。パターニングの直後に、第2酸化物半導体層4および第1酸化物半導体層4'の膜質改善のために熱処理(プレアニール)を行うことが好ましく、これにより、トランジスタ特性のオン電流および電界効果移動度が上昇し、トランジスタ性能が向上するようになる。上記プレアニールの条件として、例えば、大気雰囲気または酸素雰囲気にて、約250~400で約1~2時間の熱処理を行うことが挙げられる。

【0047】

図2は、薄膜トランジスタの別の構造を示したものであり、前記図1の構造に更にエッチストッパー層9が加わったTFET構造を示している。この図2に示す通りエッチストッパー層9を有するTFET構造を形成する場合には、プレアニールの後にエッチストッパー層9を形成すればよい。エッチストッパー層9としては一般的に SiO_2 などの絶縁膜が用いられる。エッチストッパー層9よりも先にソース・ドレイン電極5を第1酸化物半導体層4'上に形成してもよいが、上記電極5のエッチングの際に第1酸化物半導体層4'がダメージを受けるため、トランジスタ特性が低下する恐れがある。よって、保護膜としてエッチストッパー層9をソース・ドレイン電極5よりも先に形成して上記エッチング時の第1酸化物半導体層4'へのダメージを防止するのがよい。

【0048】

なお、リフトオフ法によりソース・ドレイン電極5を加工する場合は、第1酸化物半導体層4'へのダメージがないためエッチストッパー層9は必要ない。後述する実施例ではリフトオフ法でソース・ドレイン電極5を形成した後、保護膜6を形成した。

【0049】

ソース・ドレイン電極の種類は特に限定されず、汎用されているものを用いることができる。例えばゲート電極と同様AlやCuなどの金属または合金を用いても良いし、後記する実施例のように純Moを用いても良い。電極の形成はスパッタリング法が広く用いられる。

【0050】

その後、ソース・ドレイン電極5と第1酸化物半導体層4'の上に、保護膜(絶縁膜)6をCVD法によって膜厚100nm~400nm(複数層の場合は合計膜厚)成膜する。CVD法による保護膜6は SiO_2 や SiN 、 $SiON$ などが用いられる。また、スパッタリング法を用いて保護膜6を形成してもよい。

【0051】

次に、常法に基づき、コンタクトホール7を介して透明導電膜8をドレイン電極5に電氣的に接続する。透明導電膜の種類は特に限定されず、通常用いられるものを使用することができる。

10

20

30

40

50

【実施例】

【0052】

以下、実施例を挙げて本発明をより具体的に説明するが、本発明はもとより下記実施例によって制限を受けるものではなく、前・後記の趣旨に適合し得る範囲で適当に変更を加えて実施することも勿論可能であり、それらはいずれも本発明の技術的範囲に包含される。

【0053】

本実施例では、以下の方法によって作製した試料を用い、TFT特性を測定した。

【0054】

詳細には、図1に示す薄膜トランジスタ(TFT)を作製してTFT特性を評価した。

10

【0055】

まず、ガラス基板1(コーニング社製イーグルXG、直径100mm×厚さ0.7mm)上に、ゲート電極2としてMo薄膜を100nm、およびゲート絶縁膜3としてSiO₂(200nm)を順次成膜した。ゲート電極2は純Moのスputteringターゲットを使用し、DCスputtering法により、成膜温度:室温、成膜パワー:300W、キャリアガス:Ar、ガス圧:2mTorrにて成膜した。また、ゲート絶縁膜3はプラズマCVD法を用い、キャリアガス:SiH₄とN₂Oの混合ガス、成膜パワー:100W、成膜温度:300にて成膜した。

【0056】

次に、上記のゲート絶縁膜3上に、表1~表8に示す種々の組成の第2酸化物半導体層4を、下記のスputteringターゲットを用いてスputtering法により成膜した。スputtering条件は以下の通りであり、ターゲットの組成は所望の第2酸化物半導体層4が得られるように調整されたものを用いた。

20

ターゲット: Zn - Sn - O (ZTO)
 Ga - Zn - Sn - O (GZTO)
 In - Zn - Sn - O (IZTO)

基板温度: 室温
 ガス圧: 5mTorr
 酸素分圧: $100 \times O_2 / (Ar + O_2) = 4\%$
 膜厚: 40nm

30

【0057】

次に、上記第2酸化物半導体層4上に、表1~表8に示す第1酸化物半導体層4'を、下記のスputteringターゲットを用いてスputtering法により成膜した。スputtering条件は以下の通りであり、ターゲットの組成は所望の第1酸化物半導体層4'が得られるように調整されたものを用いた。

ターゲット: Zn - O (ZnO)
 Ga - Zn - O (GZO)
 Al - Zn - O (AZO)
 Zn - Sn - O (ZTO)

基板温度: 室温
 ガス圧: 5mTorr
 酸素分圧: $100 \times O_2 / (Ar + O_2) = 4\%$
 膜厚: 20nm

40

【0058】

第2酸化物半導体層4と第1酸化物半導体層4'の成膜は途中でチャンバーを大気開放せず、連続的に成膜を行った。

【0059】

上記のようにして第2酸化物半導体層4と第1酸化物半導体層4'を成膜した後、フォトリソグラフィおよびウェットエッチングによりパターンニングを行った。ウェットエッチャント液としては、関東科学社製「ITO-07N」と「ELM-EZ1」を使用した。

50

【0060】

次に、膜質を向上させるためプレアニール処理を行った。プレアニール処理は、大気雰囲気下にて、350 で1時間行なった。

【0061】

次に、純Moを使用し、リフトオフ法によりソース・ドレイン電極5を形成した。具体的にはフォトレジストを用いてパターンングを行った後、Mo薄膜をDCスパッタリング法により成膜(膜厚は100nm)した。ソース・ドレイン電極用Mo薄膜の成膜方法は、前述したゲート電極の場合と同じである。次いで、アセトン液中で超音波洗浄器にかけて不要なフォトレジストを除去し、TFTのチャンネル長を10 μ m、チャンネル幅を200 μ mとした。

10

【0062】

このようにしてソース・ドレイン電極5を形成した後、酸化物半導体層(4、4')を保護するための保護膜6を形成した。保護膜6として、SiO₂(膜厚200nm)とSiN(膜厚200nm)の積層膜(合計膜厚400nm)を用いた。上記SiO₂およびSiNの形成は、サムコ製「PD-220NL」を用い、プラズマCVD法を用いて行った。本実施例では、N₂Oガスによるプラズマ処理を行わずに、SiO₂層、およびSiN層を順次形成した。SiO₂層の形成にはN₂OおよびSiH₄の混合ガスを用い、SiN層の形成にはSiH₄、N₂、NH₃の混合ガスを用いた。いずれの場合も成膜パワーを100W、成膜温度を150 とした。

20

【0063】

次にフォトリソグラフィ、およびドライエッチングにより、保護膜6にトランジスタ特性評価用プロービングのためのコンタクトホール7を形成した。次いで、DCスパッタリング法を用い、キャリアガス：アルゴンおよび酸素ガスの混合ガス、成膜パワー：200W、ガス圧：5mTorrの条件で、透明導電膜8としてITO膜(膜厚80nm)を成膜し、図1のTFTを作製して、後記する試験を行った。

【0064】

尚、第1酸化物半導体層の表面の酸化処理層の有無について、XPS(X-ray photoelectron spectroscopy)測定によって調べた。その結果、本実施例で作製した試料では、表面近傍(5nm)の酸素含有量(原子%)のピーク強度が表面近傍以外の領域と比べて2原子%以上高くなく、酸化処理層が形成されていないことを確認した。

30

【0065】

また、第1酸化物半導体層4'と第2酸化物半導体層4の金属元素の各含有量は、XPS(X-ray Photoelectron Spectroscopy)法によって分析した。

【0066】

このようにして得られた各TFTについて、以下(1)に示す通りトランジスタ特性を測定して、(2)キャリア移動度(電界効果移動度)、(3)SS値、および(4)ストレス耐性を評価した。

【0067】

(1)トランジスタ特性の測定

トランジスタ特性(ドレイン電流-ゲート電圧特性、Id-Vg特性)の測定はアジレントテクノロジー株式会社製「4156C」の半導体パラメータアナライザーを使用した。詳細な測定条件は以下のとおりである。

ソース電圧 : 0V

ドレイン電圧 : 10V

ゲート電圧 : -30 ~ 30V (測定間隔 : 0.25V)

40

【0068】

(2)キャリア移動度(電界効果移動度)

キャリア移動度(電界効果移動度)は、以下の式(1)を用いて飽和領域にて移動度を

50

算出した。

【 0 0 6 9 】

【 数 1 】

$$I_d = \frac{1}{2} \mu_{FE} C_{OX} \frac{W}{L} (V_{gs} - V_{th})^2 \quad \dots (1)$$

【 0 0 7 0 】

式 (1) において、

I_d : ドレイン電流

μ_{FE} : 電界効果移動度 (飽和移動度)

C_{ox} : 絶縁膜の容量

W : チャネル幅

L : チャネル長

V_{gs} : ゲート電圧

V_{th} : 閾値電圧

10

【 0 0 7 1 】

本実施例では、このようにして得られる飽和移動度が $5 \text{ cm}^2 / \text{Vs}$ 以上のものを (移動度が高い) と評価し、 $5 \text{ cm}^2 / \text{Vs}$ 未満のものを x と評価した。

20

【 0 0 7 2 】

(3) S S 値

ドレイン電流を一桁増加させるのに必要なゲート電圧の最小値を S S 値とした。本実施例では、このようにして得られる S S 値が 1.0 V / decade 以下のものを (S S 値が低い) と評価し、上記 S S 値が 1.0 V / decade 超のものを x と評価した。

【 0 0 7 3 】

(4) ストレス耐性の評価 (ストレスとして光照射 + 負バイアスを印加)

本実施例では、実際のパネル駆動時の環境 (ストレス) を模擬して、ゲート電極に負バイアスをかけながら光を照射するストレス印加試験を行った。ストレス印加条件は以下のとおりである。光の波長としては、酸化物半導体のバンドギャップに近く、トランジスタ特性が変動し易い 400 nm 程度を選択した。

30

ゲート電圧 : -20 V

ソース電圧 : 0 V

ドレイン電圧 : 10 V

基板温度 : 60

光ストレス

波長 : 400 nm

照度 (T F T に照射される光の強度) : $0.1 \mu \text{ W / cm}^2$

光源 : O P T O S U P P L Y 社製 L E D (N D フィルターによって光量を調整)

ストレス印加時間 : 3 時間

40

【 0 0 7 4 】

そして本実施例では、ドレイン電流が、オン電流とオフ電流の間の 1 nA 付近であるときの電圧をしきい値電圧と定義し、ストレス印加前後のしきい値電圧の変化量 (シフト量) を測定した。ここでしきい値電圧とは、おおまかにいえば、トランジスタがオフ状態 (ドレイン電流の低い状態) からオン状態 (ドレイン電流の高い状態) に移行する際のゲート電圧の値である。本実施例では、このようにして得られるシフト量が 5 V 以下のものを (ストレス耐性に優れている) とし、シフト量が 5 V 超のものを x と評価した。

【 0 0 7 5 】

これらの結果を表 1 ~ 表 8 にまとめて示す。

【 0 0 7 6 】

50

【表 1】

No.	第2酸化物半導体層 GZTOの組成比(原子比)			第1酸化物半導体層 AZOの組成比(原子比)		TFT特性			
	Ga/(Zn+Sn+Ga)	Zn/(Zn+Sn)	Sn/(Zn+Sn)	Zn/(Zn+Al)	Al/(Zn+Al)	移動度	SS値	ストレス耐性	総合判定
1	0.05	0.5	0.5	-	-	x	x	x	x
2	0.05	0.5	0.5	0.25	0.75	x	x	x	x
3	0.05	0.5	0.5	0.5	0.5	○	○	○	○
4	0.05	0.5	0.5	0.75	0.25	○	○	○	○
5	0.05	0.5	0.5	1	0	○	○	○	○
6	0.05	0.67	0.33	-	-	x	x	x	x
7	0.05	0.67	0.33	0.25	0.75	x	x	x	x
8	0.05	0.67	0.33	0.5	0.5	○	○	○	○
9	0.05	0.67	0.33	0.75	0.25	○	○	○	○
10	0.05	0.67	0.33	1	0	○	○	○	○
11	0.05	0.75	0.25	-	-	x	x	x	x
12	0.05	0.75	0.25	0.25	0.75	x	x	x	x
13	0.05	0.75	0.25	0.5	0.5	○	○	○	○
14	0.05	0.75	0.25	0.75	0.25	○	○	○	○
15	0.05	0.75	0.25	1	0	○	○	○	○
16	0.1	0.5	0.5	-	-	x	x	x	x
17	0.1	0.5	0.5	0.25	0.75	x	x	x	x
18	0.1	0.5	0.5	0.5	0.5	○	○	○	○
19	0.1	0.5	0.5	0.75	0.25	○	○	○	○
20	0.1	0.5	0.5	1	0	○	○	○	○
21	0.1	0.67	0.33	-	-	x	x	x	x
22	0.1	0.67	0.33	0.25	0.75	x	x	x	x
23	0.1	0.67	0.33	0.5	0.5	○	○	○	○
24	0.1	0.67	0.33	0.75	0.25	○	○	○	○
25	0.1	0.67	0.33	1	0	○	○	○	○
26	0.1	0.75	0.25	-	-	x	x	x	x
27	0.1	0.75	0.25	0.25	0.75	x	x	x	x
28	0.1	0.75	0.25	0.5	0.5	○	○	○	○
29	0.1	0.75	0.25	0.75	0.25	○	○	○	○
30	0.1	0.75	0.25	1	0	○	○	○	○
31	0.2	0.5	0.5	-	-	x	x	x	x
32	0.2	0.5	0.5	0.25	0.75	x	x	x	x
33	0.2	0.5	0.5	0.5	0.5	○	○	○	○
34	0.2	0.5	0.5	0.75	0.25	○	○	○	○
35	0.2	0.5	0.5	1	0	○	○	○	○
36	0.2	0.67	0.33	-	-	x	x	x	x
37	0.2	0.67	0.33	0.25	0.75	x	x	x	x
38	0.2	0.67	0.33	0.5	0.5	○	○	○	○
39	0.2	0.67	0.33	0.75	0.25	○	○	○	○
40	0.2	0.67	0.33	1	0	○	○	○	○
41	0.2	0.75	0.25	-	-	x	x	x	x
42	0.2	0.75	0.25	0.25	0.75	x	x	x	x
43	0.2	0.75	0.25	0.5	0.5	○	○	○	○
44	0.2	0.75	0.25	0.75	0.25	○	○	○	○
45	0.2	0.75	0.25	1	0	○	○	○	○

【 0 0 7 7 】

【表 2】

No.	第2酸化物半導体層 IZTOの組成比(原子比)			第1酸化物半導体層 AZOの組成比(原子比)		TFT特性			
	In/(Zn+Sn+In)	Zn/(Zn+Sn)	Sn/(Zn+Sn)	Zn/(Zn+Al)	Al/(Zn+Al)	移動度	SS値	ストレス耐性	総合判定
1	0.05	0.5	0.5	-	-	x	x	x	x
2	0.05	0.5	0.5	0.25	0.75	x	x	x	x
3	0.05	0.5	0.5	0.5	0.5	○	○	○	○
4	0.05	0.5	0.5	0.75	0.25	○	○	○	○
5	0.05	0.5	0.5	1	0	○	○	○	○
6	0.05	0.67	0.33	-	-	x	x	x	x
7	0.05	0.67	0.33	0.25	0.75	x	x	x	x
8	0.05	0.67	0.33	0.5	0.5	○	○	○	○
9	0.05	0.67	0.33	0.75	0.25	○	○	○	○
10	0.05	0.67	0.33	1	0	○	○	○	○
11	0.05	0.75	0.25	-	-	x	x	x	x
12	0.05	0.75	0.25	0.25	0.75	x	x	x	x
13	0.05	0.75	0.25	0.5	0.5	○	○	○	○
14	0.05	0.75	0.25	0.75	0.25	○	○	○	○
15	0.05	0.75	0.25	1	0	○	○	○	○
16	0.1	0.5	0.5	-	-	x	x	x	x
17	0.1	0.5	0.5	0.25	0.75	x	x	x	x
18	0.1	0.5	0.5	0.5	0.5	○	○	○	○
19	0.1	0.5	0.5	0.75	0.25	○	○	○	○
20	0.1	0.5	0.5	1	0	○	○	○	○
21	0.1	0.67	0.33	-	-	x	x	x	x
22	0.1	0.67	0.33	0.25	0.75	x	x	x	x
23	0.1	0.67	0.33	0.5	0.5	○	○	○	○
24	0.1	0.67	0.33	0.75	0.25	○	○	○	○
25	0.1	0.67	0.33	1	0	○	○	○	○
26	0.1	0.75	0.25	-	-	x	x	x	x
27	0.1	0.75	0.25	0.25	0.75	x	x	x	x
28	0.1	0.75	0.25	0.5	0.5	○	○	○	○
29	0.1	0.75	0.25	0.75	0.25	○	○	○	○
30	0.1	0.75	0.25	1	0	○	○	○	○
31	0.2	0.5	0.5	-	-	x	x	x	x
32	0.2	0.5	0.5	0.25	0.75	x	x	x	x
33	0.2	0.5	0.5	0.5	0.5	○	○	○	○
34	0.2	0.5	0.5	0.75	0.25	○	○	○	○
35	0.2	0.5	0.5	1	0	○	○	○	○
36	0.2	0.67	0.33	-	-	x	x	x	x
37	0.2	0.67	0.33	0.25	0.75	x	x	x	x
38	0.2	0.67	0.33	0.5	0.5	○	○	○	○
39	0.2	0.67	0.33	0.75	0.25	○	○	○	○
40	0.2	0.67	0.33	1	0	○	○	○	○
41	0.2	0.75	0.25	-	-	x	x	x	x
42	0.2	0.75	0.25	0.25	0.75	x	x	x	x
43	0.2	0.75	0.25	0.5	0.5	○	○	○	○
44	0.2	0.75	0.25	0.75	0.25	○	○	○	○
45	0.2	0.75	0.25	1	0	○	○	○	○

10

20

30

【 0 0 7 8 】

【表 3】

No.	第2酸化物半導体層 GZTOの組成比(原子比)			第1酸化物半導体層 GZOの組成比(原子比)		TFT特性			総合 判定
	Ga/(Zn+Sn+Ga)	Zn/(Zn+Sn)	Sn/(Zn+Sn)	Zn/(Zn+Ga)	Ga/(Zn+Ga)	移動度	SS値	ストレス耐性	
1	0.05	0.5	0.5	-	-	×	×	×	×
2	0.05	0.5	0.5	0.25	0.75	×	×	×	×
3	0.05	0.5	0.5	0.5	0.5	○	○	○	○
4	0.05	0.5	0.5	0.75	0.25	○	○	○	○
5	0.05	0.5	0.5	1	0	○	○	○	○
6	0.05	0.67	0.33	-	-	×	×	×	×
7	0.05	0.67	0.33	0.25	0.75	×	×	×	×
8	0.05	0.67	0.33	0.5	0.5	○	○	○	○
9	0.05	0.67	0.33	0.75	0.25	○	○	○	○
10	0.05	0.67	0.33	1	0	○	○	○	○
11	0.05	0.75	0.25	-	-	×	×	×	×
12	0.05	0.75	0.25	0.25	0.75	×	×	×	×
13	0.05	0.75	0.25	0.5	0.5	○	○	○	○
14	0.05	0.75	0.25	0.75	0.25	○	○	○	○
15	0.05	0.75	0.25	1	0	○	○	○	○
16	0.1	0.5	0.5	-	-	×	×	×	×
17	0.1	0.5	0.5	0.25	0.75	×	×	×	×
18	0.1	0.5	0.5	0.5	0.5	○	○	○	○
19	0.1	0.5	0.5	0.75	0.25	○	○	○	○
20	0.1	0.5	0.5	1	0	○	○	○	○
21	0.1	0.67	0.33	-	-	×	×	×	×
22	0.1	0.67	0.33	0.25	0.75	×	×	×	×
23	0.1	0.67	0.33	0.5	0.5	○	○	○	○
24	0.1	0.67	0.33	0.75	0.25	○	○	○	○
25	0.1	0.67	0.33	1	0	○	○	○	○
26	0.1	0.75	0.25	-	-	×	×	×	×
27	0.1	0.75	0.25	0.25	0.75	×	×	×	×
28	0.1	0.75	0.25	0.5	0.5	○	○	○	○
29	0.1	0.75	0.25	0.75	0.25	○	○	○	○
30	0.1	0.75	0.25	1	0	○	○	○	○
31	0.2	0.5	0.5	-	-	×	×	×	×
32	0.2	0.5	0.5	0.25	0.75	×	×	×	×
33	0.2	0.5	0.5	0.5	0.5	○	○	○	○
34	0.2	0.5	0.5	0.75	0.25	○	○	○	○
35	0.2	0.5	0.5	1	0	○	○	○	○
36	0.2	0.67	0.33	-	-	×	×	×	×
37	0.2	0.67	0.33	0.25	0.75	×	×	×	×
38	0.2	0.67	0.33	0.5	0.5	○	○	○	○
39	0.2	0.67	0.33	0.75	0.25	○	○	○	○
40	0.2	0.67	0.33	1	0	○	○	○	○
41	0.2	0.75	0.25	-	-	×	×	×	×
42	0.2	0.75	0.25	0.25	0.75	×	×	×	×
43	0.2	0.75	0.25	0.5	0.5	○	○	○	○
44	0.2	0.75	0.25	0.75	0.25	○	○	○	○
45	0.2	0.75	0.25	1	0	○	○	○	○

【 0 0 7 9 】

10

20

30

40

【表4】

No.	第2酸化物半導体層 IZTOの組成比(原子比)			第1酸化物半導体層 GZOの組成比(原子比)		TFT特性			
	In/(Zn+Sn+In)	Zn/(Zn+Sn)	Sn/(Zn+Sn)	Zn/(Zn+Ga)	Ga/(Zn+Ga)	移動度	SS値	ストレス耐性	総合判定
1	0.05	0.5	0.5	-	-	×	×	×	×
2	0.05	0.5	0.5	0.25	0.75	×	×	×	×
3	0.05	0.5	0.5	0.5	0.5	○	○	○	○
4	0.05	0.5	0.5	0.75	0.25	○	○	○	○
5	0.05	0.5	0.5	1	0	○	○	○	○
6	0.05	0.67	0.33	-	-	×	×	×	×
7	0.05	0.67	0.33	0.25	0.75	×	×	×	×
8	0.05	0.67	0.33	0.5	0.5	○	○	○	○
9	0.05	0.67	0.33	0.75	0.25	○	○	○	○
10	0.05	0.67	0.33	1	0	○	○	○	○
11	0.05	0.75	0.25	-	-	×	×	×	×
12	0.05	0.75	0.25	0.25	0.75	×	×	×	×
13	0.05	0.75	0.25	0.5	0.5	○	○	○	○
14	0.05	0.75	0.25	0.75	0.25	○	○	○	○
15	0.05	0.75	0.25	1	0	○	○	○	○
16	0.1	0.5	0.5	-	-	×	×	×	×
17	0.1	0.5	0.5	0.25	0.75	×	×	×	×
18	0.1	0.5	0.5	0.5	0.5	○	○	○	○
19	0.1	0.5	0.5	0.75	0.25	○	○	○	○
20	0.1	0.5	0.5	1	0	○	○	○	○
21	0.1	0.67	0.33	-	-	×	×	×	×
22	0.1	0.67	0.33	0.25	0.75	×	×	×	×
23	0.1	0.67	0.33	0.5	0.5	○	○	○	○
24	0.1	0.67	0.33	0.75	0.25	○	○	○	○
25	0.1	0.67	0.33	1	0	○	○	○	○
26	0.1	0.75	0.25	-	-	×	×	×	×
27	0.1	0.75	0.25	0.25	0.75	×	×	×	×
28	0.1	0.75	0.25	0.5	0.5	○	○	○	○
29	0.1	0.75	0.25	0.75	0.25	○	○	○	○
30	0.1	0.75	0.25	1	0	○	○	○	○
31	0.2	0.5	0.5	-	-	×	×	×	×
32	0.2	0.5	0.5	0.25	0.75	×	×	×	×
33	0.2	0.5	0.5	0.5	0.5	○	○	○	○
34	0.2	0.5	0.5	0.75	0.25	○	○	○	○
35	0.2	0.5	0.5	1	0	○	○	○	○
36	0.2	0.67	0.33	-	-	×	×	×	×
37	0.2	0.67	0.33	0.25	0.75	×	×	×	×
38	0.2	0.67	0.33	0.5	0.5	○	○	○	○
39	0.2	0.67	0.33	0.75	0.25	○	○	○	○
40	0.2	0.67	0.33	1	0	○	○	○	○
41	0.2	0.75	0.25	-	-	×	×	×	×
42	0.2	0.75	0.25	0.25	0.75	×	×	×	×
43	0.2	0.75	0.25	0.5	0.5	○	○	○	○
44	0.2	0.75	0.25	0.75	0.25	○	○	○	○
45	0.2	0.75	0.25	1	0	○	○	○	○

【0080】

10

20

30

40

【表 5】

No.	第2酸化物半導体層 GZTOの組成比(原子比)			第1酸化物半導体層 ZTOの組成比(原子比)		TFT特性			
	Ga/(Zn+Sn+Ga)	Zn/(Zn+Sn)	Sn/(Zn+Sn)	Zn/(Zn+Sn)	Sn/(Zn+Sn)	移動度	SS値	ストレス耐性	総合判定
1	0.05	0.5	0.5	-	-	×	×	×	×
2	0.05	0.5	0.5	0.25	0.75	×	×	×	×
3	0.05	0.5	0.5	0.5	0.5	○	○	○	○
4	0.05	0.5	0.5	0.75	0.25	○	○	○	○
5	0.05	0.5	0.5	1	0	○	○	○	○
6	0.05	0.67	0.33	-	-	×	×	×	×
7	0.05	0.67	0.33	0.25	0.75	×	×	×	×
8	0.05	0.67	0.33	0.5	0.5	○	○	○	○
9	0.05	0.67	0.33	0.75	0.25	○	○	○	○
10	0.05	0.67	0.33	1	0	○	○	○	○
11	0.05	0.75	0.25	-	-	×	×	×	×
12	0.05	0.75	0.25	0.25	0.75	×	×	×	×
13	0.05	0.75	0.25	0.5	0.5	○	○	○	○
14	0.05	0.75	0.25	0.75	0.25	○	○	○	○
15	0.05	0.75	0.25	1	0	○	○	○	○
16	0.1	0.5	0.5	-	-	×	×	×	×
17	0.1	0.5	0.5	0.25	0.75	×	×	×	×
18	0.1	0.5	0.5	0.5	0.5	○	○	○	○
19	0.1	0.5	0.5	0.75	0.25	○	○	○	○
20	0.1	0.5	0.5	1	0	○	○	○	○
21	0.1	0.67	0.33	-	-	×	×	×	×
22	0.1	0.67	0.33	0.25	0.75	×	×	×	×
23	0.1	0.67	0.33	0.5	0.5	○	○	○	○
24	0.1	0.67	0.33	0.75	0.25	○	○	○	○
25	0.1	0.67	0.33	1	0	○	○	○	○
26	0.1	0.75	0.25	-	-	×	×	×	×
27	0.1	0.75	0.25	0.25	0.75	×	×	×	×
28	0.1	0.75	0.25	0.5	0.5	○	○	○	○
29	0.1	0.75	0.25	0.75	0.25	○	○	○	○
30	0.1	0.75	0.25	1	0	○	○	○	○
31	0.2	0.5	0.5	-	-	×	×	×	×
32	0.2	0.5	0.5	0.25	0.75	×	×	×	×
33	0.2	0.5	0.5	0.5	0.5	○	○	○	○
34	0.2	0.5	0.5	0.75	0.25	○	○	○	○
35	0.2	0.5	0.5	1	0	○	○	○	○
36	0.2	0.67	0.33	-	-	×	×	×	×
37	0.2	0.67	0.33	0.25	0.75	×	×	×	×
38	0.2	0.67	0.33	0.5	0.5	○	○	○	○
39	0.2	0.67	0.33	0.75	0.25	○	○	○	○
40	0.2	0.67	0.33	1	0	○	○	○	○
41	0.2	0.75	0.25	-	-	×	×	×	×
42	0.2	0.75	0.25	0.25	0.75	×	×	×	×
43	0.2	0.75	0.25	0.5	0.5	○	○	○	○
44	0.2	0.75	0.25	0.75	0.25	○	○	○	○
45	0.2	0.75	0.25	1	0	○	○	○	○

【 0 0 8 1 】

10

20

30

40

【表 6】

No.	第2酸化物半導体層 IZTOの組成比(原子比)			第1酸化物半導体層 ZTOの組成比(原子比)		TFT特性			総合 判定
	In/(Zn+Sn+In)	Zn/(Zn+Sn)	Sn/(Zn+Sn)	Zn/(Zn+Sn)	Sn/(Zn+Sn)	移動度	SS値	ストレス耐性	
1	0.05	0.5	0.5	-	-	x	x	x	x
2	0.05	0.5	0.5	0.25	0.75	x	x	x	x
3	0.05	0.5	0.5	0.5	0.5	○	○	○	○
4	0.05	0.5	0.5	0.75	0.25	○	○	○	○
5	0.05	0.5	0.5	1	0	○	○	○	○
6	0.05	0.67	0.33	-	-	x	x	x	x
7	0.05	0.67	0.33	0.25	0.75	x	x	x	x
8	0.05	0.67	0.33	0.5	0.5	○	○	○	○
9	0.05	0.67	0.33	0.75	0.25	○	○	○	○
10	0.05	0.67	0.33	1	0	○	○	○	○
11	0.05	0.75	0.25	-	-	x	x	x	x
12	0.05	0.75	0.25	0.25	0.75	x	x	x	x
13	0.05	0.75	0.25	0.5	0.5	○	○	○	○
14	0.05	0.75	0.25	0.75	0.25	○	○	○	○
15	0.05	0.75	0.25	1	0	○	○	○	○
16	0.1	0.5	0.5	-	-	x	x	x	x
17	0.1	0.5	0.5	0.25	0.75	x	x	x	x
18	0.1	0.5	0.5	0.5	0.5	○	○	○	○
19	0.1	0.5	0.5	0.75	0.25	○	○	○	○
20	0.1	0.5	0.5	1	0	○	○	○	○
21	0.1	0.67	0.33	-	-	x	x	x	x
22	0.1	0.67	0.33	0.25	0.75	x	x	x	x
23	0.1	0.67	0.33	0.5	0.5	○	○	○	○
24	0.1	0.67	0.33	0.75	0.25	○	○	○	○
25	0.1	0.67	0.33	1	0	○	○	○	○
26	0.1	0.75	0.25	-	-	x	x	x	x
27	0.1	0.75	0.25	0.25	0.75	x	x	x	x
28	0.1	0.75	0.25	0.5	0.5	○	○	○	○
29	0.1	0.75	0.25	0.75	0.25	○	○	○	○
30	0.1	0.75	0.25	1	0	○	○	○	○
31	0.2	0.5	0.5	-	-	x	x	x	x
32	0.2	0.5	0.5	0.25	0.75	x	x	x	x
33	0.2	0.5	0.5	0.5	0.5	○	○	○	○
34	0.2	0.5	0.5	0.75	0.25	○	○	○	○
35	0.2	0.5	0.5	1	0	○	○	○	○
36	0.2	0.67	0.33	-	-	x	x	x	x
37	0.2	0.67	0.33	0.25	0.75	x	x	x	x
38	0.2	0.67	0.33	0.5	0.5	○	○	○	○
39	0.2	0.67	0.33	0.75	0.25	○	○	○	○
40	0.2	0.67	0.33	1	0	○	○	○	○
41	0.2	0.75	0.25	-	-	x	x	x	x
42	0.2	0.75	0.25	0.25	0.75	x	x	x	x
43	0.2	0.75	0.25	0.5	0.5	○	○	○	○
44	0.2	0.75	0.25	0.75	0.25	○	○	○	○
45	0.2	0.75	0.25	1	0	○	○	○	○

【 0 0 8 2 】

10

20

30

40

【表 7】

No.	第2酸化物半導体層 ZTOの組成比(原子比)		第1酸化物半導体層 AZOの組成比(原子比)		TFT特性			
	Zn	Sn	Zn/(Zn+Al)	Al/(Zn+Al)	移動度	SS値	ストレス耐性	総合判定
1	2	1	-	-	×	×	×	×
2	2	1	0.25	0.75	×	×	×	×
3	2	1	0.5	0.5	○	○	○	○
4	2	1	0.75	0.25	○	○	○	○
5	2	1	1	0	○	○	○	○
6	3	1	-	-	×	×	×	×
7	3	1	0.25	0.75	×	×	×	×
8	3	1	0.5	0.5	○	○	○	○
9	3	1	0.75	0.25	○	○	○	○
10	3	1	1	0	○	○	○	○
11	4	1	-	-	×	×	×	×
12	4	1	0.25	0.75	×	×	×	×
13	4	1	0.5	0.5	○	○	○	○
14	4	1	0.75	0.25	○	○	○	○
15	4	1	1	0	○	○	○	○

10

20

【 0 0 8 3 】

【表 8】

No.	第2酸化物半導体層 ZTOの組成比(原子比)		第1酸化物半導体層 GZOの組成比(原子比)		TFT特性			
	Zn	Sn	Zn/(Zn+Ga)	Ga/(Zn+Ga)	移動度	SS値	ストレス耐性	総合判定
1	2	1	-	-	×	×	×	×
2	2	1	0.25	0.75	×	×	×	×
3	2	1	0.5	0.5	○	○	○	○
4	2	1	0.75	0.25	○	○	○	○
5	2	1	1	0	○	○	○	○
6	3	1	-	-	×	×	×	×
7	3	1	0.25	0.75	×	×	×	×
8	3	1	0.5	0.5	○	○	○	○
9	3	1	0.75	0.25	○	○	○	○
10	3	1	1	0	○	○	○	○
11	4	1	-	-	×	×	×	×
12	4	1	0.25	0.75	×	×	×	×
13	4	1	0.5	0.5	○	○	○	○
14	4	1	0.75	0.25	○	○	○	○
15	4	1	1	0	○	○	○	○

30

40

【 0 0 8 4 】

各表において、「第1酸化物半導体層の組成比 = -」(例えば表1のNo. 1など)と

50

は、半導体層として第2酸化物半導体層のみ用い、第1酸化物半導体層を形成しなかった例であり、従来例に相当するものである。

【0085】

表1～8から次のように考察できる。即ち、第1酸化物半導体層において、金属元素全体に占めるZnの含有量が50原子%以上である例は、TFT特性に優れているが、該Znの含有量が50原子%に満たない例は、飽和移動度、SS値、ストレス耐性のいずれもが、合格基準を満たさず、TFT特性に劣っている。

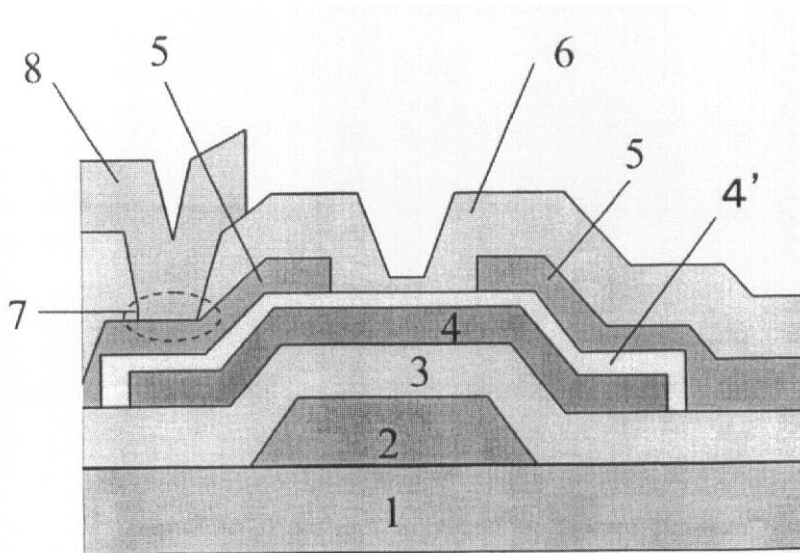
【符号の説明】

【0086】

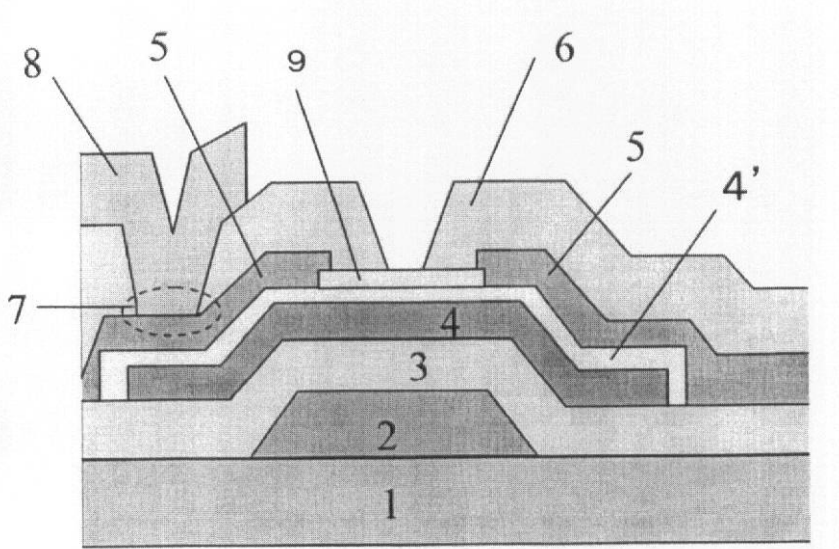
- 1 基板
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 第2酸化物半導体層
- 4' 第1酸化物半導体層
- 5 ソース・ドレイン電極
- 6 保護膜
- 7 コンタクトホール
- 8 透明導電膜
- 9 エッチストッパー層

10

【図1】



【図2】



フロントページの続き

- (74)代理人 100129757
弁理士 植木 久彦
- (74)代理人 100115082
弁理士 菅河 忠志
- (74)代理人 100125243
弁理士 伊藤 浩彰
- (74)代理人 100125173
弁理士 竹岡 明美
- (72)発明者 前田 剛彰
兵庫県神戸市西区高塚台1丁目5番5号 株式会社神戸製鋼所神戸総合技術研究所内
- (72)発明者 釘宮 敏洋
兵庫県神戸市西区高塚台1丁目5番5号 株式会社神戸製鋼所神戸総合技術研究所内
- (72)発明者 宋 俊 昊
大韓民国 京畿道 城南市 盆唐区 亭子洞 ドンヤン亭子パラゴン 101棟 601号
- (72)発明者 李 制 勳
大韓民国 ソウル市 陽川区 木4洞 ワールドメルディアンアパート 201棟 205号
- (72)発明者 安 秉 斗
大韓民国 京畿道 華城市 石隅洞 ウミリンゼイルプンギョンチェアアパート 121棟 302号
- (72)発明者 金 建 熙
大韓民国 京畿道 華城市 陵洞 プルンマウルシンイルヘピトリアパート969棟 503号
- Fターム(参考) 2H092 JA25 JA26 JA28 JA46 JB57 KA08 MA05 MA08 MA13 MA17
NA24 NA27
4K029 AA09 AA24 BA50 BD01 CA06
5F110 AA26 BB01 CC01 CC07 DD02 EE02 EE03 EE04 EE06 EE44
FF01 FF02 FF03 FF04 FF30 GG01 GG06 GG07 GG25 GG28
GG29 GG43 GG58 HK02 HK03 HK04 HK06 HK33 HL07 NN03
NN04 NN05 NN12 NN16 NN22 NN23 NN24 NN34 NN35 QQ09
QQ14