



(12)发明专利

(10)授权公告号 CN 105448896 B

(45)授权公告日 2018.12.21

(21)申请号 201410438974.8

(22)申请日 2014.08.29

(65)同一申请的已公布的文献号
申请公布号 CN 105448896 A

(43)申请公布日 2016.03.30

(73)专利权人 展讯通信(上海)有限公司
地址 201203 上海市浦东新区张江高科技
园区祖冲之路2288弄展讯中心1号楼

(72)发明人 樊茂 朱小荣

(74)专利代理机构 上海申新律师事务所 31272
代理人 俞涤炯

(51)Int.Cl.
H01L 23/64(2006.01)

(56)对比文件

CN 1369913 A, 2002.09.18,
US 2007216027 A1, 2007.09.20,
CN 1732570 A, 2006.02.08,
CN 101271874 A, 2008.09.24,

审查员 刘玮德

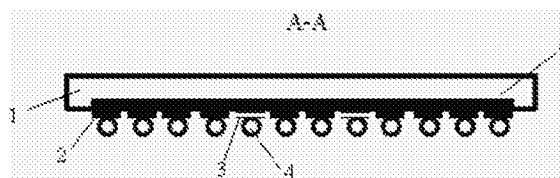
权利要求书1页 说明书3页 附图2页

(54)发明名称

减小芯片外电容占用空间的集成封装结构

(57)摘要

本发明涉及电子技术领域,具体涉及一种封装结构。减小芯片外电容占用空间的集成封装结构,包括封装体,用于芯片封装,所述封装体上设有用于与外部连接的焊盘,其中,设定位置的所述焊盘上设置电容单元,其余位置的所述焊盘上连接金属垫块。本发明在芯片的设定位置的焊盘上连接电容单元,以代替外部电路中的电容,在不增加封装结构工艺复杂度的情况下,简化了外围电路设计并为客户的实际应用提供了便利,满足低功耗高集成度的要求。



1. 减小芯片外电容占用空间的集成封装结构,包括封装体,用于芯片封装,所述封装体上设有用于与外部连接的焊盘,其特征在于,设定位置的所述焊盘上设置电容单元以代替外部电路中的电容,其余位置的所述焊盘上连接金属垫块;所述电容单元与所述金属垫块的高度相同;

所述电容单元包括第一金属极板、第二金属极板;

所述第二金属极板与所述第一金属极板相对设置,所述第一金属极板连接所述焊盘,所述第二金属极板的下表面连接焊球,所述第一金属极板与所述第二金属极板之间填充电容介质。

2. 根据权利要求1所述的减小芯片外电容占用空间的集成封装结构,其特征在于,所述金属垫块及所述电容元件通过焊球与所述电路板连接。

3. 根据权利要求1所述的减小芯片外电容占用空间的集成封装结构,其特征在于,所述芯片包括基板,所述焊盘呈阵列形式分布于所述基板的下表面。

4. 根据权利要求1所述的减小芯片外电容占用空间的集成封装结构,其特征在于,所述封装体采用陶瓷材料或塑料制成。

减小芯片外电容占用空间的集成封装结构

技术领域

[0001] 本发明涉及电子技术领域,具体涉及一种封装结构。

背景技术

[0002] 集成电路封装不仅起到集成电路芯片内键合点与外部进行电气连接的作用,也为集成电路芯片提供了一个稳定可靠的工作环境,对集成电路芯片起到机械或环境保护的作用,从而集成电路芯片能够发挥正常的功能,并保证其具有高稳定性和可靠性。芯片应用中,外围电路中的电容常常会占用过多的印制电路板空间,也增加了芯片的应用成本,而将外围电路中的电容设置于芯片上也会牺牲过多的芯片面积,目前还没有一种理想的方式对电容进行布局。

发明内容

[0003] 本发明的目的在于,提供一种减小芯片外电容占用空间的集成封装结构,解决以上技术问题。

[0004] 本发明所解决的技术问题可以采用以下技术方案来实现:

[0005] 减小芯片外电容占用空间的集成封装结构,包括封装体,用于芯片封装,所述封装体上设有用于与外部连接的焊盘,其中,设定位置的所述焊盘上设置电容单元,其余位置的所述焊盘上连接金属垫块。

[0006] 本发明的减小芯片外电容占用空间的集成封装结构,所述电容单元与所述金属垫块的高度相同。

[0007] 本发明的减小芯片外电容占用空间的集成封装结构,所述金属垫块及所述电感单元通过焊球与电路板连接。

[0008] 本发明的减小芯片外电容占用空间的集成封装结构,所述电容单元包括第一金属极板、第二金属极板;

[0009] 所述第二金属极板与所述第一金属极板相对设置,所述第一金属极板连接所述焊盘,所述第二金属极板的下表面连接所述焊球。

[0010] 本发明的减小芯片外电容占用空间的集成封装结构,所述第一金属极板与所述第二金属极板之间填充电容介质。

[0011] 本发明的减小芯片外电容占用空间的集成封装结构,所述芯片包括基板,所述焊盘呈阵列形式分布于所述基板的下表面。

[0012] 本发明的减小芯片外电容占用空间的集成封装结构,所述封装体采用陶瓷材料或塑料制成。

[0013] 有益效果:由于采用以上技术方案,本发明在芯片的设定位置的焊盘上连接电容单元,以代替外部电路中的电容,在不增加封装结构工艺复杂度的情况下,简化了外围电路设计并为客户的实际应用提供了便利,满足低功耗高集成度的要求。

附图说明

- [0014] 图1为本发明的集成封装结构主视图；
[0015] 图2为图1的A-A向剖视图；
[0016] 图3为本发明的焊盘处设置电容单元的放大图。

具体实施方式

[0017] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0018] 需要说明的是,在不冲突的情况下,本发明中的实施例及实施例中的特征可以相互组合。

[0019] 下面结合附图和具体实施例对本发明作进一步说明,但不作为本发明的限定。

[0020] 参照图1、图2、图3,减小芯片外电容占用空间的集成封装结构,包括封装体1,用于芯片封装,封装体1上设有用于与外部连接的焊盘,其中,设定位置的焊盘上设置电容单元3,其余位置的焊盘上连接金属垫块2。

[0021] 本发明在芯片的设定位置的焊盘上连接电容单元,以代替外部电路中的电容,在不增加封装结构工艺复杂度的情况下,简化了外围电路设计并为客户的实际应用提供了便利,满足低功耗高集成度的要求。

[0022] 本发明的减小芯片外电容占用空间的集成封装结构,电容单元3与金属垫块2的高度相同。以保证芯片1与电路板连接时的平整度,及可靠性,降低虚焊等连接不可靠的缺陷。

[0023] 本发明的减小芯片外电容占用空间的集成封装结构,金属垫块2及电容单元3通过焊球4与电路板连接。焊球4使得芯片1与电路板连接时,引脚可以很短,缩短了信号的传输路径,减小了引线电感、电阻,因而可改善电路的性能。

[0024] 本发明的减小芯片外电容占用空间的集成封装结构,电容单元3包括第一金属极板31、第二金属极板32;

[0025] 第二金属极板32与第一金属极板31相对设置,第一金属极板31连接焊盘,第二金属极板32的下表面连接焊球4。

[0026] 本发明的减小芯片外电容占用空间的集成封装结构,第二金属极板32与第一金属极板31相对设置后与芯片平行设置。

[0027] 本发明的减小芯片外电容占用空间的集成封装结构,第一金属极板31与第二金属极板32之间填充电容介质。

[0028] 本发明的减小芯片外电容占用空间的集成封装结构,芯片包括基板5,焊盘呈阵列形式分布于基板5的下表面。

[0029] 本发明的减小芯片外电容占用空间的集成封装结构,封装体1可以采用陶瓷材料制成的封装体1。陶瓷材料制成的封装体1在外型及功能方面具有更大的灵活性,同时具有更好的散热性能。

[0030] 以上所述仅为本发明较佳的实施例,并非因此限制本发明的实施方式及保护范

围,对于本领域技术人员而言,应当能够意识到凡运用本发明说明书及图示内容所作出的等同替换和显而易见的变化所得到的方案,均应当包含在本发明的保护范围内。

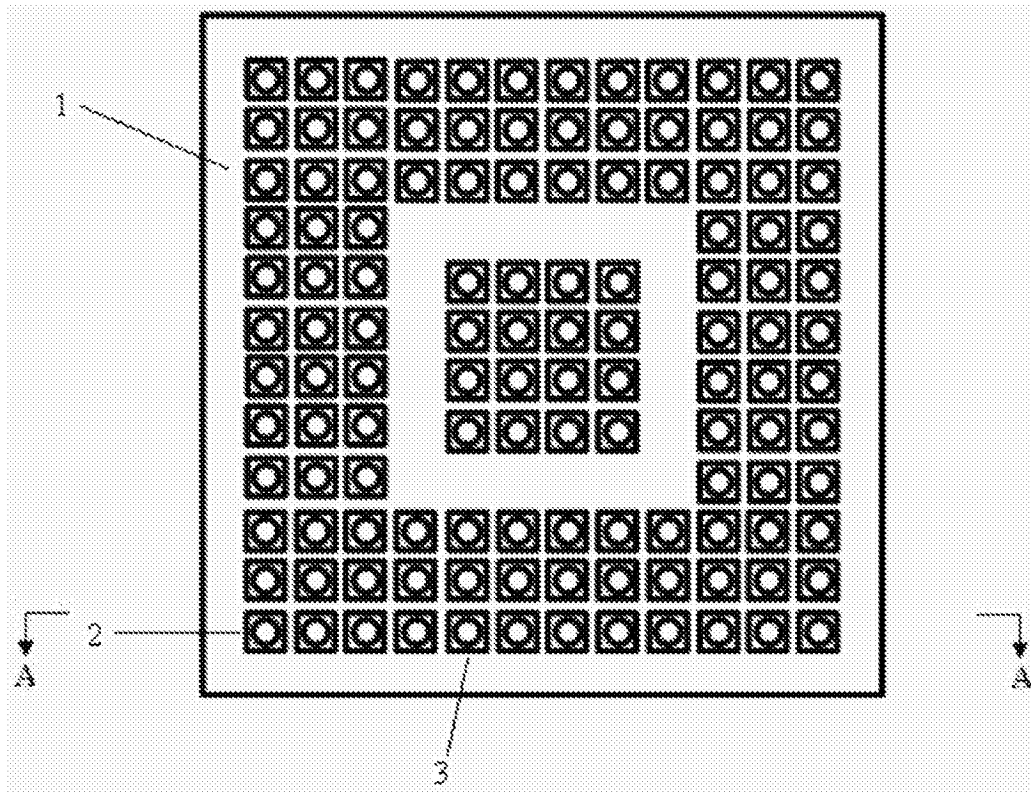


图1

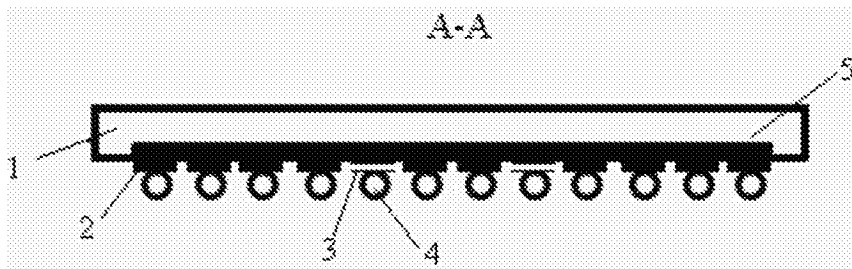


图2

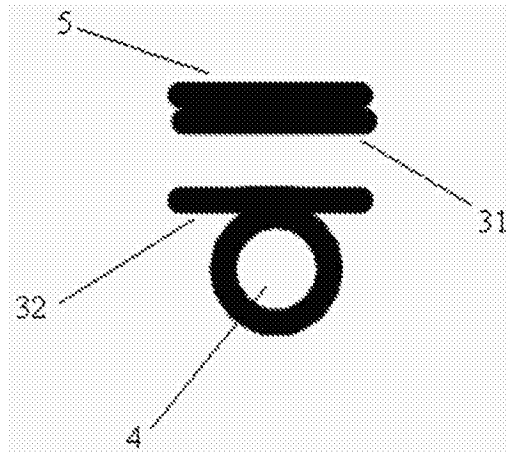


图3