



(12)发明专利申请

(10)申请公布号 CN 113808929 A

(43)申请公布日 2021.12.17

(21)申请号 202010535906.9

H01L 27/11556(2017.01)

(22)申请日 2020.06.12

H01L 27/11582(2017.01)

(71)申请人 中微半导体设备(上海)股份有限公司

地址 201201 上海市浦东新区金桥出口加工区(南区)泰华路188号

(72)发明人 李洋 邓世琪 严利均 刘志强

(74)专利代理机构 上海元好知识产权代理有限公司 31323

代理人 张妍 章丽娟

(51)Int.Cl.

H01L 21/28(2006.01)

H01L 21/027(2006.01)

H01L 21/033(2006.01)

H01L 21/311(2006.01)

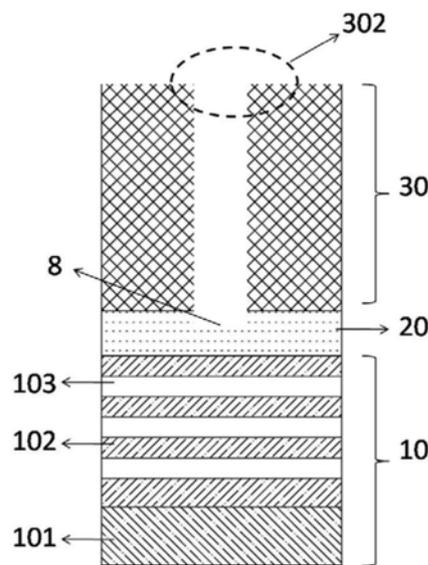
权利要求书1页 说明书5页 附图4页

(54)发明名称

一种半导体结构的形成方法

(57)摘要

本发明公开了一种半导体结构的形成方法,包括提供衬底,衬底表面具有掩膜层,掩膜层表面具有图形层,图形层内具有图形开口,图形开口底部暴露出掩膜层的顶部表面;以图形层为掩膜,刻蚀图形开口底部的部分掩膜层,在掩膜层内形成第一开口;形成第一开口之后,在第一开口顶角的周围形成保护层;以保护层为掩膜,刻蚀第一开口底部的掩膜层,直至暴露出衬底的顶部表面,在掩膜层内形成第二开口。此发明解决了传统刻蚀半导体结构形成过程中掩膜层的顶角处被刻蚀磨损的问题,通过在刻蚀过程中添加一层保护层,保证在刻蚀过程中掩膜层的顶角不会被破损,提升了图形转移的准确性。



1. 一种半导体结构的形成方法,其特征在于,包括:
提供衬底,所述衬底表面具有掩膜层,所述掩膜层表面具有图形层,所述图形层内具有图形开口,所述图形开口底部暴露出所述掩膜层的顶部表面;
以所述图形层为掩膜,刻蚀所述图形开口底部的部分掩膜层,在所述掩膜层内形成第一开口;
形成所述第一开口之后,在所述第一开口顶角的周围形成保护层;
以所述保护层为掩膜,刻蚀所述第一开口底部的掩膜层,直至暴露出所述衬底的顶部表面,在所述掩膜层内形成第二开口。
2. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述衬底包括基底和位于基底上交替堆叠的氧化层和氮化层;所述氧化层的材料包括:氧化硅;所述氮化层的材料包括:氮化硅。
3. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述保护层的材料与掩膜层的材料相同。
4. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述保护层的材料与掩膜层的材料不同。
5. 如权利要求4所述的半导体结构的形成方法,其特征在于,所述掩膜层的材料包括:无定形碳;所述保护层的材料包括:氧化硅、氮化硅或有机聚合物。
6. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述保护层的厚度与所述第一开口底部的掩膜层的厚度成正比。
7. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述保护层的形成方法包括:等离子体喷涂工艺。
8. 如权利要求7所述的半导体结构的形成方法,其特征在于,所述等离子体喷涂采用的压力值小于30毫托。
9. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述图形层包括:位于所述掩膜层表面的介质抗反射涂层、位于介质抗反射涂层上的底部抗反射涂层以及位于底部抗反射涂层表面的光刻胶层。
10. 如权利要求1所述的半导体结构的形成方法,其特征在于,所述衬底与所述掩膜层之间具有停止层,所述第二开口底部暴露出所述停止层的表面。
11. 如权利要求1所述的半导体结构的形成方法,其特征在于,形成所述第二开口之后,还包括:去除所述保护层。
12. 如权利要求2所述的半导体结构的形成方法,其特征在于,形成所述第二开口之后,还包括:以所述掩膜层为掩膜,刻蚀所述第二开口底部交替堆叠的氧化层和氮化层,直至暴露出所述基底的顶部表面,在交替堆叠的氧化层和氮化层内形成通孔。

一种半导体结构的形成方法

技术领域

[0001] 本发明涉及半导体技术领域,具体涉及一种半导体结构的形成方法。

背景技术

[0002] 在半导体技术领域中,半导体结构的形成主要通过光刻、蚀刻和平坦化等一系列的工艺形成的;其中,半导体的刻蚀工艺是将光刻工艺的图形层上图案(pattern)刻蚀转移至基底材料上。该刻蚀工艺需要在等离子体反应腔内部,调控刻蚀的气体、温度、功率源以及刻蚀时间等参数,来控制其刻蚀半导体结构的形状。

[0003] 随着半导体行业的发展,新型的3D NAND存储器中包括衬底,所述衬底包括基底(Substrate)和位于基底上交替堆叠的氧化硅和氮化硅。随着半导体技术的发展,对3D NAND存储器的存储容量提出了更高的要求,即:要求3D NAND存储器的存储量较高,这将使氧化硅和氮化硅的堆叠层数增多,相应的,所需的掩膜层的厚度也相应增厚。

[0004] 然而,对所述掩膜层进行图形化形成掩膜开口时,由于所述掩膜层的厚度较厚,这将使掩膜层顶角被磨损破坏,即:所形成的掩膜开口的形状与预设图形不一致,那么后续再以掩膜层为掩膜刻蚀,在所述氧化硅和氮化硅内形成的开口的形状也与预定的图形不一致,因此,需要提供一种可以保证掩膜层的顶角不被刻蚀磨损的刻蚀方法,来提高图形转移的准确性。

发明内容

[0005] 本发明的目的是提供一种半导体结构的形成方法。此方法旨在解决传统刻蚀半导体结构形成过程中掩膜层的顶角处被刻蚀磨损的问题,通过在刻蚀过程中添加一层保护层,保证在刻蚀过程中掩膜层的顶角不会被破损,提高图形转移的准确性。

[0006] 为达到上述目的,本发明提供了一种半导体结构的形成方法,包括:

[0007] 提供衬底,所述衬底表面具有掩膜层,所述掩膜层表面具有图形层,所述图形层内具有图形开口,所述图形开口底部暴露出所述掩膜层的顶部表面;

[0008] 以所述图形层为掩膜,刻蚀所述图形开口底部的部分掩膜层,在所述掩膜层内形成第一开口;

[0009] 形成所述第一开口之后,在所述第一开口顶角的周围形成保护层;

[0010] 以所述保护层为掩膜,刻蚀所述第一开口底部的掩膜层,直至暴露出所述衬底的顶部表面,在所述掩膜层内形成第二开口。

[0011] 上述的半导体结构的形成方法,其中,所述衬底包括基底和位于基底上交替堆叠的氧化层和氮化层;所述氧化层的材料包括:氧化硅;所述氮化层的材料包括:氮化硅。

[0012] 上述的半导体结构的形成方法,其中,所述保护层的材料与掩膜层的材料相同。

[0013] 上述的半导体结构的形成方法,其中,所述保护层的材料与掩膜层的材料不同。

[0014] 上述的半导体结构的形成方法,其中,所述掩膜层的材料包括:无定形碳;所述保护层的材料包括:氧化硅、氮化硅或有机聚合物。

[0015] 上述的半导体结构的形成方法,其中,所述保护层的厚度与所述第一开口底部的掩膜层的厚度成正比。

[0016] 上述的半导体结构的形成方法,其中,所述保护层的形成方法包括:等离子体喷涂工艺。

[0017] 上述的半导体结构的形成方法,其中,所述等离子体喷涂采用的压力值小于30毫托。

[0018] 上述的半导体结构的形成方法,其中,所述图形层包括:位于所述掩膜层表面的介质抗反射涂层、位于介质抗反射涂层上的底部抗反射涂层以及位于底部抗反射涂层表面的光刻胶层。

[0019] 上述的半导体结构的形成方法,其中,所述衬底与所述掩膜层之间具有停止层,所述第二开口底部暴露出所述停止层的表面。

[0020] 上述的半导体结构的形成方法,其中,形成所述第二开口之后,还包括:去除所述保护层。

[0021] 上述的半导体结构的形成方法,其中,形成所述第二开口之后,还包括:以所述掩膜层为掩膜,刻蚀所述第二开口底部交替堆叠的氧化层和氮化层,直至暴露出所述基底的顶部表面,在交替堆叠的氧化层和氮化层内形成通孔。

[0022] 运用此发明,解决了传统刻蚀半导体结构形成过程中掩膜层的顶角处被刻蚀磨损的问题,通过在刻蚀过程中添加一层保护层,保证在刻蚀过程中掩膜层的顶角不会被破损,提升了图形转移的准确性。

[0023] 相对于现有技术,本发明具有以下有益效果:

[0024] 本发明提供的半导体结构的形成方法中,通过两步刻蚀工艺对掩膜层进行刻蚀,首先刻蚀部分掩膜层,形成所述第一开口。在形成所述第一开口的过程中,由于刻蚀时间较短,所述图形层能够对掩膜层进行较好的防护,能够防止第一开口的顶角侧壁被磨损而发生倾斜,即:所述第一开口的顶角的形貌较好。形成所述第一开口之后,在所述第一开口顶角的周围形成保护层,所述保护层在后续刻蚀所述第一开口底部的掩膜层的过程中能够对顶角周围进行保护,防止所形成的第二开口的顶角被磨损,因此,所形成的第二开口的形貌良好,那么,后续以第二开口为掩膜,刻蚀所述衬底所形成的图形与预设的图形一致性较好。

附图说明

[0025] 图1至图4为本发明一种形成半导体结构各步骤的结构示意图;

[0026] 图5为本发明另一种形成半导体结构的结构示意图;

[0027] 图6为本发明半导体结构的扫描电镜图。

具体实施方式

[0028] 以下结合附图通过具体实施例对本发明作进一步的描述,这些实施例仅用于说明本发明,并不是对本发明保护范围的限制。

[0029] 本发明是一种半导体结构的形成方法,该半导体结构的形成是在等离子体处理装置中刻蚀完成的,包括:

[0030] 请参考图1,提供衬底10,衬底10表面具有掩膜层30,掩膜层30表面具有图形层40,图形层40内具有图形开口5,图形开口5底部暴露出掩膜层30的顶部表面,形成半导体的掩膜版。

[0031] 在本实施例中,衬底10包括基底101 (Substrate) 和位于基底101 (Substrate) 上交替堆叠的氧化层102和氮化层103;衬底10中氧化层102和氮化层103交替堆叠的层数越来越多,对应的3D NAND存储器的容量会越来越大。随着半导体技术的发展,要求3D NAND存储器的存储量越来越大,因此,需要氧化层102和氮化层103堆叠的层数越来越多,例如:需要氧化层102和氮化层103堆叠的层数为64层、128层或者256层。为了对交替堆叠的层数较多的氧化层102和氮化层103的表面有更好的保护,使掩膜层30的厚度也较厚。

[0032] 在本实施例中,所述基底101 (Substrate) 的材料包括硅;氧化层102的材料包括氧化硅;氮化层103的材料包括氮化硅;掩膜层30的材料包括无定形碳 (Carbon), 则对应的掩膜版为碳掩膜版。

[0033] 其中,图形层40包括:位于掩膜层30表面的介质抗反射 (DARC) 涂层401、位于DARC涂层401上的底部抗反射 (BARC) 涂层402以及位于BARC涂层表面402的光刻胶 (PR) 层403。

[0034] 所述衬底10与掩膜层30之间具有停止层20,形成第二开口8时,直至暴露出停止层20的表面;停止层20的材料包括氧化硅。所述停止层20用于后续形成第二开口时的停止层。

[0035] 所述图形开口5用于定义后续形成第一开口的位置和尺寸。

[0036] 请参考图2,以图形层40为掩膜,刻蚀图形开口5底部的部分掩膜层30,在掩膜层30内形成第一开口600。

[0037] 以图形层40为掩膜,刻蚀图形开口5底部的部分掩膜层30的工艺包括各向异性干法刻蚀工艺,选择所述各向异性干法刻蚀的意义在于:所述各向异性干法刻蚀是指在垂直方向上的刻蚀速率远远大于水平方向上的刻蚀速率,使得所形成的第一开口600侧壁与底部的垂直度较好,有利于提高细小图形的保真性。

[0038] 以PR层403、BARC涂层402和DARC涂层401为掩膜,将图形开口5的图案刻蚀转移到掩膜层30内部,形成所述第一开口600。尽管高存储量的3D NAND存储器需要所述掩膜层30的厚度较厚,但是并不是一次性刻穿所述掩膜层30,而是仅仅刻蚀图形开口5底部的部分掩膜层30形成所述第一开口600。

[0039] 在形成所述第一开口600的过程中,由于刻蚀时间较短,所述图形层40对掩膜层30的保护能力较好,使所形成的第一开口600的顶角没有被磨损,即:所述图形开口5的图形很好地转移给了第一开口600,减小了图形转移的差异。

[0040] 同时,在形成所述第一开口600的过程中,所述图形层40也被刻薄,尽管选择的气体是刻蚀掩膜层30,但是这种刻蚀气体对图形层40也会有一些刻蚀,只是刻蚀的速率没有刻掩膜层30那么快。

[0041] 在本实施例中,参考图2所示,形成所述第一开口600之后,PR层403和BARC涂层402被刻蚀去除,还剩余部分的DARC涂层401。

[0042] 请参考图3,形成第一开口600之后,在第一开口600顶角的周围形成保护层700。

[0043] 在本实施例中,保护层700覆盖第一开口600顶角的周围包括:覆盖第一开口600的顶部侧壁、第一开口600的顶角处和剩余部分DARC涂层401的上表面,从而充分保护掩膜层30的顶角302位置。

[0044] 保护层700的形成是在等离子体处理装置内部,无需取出等离子体处理装置,直接通过该等离子体处理装置内置的射频源功率源,进行等离子体喷涂。

[0045] 其中,等离子体喷涂采用的射频源功率源的输出频率为13MHz-60MHz;等离子体喷涂采用的压力值小于30毫托,超过30毫托压力值会出现喷涂不均匀的现象;在本实施例中,等离子体喷涂的压力为10毫托。

[0046] 保护层700的厚度与所述第一开口600底部的掩膜层30的厚度成正比;当所述第一开口600底部的掩膜层30厚度越厚时,刻蚀过程中掩膜层30的边角处302越容易被刻蚀,则相应的喷涂的保护层700也应该越厚;在本实施例中,保护层700的材料与掩膜层30的材料不同,则所述保护层700与掩膜层30具有不同的刻蚀选择比,使得后续去除所述保护层700时,所述掩膜层30难以被去除,则有利于确保掩膜层30的图形形状。所述保护层700的材料包括:氧化硅、氮化硅或有机聚合物。

[0047] 请参考图4,以保护层700为掩膜,刻蚀第一开口600底部的掩膜层30,直至暴露出衬底10的顶部表面,在掩膜层30内形成第二开口8。

[0048] 形成第二开口8的工艺包括各向异性干法刻蚀工艺,选择所述各向异性干法刻蚀的意义在于:所述各向异性干法刻蚀是指在垂直方向上的刻蚀速率远远大于水平方向上的刻蚀速率,使得所形成的第二开口800侧壁与底部的垂直度较好,有利于提高细小图形的保真性。

[0049] 在形成第二开口8的过程中,由于所述第一开口600底部掩膜层30的厚度较薄,使得形成第二开口8的时间较短,因此,所述保护层700对第一开口600顶角的位置保护较好,因此,所形成的第二开口8的顶角未被磨损,图形转移较好,所述第二开口8的形貌与预设图案的一致性较高,则后续以所述掩膜层30为掩膜,在交替堆叠的氧化层和氮化层内形成通孔的形貌与其预设的图案形貌一致性较高,有利于提高器件性能的可控性。

[0050] 在本实施例中,形成第二开口8之后,还包括:去除保护层700;去除保护层700的工艺包括湿法刻蚀工艺或者干法刻蚀工艺。

[0051] 形成第二开口8之后,还包括:以掩膜层30为掩膜,刻蚀第二开口8底部交替堆叠的氧化层102和氮化层103,直至暴露出基底101的顶部表面,在交替堆叠的氧化层102和氮化层103内形成通孔。

[0052] 图5为本发明另一种形成半导体结构的结构示意图。

[0053] 本实施例形成第一开口的方法与上述实施例相同,在此不作赘述。

[0054] 请参考图5,形成所述第一开口601之后,在所述第一开口601的内侧壁和掩膜层30上形成保护层701。

[0055] 在本实施例中,所述保护层701覆盖第一开口601顶角的周围包括:覆盖第一开口601的所有侧壁、第一开口601的顶角处和剩余部分DARC涂层401的上表面。

[0056] 形成保护层701之后,以所述保护层701为掩膜,刻蚀所述第一开口601底部的掩膜层30,直至暴露出所述衬底10的顶部表面,在所述掩膜层30内形成第二开口8。

[0057] 以所述保护层701为掩膜,刻蚀所述第一开口601底部的掩膜层30的工艺包括:干法刻蚀工艺。在本实施例中,所述保护层701的材料与掩膜层30的材料不同,则所述保护层701与掩膜层30具有不同的刻蚀选择比,使得后续去除所述保护层701时,所述掩膜层30难以被去除,则有利于确保掩膜层30的图形形状。

[0058] 本实施例形成第二开口8和刻蚀第二开口8底部交替堆叠的氧化层102和氮化层103的方法与上述实施例相同,在此不作赘述。

[0059] 在本实施例中,保护层701覆盖第一开口601顶角的周围,继而以保护层701为掩膜继续刻蚀,会出现第二开口8变小的情况(实验中也可以观察到)。

[0060] 因此,采用本实施例中保护层701的覆盖方法,需要利用多次氧化沉积来形成保护层701和多次刻蚀相结合。其中,每次氧化沉积生成保护层701需要通过调节沉积的时间来控制沉积保护层701的厚度,既保证达到保护效果,也减少对后续刻蚀第二开口8尺寸的影响。需要保证保护层701的第一开口601侧壁垂直,没有倾斜的形貌出现,在后续多次氧化沉积时,只沉积在保护层701顶部,而减少每次在转角302处的沉积量和侧壁处沉积量。

[0061] 图6为本发明半导体结构的扫描电镜图。

[0062] 在本发明提供的实施例中,参照如图6所示,展现了电镜下刻蚀半导体结构刻蚀完成后,掩膜层30的顶角302的俯视图,从俯视图中能够清晰的看出掩膜版的顶角处302光滑,表明了该半导体结构形成方法能够有效地保护掩膜层30的顶角302,不会在刻蚀工艺中被破坏,解决了传统刻蚀半导体结构形成过程中掩膜层30的顶角处302被刻蚀磨损的问题,同时,提升了半导体结构的刻蚀选择比,降低了刻蚀成本。

[0063] 尽管本发明的内容已经通过上述优选实施例作了详细介绍,但应当认识到上述的描述不应被认为是对本发明的限制。在本领域技术人员阅读了上述内容后,对于本发明的多种修改和替代都将是显而易见的。因此,本发明的保护范围应由所附的权利要求来限定。

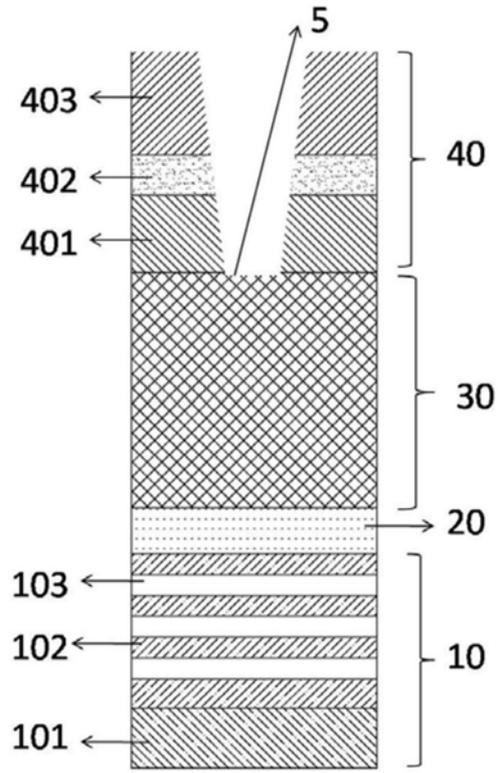


图1

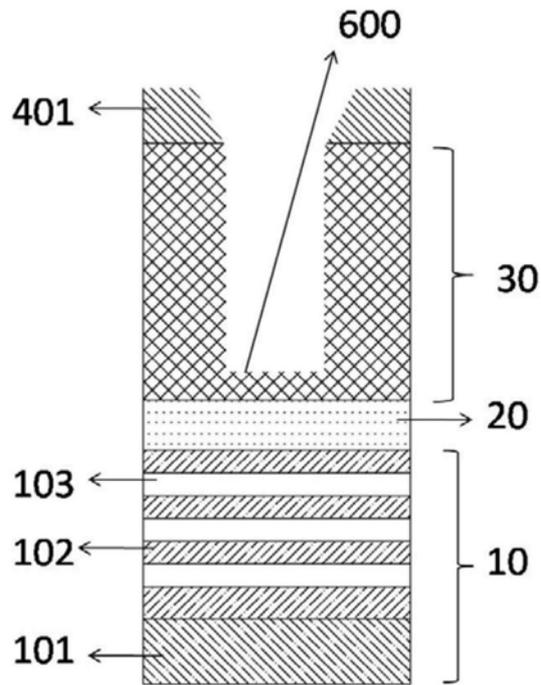


图2

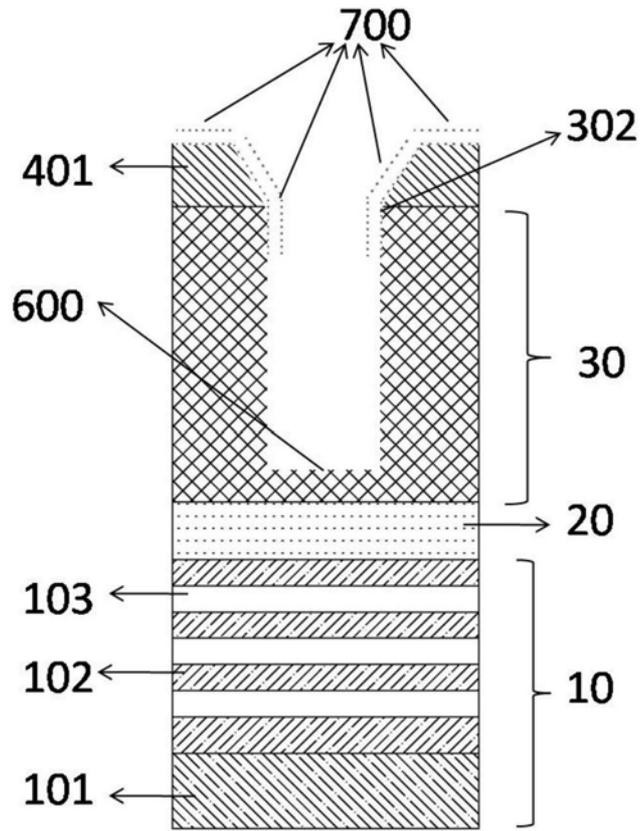


图3

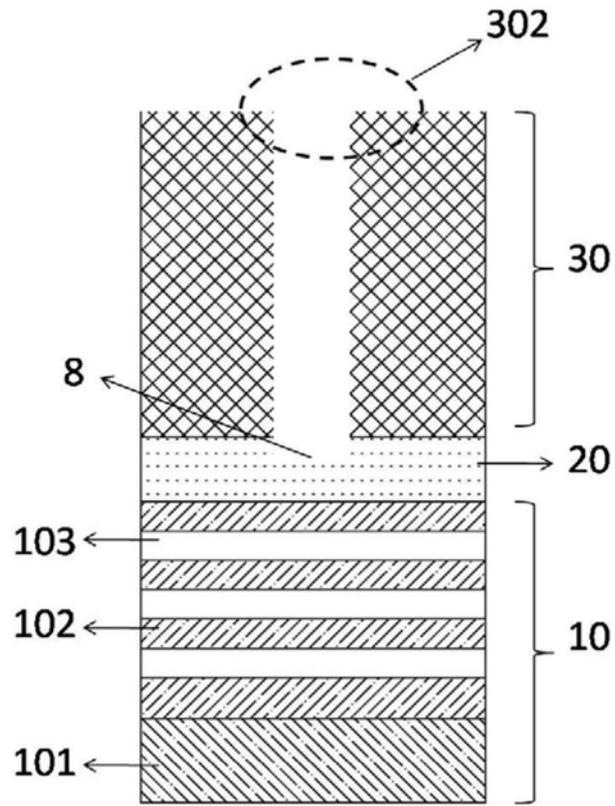


图4

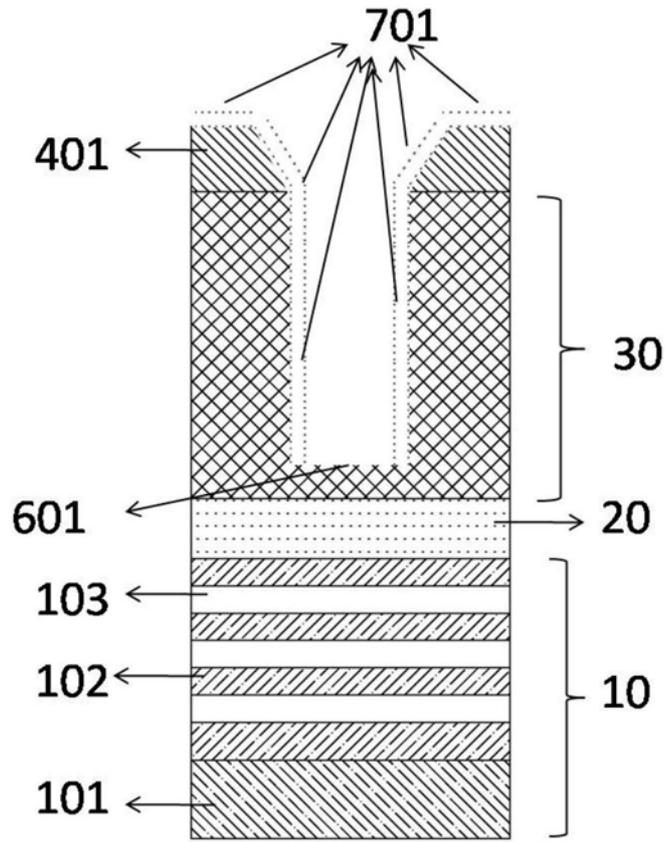


图5

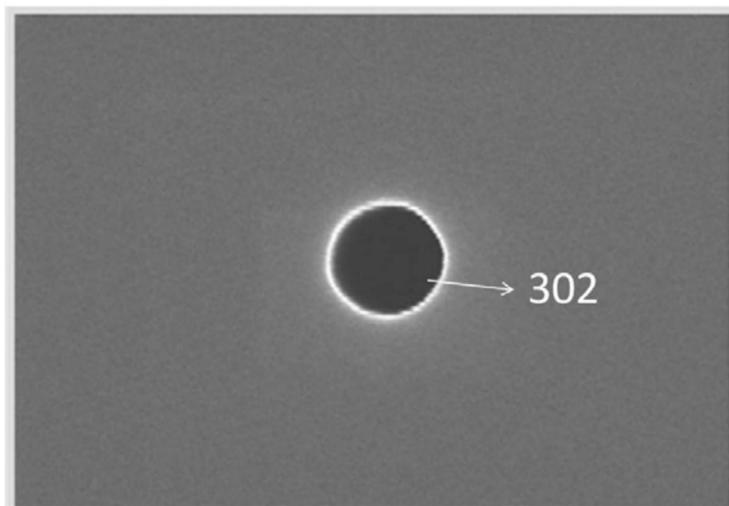


图6