

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-94649

(P2007-94649A)

(43) 公開日 平成19年4月12日(2007.4.12)

(51) Int. Cl.	F I	テーマコード (参考)
G06F 13/362 (2006.01)	G06F 13/362 510E	5B060
G06F 12/00 (2006.01)	G06F 12/00 571B	5B061

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号	特願2005-281737 (P2005-281737)	(71) 出願人	000006150 京セラミタ株式会社 大阪府大阪市中央区玉造1丁目2番28号
(22) 出願日	平成17年9月28日 (2005.9.28)	(74) 代理人	100067828 弁理士 小谷 悦司
		(74) 代理人	100096150 弁理士 伊藤 孝夫
		(74) 代理人	100099955 弁理士 樋口 次郎
		(72) 発明者	鈴木 淳史 大阪市中央区玉造1丁目2番28号 京セラミタ株式会社内
		Fターム(参考)	5B060 CD04 5B061 BA01 BB08

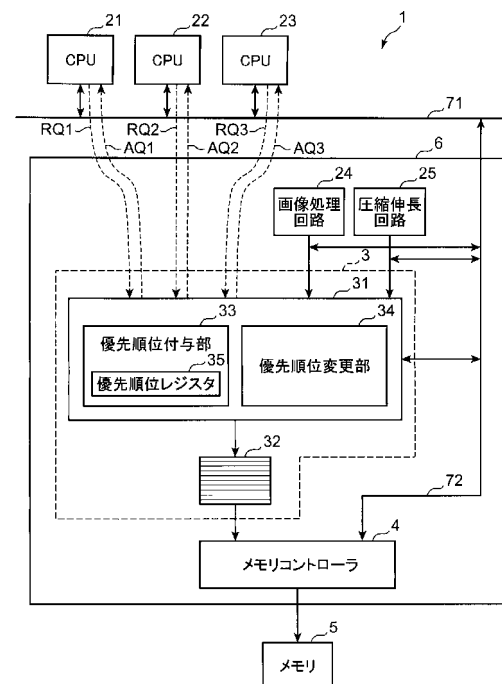
(54) 【発明の名称】 アクセス調停回路

(57) 【要約】

【課題】 複数の演算処理装置からのアクセス要求の実行が、際限なく待たされることを抑制することができるアクセス調停回路を提供する。

【解決手段】 複数の演算処理装置からのアクセス要求を受信するアクセス順序制御部31と、複数のアクセス要求を記憶するアクセス要求記憶部32と、複数のアクセス要求にそれぞれ優先順位を付与してアクセス要求記憶部32に当該優先順位の順番に記憶させる優先順位付与部33と、アクセス要求記憶部32により、アクセス要求が新たに記憶される場合、当該新たに記憶されるアクセス要求の優先順位に基づいて既に記憶されているアクセス要求の優先順位を動的に変化させる優先順位変更部34とを備え、アクセス要求記憶部32は、複数のアクセス要求を記憶順にメモリコントローラ4を介してメモリ5へ送信するようにした。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の演算処理装置から送信されたアクセス要求を受信し、当該受信されたアクセス要求を、前記アクセス要求に応じて動作する機能回路部へ送信するアクセス調停回路であって、

前記複数の演算処理装置からのアクセス要求を受信する受信部と、

前記受信部により受信された複数のアクセス要求を記憶するためのアクセス要求記憶部と、

前記受信部により受信された複数のアクセス要求にそれぞれ優先順位を付与して前記アクセス要求記憶部に当該優先順位の順番に記憶させる優先順位付与部と、

前記優先順位付与部によって、前記優先順位が付与されたアクセス要求が前記アクセス要求記憶部に新たに記憶される場合、当該新たに記憶されるアクセス要求の優先順位に基づいて、前記アクセス要求記憶部により既に記憶されているアクセス要求の優先順位を動的に変化させる優先順位変更部と、

前記複数のアクセス要求を、前記アクセス要求記憶部に記憶されている順に、前記機能回路部へ送信するアクセス要求送信部と

を備えることを特徴とするアクセス調停回路。

【請求項 2】

前記優先順位変更部は、

前記新たに記憶されるアクセス要求より前記優先順位が低いアクセス要求の優先順位を高く変更すること

を特徴とする請求項 1 記載のアクセス調停回路。

【請求項 3】

前記複数の演算処理装置には、予め優先順位が付与されており、

前記優先順位付与部は、前記受信部により受信されたアクセス要求に、当該アクセス要求を送信した前記演算処理装置の優先順位を付与すること

を特徴とする請求項 1 又は 2 記載のアクセス調停回路。

【請求項 4】

前記アクセス要求は、前記機能回路部におけるアドレス情報を含み、

前記優先順位付与部は、前記受信部により受信されたアクセス要求に、当該アクセス要求に含まれるアドレス情報に基づいて、前記優先順位を付与すること

を特徴とする請求項 1 又は 2 記載のアクセス調停回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の演算処理装置からのアクセス要求を調停するアクセス調停回路に関する。

【背景技術】

【0002】

従来、複数の CPU（中央演算処理装置）によって、所定の機能を実現する機能回路部、例えばメモリや ASIC（Application Specific Integrated Circuit）等のハードウェア資源を共有し、複数の CPU からこれら機能回路部にアクセスするようにしたマルチプロセッサシステムが知られている。

【0003】

このようなマルチプロセッサシステムにおいては、複数の CPU から同時にこのような機能回路部にアクセスしようとする、複数の CPU からのアクセスが競合し、各 CPU からメモリ等の機能回路部に正常にアクセスすることができない。そこで、複数の CPU からのアクセスが競合した場合、各 CPU が順番にアクセス権が得られるように、機能回路部へのアクセス権を付与するラウンドロビン方式のアクセス調停回路が知られている。

【0004】

10

20

30

40

50

しかし、ラウンドロビン方式では、処理を急ぐCPUであってもアクセスの順番が回ってこなければアクセス権が与えられるのが他のCPUのアクセスの後に回されてしまうため、優先度の高い処理の実行が遅れてしまうという不都合があった。

【0005】

そこで、各CPUに予め優先順位を付与し、複数のCPUからのアクセスが競合した場合には優先順位の高いCPUからのアクセスを優先して実行させ、優先順位の低いCPUからのアクセスについてはその実行を待機させることにより、複数のCPUからのアクセスを調停するようにしたアクセス調停回路が知られている（例えば、特許文献1参照。）

【特許文献1】特開平6-139189号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上述のようなアクセス調停回路においては、優先順位の高いCPUからのアクセスが連続した場合、優先順位の低いCPUからのアクセスは、優先順位の高いCPUによるアクセスが途切れるまでその実行が待たされるため、優先順位の低いCPUからのアクセスの実行が際限なく待たされ続ける場合があるという不都合があった。

【0007】

本発明は、このような問題に鑑みて為された発明であり、複数の演算処理装置からのアクセス要求の実行が、際限なく待たされることを抑制することができるアクセス調停回路を提供することを目的とする。

20

【課題を解決するための手段】

【0008】

上述の目的を達成するために、本発明に係るアクセス調停回路は、複数の演算処理装置から送信されたアクセス要求を受信し、当該受信されたアクセス要求を、前記アクセス要求に応じて動作する機能回路部へ送信するアクセス調停回路であって、前記複数の演算処理装置からのアクセス要求を受信する受信部と、前記受信部により受信された複数のアクセス要求を記憶するためのアクセス要求記憶部と、前記受信部により受信された複数のアクセス要求にそれぞれ優先順位を付与して前記アクセス要求記憶部に当該優先順位の順番に記憶させる優先順位付与部と、前記優先順位付与部によって、前記優先順位が付与されたアクセス要求が前記アクセス要求記憶部に新たに記憶される場合、当該新たに記憶されるアクセス要求の優先順位に基づいて、前記アクセス要求記憶部により既に記憶されているアクセス要求の優先順位を動的に変化させる優先順位変更部と、前記複数のアクセス要求を、前記アクセス要求記憶部に記憶されている順に、前記機能回路部へ送信するアクセス要求送信部とを備えることを特徴としている。

30

【0009】

この構成によれば、複数の演算処理装置から送信されたアクセス要求が、優先順位付与部によって優先順位を付与され、その優先順位の順番で、アクセス要求記憶部に記憶される。そして、新たなアクセス要求が演算処理装置から送信され、優先順位付与部によってそのアクセス要求に優先順位が付与され、その優先順位の順番でアクセス要求記憶部に記憶される場合に、優先順位変更部によって、当該新たに記憶されるアクセス要求の優先順位に基づいてアクセス要求記憶部により既に記憶されているアクセス要求の優先順位が動的に変化される。さらに、アクセス要求記憶部によって記憶されている複数のアクセス要求が記憶されている順に、機能回路部へ送信される。

40

【0010】

これにより、新たなアクセス要求が演算処理装置から送信され、その優先順位の順番でアクセス要求記憶部に記憶される場合に、当該新たに記憶されるアクセス要求の優先順位に基づいてアクセス要求記憶部により既に記憶されているアクセス要求の優先順位が動的に変化されるので、アクセス要求記憶部により記憶されているアクセス要求の優先順位が低優先順位のまま固定されることがなく、アクセス要求記憶部により既に記憶されている

50

アクセス要求より優先順位が高いアクセス要求が際限なく連続することが抑制される結果、アクセス要求の実行が際限なく待たされることが抑制される。

【0011】

また、上述のアクセス調停回路において、前記優先順位変更部は、前記新たに記憶されるアクセス要求より前記優先順位が低いアクセス要求の優先順位を高く変更することを特徴としている。

【0012】

この構成によれば、アクセス要求記憶部により既に記憶されているアクセス要求のうち、新たに記憶されるアクセス要求の優先順位より優先順位が低いアクセス要求の優先順位が高く変更される。この場合、より優先順位の高いアクセス要求がその優先順位の順番でアクセス要求記憶部に記憶されることによってアクセス要求記憶部における記憶順、すなわち実行順序が後にされたアクセス要求の優先順位が高く変更されるので、高優先順位のアクセス要求が連続した場合であっても実行順序が後にされたアクセス要求の実行が際限なく待たされることが抑制される。

10

【0013】

また、上述のアクセス調停回路において、前記複数の演算処理装置には、予め優先順位が付与されており、前記優先順位付与部は、前記受信部により受信されたアクセス要求に、当該アクセス要求を送信した前記演算処理装置の優先順位を付与することを特徴としている。

【0014】

この構成によれば、優先順位付与部によって、受信部により受信されたアクセス要求に、当該アクセス要求を送信した演算処理装置の優先順位が付与されるので、演算処理装置の優先順位の順番で、各演算処理装置のアクセス要求をアクセス要求記憶部により記憶させることができる。

20

【0015】

また、上述のアクセス調停回路において、前記アクセス要求は、前記機能回路部におけるアドレス情報を含み、前記優先順位付与部は、前記受信部により受信されたアクセス要求に、当該アクセス要求に含まれるアドレス情報に基づいて、前記優先順位を付与することを特徴としている。

【0016】

この構成によれば、受信部により受信されたアクセス要求に、当該アクセス要求に含まれるアドレス情報に基づいて優先順位が付与することができるので、アドレス情報に基づく優先順位の順番で、各演算処理装置のアクセス要求をアクセス要求記憶部により記憶させることができる。

30

【発明の効果】

【0017】

このような構成のアクセス調停回路は、新たなアクセス要求が演算処理装置から送信され、その優先順位の順番でアクセス要求記憶部に記憶される場合に、当該新たに記憶されるアクセス要求の優先順位に基づいてアクセス要求記憶部により既に記憶されているアクセス要求の優先順位が動的に変化されるので、アクセス要求記憶部により記憶されているアクセス要求の優先順位が低優先順位のまま固定されることがなく、アクセス要求記憶部により既に記憶されているアクセス要求より優先順位が高いアクセス要求が際限なく連続することが抑制される結果、アクセス要求の実行が際限なく待たされることを抑制することができる。

40

【発明を実施するための最良の形態】

【0018】

以下、本発明に係る実施形態を図面に基づいて説明する。図1は、本発明の一実施形態に係るアクセス調停回路を用いたマルチプロセッサシステムの構成の一例を示すブロック図である。図1に示すマルチプロセッサシステム1は、CPU21, 22, 23と、画像処理回路24と、圧縮伸張回路25と、アクセス調停回路3と、メモリコントローラ4と

50

、メモリ5とを備えている。そして、画像処理回路24、圧縮伸張回路25、アクセス調停回路3、及びメモリコントローラ4は、例えば集積化されてASIC6によって構成されている。また、CPU21, 22, 23は、バス71によって、ASIC6をアクセス可能に接続されている。

【0019】

メモリ5は、CPU21, 22, 23、画像処理回路24、及び圧縮伸張回路25からのアクセス要求に応じて、例えば画像データ等の処理対象となるデータを記憶したり、出力したりする機能回路部の一例であり、例えばRAM(Random Access Memory)やROM(Read Only Memory)等の記憶素子により構成されている。なお、機能回路部は、CPU21, 22, 23、画像処理回路24、及び圧縮伸張回路25からのアクセス要求に応じて動作するものであればよく、例えばASICや、通信インターフェース回路等の回路部であってもよい。

10

【0020】

CPU21, 22, 23、画像処理回路24、及び圧縮伸張回路25は、メモリ5をアクセスすることにより所定の演算処理を実行する演算処理装置の一例であり、例えば、CPU21, 22, 23は、共通のバス71に接続されてマルチプロセッサシステムを構成し、画像処理回路24はメモリ5に記憶されている画像データに画像処理を施す画像処理回路であり、圧縮伸張回路25はメモリ5に記憶されているデータに圧縮伸張処理を施す画像処理回路である。

【0021】

メモリコントローラ4は、ASIC6の内部バス72を介して画像処理回路24、及び圧縮伸張回路25に接続され、バス71とバス72とを介してCPU21, 22, 23と接続されている。そして、アクセス調停回路3から出力されたアクセス要求に応じて、CPU21, 22, 23、画像処理回路24、及び圧縮伸張回路25とメモリ5との間で信号形式の変換を行い、CPU21, 22, 23、画像処理回路24、及び圧縮伸張回路25からメモリ5をアクセス可能にする制御回路である。

20

【0022】

アクセス調停回路3は、アクセス順序制御部31と、アクセス要求記憶部32とを備えている。また、アクセス順序制御部31は、優先順位付与部33と、優先順位変更部34とを備えている。そして、優先順位付与部33は、優先順位レジスタ35を備えている。さらに、アクセス調停回路3は、画像処理回路24と圧縮伸張回路25とが接続されて画像処理回路24と圧縮伸張回路25とからメモリ5へのアクセス要求を受け付ける。また、アクセス調停回路3は、バス71とバス72とを介してCPU21, 22, 23と接続されている。

30

【0023】

そして、CPU21, 22, 23は、メモリ5やASIC6をアクセスする際には、予めバス71の使用を要求するバス要求信号RQ1, RQ2, RQ3をそれぞれアクセス順序制御部31へ出力し、アクセス順序制御部31がCPU21, 22, 23へバス71の使用を許可する旨のバス許可信号AQ1, AQ2, AQ3を出力することで、CPU21, 22, 23がバス71を介してメモリ5やASIC6をアクセス可能にされている。

40

【0024】

また、アクセス調停回路3は、バス要求信号RQ1, RQ2, RQ3や、バス71, 72を介したアクセスによって、CPU21, 22, 23からのアクセス要求を受け付ける。この場合、アクセス順序制御部31におけるバス要求信号RQ1, RQ2, RQ3を受信する信号端子や、アクセス調停回路3と、画像処理回路24及び圧縮伸張回路25との信号接続端子、及びアクセス調停回路3とバス72との信号接続端子が、受信部の一例に相当している。

【0025】

優先順位レジスタ35は、CPU21, 22, 23、画像処理回路24、及び圧縮伸張回路25の間でメモリ5へのアクセスが競合した際の、優先順位の設定を記憶するレジス

50

タで、例えばCPU 21, 22, 23等から優先順位が書き込まれることで、CPU 21, 22, 23、画像処理回路24、及び圧縮伸張回路25等の演算処理装置の優先順位の設定を記憶する。なお、優先順位レジスタ35は、CPU 21, 22, 23等から優先順位を書き込まれる例に限られず、例えば予め固定的にCPU 21, 22, 23、画像処理回路24、及び圧縮伸張回路25の優先順位が設定されていてもよく、あるいはディップスイッチ等の設定スイッチによって、CPU 21, 22, 23、画像処理回路24、及び圧縮伸張回路25の優先順位が設定される構成であってもよい。

【0026】

優先順位付与部33は、CPU 21, 22, 23、画像処理回路24、及び圧縮伸張回路25からメモリ5へのアクセス要求が出力されると、優先順位レジスタ35に記憶されている優先順位に応じてそのアクセス要求に優先順位を示す優先度情報を関連付けると共にその優先度情報で示される順番でアクセス要求記憶部32に記憶させる。

10

【0027】

優先順位変更部34は、アクセス要求記憶部32によって、優先度情報が関連付けられたアクセス要求が新たに記憶される場合、当該新たに記憶されるアクセス要求の優先度情報に基づいて、アクセス要求記憶部32により既に記憶されているアクセス要求の優先順位を動的に変化させる。

【0028】

アクセス要求記憶部32は、例えば5段のFIFO(First-In First-Out)を用いて構成されており、優先順位付与部33により優先度情報が付加されたアクセス要求を、当該優先順位の順番に複数、例えば5個記憶し、その記憶順に従って、すなわち優先順位の高い順に、記憶したアクセス要求をメモリコントローラ4へ出力する。この場合、アクセス要求記憶部32は、アクセス要求送信部としても機能する。

20

【0029】

次に、上述のように構成されたアクセス調停回路3の動作について説明する。まず、例えばCPU 21によって、優先順位レジスタ35に、CPU 21, 22, 23、画像処理回路24、及び圧縮伸張回路25の優先順位が設定され、各演算処理装置に優先順位が付与される。例えば、優先順位を示す優先度情報を、1から5の数値で表し、その数値が大きいものほど優先度が高いものとする。そして、CPU 21によって、例えば、CPU 21の優先度情報は「5」、CPU 22の優先度情報は「4」、CPU 23の優先度情報は「3」、画像処理回路24及び圧縮伸張回路25の優先度情報は「1」に設定される。

30

【0030】

次に、複数の演算処理装置、例えば、CPU 21、画像処理回路24、及び圧縮伸張回路25から優先順位付与部33へメモリ5へのアクセス要求が出力されると、優先順位付与部33によって、優先順位レジスタ35に記憶されている優先順位に応じてそのアクセス要求に優先順位を示す優先度情報が関連付けられると共にその優先度情報で示される順番でアクセス要求記憶部32に記憶される。

【0031】

図2は、アクセス要求記憶部32により記憶されるアクセス要求と優先度情報との状態を示す説明図である。図2において、アクセス要求「A」はCPU 21によるメモリ5の読み出し要求を表し、アクセス要求「B」は画像処理回路24によるメモリ5の読み出し要求を表し、アクセス要求「C」は画像処理回路24によるメモリ5の書き込み要求を表し、アクセス要求「D」は圧縮伸張回路25によるメモリ5の読み出し要求を表している。

40

【0032】

そして、アクセス調停回路3へ、CPU 21からアクセス要求「A」が出力され、画像処理回路24からアクセス要求「B」及び「C」が出力され、圧縮伸張回路25からアクセス要求「D」が出力されて、アクセス要求「A」、「B」、「C」、「D」が競合すると、まず、優先順位付与部33によって、優先順位レジスタ35に設定された優先度情報に応じて、CPU 21から出力されたアクセス要求「A」には優先度情報「5」が関連付

50

けられ、画像処理回路 2 4 及び圧縮伸張回路 2 5 から出力されたアクセス要求「B」, 「C」, 「D」には優先度情報「1」が関連付けられてアクセス要求記憶部 3 2 に記憶される。

【0033】

この場合、図 2 に示すように、優先順位付与部 3 3 によって、優先順位の高い順にアクセス要求記憶部 3 2 に記憶されるので、まず最も優先順位の高いアクセス要求「A」とその優先度情報「5」とが一番目、すなわち最初にアクセス要求記憶部 3 2 からメモリコントローラ 4 へ出力されるように記憶される。次に、アクセス要求「B」, 「C」, 「D」は優先順位が同じであるので、アクセス調停回路 3 によって受け付けられた順に、優先順位付与部 3 3 によってその優先度情報「1」と共にアクセス要求記憶部 3 2 に記憶される。

10

【0034】

次に、CPU 2 3 によるメモリ 5 の読み出し要求を表すアクセス要求「E」が CPU 2 3 からアクセス調停回路 3 へ出力されると、図 3 (a) に示すように、優先順位付与部 3 3 によって、優先順位レジスタ 3 5 に設定された優先度情報に応じて、アクセス要求「E」には優先度情報「3」が関連付けられ、さらに図 3 (b) に示すように優先順位付与部 3 3 によって、アクセス要求「E」の優先度情報「3」がアクセス要求記憶部 3 2 に記憶されているアクセス要求 [A] , 「B」, 「C」, 「D」の優先度情報と比較される。

【0035】

そうすると、アクセス要求「E」の優先度情報「3」は、アクセス要求「A」の優先度情報「5」より小さく、アクセス要求「B」の優先度情報「1」より大きいので、図 3 (c) に示すように、アクセス要求記憶部 3 2 によって、アクセス要求「E」及びその優先度情報「3」はアクセス要求 [A] とアクセス要求「B」との間に記憶される。

20

【0036】

なお、例えば、アクセス要求「E」の優先度情報がアクセス要求記憶部 3 2 に記憶されているアクセス要求の優先度情報の中で最も優先順位が低い場合には、FIFO形式でアクセス要求記憶部 3 2 の一番最後に記憶される。

【0037】

これにより、アクセス要求記憶部 3 2 に複数のアクセス要求が優先順位の高い順に記憶され、優先順位の高い順にメモリコントローラ 4 へ出力されるので、例えばラウンドロビン方式によって競合するアクセスの調停を行った場合のように、優先順位の高い処理が優先度の低い処理より後回しにされることが抑制される。

30

【0038】

次に、優先順位変更部 3 4 によって、アクセス要求「E」が新たにアクセス要求記憶部 3 2 により記憶されたことが検出され、アクセス要求「E」の優先度情報「3」に基づいて、アクセス要求記憶部 3 2 により既に記憶されているアクセス要求 [A] , 「B」, 「C」, 「D」の優先順位が動的に変化される。

【0039】

具体的には、アクセス要求 [A] の優先度情報「5」は、アクセス要求「E」の優先度情報「3」より大きく（優先順位が高く）、アクセス要求「B」, 「C」, 「D」の優先度情報「1」は、アクセス要求「E」の優先度情報「3」より小さい（優先順位が低い）ので、図 3 (d) に示すように、優先順位変更部 3 4 によって、アクセス要求「E」より優先度情報の値が小さいアクセス要求「B」, 「C」, 「D」の優先度情報が「1」加算されて「2」に変更される。

40

【0040】

このように、アクセス要求記憶部 3 2 により既に記憶されているアクセス要求よりも優先順位の高いアクセス要求がアクセス調停回路 3 により新たに受け付けられ、新たなアクセス要求が既にアクセス要求記憶部 3 2 に記憶されているアクセス要求よりも早い順番に記憶され、すなわち記憶順序の追い越しが発生した場合、新たなアクセス要求より優先順位が低いために優先順位変更部 3 4 によって追い越されたアクセス要求の優先度情報が「

50

1」加算され、優先順位が高く変更される。

【0041】

これにより、優先順位の低いアクセス要求は、優先順位がより高いアクセス要求が新たにアクセス要求記憶部32に記憶されることにより記憶順序が追い越される都度、優先順位が高く変更されるので、より優先順位の高いアクセス要求が連続した場合であっても優先順位の低いアクセス要求は優先順位が低いまま固定されることなく動的に優先順位が高められ、優先順位の低いアクセス要求の実行が際限なく待たされ続けることが抑制される。

【0042】

そして、アクセス要求記憶部32から優先順位の最も高いアクセス要求[A]がメモリコントローラ4へ出力され、メモリコントローラ4によって、アクセス要求[A]に応じてCPU21によるメモリ5の読み出し処理が実行される。

【0043】

なお、優先度情報を1から5の数字により表し、優先順位を5段階とする例を示したが、優先度情報は数字以外の例えばアルファベットその他の記号により表されてもよく、優先順位の段階も適宜増減すればよい。

【0044】

また、優先順位変更部34は、記憶順序の追い越しが発生した場合、新たに記憶されるアクセス要求より優先順位が低いアクセス要求の優先度情報の値を「1」加算、すなわち優先順位を一段階高める例に限られず、例えば二段階高めたり、予め設定された設定値を新たに記憶されるアクセス要求より優先順位が低いアクセス要求の優先度情報の値に加算したり、あるいは複数回追い越された場合に優先順位を高めるようにしてもよく、優先順位の高め方は適宜設定すればよい。

【0045】

例えば、優先順位変更部34は、アクセス要求記憶部32により記憶されているアクセス要求毎に、当該アクセス要求よりも優先順位の高いアクセス要求が新たにアクセス要求記憶部32により記憶された回数を計数し、当該回数が予め設定された設定回数を超えた場合に当該設定回数を超えたアクセス要求の優先順位を高めるようにしてもよい。これにより、複数回追い越されたアクセス要求、すなわち実行されないままアクセス要求記憶部32により記憶されている期間が長いアクセス要求の優先順位を高めることができる。

【0046】

また、優先順位変更部34は、新たなアクセス要求がアクセス要求記憶部32に記憶された後に、追い越されたアクセス要求の優先順位を変更する例を示したが、例えば新たなアクセス要求がアクセス要求記憶部32に記憶される前に、例えば優先順位付与部33により優先順位が付与された際にその優先順位に基づいて、アクセス要求記憶部32により既に記憶されているアクセス要求の優先順位を動的に変化させるようにしてもよい。

【0047】

また、優先順位レジスタ35には、CPU21, 22, 23、画像処理回路24、及び圧縮伸張回路25等の演算処理装置における優先順位の設定が記憶され、優先順位付与部33は、演算処理装置から送信されたアクセス要求に、優先順位レジスタ35により記憶された優先順位の設定に基づいて当該アクセス要求を送信した演算処理装置の優先順位を付与する例を示したが、例えば、優先順位レジスタ35には、メモリ5におけるアドレスと、そのアドレスに対する優先順位を示す優先度情報を設定し、優先順位付与部33は、演算処理装置から送信されたアクセス要求に含まれるアドレス情報に基づいて、アクセス要求に優先順位を付与するようにしてもよい。

【0048】

これにより、例えばメモリ5における画像処理に用いられるアドレスを高い優先順位に設定し、例えばメモリ5における作業領域に用いられるアドレスを低い優先順位に設定すれば、画像処理に関するメモリ5へのアクセスを優先的に実行させることができるので、処理内容の優先順位に応じてアクセス要求の優先順位を設定することができる。

10

20

30

40

50

【 0 0 4 9 】

この場合、CPU 21, 22, 23からのアクセス対象のアドレスは、バス要求信号RQ1, RQ2, RQ3によって、CPU 21, 22, 23からアクセス順序制御部31へ出力されるようにしてもよい。

【 0 0 5 0 】

あるいはアクセス順序制御部31によってバス要求信号RQ1, RQ2, RQ3によるバス要求が受け付けられた場合、アクセス順序制御部31は、一時的にCPU 21, 22, 23に対してバスの使用を許可し、メモリ5へのアクセスを開始させることにより、CPU 21, 22, 23によるアクセス対象のアドレスをバス71, 72を介して取得するようにしてもよい。この場合、バス要求信号RQ1, RQ2, RQ3によるバス要求と、

10

【 0 0 5 1 】

また、優先順位付与部33は、CPU 21, 22, 23、画像処理回路24、及び圧縮伸張回路25等の演算処理装置の優先順位に基づいてアクセス要求に優先順位を付与する例と、これら演算処理装置のアクセスの対象となるアドレスに基づいてアクセス要求に優先順位を付与する例とを示したが、例えば演算処理装置の優先順位とアドレスとの組合せに基づいてアクセス要求に優先順位を付与するようにしてもよい。例えば、優先順位付与部33は、予め演算処理装置の優先順位とアドレスとの組合せに対する優先順位をLUT (Look Up Table)として記憶しておき、このLUTを参照して演算処理装置の優先順位

20

【 0 0 5 2 】

また、メモリコントローラ4を用いて、アクセス要求記憶部32から出力されたアクセス要求をメモリ5に適合した信号形式に変換する例を示したが、メモリ5等の機能回路部がアクセス要求記憶部32から出力されたアクセス要求を直接実行できればメモリコントローラ4を用いなくてもよい。

【 図面の簡単な説明 】

【 0 0 5 3 】

【 図 1 】 本発明の一実施形態に係るアクセス調停回路を用いたマルチプロセッサシステムの構成の一例を示すブロック図である。

30

【 図 2 】 図 1 に示すアクセス要求記憶部により記憶されるアクセス要求と優先度情報との状態を示す説明図である。

【 図 3 】 図 1 に示すアクセス調停回路の動作を説明するための説明図である。

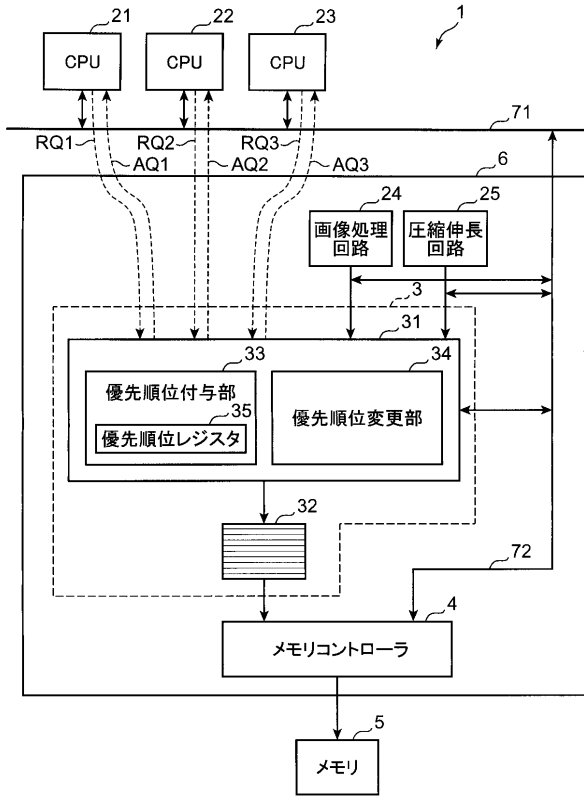
【 符号の説明 】

【 0 0 5 4 】

- 1 マルチプロセッサシステム
- 3 アクセス調停回路
- 4 メモリコントローラ
- 5 メモリ
- 6 A S I C
- 2 1 , 2 2 , 2 3 CPU
- 2 4 画像処理回路
- 2 5 圧縮伸張回路
- 3 1 アクセス順序制御部
- 3 2 アクセス要求記憶部
- 3 3 優先順位付与部
- 3 4 優先順位変更部
- 3 5 優先順位レジスタ
- 7 1 , 7 2 バス

40

【 図 1 】



【 図 2 】

	優先度情報	アクセス要求
遅		
	1	D
	1	C
	1	B
早	5	A

【 図 3 】

