



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년04월13일
 (11) 등록번호 10-1511126
 (24) 등록일자 2015년04월06일

(51) 국제특허분류(Int. Cl.)
 G09G 3/36 (2006.01) G02F 1/133 (2006.01)
 G09G 3/20 (2006.01)
 (21) 출원번호 10-2008-0107112
 (22) 출원일자 2008년10월30일
 심사청구일자 2013년10월08일
 (65) 공개번호 10-2010-0048100
 (43) 공개일자 2010년05월11일
 (56) 선행기술조사문헌
 KR1020070013013 A*
 KR1020070095585 A
 KR1020080000205 A
 KR1020080033565 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성2로 95 (농서동)
 (72) 발명자
윤수완
 경기도 수원시 영통구 인계로 239, 204동 1007호
 (매탄동, 성일아파트)
고준철
 경기 화성시 동탄반석로 42, 603동 1804호 (반송
 동, 한화우림아파트)
 (뒷면에 계속)
 (74) 대리인
박영우

전체 청구항 수 : 총 16 항

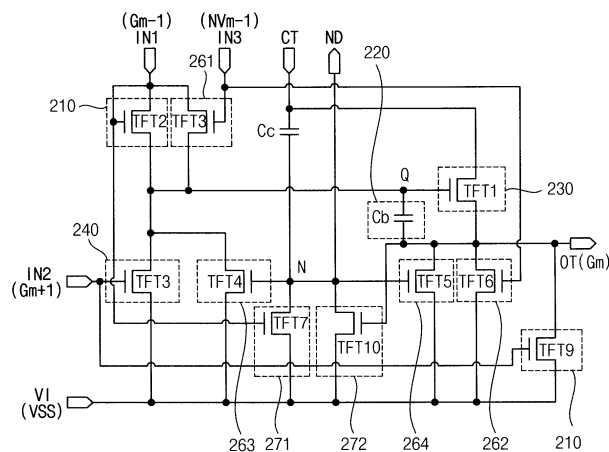
심사관 : 추장희

(54) 발명의 명칭 **게이트 구동회로 및 이를 구비한 표시 장치**

(57) 요약

게이트 구동회로는 풀업부, 풀다운부, 제1 유지부 및 제2 유지부를 포함하는 제m 스테이지를 포함한다. 풀업부는 제1 클럭 신호의 하이 전압을 제m 게이트 신호(m은 자연수)의 하이 전압으로 출력한다. 풀다운부는 제m+1 스테이지로부터 출력된 제m+1 게이트 신호의 하이 전압에 응답하여 제m 게이트 신호의 하이 전압을 로우 전압으로 풀-다운 시킨다. 제1 유지부는 제m-1 스테이지 또는 제m+1 스테이지로부터 수신한 제1 클럭 신호와 위상이 반전된 제2 클럭 신호의 하이 전압 보다 낮은 제m-1 또는 제m+1 노드 신호에 응답하여 풀업부의 제어부를 로우 전압으로 유지한다. 제2 유지부는 제m-1 또는 제m+1 노드 신호에 응답하여 제m 게이트 신호의 로우 전압을 유지한다. 이에 따라, 게이트 신호의 로우 전압을 유지하는 구간 동안 노드 신호를 이용하여 게이트 신호의 로우 전압을 유지시킴으로써 전압 스트레스에 의한 특성 변화를 막을 수 있다.

대표도 - 도3



(72) 발명자

채종철

서울특별시 마포구 독막로42길 2, LG자이아파트
106동 1902호 (염리동)

윤영수

경기도 수원시 영통구 청명남로12번길 5-20, 203호
(영통동)

조세형

서울 강남구 양재대로55길 10, 101동 1201호 (일원
동, 수서1단지에스에이치빌)

명세서

청구범위

청구항 1

제1 클럭 신호의 하이 전압을 제 m 게이트 신호(m 은 자연수)의 하이 전압으로 출력하는 풀업부;
 제 $m+1$ 스테이지로부터 출력된 제 $m+1$ 게이트 신호의 하이 전압에 응답하여 제 m 게이트 신호의 하이 전압을 로우 전압으로 풀-다운 시키는 풀다운부;
 제 $m-1$ 스테이지 또는 제 $m+1$ 스테이지로부터 수신한 상기 제1 클럭 신호와 위상이 반전된 제2 클럭 신호의 하이 전압 보다 낮은 제 $m-1$ 또는 제 $m+1$ 노드 신호에 응답하여 상기 풀업부의 제어부를 상기 로우 전압으로 유지하는 제1 유지부;
 상기 제 $m-1$ 또는 제 $m+1$ 노드 신호에 응답하여 상기 제 m 게이트 신호의 로우 전압을 유지하는 제2 유지부;
 상기 제 m 스테이지는 상기 제1 클럭 신호의 하이 전압 보다 낮은 제 m 노드 신호에 응답하여 상기 풀업부의 제어부를 상기 로우 전압으로 유지하는 제3 유지부;
 상기 제 m 노드 신호에 응답하여 상기 제 m 게이트 신호의 로우 전압을 유지하는 제4 유지부;
 상기 제 m 스테이지는 일단이 상기 제1 입력 단자와 연결되고, 타단이 상기 제 m 게이트 신호를 출력하는 출력 단자와 연결된 충전부;
 제어부와 입력부가 상기 제1 입력 단자와 연결되고, 출력부가 상기 충전부의 일단과 연결된 버퍼부;
 제어부가 상기 제 $m+1$ 스테이지의 제 $m+1$ 게이트 신호를 수신하는 제2 입력 단자와 연결되고, 입력부가 상기 풀업부의 제어부와 연결되고, 출력부가 상기 전압 단자와 연결된 방전부;
 제어부가 상기 제1 입력 단자와 연결되고, 입력부가 상기 제3 유지부의 제어부와 연결되고, 출력부가 상기 전압 단자와 연결된 제1 스위칭부; 및
 제어부가 상기 출력 단자와 연결되고, 입력부가 상기 제4 유지부의 제어부와 연결되고, 출력부가 상기 전압 단자와 연결된 제2 스위칭부를 포함하는 제 m 스테이지를 포함하는 게이트 구동회로.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 제3 유지부는 상기 제1 클럭 신호를 수신하는 클럭 단자와 커패시터를 통해 연결된 제어부와, 상기 풀업부의 제어부와 연결된 입력부, 및 상기 로우 전압을 수신하는 전압 단자와 연결된 출력부를 포함하고,
 상기 제4 유지부는 상기 제1 클럭 신호를 수신하는 클럭 단자와 커패시터를 통해 연결된 제어부와, 상기 제 m 게이트 신호를 출력하는 출력 단자와 연결된 입력부, 및 상기 전압 단자와 연결된 출력부를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 4

제3항에 있어서, 상기 제1 유지부는 상기 제 $m-1$ 또는 제 $m+1$ 노드 신호를 수신하는 제3 입력 단자와 연결된 제어부와, 상기 풀업부의 제어부와 연결된 입력부, 및 상기 제 $m-1$ 스테이지로부터 출력된 신호를 수신하는 제1 입력 단자와 연결된 출력부를 포함하고,
 상기 제2 유지부는 상기 제3 입력 단자와 연결된 제어부와, 상기 출력 단자와 연결된 입력부, 및 상기 전압 단자와 연결된 출력부를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 5

삭제

청구항 6

제1항에 있어서, 상기 제1 입력 단자는 상기 제 $m-1$ 스테이지의 제 $m-1$ 게이트 신호를 수신하는 것을 특징으로 하는 게이트 구동회로.

청구항 7

제6항에 있어서, 상기 제1 스위칭부는 상기 제 $m-1$ 게이트 신호의 하이 전압이 수신되는 $m-1$ 번째 구간에 턴-온 되어 상기 제3 유지부를 턴-오프 시키고, 상기 제2 스위칭부는 상기 제 m 게이트 신호의 하이 전압을 출력하는 m 번째 구간에 턴-온 되어 상기 제4 유지부를 턴-오프 시키고,

상기 제1 및 제2 스위칭부는 상기 제 $m-1$ 게이트 신호 및 상기 제 m 게이트 신호의 로우 전압이 수신되는 상기 m 번째 및 $m-1$ 번째 구간을 제외한 프레임의 나머지 구간에 턴-오프 되어 상기 제3 및 제4 유지부를 턴-온 시키는 것을 특징으로 하는 게이트 구동회로.

청구항 8

제1항에 있어서, 상기 제 m 스테이지는 상기 풀업부의 제어부의 전압에 응답하여 상기 제1 클럭 신호를 캐리 신호로 출력하는 캐리부를 더 포함하는 게이트 구동회로.

청구항 9

제8항에 있어서, 상기 제1 입력 단자는 상기 제 $m-1$ 스테이지의 제 $m-1$ 캐리 신호를 수신하는 것을 특징으로 하는 게이트 구동회로.

청구항 10

제9항에 있어서, 상기 제1 스위칭부는 상기 제 $m-1$ 캐리 신호의 하이 전압이 수신되는 $m-1$ 번째 구간에 턴-온 되어 상기 제3 유지부를 턴-오프 시키고, 상기 제2 스위칭부는 상기 제 m 게이트 신호의 하이 전압을 출력하는 m 번째 구간에 턴-온 되어 상기 제4 유지부를 턴-오프 시키고,

상기 제1 및 제2 스위칭부는 상기 제 $m-1$ 캐리 신호 및 상기 제 m 게이트 신호의 로우 전압이 수신되는 상기 m 번째 및 $m-1$ 번째 구간을 제외한 프레임의 나머지 구간에 턴-오프 되어 상기 제3 및 제4 유지부를 턴-온 시키는 것을 특징으로 하는 게이트 구동회로.

청구항 11

서로 교차하는 게이트 배선들 및 소스 배선들이 형성되어 영상을 표시하는 표시 영역과 상기 표시 영역을 둘러싸는 주변 영역을 포함하는 표시 패널;

상기 소스 배선들에 데이터 신호들을 출력하는 소스 구동회로; 및

상기 주변 영역에 집적되고, 상기 게이트 배선들에 게이트 신호들을 출력하는 복수의 스테이지들을 포함하는 게이트 구동회로를 포함하며,

상기 게이트 구동회로는

제1 클럭 신호의 하이 전압을 제 m 게이트 신호(m 은 자연수)의 하이 전압으로 출력하는 풀업부;

제 $m+1$ 스테이지로부터 출력된 제 $m+1$ 게이트 신호의 하이 전압에 응답하여 제 m 게이트 신호의 하이 전압을 로우 전압으로 풀-다운 시키는 풀다운부;

제 $m-1$ 스테이지 또는 제 $m+1$ 스테이지로부터 수신한 상기 제1 클럭 신호와 위상이 반전된 제2 클럭 신호의 하이 전압 보다 낮은 제 $m-1$ 또는 제 $m+1$ 노드 신호에 응답하여 상기 풀업부의 제어부를 상기 로우 전압으로 유지하는 제1 유지부;

상기 제 $m-1$ 또는 제 $m+1$ 노드 신호에 응답하여 상기 제 m 게이트 신호의 로우 전압을 유지하는 제2 유지부;

상기 제1 클럭 신호의 하이 전압 보다 낮은 제 m 노드 신호에 응답하여 상기 풀업부의 제어부를 상기 로우 전압으로 유지하는 제3 유지부;

상기 제 m 노드 신호에 응답하여 상기 제 m 게이트 신호의 로우 전압을 유지하는 제4 유지부;
 일단이 상기 제1 입력 단자와 연결되고, 타단이 상기 제 m 게이트 신호를 출력하는 출력 단자와 연결된 충전부;
 제어부와 입력부가 상기 제1 입력 단자와 연결되고 출력부가 상기 충전부의 일단과 연결된 버퍼부;
 제어부가 상기 제 $m+1$ 스테이지의 제 $m+1$ 게이트 신호를 수신하는 제2 입력 단자와 연결되고, 입력부가 상기 풀업부의 제어부와 연결되고, 출력부가 상기 전압 단자와 연결된 방전부;
 제어부가 상기 제1 입력 단자와 연결되고, 입력부가 상기 제3 유지부의 제어부와 연결되고, 출력부가 상기 전압 단자와 연결된 제1 스위칭부; 및
 제어부가 상기 출력 단자와 연결되고, 입력부가 상기 제4 유지부의 제어부와 연결되고, 출력부가 상기 전압 단자와 연결된 제2 스위칭부를 포함하는 제 m 스테이지를 포함하는 것을 특징으로 하는 표시 장치.

청구항 12

삭제

청구항 13

제11항에 있어서, 상기 제3 유지부는 상기 제1 클럭 신호를 수신하는 클럭 단자와 커패시터를 통해 연결된 제어부와, 상기 풀업부의 제어부와 연결된 입력부, 및 상기 로우 전압을 수신하는 전압 단자와 연결된 출력부를 포함하고,

상기 제4 유지부는 상기 제1 클럭 신호를 수신하는 클럭 단자와 커패시터를 통해 연결된 제어부와, 상기 제 m 게이트 신호를 출력하는 출력 단자와 연결된 입력부, 및 상기 전압 단자와 연결된 출력부를 포함하는 것을 특징으로 하는 표시 장치.

청구항 14

제13항에 있어서, 상기 제1 유지부는 상기 제 $m-1$ 또는 제 $m+1$ 노드 신호를 수신하는 제3 입력 단자와 연결된 제어부와, 상기 풀업부의 제어부와 연결된 입력부, 및 상기 제 $m-1$ 스테이지로부터 출력된 신호를 수신하는 제1 입력 단자와 연결된 출력부를 포함하고,

상기 제2 유지부는 상기 제3 입력 단자와 연결된 제어부와, 상기 출력 단자와 연결된 입력부, 및 상기 전압 단자와 연결된 출력부를 포함하는 것을 특징으로 하는 표시 장치.

청구항 15

삭제

청구항 16

제11항에 있어서, 상기 제1 입력 단자는 상기 제 $m-1$ 스테이지의 제 $m-1$ 게이트 신호를 수신하는 것을 특징으로 하는 표시 장치.

청구항 17

제16항에 있어서, 상기 제1 스위칭부는 상기 제 $m-1$ 게이트 신호의 하이 전압이 수신되는 $m-1$ 번째 구간에 턴-온되어 상기 제3 유지부를 턴-오프 시키고, 상기 제2 스위칭부는 상기 제 m 게이트 신호의 하이 전압을 출력하는 m 번째 구간에 턴-온되어 상기 제4 유지부를 턴-오프 시키고,

상기 제1 및 제2 스위칭부는 상기 제 $m-1$ 게이트 신호 및 상기 제 m 게이트 신호의 로우 전압이 수신되는 상기 m 번째 및 $m-1$ 번째 구간을 제외한 프레임의 나머지 구간에 턴-오프 되어 상기 제3 및 제4 유지부를 턴-온 시키는 것을 특징으로 하는 표시 장치.

청구항 18

제11항에 있어서, 상기 풀업부의 제어부의 전압에 응답하여 상기 제1 클럭 신호를 제 m 캐리 신호로 출력하는 캐리부를 더 포함하는 표시 장치.

청구항 19

제18항에 있어서, 상기 제1 입력 단자는 상기 제 $m-1$ 스테이지의 제 $m-1$ 캐리 신호를 수신하는 것을 특징으로 하는 표시 장치.

청구항 20

제19항에 있어서, 상기 제1 스위칭부는 상기 제 $m-1$ 캐리 신호의 하이 전압이 수신되는 $m-1$ 번째 구간에 턴-온 되어 상기 제3 유지부를 턴-오프 시키고, 상기 제2 스위칭부는 상기 제 m 게이트 신호의 하이 전압을 출력하는 m 번째 구간에 턴-온 되어 상기 제4 유지부를 턴-오프 시키고,

상기 제1 및 제2 스위칭부는 상기 제 $m-1$ 캐리 신호 및 상기 제 m 게이트 신호의 로우 전압이 수신되는 상기 m 번째 및 $m-1$ 번째 구간을 제외한 프레임의 나머지 구간에 턴-오프 되어 상기 제3 및 제4 유지부를 턴-온 시키는 것을 특징으로 하는 표시 장치.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 게이트 구동회로 및 이를 구비한 표시 장치에 관한 것으로, 보다 상세하게는 장시간 구동 신뢰성을 향상시키기 위한 게이트 구동회로 및 이를 구비한 표시 장치에 관한 것이다.

배경 기술

[0002] 최근 들어 표시장치용 패널 모듈의 제조 원가를 절감하고 전체 사이즈를 줄이기 위하여 패널의 표시 영역에 위치하는 스위칭 소자 형성 공정 진행 시 패널의 주변 영역에 게이트 구동회로를 동시에 형성하는 이른바 ASG(Amorphous Silicon Gate) 기술이 적용되고 있다.

[0003] 이러한 ASG 는 지속적으로 위상이 변화하는 클럭 신호를 선택적으로 출력하여 게이트 신호를 생성하므로 비구동 시에도 지속적으로 변하는 클럭 신호에 의해 노이즈가 발생하는 문제를 기본적으로 안고 있다. 따라서 비구동시 발생하는 노이즈를 최소화하기 위해 다양한 유지부를 포함하는 구조가 제시되어 왔다.

[0004] 그러나 지금까지 제안된 ASG 구조는 장시간 동안의 구동으로 인하여 게이트 구동부가 고온으로 올라간 경우 발생하는 노이즈까지는 효과적으로 제어하지 못하였다. 이러한 게이트 신호의 노이즈는 결과적으로 표시 품질을 떨어뜨리게 되므로 이의 개선이 요구된다.

발명의 내용

해결 하고자하는 과제

[0005] 이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 장시간 구동 신뢰성을 향상시키기 위한 게이트 구동회로를 제공하는 것이다

[0006] 본 발명의 다른 목적은 상기 게이트 구동회로를 포함하는 표시 장치를 제공하는 것이다.

과제 해결수단

[0007] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 게이트 구동회로는 풀업부, 풀다운부, 제1 유지부 및 제2 유지부를 포함하는 제 m 스테이지를 포함한다. 상기 풀업부는 제1 클럭 신호의 하이 전압을 제 m 게이트 신호(m 은 자연수)의 하이 전압으로 출력한다. 상기 풀다운부는 제 $m+1$ 스테이지로부터 출력된 제 $m+1$ 게이트 신호의 하이 전압에 응답하여 제 m 게이트 신호의 하이 전압을 로우 전압으로 풀-다운 시킨다. 상기 제1 유지부는 상기 제 $m-1$ 스테이지 또는 제 $m+1$ 스테이지로부터 수신한 상기 제1 클럭 신호와 위상이 반전된 제2 클럭 신호의 하이 전압 보다 낮은 제 $m-1$ 또는 제 $m+1$ 노드 신호에 응답하여 상기 풀업부의 제어부를 상기 로우 전압으로 유지한다. 상기 제2 유지부는 상기 제 $m-1$ 또는 제 $m+1$ 노드 신호에 응답하여 상기 제 m 게이트 신호의 로우 전압을 유지한다.

[0008] 상기한 본 발명의 다른 목적을 실현하기 위한 일 실시예 따른 표시 장치는 표시 패널, 소스 구동회로 및 게이트

구동회로를 포함한다. 상기 표시 패널은 서로 교차하는 게이트 배선들 및 소스 배선들이 형성되어 영상을 표시하는 표시 영역과 상기 표시 영역을 둘러싸는 주변 영역을 포함한다. 상기 소스 구동회로는 상기 소스 배선들에 데이터 신호들을 출력한다. 상기 게이트 구동회로는 상기 주변 영역에 집적되고, 상기 게이트 배선들에 게이트 신호들을 출력하는 복수의 스테이지들을 포함한다. 상기 게이트 구동회로는 제1 클럭 신호의 하이 전압을 제 m 게이트 신호(m 은 자연수)의 하이 전압으로 출력하는 풀업부와, 제 $m+1$ 스테이지로부터 출력된 제 $m+1$ 게이트 신호의 하이 전압에 응답하여 제 m 게이트 신호의 하이 전압을 로우 전압으로 풀-다운 시키는 풀다운부와, 상기 제 $m-1$ 스테이지 또는 제 $m+1$ 스테이지로부터 수신한 상기 제1 클럭 신호와 위상이 반전된 제2 클럭 신호의 하이 전압 보다 낮은 제 $m-1$ 또는 제 $m+1$ 노드 신호에 응답하여 상기 풀업부의 제어부를 상기 로우 전압으로 유지하는 제1 유지부와, 상기 제 $m-1$ 또는 제 $m+1$ 노드 신호에 응답하여 상기 제 m 게이트 신호의 로우 전압을 유지하는 제2 유지부를 포함하는 제 m 스테이지를 포함한다.

효 과

[0009] 본 발명의 실시예들에 따르면, 게이트 신호의 로우 전압을 유지하는 구간 동안 클럭 신호의 하이 전압 보다 낮은 노드 신호를 이용하여 게이트 신호의 로우 전압을 유지시킴으로써 전압 스트레스에 의한 특성 변화를 막을 수 있다.

발명의 실시를 위한 구체적인 내용

[0010] 이하, 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하기로 한다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 고안의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0011] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0012] 실시예 1

[0013] 도 1은 본 발명의 실시예 1에 따른 표시 장치의 평면도이다.

[0014] 도 1을 참조하면, 표시 장치는 표시 패널(100), 게이트 구동회로(200), 소스 구동회로(400) 및 인쇄회로기판(500)을 포함한다.

[0015] 상기 표시 패널(100)은 표시 영역(DA) 및 상기 표시 영역(DA)을 둘러싸는 주변 영역(PA)을 포함한다. 상기 표시 영역(DA)에는 서로 교차하는 게이트 배선들, 소스 배선들 및 복수의 화소부를 포함한다. 각 화소부(P)는 게이트 배선(GL)과 소스 배선(DL)에 전기적으로 연결된 스위칭 소자(TR)와, 상기 스위칭 소자(TR)와 전기적으로 연결된 액정 커패시터(CLC) 및 상기 액정 커패시터(CLC)와 병렬 연결된 스토리지 커패시터(CST)를 포함한다. 상기 액정 커패시터(CLC)의 공통 전극에는 공통 전압(VCOM)이 인가되고, 상기 스토리지 커패시터(CST)의 공통 전극에는 스토리지 공통 전압(VST)가 인가된다.

[0016] 상기 게이트 구동회로(200)는 상기 게이트 배선들에 하이 레벨의 게이트 신호들을 순차적으로 출력하는 쉬프트 레지스터를 포함한다. 상기 쉬프트 레지스터는 복수의 스테이지들(SRC $m-1$, SRC m , SRC $m+1$)(m 은 자연수)을 포함

한다. 상기 게이트 구동회로(200)는 바람직하게 상기 게이트 배선들의 일단부에 대응하는 상기 주변 영역(PA)에 집적된다.

[0017] 상기 소스 구동회로(400)는 상기 소스 배선들에 데이터 신호들을 출력하는 소스 구동칩(410)과, 상기 소스 구동칩(410)이 실장되어 상기 인쇄회로기판(500)과 상기 표시 패널(100)을 전기적으로 연결하는 연성회로기판(430)을 포함한다. 여기서는 상기 소스 구동칩(410)이 상기 연성회로기판(430)에 실장되는 것을 예로 하였으나, 상기 소스 구동칩(410)이 직접 상기 표시 패널(100)에 실장될 수 있고, 또한 상기 소스 구동칩(410)이 상기 표시 패널(100)의 상기 주변 영역(PA)에 직접 집적될 수도 있다.

[0018] 도 2는 도 1에 도시된 게이트 구동회로의 블록도이다.

[0019] 도 2를 참조하면, 상기 게이트 구동회로(200)는 서로 종속적으로 연결된 제1 내지 제n 스테이지(SRC1 ~ SRCn)와, 제1 더미 스테이지(SRCd1) 및 제2 더미 스테이지(SRCd2)를 포함하는 쉬프트 레지스터를 포함한다.

[0020] 제1 내지 제n 스테이지(SRC1 ~ SRCn)는 n 개의 게이트 배선들과 각각 연결되어 상기 게이트 배선들에 n개의 게이트 신호들을 순차적으로 출력한다. 상기 제1 더미 스테이지(SRCd1)는 상기 제1 스테이지(SRC1)의 구동을 제어하고, 상기 제2 더미 스테이지(SRCd2)는 상기 제n 스테이지(SRCn)의 구동을 제어한다. 상기 제1 및 제2 더미 스테이지들(SRCd1, SRCd2)는 게이트 배선들과 연결되지 않는다.

[0021] 각 스테이지는 클럭 단자(CT), 제1 입력 단자(IN1), 제2 입력 단자(IN2), 제3 입력 단자(IN3), 전압 단자(VI), 노드 단자(ND) 및 출력 단자(OT)를 포함한다.

[0022] 상기 클럭 단자(CT)는 제1 클럭 신호(CK) 또는 상기 제1 클럭 신호(CK)와 위상이 반전된 제2 클럭 신호(CKB)를 수신한다. 예를 들면, 홀수 번째 스테이지(SRCd1, SRC2, SRC4, ..., SRCn)의 상기 클럭 단자(CT)는 상기 제1 클럭 신호(CK)를 수신하고, 짝수 번째 스테이지(SRC1, SRC3, ..., SRCd2)의 상기 클럭 단자(CT)는 상기 제2 클럭 신호(CKB)를 수신한다.

[0023] 상기 제1 입력 단자(IN1)는 수직개시신호(STV) 또는 이전 스테이지의 출력 신호를 수신한다. 예를 들면, 첫 번째 스테이지인, 제1 더미 스테이지(SRCd1)의 상기 제1 입력 단자(IN1)는 상기 수직개시신호(STV)를 수신하고, 제1 내지 제2 더미 스테이지(SRC1 ~ SRCd2)의 상기 제1 입력 단자(IN1)는 이전 스테이지의 게이트 신호를 각각 수신한다.

[0024] 상기 제2 입력 단자(IN2)는 다음 스테이지의 출력 신호 또는 수직개시신호(STV)가 제공된다. 상기 제1 더미 스테이지 내지 제n 스테이지(SRCd1 ~ SRCn)의 상기 제2 입력 단자(IN2)는 다음 스테이지의 출력 신호를 각각 수신하고, 상기 제W 더미 스테이지(SRCd2)의 상기 제2 입력 단자(IN2)는 상기 수직개시신호(STV)를 수신한다. 상기 제2 더미 스테이지(SRCd2)의 상기 제2 입력 단자(IN2)에 수신되는 수직개시신호(STV)는 다음 프레임에 해당하는 수직개시신호일 수 있다.

[0025] 상기 제3 입력 단자(IN3)는 이전 스테이지의 특정 노드(N)의 노드 신호를 수신한다. 상기 특정 노드는 커패시터를 통해 상기 클럭 단자(CT)와 연결된 부분으로 상기 클럭 신호(CK 또는 CKB)가 커패시터에 의해 강하(drop)되어 상기 클럭 신호(CK 또는 CKB)의 하이 전압 보다 낮은 레벨의 노드 전압을 갖는다. 또는 상기 제3 입력 단자(IN3)는 다음 스테이지의 특정 노드(N)의 노드 신호를 수신할 수 있다.

[0026] 상기 전압 단자(VI)는 로우 전압(VSS)을 수신한다. 상기 로우 전압(VSS)은 상기 스테이지로부터 출력되는 게이트 신호의 로우 레벨에 대응한다.

[0027] 상기 노드 단자(ND)는 상기 특정 노드(N)와 연결되어 상기 노드 신호를 출력한다. 상기 노드 단자(ND)는 다음 스테이지의 제3 입력 단자(IN3)와 전기적으로 연결되어 상기 특정 노드(N)의 노드 신호를 상기 다음 스테이지의 제3 입력 단자(IN3)에 제공한다.

[0028] 상기 출력 단자(OT)는 해당하는 게이트 배선과 전기적으로 연결되어 게이트 신호를 상기 게이트 배선에 출력한다. 상기 출력 단자(OT)는 이전 스테이지의 제2 입력 단자(IN2)와 전기적으로 연결되어, 상기 출력 신호를 상기 이전 스테이지의 제2 입력 단자(IN2)에 제공한다. 또한 상기 출력 단자(OT)는 다음 스테이지의 제1 입력 단자(IN1)와 전기적으로 연결되어, 상기 출력 신호를 상기 다음 스테이지의 제1 입력 단자(IN1)에 제공한다.

[0029] 도 3은 도 2에 도시된 스테이지에 대한 상세한 회로도이다. 도 4는 도 3에 도시된 게이트 구동회로의 입출력신호의 파형도들이다.

[0030] 도 3 및 도 4를 참조하면, 제m 스테이지(SRCm)는 버퍼부(210), 충전부(220), 풀업부(230), 방전부(240), 풀다

운부(250), 제1 유지부(261), 제2 유지부(262), 제3 유지부(263), 제4 유지부(264), 제1 스위칭부(271) 및 제2 스위칭부(272)를 포함한다.

- [0031] 상기 버퍼부(210)는 제어부 및 입력부가 상기 제1 입력 단자(IN1)와 연결되고 출력부는 상기 충전부(220)와 연결된다. 상기 버퍼부(210)는 이전 스테이지의 출력 신호인 제 $m-1$ 게이트 신호(G_{m-1})의 하이 전압(VDD)이 수신되면, 상기 하이 전압(VDD)에 대응하는 제1 전압(V_1)을 출력한다. 상기 충전부(220)는 상기 제1 전압에 대응하는 전하를 충전한다.
- [0032] 상기 풀업부(230)는 제어부(Q 노드)가 상기 충전부(220)와 연결되고 입력부가 상기 클럭 단자(CT)과 연결되며 출력부는 상기 출력 단자(OT)와 연결된다. 상기 풀업부(230)의 제어부(Q 노드)에 상기 충전부(220)에 충전된 제1 전압(V_1)이 인가된 상태에서 상기 풀업부(230)는 상기 제1 클럭 신호(CK)의 하이 전압(VDD)이 수신되면 상기 풀업부(230)가 부스트스트랩(Bootstrap) 된다. 이때, 상기 풀업부(230)의 제어부(Q 노드)는 상기 제1 전압(V_1)에서 부스팅(Boosting) 전압(VBT)으로 승압된다. 상기 풀업부(230)의 제어부(Q 노드)의 노드 신호(QVm)는 $m-1$ 번째 구간(T_{m-1})에는 상기 제1 전압(V_1)을 갖고, m 번째 구간(T_m)에는 상기 부스팅 전압(VBT)을 갖는다. 상기 풀업부(230)의 제어부에 상기 부스팅 전압(VBT)이 인가되면 상기 풀업부(230)는 상기 제1 클럭 신호(CK)의 하이 전압(VDD)을 제 m 게이트 신호(G_m)의 하이 전압(VDD)로 출력한다.
- [0033] 상기 방전부(240)는 제어부가 상기 제2 입력 단자(IN2)와 연결되고 입력부는 상기 풀업부(230)의 제어부(Q 노드)와 연결되고 출력부는 상기 전압 단자(VI)와 연결된다. 상기 방전부(240)는 상기 제2 입력 단자(IN2)에 다음 스테이지의 출력 신호인 제 $m+1$ 게이트 신호(G_{m+1})의 하이 전압(VDD)이 수신되면 상기 풀업부(230)의 제어부(Q 노드)에 인가된 전압을 상기 로우 전압(VSS)으로 방전시킨다.
- [0034] 상기 풀다운부(250)는 제어부(Q 노드)가 상기 제2 입력 단자(IN2)와 연결되고, 입력부는 상기 출력 단자(OT)와 연결되고 출력부는 상기 전압 단자(VI)와 연결된다. 상기 풀다운부(250)는 상기 제 $m+1$ 게이트 신호(G_{m+1})의 하이 전압(VDD)이 수신되면 상기 출력 단자(OT)의 하이 전압(VDD)을 상기 로우 전압(VSS)으로 풀-다운(Pull-Down)시킨다.
- [0035] 상기 제1 유지부(261)는 제어부가 상기 제3 입력 단자(IN3)와 연결되고 입력부가 상기 제1 입력 단자(IN1)와 연결되고 출력부가 상기 풀업부(230)의 제어부(Q 노드)와 연결된다. 상기 제1 유지부(261)는 이전 스테이지의 특정 노드(N 노드)에 인가된 제 $m-1$ 노드 신호(NV_{m-1})가 수신되면 상기 풀업부(230)의 제어부(Q 노드)에 인가된 전압을 상기 이전 스테이지의 출력 신호인 제 $m-1$ 게이트 신호(G_{m-1})의 로우 전압(VSS)으로 유지시킨다. 상기 제 $m-1$ 노드 신호(NV_{m-1})는 상기 이전 스테이지에 인가되는 상기 제2 클럭 신호(CKB)의 하이 전압(VDD)이 커패시터(Cc)에 의해 강화된 레벨의 전압으로 상기 하이 전압(VDD) 보다 낮은 전압이다. 상기 커패시터(Cc)의 용량을 제어하여 상기 제 $m-1$ 노드 신호(NV_{m-1})의 레벨을 다양하게 설정할 수 있다.
- [0036] 상기 제2 유지부(262)는 제어부가 상기 제3 입력 단자(IN3)와 연결되고 입력부가 상기 출력 단자(OT)와 연결되고 출력부가 상기 전압 단자(VI)와 연결된다. 상기 제2 유지부(262)는 상기 제 $m-1$ 노드 신호(NV_{m-1})가 수신되면 상기 출력 단자(OT)의 전압을 상기 로우 전압(VSS)으로 유지시킨다.
- [0037] 상기 제1 및 제2 유지부(261, 262)는 상기 이전 스테이지의 제 $m-1$ 노드 신호(NV_{m-1})에 응답하여 상기 풀업부(230)의 제어부(Q 노드) 및 상기 출력 단자(OT)의 전압을 상기 로우 전압(VSS)으로 각각 유지시킨다. 상기 제 $m-1$ 노드 신호(NV_{m-1})는 상기 제2 클럭 신호(CKB)에 동기된다.
- [0038] 상기 제1 스위칭부(271)는 제어부가 상기 제1 입력 단자(IN1)와 연결되고, 입력부가 상기 클럭 단자(CT)와 전기적으로 연결되고 출력부가 상기 전압 단자(VI)와 연결된다. 상기 클럭 단자(CT)와 상기 제1 스위칭부(271)의 입력부 사이에는 상기 커패시터(Cc)가 연결된다. 즉, 상기 제1 스위칭부(271)의 입력부는 상기 특정 노드(N 노드)와 연결된다. 상기 제1 스위칭부(271)는 상기 제 $m-1$ 게이트 신호(G_{m-1})의 하이 전압(VDD)이 인가되면 상기 제 m 노드 신호(NV_m)를 상기 로우 전압(VSS)으로 방전시킨다.
- [0039] 상기 제3 유지부(263)는 제어부가 상기 제1 스위칭부(271)의 입력부와 연결되고, 입력부가 상기 풀업부(230)의 제어부(Q 노드)와 연결되고 출력부가 상기 전압 단자(VI)에 연결된다. 상기 제3 유지부(263)는 상기 제1 스위칭부(271)의 턴-온 되면 상기 제3 유지부(263)의 제어부에 상기 로우 전압(VSS)이 인가되어 턴-오프된다. 반면, 상기 제1 스위칭부(271)가 턴-오프 되면 상기 제3 유지부(263)의 제어부에 상기 제 m 노드 신호(NV_m)가 인가되어 턴-온 된다. 상기 제3 유지부(263)가 턴-온 되면 상기 풀업부(230)의 제어부(Q 노드)에 인가된 전압을 상기 로우 전압(VSS)으로 유지시킨다.
- [0040] 상기 제2 스위칭부(272)는 제어부가 상기 출력 단자(OT)와 연결되고 입력부가 상기 특정 노드(N 노드)와 연결되

고 출력부가 상기 전압 단자(VI)와 연결된다. 상기 제2 스위칭부(272)는 상기 출력 단자(OT)가 상기 제 m 게이트 신호(Gm)의 하이 전압(VDD)을 출력할 때, 상기 제 m 노드 신호(NV m)를 상기 로우 전압(VSS)으로 방전시킨다.

[0041] 상기 제4 유지부(264)는 제어부가 상기 제2 스위칭부(272)의 입력부와 연결되고, 입력부가 상기 출력 단자(OT)와 연결되고 출력부가 상기 전압 단자(VI)에 연결된다. 상기 제4 유지부(264)는 상기 제2 스위칭부(272)의 턴-온 되면 상기 제4 유지부(264)의 제어부에 상기 로우 전압(VSS)이 인가되어 턴-오프 된다. 반면, 상기 제2 스위칭부(272)가 턴-오프 되면 상기 제4 유지부(264)의 제어부에 상기 제 m 노드 신호(NV m)가 인가되어 턴-온 된다. 상기 제4 유지부(264)가 턴-온 되면 상기 출력 단자(OT)에 인가된 전압을 상기 로우 전압(VSS)으로 유지시킨다.

[0042] 상기 제1 및 제2 스위칭부(271, 272)는 상기 제3 및 제4 유지부(263, 264)의 동작을 스위칭하여 상기 풀업부(230)의 제어부(Q 노드) 및 상기 출력 단자(OT)의 전압을 상기 로우 전압(VSS)으로 각각 유지시킨다.

[0043] 이와 같이, 상기 제2 클럭 신호(CKB)를 이용하여 제 m 스테이지(SRC m)의 상기 제 m 게이트 신호(Gm)를 로우 전압(VSS)으로 유지시키시는 제1 및 제2 유지부(261, 262)의 제어부에 상기 제2 클럭 신호(CKB)에 의해 구동되는 이전 스테이지(SRC $m-1$) 또는 다음 스테이지(SRC $m+1$)의 특정 노드(N 노드)의 제 $m-1$ 또는 제 $m+1$ 노드 신호(ND $m-1$ or ND $m+1$)를 인가함으로써 상기 제1 및 제2 유지부(261, 262)가 장시간 구동시 열화되는 것을 막을 수 있다. 상기 제 $m-1$ 또는 제 $m+1$ 노드 신호(ND $m-1$ or ND $m+1$)는 상기 제2 클럭 신호(CKB)의 하이 전압(VDD) 보다 강하된 전압이다.

[0044] 또한, 상기 제1 클럭 신호(CK)를 이용하여 상기 제 m 스테이지(SRC m)의 상기 제 m 게이트 신호(Gm)를 로우 전압(VSS)으로 유지시키시는 제3 및 제4 유지부(363, 264)의 제어부에 상기 제1 클럭 신호(CK)의 하이 전압(VDD) 보다 강하된 전압을 인가함으로써 상기 제3 및 제4 유지부(263, 264)가 장시간 구동시 열화되는 것을 막을 수 있다.

[0045] 도 5a 및 도 5b는 실시예 1에 따른 게이트 신호들의 파형도들이다. 도 6a 및 도 6b는 비교예에 따른 게이트 신호들의 파형도들이다.

[0046] 도 5a는 상기 실시예 1과 같이 제1 내지 제4 유지부에 커패시터(Cc)에 의해 클럭 신호가 강하된 신호를 인가한 경우의 게이트 신호들의 파형도들이고, 도 5b는 도 5a의 A 부분을 확대한 도면이다. 도 6a는 제1 내지 제4 유지부에 클럭 신호를 직접 인가한 경우의 게이트 신호들의 파형도들이고, 도 6b는 도 6a의 B 부분을 확대한 도면이다.

[0047] 도 5b 및 도 6b를 비교하면, 상기 실시예 1에 따른 게이트 신호들은 로우 전압으로 유지되는 구간에서 리플 성분(R1)의 크기가 상기 비교예에 따른 게이트 신호들의 리플 성분(R2)의 크기 보다 현저하게 작음을 확인할 수 있었다. 즉, 상기 실시예 1에 따른 게이트 구동회로의 구동 신뢰성이 향상되었다.

[0048] 따라서, 상기 제1 내지 제4 유지부에 클럭 신호의 하이 전압 보다 낮은 전압을 인가함으로써 상기 제1 내지 제4 유지부의 장시간 구동시 열화되는 것을 막을 수 있다.

[0049] 실시예 2

[0050] 도 7은 본 발명의 실시예 2에 따른 게이트 구동회로의 블록도이다.

[0051] 도 7을 참조하면, 상기 게이트 구동회로(300)는 서로 종속적으로 연결된 제1 내지 제 n 스테이지(SRC1 ~ SRC n)와, 제1 터미 스테이지(SRCd1) 및 제2 터미 스테이지(SRCd2)를 포함하는 쉬프트 레지스터를 포함한다.

[0052] 제1 내지 제 n 스테이지(SRC1 ~ SRC n)는 n 개의 게이트 배선들과 각각 연결되어 상기 게이트 배선들에 n 개의 게이트 신호들을 순차적으로 출력한다. 상기 제1 터미 스테이지(SRCd1)는 상기 제1 스테이지(SRC1)의 구동을 제어하고, 상기 제2 터미 스테이지(SRCd2)는 상기 제 n 스테이지(SRC n)의 구동을 제어한다. 상기 제1 및 제2 터미 스테이지들(SRCd1, SRCd2)는 게이트 배선들과 연결되지 않는다.

[0053] 각 스테이지는 클럭 단자(CT), 제1 입력 단자(IN1), 제2 입력 단자(IN2), 제3 입력 단자(IN3), 전압 단자(VI), 캐리 단자(CR), 노드 단자(ND) 및 출력 단자(OT)를 포함한다.

[0054] 상기 제1 입력 단자(IN1)는 수직개시신호(STV) 또는 이전 스테이지의 캐리 신호를 수신한다. 예를 들면, 첫 번

제 스테이지인, 제1 터미 스테이지(SRCd1)의 상기 제1 입력 단자(IN1)는 상기 수직개시신호(STV)를 수신하고, 제1 내지 제2 터미 스테이지(SRC1 ~ SRCd2)의 상기 제1 입력 단자(IN1)는 이전 스테이지의 캐리 신호를 각각 수신한다. 상기 캐리 단자(CR)는 다음 스테이지의 제1 입력 단자(IN1)와 연결된다.

[0055] 상기 클럭 단자(CT), 제2 입력 단자(IN2), 제3 입력 단자(IN3), 전압 단자(VI), 노드 단자(ND) 및 출력 단자(OT)는 실시예 1과 실질적으로 동일한 구성 및 기능을 수행하므로 상세한 설명은 생략한다.

[0056] 도 8은 도 7에 도시된 스테이지의 상세한 회로도이다.

[0057] 도 4 및 도 8을 참조하면, 제 m 스테이지는 버퍼부(310), 충전부(320), 풀업부(330), 방전부(340), 폴다운부(350), 제1 유지부(361), 제2 유지부(362), 제3 유지부(363), 제4 유지부(364), 제1 스위칭부(371), 제2 스위칭부(372) 및 캐리부(380)를 포함한다.

[0058] 상기 버퍼부(310)는 제어부 및 입력부가 상기 제1 입력 단자(IN1)와 연결되고 출력부는 상기 충전부(320)와 연결된다. 상기 버퍼부(310)는 이전 스테이지의 제 $m-1$ 캐리 신호(G_{m-1})의 하이 전압(VDD)이 수신되면, 상기 하이 전압(VDD)에 대응하는 제1 전압(V_1)을 출력한다. 상기 충전부(320)는 상기 제1 전압에 대응하는 전하를 충전한다.

[0059] 상기 풀업부(330)는 제어부(Q 노드)가 상기 충전부(320)와 연결되고 입력부가 상기 클럭 단자(CT)와 연결되며 출력부는 상기 출력 단자(OT)와 연결된다. 상기 풀업부(330)의 제어부(Q 노드)에 상기 충전부(320)에 충전된 제1 전압(V_1)이 인가된 상태에서 상기 풀업부(330)는 상기 제1 클럭 신호(CK)의 하이 전압(VDD)이 수신되면 상기 풀업부(330)가 부트스트랩(Bootstrap) 된다. 이때, 상기 풀업부(330)의 제어부(Q 노드)는 상기 제1 전압(V_1)에서 부스팅(Boosting) 전압(VBT)으로 승압된다. 상기 풀업부(330)의 제어부(Q 노드)의 노드 신호(QVm)는 $m-1$ 번째 구간(T_{m-1})에는 상기 제1 전압(V_1)을 갖고, m 번째 구간(T_m)에는 상기 부스팅 전압(VBT)을 갖는다. 상기 풀업부(330)의 제어부에 상기 부스팅 전압(VBT)이 인가되면 상기 풀업부(330)는 상기 제1 클럭 신호(CK)의 하이 전압(VDD)을 제 m 게이트 신호(G_m)의 하이 전압(VDD)로 출력한다.

[0060] 상기 방전부(340)는 제어부가 상기 제2 입력 단자(IN2)와 연결되고 입력부는 상기 풀업부(330)의 제어부(Q 노드)와 연결되고 출력부는 상기 전압 단자(VI)와 연결된다. 상기 방전부(340)는 상기 제2 입력 단자(IN2)에 다음 스테이지의 출력 신호인 제 $m+1$ 게이트 신호(G_{m+1})의 하이 전압(VDD)이 수신되면 상기 풀업부(330)의 제어부(Q 노드)에 인가된 전압을 상기 로우 전압(VSS)으로 방전시킨다.

[0061] 상기 폴다운부(350)는 제어부(Q 노드)가 상기 제2 입력 단자(IN2)와 연결되고, 입력부는 상기 출력 단자(OT)와 연결되고 출력부는 상기 전압 단자(VI)와 연결된다. 상기 폴다운부(350)는 상기 제 $m+1$ 게이트 신호(G_{m+1})의 하이 전압(VDD)이 수신되면 상기 출력 단자(OT)의 하이 전압(VDD)을 상기 로우 전압(VSS)으로 폴-다운(Pull-Down)시킨다.

[0062] 상기 제1 유지부(361)는 제어부가 상기 제3 입력 단자(IN3)와 연결되고 입력부가 상기 제1 입력 단자(IN1)와 연결되고 출력부가 상기 풀업부(330)의 제어부(Q 노드)와 연결된다. 상기 제1 유지부(361)는 이전 스테이지의 특정 노드(N 노드)에 인가된 제 $m-1$ 노드 신호(NV_{m-1})가 수신되면 상기 풀업부(330)의 제어부(Q 노드)에 인가된 전압을 상기 이전 스테이지의 제 $m-1$ 캐리 신호(CR_{m-1})의 로우 전압(VSS)으로 유지시킨다. 상기 제 $m-1$ 노드 신호(NV_{m-1})는 상기 이전 스테이지에 인가되는 상기 제2 클럭 신호(CKB)의 하이 전압(VDD)이 커패시터(C_c)에 의해 강하된 레벨의 전압으로 상기 하이 전압(VDD) 보다 낮은 전압이다. 상기 커패시터(C_c)의 용량을 제어하여 상기 제 $m-1$ 노드 신호(NV_{m-1})의 레벨을 다양하게 설정할 수 있다.

[0063] 상기 제2 유지부(362)는 제어부가 상기 제3 입력 단자(IN3)와 연결되고 입력부가 상기 출력 단자(OT)와 연결되고 출력부가 상기 전압 단자(VI)와 연결된다. 상기 제2 유지부(362)는 상기 제 $m-1$ 노드 신호(NV_{m-1})가 수신되면 상기 출력 단자(OT)의 전압을 상기 로우 전압(VSS)으로 유지시킨다.

[0064] 상기 제1 및 제2 유지부(361, 362)는 상기 이전 스테이지의 제 $m-1$ 노드 신호(NV_{m-1})에 응답하여 상기 풀업부(330)의 제어부(Q 노드) 및 상기 출력 단자(OT)의 전압을 상기 로우 전압(VSS)으로 각각 유지시킨다. 상기 제 $m-1$ 노드 신호(NV_{m-1})는 상기 제2 클럭 신호(CKB)에 동기된다.

[0065] 상기 제1 스위칭부(371)는 제어부가 상기 제1 입력 단자(IN1)와 연결되고, 입력부가 상기 클럭 단자(CT)와 전기적으로 연결되고 출력부가 상기 전압 단자(VI)와 연결된다. 상기 클럭 단자(CT)와 상기 제1 스위칭부(371)의 입력부 사이에는 상기 커패시터(C_c)가 연결된다. 즉, 상기 제1 스위칭부(371)의 입력부는 상기 특정 노드(N 노드)와 연결된다. 상기 제1 스위칭부(371)는 상기 제 $m-1$ 게이트 신호(G_{m-1})의 하이 전압(VDD)이 인가되면 상기

제 m 노드 신호(NVm)를 상기 로우 전압(VSS)으로 방전시킨다.

[0066] 상기 제3 유지부(363)는 제어부가 상기 제1 스위칭부(371)의 입력부와 연결되고, 입력부가 상기 풀업부(230)의 제어부(Q 노드)와 연결되고 출력부가 상기 전압 단자(VI)에 연결된다. 상기 제3 유지부(363)는 상기 제1 스위칭부(371)의 턴-온 되면 상기 제3 유지부(363)의 제어부에 상기 로우 전압(VSS)이 인가되어 턴-오프된다. 반면, 상기 제1 스위칭부(371)가 턴-오프 되면 상기 제3 유지부(363)의 제어부에 상기 제 m 노드 신호(NVm)가 인가되어 턴-온 된다. 상기 제3 유지부(363)가 턴-온 되면 상기 풀업부(330)의 제어부(Q 노드)에 인가된 전압을 상기 로우 전압(VSS)으로 유지시킨다.

[0067] 상기 제2 스위칭부(372)는 제어부가 상기 출력 단자(OT)와 연결되고 입력부가 상기 특정 노드(N 노드)와 연결되고 출력부가 상기 전압 단자(VI)와 연결된다. 상기 제2 스위칭부(372)는 상기 출력 단자(OT)가 상기 제 m 게이트 신호(Gm)의 하이 전압(VDD)을 출력할 때, 상기 제 m 노드 신호(NVm)를 상기 로우 전압(VSS)으로 방전시킨다.

[0068] 상기 제4 유지부(364)는 제어부가 상기 제2 스위칭부(372)의 입력부와 연결되고, 입력부가 상기 출력 단자(OT)와 연결되고 출력부가 상기 전압 단자(VI)에 연결된다. 상기 제4 유지부(364)는 상기 제2 스위칭부(372)의 턴-온 되면 상기 제4 유지부(364)의 제어부에 상기 로우 전압(VSS)이 인가되어 턴-오프 된다. 반면, 상기 제2 스위칭부(372)가 턴-오프 되면 상기 제4 유지부(364)의 제어부에 상기 제 m 노드 신호(NVm)가 인가되어 턴-온 된다. 상기 제4 유지부(364)가 턴-온 되면 상기 출력 단자(OT)에 인가된 전압을 상기 로우 전압(VSS)으로 유지시킨다.

[0069] 상기 제1 및 제2 스위칭부(371, 372)는 상기 제3 및 제4 유지부(363, 364)의 동작을 스위칭하여 상기 풀업부(330)의 제어부(Q 노드) 및 상기 출력 단자(OT)의 전압을 상기 로우 전압(VSS)으로 각각 유지시킨다.

[0070] 상기 캐리부(380)는 제어부가 상기 풀업부(330)의 제어부(Q 노드)와 연결되고 입력부가 상기 클럭 단자(CT)에 연결되고 출력부가 상기 캐리 단자(CR)에 연결된다. 상기 캐리부(380)는 상기 풀업부(330)의 제어부(Q 노드)에 인가되는 전압에 응답하여 상기 제1 클럭 신호(CK)의 하이 전압(VDD)을 출력한다. 상기 풀업부(330)의 제어부(Q 노드)는 $m-1$ 번째 구간(T_{m-1})에는 제1 전압(V1)을 갖고, m 번째 구간(T_m)에는 부스팅 전압(VBT)을 갖는다. 예를 들면, 제 m 캐리 신호는 $m-1$ 및 m 번째 구간($(T_{m-1})+(T_m)$)에 대응하는 펄스 폭을 갖거나, 상기 m 번째 구간(T_m)에 대응하는 펄스 폭을 가질 수 있다.

[0071] 이와 같이, 상기 제2 클럭 신호(CKB)를 이용하여 제 m 스테이지(SRC m)의 상기 제 m 게이트 신호(Gm)를 로우 전압(VSS)으로 유지시키시는 제1 및 제2 유지부(361, 362)의 제어부에 상기 제2 클럭 신호(CKB)에 의해 구동되는 이전 스테이지(SRC $m-1$) 또는 다음 스테이지(SRC $m+1$)의 특정 노드(N 노드)의 제 $m-1$ 또는 제 $m+1$ 노드 신호(ND $m-1$ or ND $m+1$)를 인가함으로써 상기 제1 및 제2 유지부(361, 362)가 장시간 구동시 열화되는 것을 막을 수 있다. 상기 제 $m-1$ 또는 제 $m+1$ 노드 신호(ND $m-1$ or ND $m+1$)는 상기 제2 클럭 신호(CKB)의 하이 전압(VDD) 보다 강화된 전압이다.

[0072] 또한, 상기 제1 클럭 신호(CK)를 이용하여 상기 제 m 스테이지(SRC m)의 상기 제 m 게이트 신호(Gm)를 로우 전압(VSS)으로 유지시키시는 제3 및 제4 유지부(363, 364)의 제어부에 상기 제1 클럭 신호(CK)의 하이 전압(VDD) 보다 강화된 전압을 인가함으로써 상기 제3 및 제4 유지부(363, 364)가 장시간 구동시 열화되는 것을 막을 수 있다.

산업이용 가능성

[0073] 본 발명의 실시예들에 따르면, 게이트 신호의 로우 레벨을 유지시키는 유지부를 클럭 신호보다 낮은 레벨의 신호로 동작시킴으로써 상기 유지부의 전압 스트레스를 막을 수 있다. 따라서 게이트 구동회로의 출력 신호인 게이트 신호의 신뢰성을 향상시킬 수 있다.

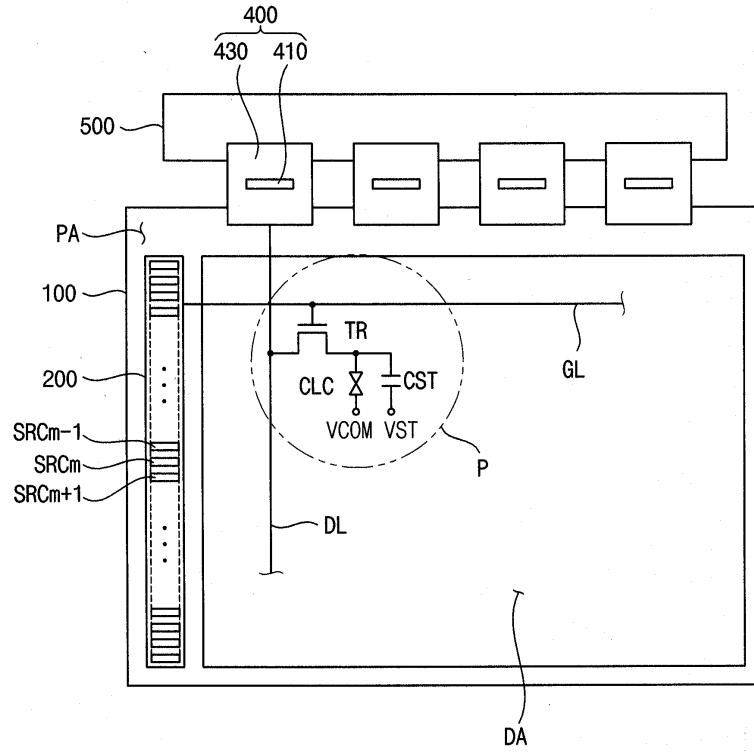
[0074] 이상에서는 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

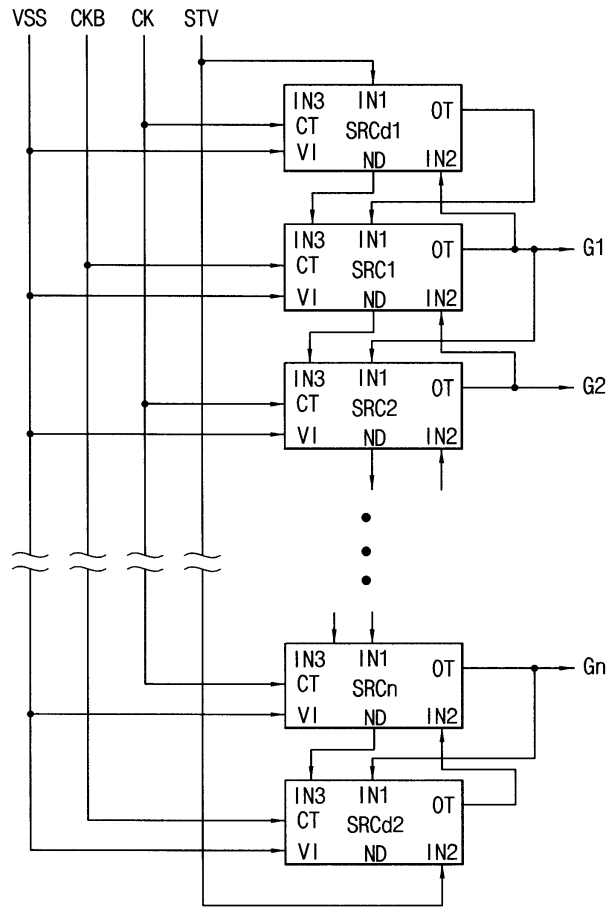
[0075] 도 1은 본 발명의 실시예 1에 따른 표시 장치의 평면도이다.

도면

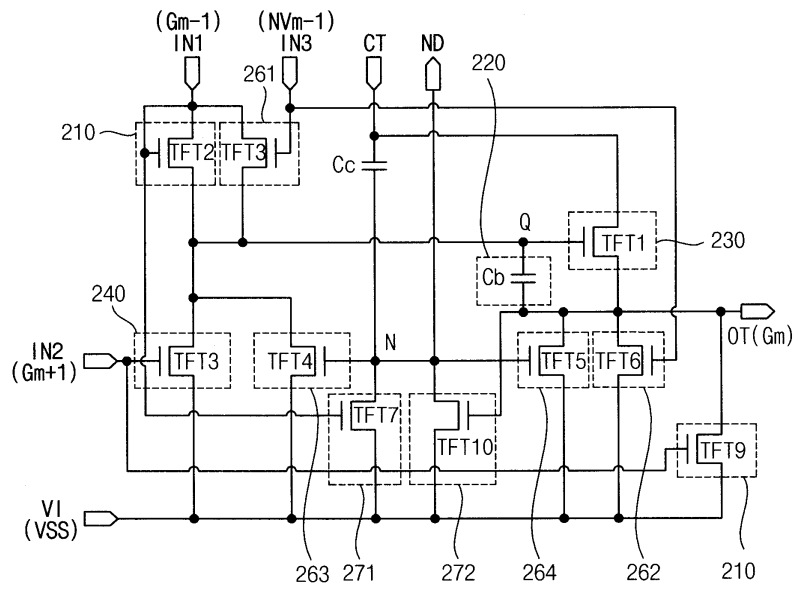
도면1



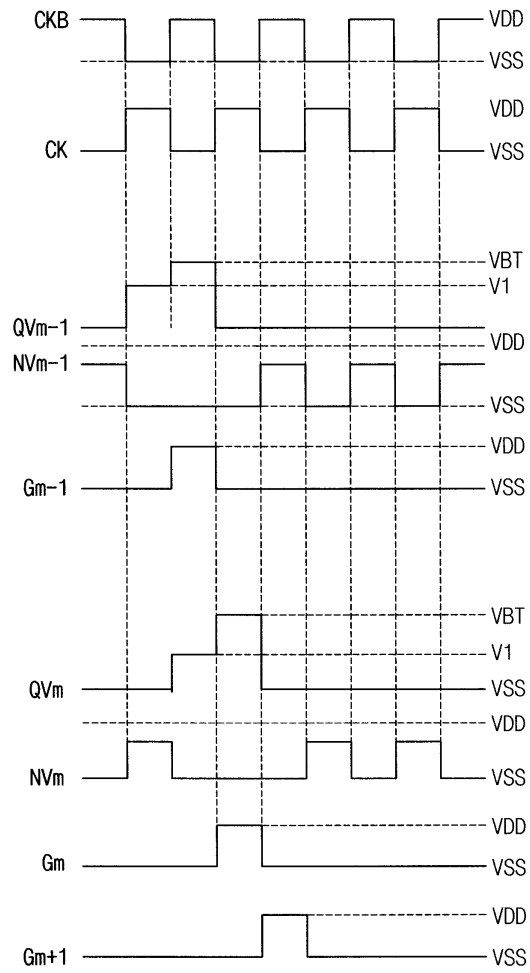
도면2



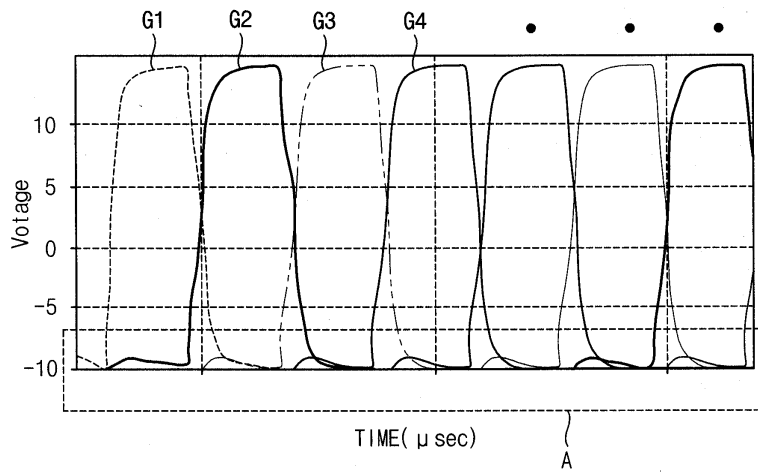
도면3



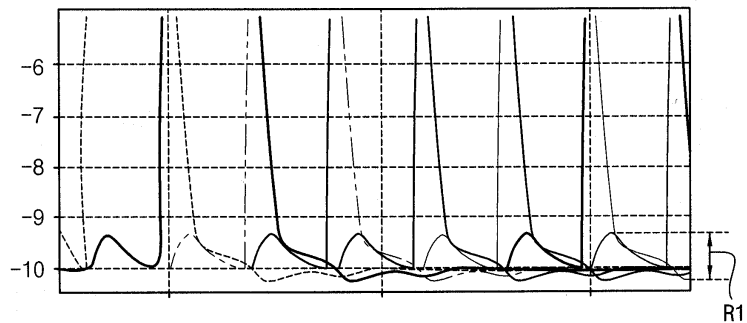
도면4



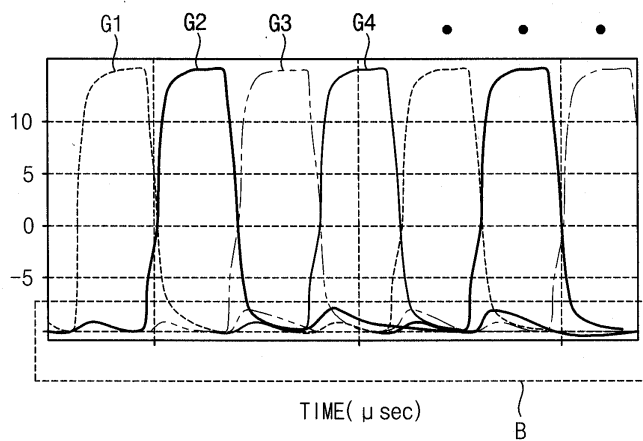
도면5a



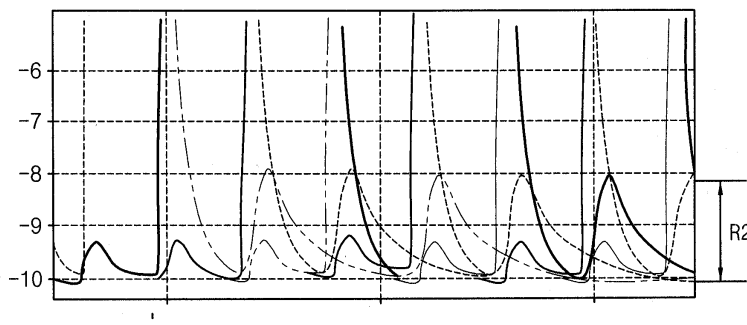
도면5b



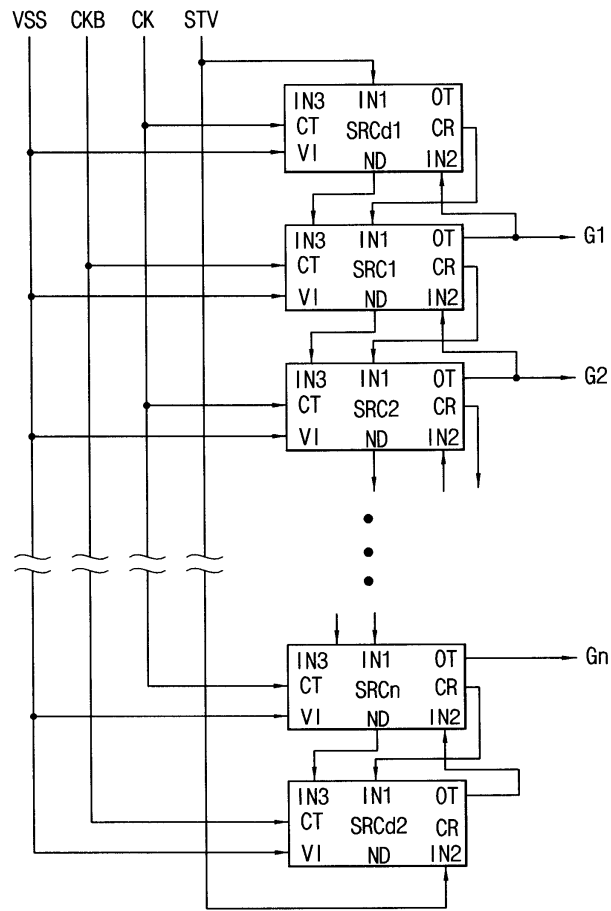
도면6a



도면6b



도면7



도면8

