



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년11월18일
(11) 등록번호 10-0869240
(24) 등록일자 2008년11월12일

(51) Int. Cl.
G09G 3/28 (2006.01)
(21) 출원번호 10-2003-7010086
(22) 출원일자 2003년07월30일
심사청구일자 2007년01월31일
번역문제출일자 2003년07월30일
(65) 공개번호 10-2004-0031694
(43) 공개일자 2004년04월13일
(86) 국제출원번호 PCT/FR2002/000561
국제출원일자 2002년02월14일
(87) 국제공개번호 WO 2002/65441
국제공개일자 2002년08월22일
(30) 우선권주장
01/02043 2001년02월15일 프랑스(FR)
(56) 선행기술조사문헌
JP12323038 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
튴슨 프라즈마
프랑스, 에프-92100 불롱-빌랑꾸르, 파이 알폰스 르 갈로, 46
(72) 발명자
떼시에르로랑
프랑스, 에프-38600퐁땡, 뤼가브리엘페리4
(74) 대리인
문경진

전체 청구항 수 : 총 9 항

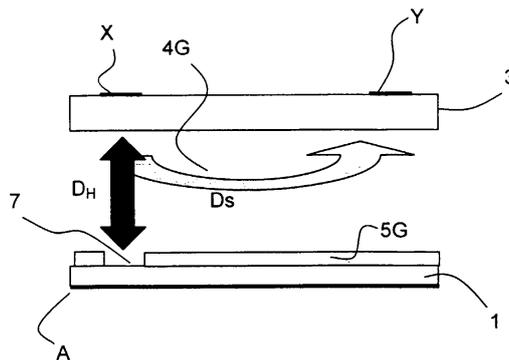
심사관 : 김민수

(54) 공면 타입의 플라즈마 디스플레이 패널 및 이 패널을 구동시키는 방법

(57) 요약

본 방법에 따라, 고 주파수 펄스 열(T_{SY})이 하나의 판에 적재되는 한 쌍의 두 전극(X, Y) 사이에 인가되기 전에, 적어도 하나의 서스테인 펄스(S_{HX} , S_{HY})가 이 쌍의 전극(X)과 패널의 다른 판의 전극(A) 사이에 인가된다. 서스테인 방전(D_H)이 안정화된 방전(D_S)과 동일한 전극 사이에서 발생되지 않으므로, 전극(X, Y)은 서스테인 전압을 증가시킬 필요 없이 안정화 주파수를 더 낮추기 위하여 더 떨어지게 이동될 수 있다.

대표도 - 도3



특허청구의 범위

청구항 1

- 제 1 배열의 전극(A)이 제공되는 제 1 판과,
 - 상기 제 1 판에 평행하며, 제 2 배열의 전극 쌍(X, Y)이 제공되는 제 2 판으로서, 상기 제 2 배열의 전극 쌍(X, Y)의 전체적인 방향은 상기 제 1 배열의 전극(A)의 방향과 직교하며, 상기 제 2 배열의 각 전극 쌍(X, Y)의 전극(X, Y)은, 그 전극 사이에, 상기 제 1 배열의 전극(A)과 상기 제 2 배열의 전극 쌍(X, Y)의 교차점에 위치한 상기 제 2 배열의 전극 쌍(X, Y)의 교차점에 위치한 방전 영역(4R, 4G, 4B)을 제공하는, 제 2 판
- 을 포함하는 공면(coplanar) 타입 플라즈마 디스플레이 패널을 구동하는 방법으로서, 상기 방법은,
- 방전을 지속하기 원하는 각 방전 영역(4R, 4G, 4B)에 서스테인 방전(D_H)을 발생시키기 위하여 일련의 서스테인 전압 펄스(S_{HA}, S_{HX})를 인가하는 단계와,
 - 서스테인 방전을 발생시키는 상기 일련의 서스테인 전압 펄스 중 한 펄스 이후에, 상기 방전 영역과 교차하는 제 2 배열의 전극 쌍(X, Y)의 2개의 전극 사이에, 안정화된 방전(D_S)을 생성할 수 있는 펄스 열(T_{SY})을 인가하는 단계

를 포함하는, 공면 타입 플라즈마 디스플레이 패널 구동 방법에 있어서,

- 상기 제 2 배열의 전극 쌍(X, Y) 중 하나의 전극(X)과 상기 방전 영역과 교차하는 상기 제 1 판의 제 1 배열의 전극(A) 사이에 상기 서스테인 전압 펄스(S_{HA}, S_{HX})가 인가되며,
- 상기 패널의 각 방전 영역에서, 제 2 배열의 전극 쌍(X, Y)의 전극을 분리시키는 거리는, 상기 서스테인 전압 펄스(S_{HA}, S_{HX})가 인가되는, 상기 방전 영역과 교차하는 상기 제 1 판의 제 1 배열의 전극(A)과 상기 제 2 배열의 전극 쌍(X, Y)의 전극(X)을 분리시키는 거리보다 더 큰, 공면 타입 플라즈마 디스플레이 패널 구동 방법.

청구항 2

제 1 항에 있어서, 상기 제 2 배열의 전극 쌍(X, Y)은 유전층(3)으로 덮여있는, 공면 타입 플라즈마 디스플레이 패널 구동 방법.

청구항 3

제 2 항에 있어서, 상기 제 1 판은 얇은 보호 및 제 2 차 전자 방출 층으로 덮여 있으며, 그리고 상기 제 1 판에는 방전으로부터 나오는 자외선을 흡수하며 상기 패널의 전면과 마주하는 판을 통해 가시광선을 방출하도록 위치한 형광체층(5R, 5G, 5B)이 제공되며, 그리고 상기 형광체층(5R, 5G, 5B)은 각 방전 영역(4R, 4G, 4B)에 갈라진 틈(7)(break)을 구비하여 상기 갈라진 틈(7)에서 상기 얇은 보호 및 제 2 차 전자 방출 층의 면을 노출하도록 하는, 공면 타입 플라즈마 디스플레이 패널 구동 방법.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 일련의 서스테인 전압 펄스를 인가하기 전에, 상기 방전 영역에 어드레스 방전(D_A)을 발생시키기 위하여 상기 제 1 판의 상기 제 1 배열의 전극(A)과 상기 제 2 배열의 전극 쌍 중 하나의 전극(X) 사이에 어드레스 전압 펄스(S_{AA}, S_{AX})를 인가하는 단계를 더 포함하는, 공면 타입 플라즈마 디스플레이 패널 구동 방법.

청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

- 상기 서스테인 전압 펄스가 인가되는 상기 제 1 판의 제 1 배열의 전극(A)과 상기 제 2 판의 전극(X)을 분리시키는 거리가 90 μ m 또는 100 내지 150 μ m 또는 180 내지 230 μ m의 범위 내에 있고,
- 상기 방전 영역(4R, 4G, 4B)에서 동일한 쌍의 전극(X, Y)을 분리시키는 거리가 250 내지 1000 μ m의 범위 내에 있는, 공면 타입 플라즈마 디스플레이 패널 구동 방법.

청구항 6

제 5 항에 있어서, 방전 안정화 펄스 열(T_{SY})의 상기 주파수는 20MHz 내지 150MHz의 범위 내에 있는, 공면 타입 플라즈마 디스플레이 패널 구동 방법.

청구항 7

제 6 항에 있어서, 방전 안정화 펄스 열(T_{SY})의 상기 주파수는 30MHz 내지 60MHz의 범위 내에 있는, 공면 타입 플라즈마 디스플레이 패널 구동 방법.

청구항 8

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 방전 안정화 펄스 열(T_{SY})은 각 서스테인 전압 펄스(S_{HA} , S_{HX}) 후에 인가되는, 공면 타입 플라즈마 디스플레이 패널 구동 방법.

청구항 9

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 방전 안정화 펄스 열(T_{SY})은 상기 일련의 서스테인 전압 펄스(S_{HA} , S_{HX})의 인가 동안 계속 인가되는, 공면 타입 플라즈마 디스플레이 패널 구동 방법.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

명세서

기술분야

<1> 본 발명은 플라즈마 디스플레이 패널 어드레싱 및 그 구동 방법에 관한 것이다.

배경기술

- <2> 문헌 JP 10-171399(히타치)는,
- <3> - 제 1 전극 배열이 제공되는 배면판과,
- <4> - 상기 제 1 전극 배열에 평행하며 상기 제 1 배열의 전극에 직교하는 전극 쌍의 제 2 배열이 제공되는 전면판으로서, 각 쌍의 전극은 그 전극 사이에 제 1 배열의 전극과 제 2 배열의 전극 쌍의 교차점에 위치한 방전 공간을 제공하는, 전면판을 포함하는 공면(coplanar) 타입 플라즈마 패널을 기술한다.
- <5> 이 타입의 플라즈마 디스플레이 패널의 어드레싱 및 그 구동 방법은, 다음의 단계, 즉
- <6> - 배면판의 전극과 전면판의 전극 사이에 어드레스 전압 펄스를 적어도 인가함으로써 배면판의 전극과 전면판의 한 전극이 교차하는 활성화될 각 교차 영역의 방전을 활성화하는 단계와,
- <7> - 전면판의 위 동일한 전극과 이 동일한 판의 쌍을 이룬 전극 사이에 일련의 서스테인 전압 펄스를 인가함으로써
- <8> - 전면판의 위 동일한 전극과 이 동일한 판의 쌍을 이룬 전극 사이에 일련의 서스테인 전압 펄스를 인가함으로써

써 이 영역에 일련의 방전을 재활성화하는 단계

- <9> 를 일반적으로 포함한다.
- <10> 이 방법에 따르면, 어드레스 방전은, 관들을 분리시키며, 방전 가스로 채워져 있는 공간 내에서 관들에 대해 본질적으로 수직하게 이어지며, 이와 대조적으로, 서스테인 방전은 전면관을 따라 관들에 대해 본질적으로 평행하게 이어진다.
- <11> 이러한 종래의 방법에 따르면, 서스테인 펄스의 순간 주파수는 일반적으로 약 100 내지 300kHz이고 패널의 휘도 (luminosity)를 결정하며, 이 서스테인은, 이 쌍의 두 전극이 어드레스 전극에 대해 항상 포지티브나 제로 전위를 가지는 경우에는 "포지티브(positive)"라고 부르며, 반대의 경우로 이 전위가 포지티브와 네거티브로 교대하는 경우에는 "네거티브(negative)" 또는 "바이폴라(bipolar)"라고 부른다(동일한 쌍의 전극들의 서스테인 신호는 이때 위상의 절반(half-phase)만큼 오프셋된다).
- <12> 어드레스 펄스는 행 그룹으로 서로 그룹화될 수 있으며 또한 매우 서로 조밀하다.
- <13> 이 타입의 패널을 어드레싱하고 구동하기 위해서, 문헌 JP 10-171399(히타치)는 또한 10MHz 보다 실질적으로 더 높은, 고 주파수의 펄스를 사용할 것을 제안한다.
- <14> 이 문헌의 도 3에 나타나 있는 바와 같이, 제 1 전극 배열이 전극(A1, A2, ..., A6)을 포함하며, 제 2 배열은 이 문헌의 도 1을 이제 참조하여 쌍(X, Y₁), (X, Y₂), ..., (X, Y_n)을 포함하는 경우, 공면 플라즈마 디스플레이 패널의 어드레싱과 구동 방법은, 다음의 단계, 즉
- <15> - 전극(Y_m)에 인가되는 신호(107)와 전극(A)에 인가되는 신호(108) 사이의 차이로부터 발생하는 어드레스 전압 펄스 동안 어드레싱 또는 기록하는 단계(단계 IV)와,
- <16> - 전극(Y_m)과 이와 쌍을 이루는 전극(X) 사이에 종래의 "저 주파수" 서스테인 전압 펄스를 발생시키는 신호(101)를 인가함으로써 바이폴라 서스테인 하는 단계와,
- <17> - 이 문헌에 제시된 발명에 따라, 이 서스테인 단계 동안 매우 높은 고 주파수 "RF" 신호(100)가 캐소드로서 기능을 하는 전극 (Y_m 또는 X) 중 하나의 전극 측에 더 인가되는 단계, 여기서 이 신호의 인가는 서스테인 단계 VII에 해당하는, 단계
- <18> 를 포함한다.
- <19> 이 문헌에 따르면, 매우 높은 고 주파수 신호를 인가하는 목적은, 일단 종래의 서스테인 방전 후 전극들 사이에 전하가 형성되면, 이 문헌의 도 4-VII에 개략적으로 도시되어 있는 바와 같이, 캐소드에 이온 전하가 도달하는 것을 방지하려는 것과 전극들 사이에서 이온 전하를 진동시키려는 것이며, 도 5를 참조하면, 상기 문헌은,
- <20> - 펄스(101)에 해당하는 종래의 서스테인 방전에 의해 전극을 덮고 있는 유전층 위의 전하가 완전히 반전되기 전에, RF 신호(100)의 인가를 개시할 필요가 있다는 것으로서, 그리하여, RF 신호의 제 1 전면(front)과 펄스 전면(101)을 분리시키는 시간(t_d)은 서스테인 방전의 누적시간과 전하의 완전한 반전의 누적 시간보다 실질적으로 더 짧아야 한다는 것과,
- <21> - RF 신호(100)의 반-주기(half-period)(t_w)가 임의의 반-주기 동안 이온 전하가 캐소드로 되돌아갈 시간을 갖지 못할 만큼 충분히 짧을 필요가 있다는 것으로서, 일반적으로 이 조건에 따르면 사용하기에 어려운 매우 높은 고 주파수가 필요한 것
- <22> 을 교시한다.
- <23> 이 문헌에 따르면, 이들 조건 아래에서는, RF 신호에 의해 안정화된 방전이 얻어지며, 이 방전에 의해 종래 저 주파수의 방전으로 얻은 것보다도 매우 훨씬 높은 휘도 효율로 광을 방출한다.
- <24> 일례로서, 이 문헌에 따르면, 방전 지점에서 두 개의 서스테인 전극을 분리하는 거리가 약 100 μ m일 때, 방전 가스가 0.4 \times 10⁵Pa인 압력에서 Ne/Xe 혼합물일 때, 전술된 조건은, 다음과 같이, 즉 약 t_d < 1 μ s, 약 t_w < 0.1 μ s로 되며, 이는 20MHz 보다 더 높은 주파수에 해당한다.
- <25> 이 문헌에 따라, 플라즈마 디스플레이 패널을 구동하는 방법에서, 각 서스테인 단계는 연속하는 종래의 서스테

인 방전과 안정화된 방전, 즉,

- <26> - 활성화된 영역에서 이온 전하를 발생시키기 위해 종래의 서스테인 펄스에 의해 발생된 제 1 방전과,
- <27> - 활성화된 영역에서 발생된 이온 전하를 안정화시키는데 적합한 고 주파수를 갖는 펄스 열에 의해 발생된 안정화된 방전
- <28> 을 포함한다.
- <29> 그리하여, 서스테인 방전은 안정화된 방전을 활성화 즉 "점화"시키는데 사용된다.
- <30> 고 주파수의 사용은 플라즈마 디스플레이 패널을 구동하는 이 방법의 사용을 제한하는 주요 전자적 문제를 야기하며, 저 주파수에서 안정화된 방전을 얻기 위해, 각 쌍의 전극(X)과 전극(Y)을 분리시키는 거리를 증가시킬 필요가 있지만, 이때 종래의 서스테인 방전을 얻는데 필요한 전압이 증가하여 다른 단점을 유발한다.
- <31> 보다 정확하게는,
- <32> - "고 주파수" 신호의 인가 전에 방전을 개시하는 기능을 하는 종래의 "저 주파수" 서스테인된 신호를 인가하기 위해서는, 개시에 필요한 전압을 제한할만큼 충분히 근접한 전극을 사용하는 것이 유리하며,
- <33> - "고 주파수" 신호를 인가하기 위해, 하나의 교번 주기 동안 전극들 중 하나의 전극에 이온이 도달하지 못하게 하여 너무 높지 않은 주파수에서 원하는 안정화 효과를 얻기 위해, 충분히 멀리 떨어져 있는 전극을 사용하는 것이 유리하다.
- <34> 문헌 US 5233272, 특히 도 2는, 각 방전 공간에 대해, 공면(coplanar)이며 동일한 판에 의해 지지되는 아노드(40)와 보조 전극(50)과, 다른 판에 의해 지지되는 캐소드(60)를 포함하는 공면 패널에 유사한 플라즈마 패널을 기술하며; 영속하는 메모리 효과를 가지는 종래의 공면 패널과는 달리, 유전층이 전극들을 분리시키지 않아, 단기 의사 메모리 효과, 즉 이전의 방전에 의해 또는 주 입자의 인접 소스에 의해 조절되는 메모리 효과만을 얻을 수 있으며; 이 문헌에 따라 그런 패널을 구동하기 위해, 연속적인 방전을 얻기 위해 충분히 높은 진폭의 펄스가 아노드와 캐소드 사이에 인가되며; 서스테인된 펄스와 유사한 이들 펄스를 인가하는 동안, 고 주파수의 펄스가, 이온의 이동을 교란시켜 이 이온이 전극 사이에서 확산되도록 하기 위해 공면 전극(40 및 50) 사이에 인가되며 (col. 2, lines 20-21 및 40-41; col. 3, lines 38-39 및 57-58); 이 교란은 전극 사이의 이온 경로를 단순히 연장시키게 할 뿐(col. 3, line 66 내지 col. 4, line 4) 문헌 JP 10-171399에서와 같이 이들 이온의 안정화에는 기여하지 않으며; 여기서 고 주파수 펄스를 인가하는 목적은 단기 메모리 효과를 증가시키며 방전을 얻는데 필요한 펄스 진폭을 낮추는 것이며(col. 5); 그리하여 이 문헌(특히 "표" col. 4) 및 도면에 따라, 원하는 효과를 얻기 위해, 고 주파수 신호가 인가되는 전극들을 분리시키는 거리가, 종래의 서스테인 타입 신호가 인가되는 전극들을 분리시키는 거리보다 더 작게 되는 것이 중요하며; 이 배열은 영속하는 메모리 효과를 갖는 플라즈마 패널에서 방전을 안정화하는 것이 요구될 때 문헌 JP 10-171399에 관한 전술한 배열과 반대이다.
- <35> 문헌 JP 11-273576, JP 2000-047631 및 JP 2000-047632 및 JP 2000-173482는 고 주파수 펄스 열의 도움으로 안정화된 방전을 얻기 위해 특별히 채용된 플라즈마 패널 구조를 개시하고 있지만, 특정한 패널 구조의 사용은 다른 코스트 문제를 상충시킨다.

발명의 상세한 설명

- <36> 본 발명의 목적은, 안정화된 방전을 점화하는데 필요한 전압을 증가시킬 필요 없이 저 주파수에서 방전을 안정화시킬 수 있도록, 문헌 JP 10-171399에서 제안된 것과는 다른 방식으로 종래의 공면 패널을 사용하는 것을 제한함으로써 전술된 단점을 회피하는 것이다.
- <37> 본 목적을 위해, 본 발명의 주제는,
- <38> - 적어도 제 1 전극 배열이 제공된 제 1 판과,
- <39> - 상기 제 1 배열에 평행하며 적어도 제 2 전극 배열 쌍이 제공된 제 2 판으로서, 상기 제 2 배열 전극의 전체적인 방향은 제 1 배열 전극의 방향과 대략 직교하며, 각 쌍의 전극은 그 전극 사이에 상기 제 1 배열 전극과 제 2 배열 전극 쌍의 교차점에 위치한 방전 영역을 제공하는, 제 2 판
- <40> 을 포함하는, 공면 타입 플라즈마 디스플레이 패널을 구동하는 방법으로서, 상기 방법은,
- <41> - 방전을 서스테인 하는데 요구되는 각 교차 영역에서 서스테인 방전을 발생시키기 위하여 서스테인 전압 펄스

의 적어도 하나의 열(series)을 인가하는 단계와,

- <42> - 서스테인 방전을 발생시키는 상기 펄스 중 적어도 하나의 펄스 후에 상기 영역과 교차하는 쌍의 두 전극 사이에 상기 방전을 안정화시킬만큼 충분히 높은 주파수를 갖는 펄스 열을 인가하는 단계
- <43> 를 포함하는, 공면 타입 플라즈마 디스플레이 패널을 구동하는 방법에 있어서,
- <44> 상기 서스테인 전압 펄스는 상기 쌍의 전극 중 하나의 전극과 상기 영역과 교차하는 제 1 판의 전극 사이에 인가되며,
- <45> - 패널의 각 방전 영역에서, 쌍의 전극을 분리시키는 거리는, 상기 영역과 교차하는 제 1 판의 전극과, 상기 서스테인 전압 펄스가 인가되는 상기 쌍의 전극을 분리시키는 거리보다 더 큰 것을 특징으로 하는, 공면 타입 플라즈마 디스플레이 패널을 구동하는 방법에 있다.
- <46> 일반적으로, 제 1 판은 "배면(rear)" 판이며, 제 2 판은 디스플레이될 이미지를 보는 사람과 마주하는 "전면(front)" 판이며, 전극의 교차 영역은 패널의 방전 셀을 형성하며, 이 셀은 전극에 인가되는 전압에 따라 활성화되든 활성화되지 않든 서로 독립적으로 구동될 수 있다.
- <47> 서스테인 전압 펄스가 방전 안정화 펄스 열과 동일한 전극 사이에 인가되지 않으므로, 서스테인에 필요한 전압에 영향을 주지 않고 전면판의 안정화 전극들 사이의 거리를 증가시키는 것이 가능하며, 그리하여 종래의 공면 구조가 사용되지만 종래 기술과 달리,
- <48> - 서스테인 펄스가 제 1 판의 전극과 제 2 판의 전극 사이에 인가되며, 바람직하게는 판은 종래의 서스테인 전압과 종래의 전자 부품을 사용할 수 있도록 하는 간격을 가지도록 선택되며; 이때 그 간격은 일반적으로 100과 150 μm 사이이며; 각 판에 40 μm 의 두께를 갖는 유전층이 제공되는 경우에는, 제 1 판의 전극 배열과 제 2 판의 전극 쌍의 배열을 분리시키는 거리는 180과 230 μm 사이이며; 이들 전극 사이에 90 μm 만큼 작은 거리도 절대적으로 필요한 경우에는 고려될 수 있으며,
- <49> - 제 2 판의 쌍의 전극을 분리시키는 거리는 서스테인 펄스가 그 사이에 인가되는 제 2 판의 전극과 제 1 판의 전극을 분리시키는 거리보다 더 크며,
- <50> - 공면 전극 사이의 갭, 즉 쌍을 이룬 전극을 분리시키는 거리는 종래 기술에서보다 낮은 저 주파수의 펄스 열에 의해 방전을 안정화할 수 있도록 종래 기술에서보다 훨씬 더 크게 되며, 심지어 500 μm 를 초과하는 갭도 고려될 수 있다.
- <51> 본 발명은, 하나 이상의 다음의 특징, 즉
- <52> - 전극 쌍의 제 2 배열은 유전 층으로 덮여 있어, 공면 패널의 종래의 메모리 효과가 얻어지며,
- <53> - 상기 제 1 판은 얇은 보호 및 제 2 차 전자 방출 층으로 덮여 있으며 상기 제 1 판에는 방전으로부터 나오는 자외선을 흡수하며 상기 패널의 전면과 마주하는 판을 통해 가시 광선을 방출하기 위해 위치한 형광체층이 제공되며, 그리고 이들 층은 전극의 각 교차 영역에 갈라진 틈(break)을 구비하여 상기 갈라진 틈에서 상기 얇은 기초 보호 층의 면을 노출하도록 하는 특징을 또한 가질 수 있다.
- <54> 제 1 판이 배면판인 경우, 각 교차 영역이나 각 셀에, 이 배면 판과, 경우에 따라서, 이들 영역을 분리시키는 장벽의 벽에는 서로다른 방출 컬러-적색, 녹색, 및 청색의 형광체가 제공되며; 종래 기술과는 달리, 서스테인 방전은 전면판과 배면판 사이에서 점화되며; 이 배면 판에서 점화를 용이하게 하기 위하여, 방전의 근저에, 판의 면은 이온 충돌에 의해 제 2 차 전자를 방출할 수 있는 마그네시아 (MgO)와 같은 재질로 이루어질 필요가 있으며; 이 목적으로 형광체층이 MgO를 기반으로 하는 기저의 얇은 층을 노출하기 위해 이들 영역에서 제거되며,
- <55> - 일련의 서스테인 전압 펄스를 인가하기 전에, 상기 영역에 어드레스 방전을 발생시키기 위해 상기 제 1 판의 상기 전극과 상기 쌍의 전극들 중 하나의 전극 사이의 어드레스 전압 펄스가 인가된다.
- <56> 그리하여, 이들이 패널의 전 행이 제 1 서스테인 펄스 전에 어드레스 되는 방법(이 방법은 "ADS" 또는 "ADM"이라고 부른다)이든, 또는 이 기술 분야에 숙련된 사람에게 잘 알려져 있는 다른 어드레싱 방법이든 간에, 종래 기술의 종래의 어드레싱 방법을 사용하는 것도 가능하며,
- <57> - 바람직하게는, 서스테인 펄스가 인가되는 제 2 판의 전극과 제 1 판의 전극을 분리시키는 거리는 250 μm 보다 더 작으며, 나아가 상기 교차점에서 동일한 쌍의 전극들을 분리시키는 거리는 250 μm 이상이며, 바람직하게는, 방전 안정화 펄스 열의 상기 주파수는 150MHz보다 더 작거나 또는 심지어 60MHz 이하이며,

- <58> - 상기 펄스 열은 상기 일련의 각 서스테인 펄스 후에 인가되며 그렇지 않으면 상기 일련의 서스테인 펄스의 인가 동안 연속적으로 인가되며, 이 후자의 배열은 유리하게도 서스테인 방전에 의해 발생된 최대 이온의 개수를 안정화시킬 수 있게 하며, 이에 의해 패널의 휘도 효율이 더 증가되게 한다. 이것은 또한 고 주파수 전력 회로의 스위칭에 의해 야기된 전기 손실을 제한시키게 해준다.
- <59> 본 발명의 주제는, 또한 본 발명에 따라 본 구동 방법을 적용하도록 설계된 공면 타입 플라즈마 디스플레이 패널로서,
- <60> - 적어도 제 1 전극 배열이 제공된 제 1 판과,
- <61> - 상기 제 1 전극 배열에 평행하며, 적어도 제 2 전극 쌍의 배열이 제공된 제 2 판으로서, 제 2 전극 배열의 일반적인 방향은 상기 제 1 배열의 전극 방향과 대략 직교하며, 각 쌍의 전극은 그 전극 사이에 제 2 배열의 전극 쌍과 제 1 배열의 전극의 교차점에 위치한 방전 영역을 제공하는, 제 2 판
- <62> 을 포함하는, 공면 타입 플라즈마 디스플레이 패널에 있어서,
- <63> 각 방전 영역에서, 쌍의 전극들을 분리시키는 거리는 상기 쌍의 전극들 중 어느 하나의 전극으로부터 상기 영역과 교차하는 제 1 판의 전극을 분리시키는 거리보다 더 큰 것을 특징으로 하는, 공면 타입 플라즈마 디스플레이 패널에 있다.
- <64> 본 발명에 따른 방법의 서스테인 전압 펄스는 쌍의 전극들 중 하나의 전극과 제 1 판의 이 전극 사이에 인가된다.
- <65> 본 발명은, 하나 이상의 다음의 특징, 즉
- <66> - 제 1 전극 배열과 제 2 전극 쌍의 배열 사이의 거리는 250 μ m보다 더 작으며, 교차점에서 동일한 쌍의 전극들을 분리시키는 거리는 250 μ m 이상이며,
- <67> - 전극 쌍의 제 2 배열은 일반적으로 그 자체에 보호 층으로 덮여 있는 유전 층으로 덮여 있으며,
- <68> - 상기 제 1 판은 얇은 보호 및 제 2 차 전자 방출 층으로 덮여 있으며, 상기 제 1 판에는 방전으로부터 나오는 자외선을 흡수하며 상기 패널의 전면과 마주하는 판을 통해 가시광선을 방출하도록 위치한 형광체층이 제공되므로, 이들 층은 전극의 각 교차 영역에 갈라진 틈을 구비하여 상기 갈라진 틈에서 상기 얇은 기저 보호 층의 면을 노출하도록 하는 특징
- <69> 을 또한 가질 수 있다.
- <70> 본 발명은 첨부하는 도면을 참조하여 제한하지 않은 일례로서 주어지는 이하의 상세한 설명을 읽을 때 더 명료하게 이해될 것이다.

실시예

- <75> 바람직한 실시예에 따라 도 1 및 도 2를 참조하면, 본 발명을 구현하는데 사용되는 공면 패널(coplanar panel)은,
- <76> - 전극(A) 배열이 제공된 배면판(도시되지 않음)으로서, 상기 배열은 장벽(21, 22) 배열이 제공된 유전층(1)으로 코팅되어 있는, 배면판과,
- <77> - 전극(X, Y) 쌍의 배열이 제공된 전면판(도시되지 않음)으로서, 상기 배열은 유전층(3)으로 코팅되어 있는, 전면판
- <78> 을 포함한다.
- <79> 전면판의 전극(X, Y)의 전체 방향은 배면판의 전극(A)의 전체 방향과 직교한다.
- <80> 유전층(1, 3)은 보호 및 제 2 차 전자 방출을 위해 매우 얇은 층으로 자체적으로 코팅되어 있으며, 이 층(도시되지 않음)은 여기에서는 MgO를 기반으로 한다.
- <81> 장벽의 배열은, 한편으로는 전극(A)과 다른 한편에서는 쌍을 이루는 전극(X 및 Y)의 교차점에 있는 방전 영역(4R, 4G, 4B)을 한정하기 위해, 여기에서는, 전면판의 전극(X, Y)과 평행하게 이어져 있는 벽(22)과 배면판의 전극(A)에 평행하게 이어져 있는 벽(21)에 의해 형성된다.

- <82> 배면판의 장벽의 윗면은 전면판을 지지한다.
- <83> 장벽의 벽과 배면판의 유전층(1)은, 영역(4R, 4G, 4B)에서의 국부 방전으로부터 각각 나오는 자외선에 의해 여기될 때, 적색, 녹색, 청색을 각각 방출할 수 있는 형광체층(5R, 5G, 5B)으로 커버되어 있으며, 도 1 및 도 2에 도시된 3개의 인접한 방전 영역 그룹은 그리하여 본 발명을 구현하기 위해 이미지 디스플레이 패널의 하나의 화상 요소 즉 픽셀에 해당한다.
- <84> 배면판의 전극(A)은 패널의 전체 높이에 걸쳐 장벽 아래로 이어져 있는 전도성 버스(61)를 포함하며, 이 전도성 버스(61)에는 각 방전 영역에서 돌출 브랜치 (62)가 제공되며; 주어진 영역(4R, 4G, 또는 4B)의 각 브랜치(62)는, 상기 영역과 교차하며 상기 영역의 중간 부근에 놓여 있는, 쌍(X, Y) 중 전극(X)과 마주하게 배치되며; 전극(X)의 각 브랜치(62)의 자유단과 마주하는 유전층(1)은, 형광체층 (5R, 5G, 5B)에 갈라진 틈(7)을 형성하기 위하여, 이 틈에서 얇은 보호 및 제 2 차 전자 방출 층의 마그네시아(MgO) 기반 면을 노출시키며 이에 따라 점화 전압의 감소에 유리하게, 이 층의 마그네시아가 제 2 차 전자를 방출할 수 있도록 이 마그네시아를 방전에 접근할 수 있도록, 형광체를 포함하지 않으며; 이들 틈(7)에서, MgO 기반 보호 층의 면은 그리하여 방전 영역 (4R, 4G, 4B)과 직접 접촉하여 있으며; 마지막으로 패널은 픽셀의 컬럼마다 하나의 전극(A)을 포함한다.
- <85> 쌍을 이루는 전극(X, Y)은 패널의 전 폭에 걸쳐 이어져 있으며; 이 패널은 픽셀의 행마다 하나의 쌍(X, Y)을 포함하며; 대안적인 실시예에 따라, 하나의 전극 (X)은 문헌 US 5 162 701(NEC)에 기술된 바와 같이 픽셀의 2개의 인접한 행에 공통될 수 있다.
- <86> 마지막으로, 본 발명의 중요한 특징에 따라, 각 픽셀에서 전극(X, Y)의 쌍들 사이의 거리는 배면판의 전극(A) 배열과 전면판의 전극(X, Y) 쌍의 배열 사이의 거리보다 더 크며, 다시 말해 이들 배열에 인가되는 층의 두께와 판들 사이의 거리의 합보다 더 크며, 정확한 값은 이후에 주어질 것이다.
- <87> 종래의 알려진 방법이 위 공면 패널을 생성하는데 사용될 수 있지만 이들은 여기에서 기술되지 않는다
- <88> 본 발명에 따른 이런 공면 패널을 사용하기 위해, 전극은 제 1 배열의 열 전극(A)과 제 2 배열의 쌍을 이룬 전극(X, Y)을 위해 전원 공급 시스템에 연결되며; 이런 종류의 전원 시스템은 그 자체로 알려져 있어, 여기에서는 기술되지 않으며; 종래 방식으로 이 시스템을 사용하면, 이미지는, 행마다, 또는 행의 그룹마다, 이 패널을 스캐닝함으로써 패널 위에 디스플레이되며; 종래 방식으로 각 스캔은 스스로 원하는 그레이 레벨의 수를 얻을 수 있게 해주는, 몇 개의 서브 스캔으로 분할되며; 도 3 및 도 4를 참조하면, 각 서브 스캔은, 적어도 이하의 단계, 즉
- <89> - 먼저, 활성화될 각 행의 방전 영역에서, 어드레스 방전(D_A)(도시되지 않음)을 발생시키기 위해, 이 영역에서, 관련 행의 전극(X)과 이 영역과 교차하는 전극(A) 사이에 어드레스 전압 펄스를 인가하는 단계로서, 여기서 이 전압 펄스는 신호(S_{AA} 및 S_{AX})를 전극(A 및 X)에 각각 동시에 인가하여 얻어지는, 단계와,
- <90> - 그 다음에, 본 발명에 따라, 이 영역에서 서스테인 방전(D_H)을 발생시키기 위해(도 3에 도시됨), 관련 행의 동일한 전극(X)과 이 영역과 교차하는 동일한 전극(A) 사이에 일련의 서스테인 전압 펄스를 다시 이 영역에 인가하는 단계로서, 여기서 이들 전압 펄스는 포지티브 신호(S_{HX} 및 S_{HA})를 전극(A 및 X)에 각각 교대로 인가하여 얻어지며, 이 구성에서 전극(A, X)은 캐소드와 아노드로서 교대로 사용되며, 서스테인은 "바이폴러"라 부르며, 문헌 EP 855692(NEC)에 기술된 바와 같이, "포지티브" 서스테인 또는 "네거티브" 서스테인과 같은, 종래 기술에 알려져 있는 다른 서스테인 구성이 고려될 수 있는, 단계와,
- <91> - 마지막으로, 서스테인 펄스와 동일한 시간에, 전극(X)과 관련 행의 쌍을 이룬 전극(Y) 사이에 이들 전극 사이의 서스테인 방전을 전이시키고 안정화된 방전(D_S)을 형성할 만큼 충분히 높은 주파수에 있는 적어도 하나의 펄스 열을 인가하는 단계로서, 이 펄스 열은 무선 주파수 신호(T_{SY})를 전극(Y)에 인가함으로써 여기에서 얻어지며, 문헌 JP 10-171399에서와 같이, 서스테인 펄스(S_{HX} 또는 S_{HA})의 인가와 펄스 열(T_{SY})의 인가 개시 사이에 경과된 시간 간격은 이 서스테인 방전으로부터 유래하는 전하를 반전(invert)시키는데 필요한 시간보다 더 작아야 하며, 바람직하게는, 고 주파수 펄스 열이 각 서스테인 펄스 전에 중단되는 문헌 JP 10-171399에 기술된 방법과는 달리, 이 경우에는 고 주파수 펄스 열이 관련 서브 스캔에 관한 서스테인 주기의 종료시까지 어떤 중단도 없이 인가되며, 이 배열에 의해, 에너지를 소비하는 고주파수 스위칭 동작의 수가 제한되므로, 서스테인 방전에 의해 발생된 최대 이온의 개수를 안정화시킬 수 있고 나아가 패널의 휘도 효율을 더 증가시키고 전기 효율을 향상시킬 수 있는, 단계를

- <92> 포함한다.
- <93> 전술된 본 발명을 구현하는 방법에 따라, 도 4의 마지막 타이밍도에 도시되어 있는 바와 같이, 방전(D_A)과 이후 일련의 방전(D_H, D_S)이 연속해서 오게 되며, 그리하여 서스테인 방전(D_H)은 안정화된 방전(D_S)을 점화 또는 강화 하는데 사용되는 것을 알 수 있다.
- <94> 갈라진 틈(7)이 방전 영역과 직접 접촉하여 MgO 기반 보호 층의 영역을 노출하기 때문에, 방전을 얻는데 필요한 서스테인 전압은 여전히 종래의 값을 가지며, 나아가 이들 갈라진 틈의 존재에 의해 형광체층에 주는 손상을 제한할 수 있다.
- <95> 고 주파수 펄스의 사용과 이로 인해 유발되는 방전의 안정화로 인해, 패널의 휘도 효율은 매우 상당히 향상된다.
- <96> 본 발명에 따라, 서스테인 방전(D_H)과 안정화된 방전(D_S)이 동일한 전극(제 1 방전의 경우에는 X 및 A, 제 2 방전의 경우에는 X 및 Y) 사이에 이어져 있지 않으므로, 독립적으로,
- <97> - 플라즈마 패널을 위한 통상의 전자 부품과 호환가능한 종래의 서스테인 전압 값을 사용할 수 있을만큼 충분히 작은, 전극(X 및 A) 사이의 거리와,
- <98> - 방전을 안정화시키기 위해 저 주파수를 사용할 수 있을만큼 충분히 큰, 전극(X 및 Y) 사이의 거리로서, 이 거리는 바람직하게는 250 μ m 이상이며, 500 μ m와 1000 μ m 사이의 거리도 방전 안정화 주파수를 더 낮추기 위해 또한 고려될 수 있으며, 공면 전극 사이의 큰 갭의 값은, 이런 갭이 전면판을 통한 충분한 광학적 개구를 제공하기 때문에, 유리하게도 이들 전극에 투명한 전도성 물질을 사용해야 할 필요를 없애주며, 이리하여 이것은 좁고 불투명한 것으로 되며 그리하여 도 1에 도시된 바와 같이, 저가의 공면 전극으로 되는, 전극(X 및 Y) 사이의 거리를 선택하는 것이 가능하다.
- <100> 공면 전극(X 및 Y) 사이의 갭이 500 μ m 및 1000 μ m 사이이며, 종래의 혼합물과 압력을 갖는 방전 가스를 사용하면, 일반적으로 100MHz 미만, 특히 60MHz 및 30MHz 사이에서 방전을 안정화시킬 수 있다.
- <101> 바람직하게는, 서스테인 펄스(S_{HX}, S_{HA})의 주파수는 일반적으로 1kHz와 50kHz 사이이다.
- <102> 이리하여, 본 발명으로 인해, 공면 전극 사이의 갭을 넓히는 것과 같이 간단하고 저가의 적용에 의해 비교적 낮은 안정화 주파수와, 종래의 서스테인 전압을 사용하면서도 안정화된 플라즈마 방전을 얻기 위해 종래의 공면 패널을 사용할 수 있다.
- <103> 전술된 패널이 아닌 다른 타입의 공면 패널도 본 발명을 구현하는데 사용될 수 있으며, 이러한 패널로는, 다수의 전극 배열을 포함하는 패널, 행 전극이 방전 영역의 인접한 2개의 행에 공통인 패널, 문헌 US 5 825 128(FUJI)에서와 같이, 방전 영역이 엇갈린 구성으로 배열되어 있는 패널, 및 문헌 EP 945890(THOMSON)에 기술된 바와 같이, 공면 전극의 쌍이 배면에 놓이는 패널 등이 있다.
- <104> 특히 점화 단계 및/또는 소거 단계를 제공하는, 전술된 방법이 아닌 다른 어드레싱 방법도 본 발명을 구현하는데 사용될 수 있다.

산업상 이용 가능성

- <105> 전술된 바와 같이, 본 발명은, 플라즈마 디스플레이 패널 어드레싱 및 그 구동 방법 등에 이용가능하다.

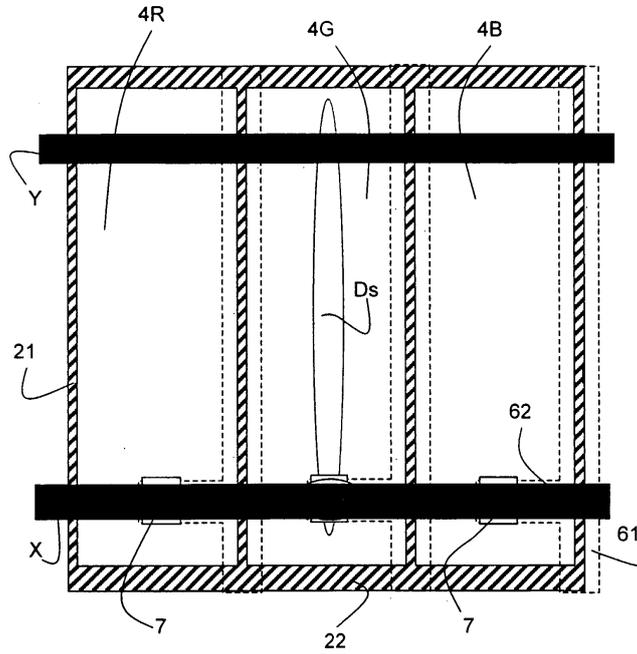
도면의 간단한 설명

- <71> 도 1 은 본 발명을 구현하는데 유리하게 사용될 수 있는 공면 디스플레이 패널의 3개의 인접한 방전 영역 그룹의 일 실시예를 개략적으로 도시하는 평면도.
- <72> 도 2 는 본 발명을 구현하는데 유리하게 사용될 수 있는 공면 디스플레이 패널의 3개의 인접한 방전 영역 그룹의 일 실시예를 개략적으로 도시하는 단면도.
- <73> 도 3 은 본 발명을 구현하는 일 방식에 따라 방전(화살표)의 확산을 예시하는, 도 1 및 도 2에 도시된 그룹의 방전 영역의 길이 방향의 단면도.
- <74> 도 4 는 본 발명을 구현하는 일 방식에 따라, 도 1, 도 2, 및 도 3에 도시된 패널의 여러 전극에 인가된 전압의

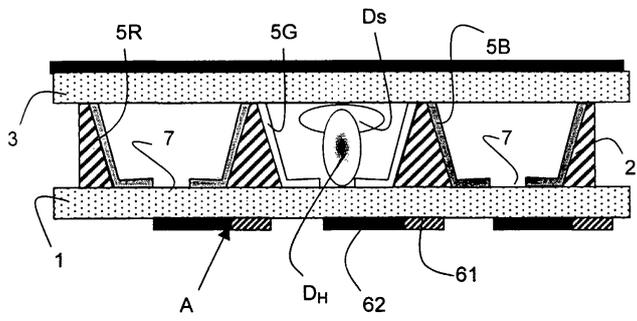
타이밍도.

도면

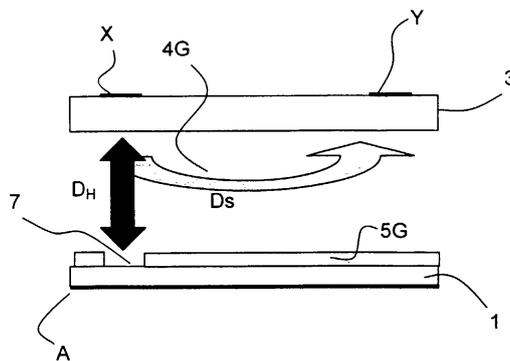
도면1



도면2



도면3



도면4

