



(12)发明专利申请

(10)申请公布号 CN 108573959 A

(43)申请公布日 2018.09.25

(21)申请号 201710796424.7

(22)申请日 2017.09.06

(30)优先权数据

2017-042675 2017.03.07 JP

(71)申请人 东芝存储器株式会社

地址 日本东京

(72)发明人 田上政由 胜又龙太 饭岛纯

清水徹哉 白井孝公 藤田弦暉

(74)专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 杨林勋

(51)Int.Cl.

H01L 25/065(2006.01)

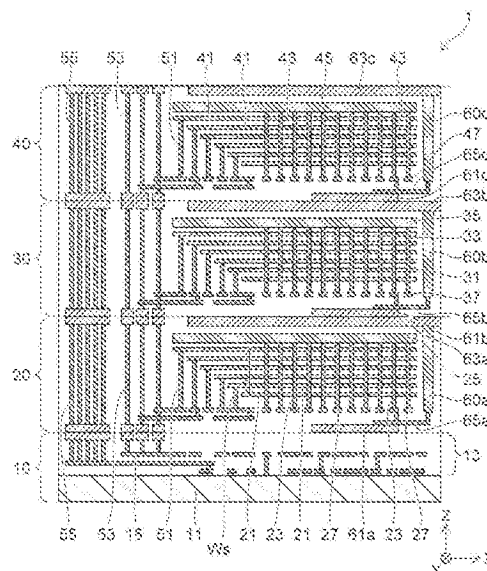
权利要求书3页 说明书11页 附图26页

(54)发明名称

存储装置

(57)摘要

实施方式的存储装置具备:第1存储单元阵列;第2存储单元阵列,相对于所述第1存储单元阵列配置在第1方向;第1接触插塞,在所述第1存储单元阵列中沿着所述第1方向延伸;以及第2接触插塞,在所述第2存储单元阵列中沿着所述第1方向延伸,且电连接在所述第1接触插塞。所述第1存储单元阵列包含在所述第1方向上积层的多个第1电极层、及贯通所述多个第1电极层的第1半导体柱,所述第2存储单元阵列包含在所述第1方向上积层的多个第2电极层、及贯通所述多个第2电极层的第2半导体柱。所述第1接触插塞电连接在所述第1半导体柱,所述第2接触插塞电连接在所述第2半导体柱。



1. 一种存储装置,其特征在于具备:

第1存储单元阵列,包含在第1方向上积层的多个第1电极层、及在所述第1方向上贯通所述多个第1电极层的第1半导体柱;

第1接触插塞,在所述第1存储单元阵列中沿着所述第1方向延伸,且电连接在所述第1半导体柱;

第2存储单元阵列,包含在所述第1方向上积层的多个第2电极层、及在所述第1方向上贯通所述多个第2电极层的第2半导体柱,且相对于所述第1存储单元阵列配置在所述第1方向;以及

第2接触插塞,在所述第2存储单元阵列中沿着所述第1方向延伸,且电连接在所述第2半导体柱及所述第1接触插塞。

2. 根据权利要求1所述的存储装置,其特征在于还具备驱动所述第1存储单元阵列及所述第2存储单元阵列的电路,且

所述第1存储单元阵列设置在所述第2存储单元阵列和所述电路之间。

3. 根据权利要求2所述的存储装置,其特征在于还具备:

配线,电连接在所述第2接触插塞;及

连接导体,设置在包围所述第1存储单元阵列及所述第2存储单元阵列的外周区域,且将所述电路和所述配线电连接。

4. 根据权利要求3所述的存储装置,其特征在于:所述连接导体具有:第1导体部,设置在所述第1存储单元阵列的外周区域;第2导体部,设置在所述第2存储单元阵列的外周区域;及接头部,设置在所述第1导体部和所述第2导体部之间;且

所述接头部设置为:在和所述第1方向正交的第2方向上,靠近所述第1导体部的端部的宽度、及靠近所述第2导体部的端部的宽度大于它们的中间部的宽度。

5. 根据权利要求1所述的存储装置,其特征在于还具备第3接触插塞,在所述第1存储单元阵列中沿着所述第1方向延伸,

所述第1存储单元阵列还包含电连接在所述第1半导体柱的一端的配线层,且

所述第3接触插塞电连接在所述配线层。

6. 根据权利要求5所述的存储装置,其特征在于:所述配线层具有积层有金属层和半导体层的构造,且

所述第1半导体柱连接在所述半导体层。

7. 根据权利要求5所述的存储装置,其特征在于:所述第1接触插塞以贯通所述配线层的方式配置,且

所述第1接触插塞与所述配线层电绝缘。

8. 根据权利要求1所述的存储装置,其特征在于还具备连接垫,设置在所述第1存储单元阵列和所述第2存储单元阵列之间,将所述第1接触插塞和所述第2接触插塞电连接。

9. 根据权利要求8所述的存储装置,其特征在于:所述连接垫位于所述第1半导体柱和所述第2半导体柱之间。

10. 根据权利要求8所述的存储装置,其特征在于:所述连接垫位于所述第1接触插塞和所述第2接触插塞之间。

11. 根据权利要求8所述的存储装置,其特征在于:在所述第1存储单元阵列和所述第2

存储单元阵列之间具有包含所述连接垫的接合面，

所述第1存储单元阵列还包含配置在包围所述接合面的外周区域的金属图案，且

所述第1存储单元阵列的所述金属图案的面积相对于所述外周区域的面积的比率，大于所述连接垫的面积相对于所述接合面的面积的比率。

12. 根据权利要求1所述的存储装置，其特征在于：所述第1接触插塞以在所述第1方向上贯通所述多个电极层的方式设置。

13. 根据权利要求1所述的存储装置，其特征在于：所述第1存储单元阵列还包含在所述第1方向上积层的多个其他第1电极层，

所述多个其他电极层相对于所述多个第1电极层配置在和所述第1方向交叉的第3方向，所述第1接触插塞设置在所述多个第1电极层和所述多个其他第1电极层之间。

14. 一种存储装置，其特征在于：包含在第1方向上积层的多个存储单元阵列，所述多个存储单元阵列分别包含：

多个第1电极层，在第1方向上积层，沿着和所述第1方向交叉的第2方向延伸；

多个第2电极层，在所述第1方向上积层，沿着所述第2方向延伸，且相对于所述多个第1电极配置在和所述第1方向及所述第2方向交叉的第3方向；

半导体柱，在所述多个第1电极层和所述多个第2电极层之间，沿着所述第1方向延伸；以及

第1连接导体，在所述多个第1电极层和所述多个第2电极层之间，沿着所述第1方向延伸；且

在所述多个存储单元阵列中的至少一个中，所述半导体柱电连接在所述第1连接导体，且

所述多个存储单元阵列的所述第1连接导体沿着所述第1方向配置且电串联连接。

15. 根据权利要求14所述的存储装置，其特征在于：所述多个存储单元阵列分别还包含：配线层，电连接在所述半导体柱；及第2连接导体，在所述多个第1电极层和所述多个第2电极层之间，沿着所述第1方向延伸，且连接在所述配线层；

所述第1连接导体以贯通所述配线层的方式配置，且与所述配线层电绝缘；且

所述多个存储单元阵列的所述第2连接导体沿着所述第1方向配置且电串联连接。

16. 根据权利要求14所述的存储装置，其特征在于还具备驱动所述多个存储单元阵列的电路，且

在所述多个存储单元阵列中的一个和所述电路之间配置着所述多个存储单元阵列中的另一个。

17. 根据权利要求16所述的存储装置，其特征在于还具备：

配线，电连接在所述第1连接导体；及

第3连接导体，设置在包围所述多个存储单元阵列的周边区域，将所述配线和所述电路电连接；且

所述多个存储单元阵列位于所述电路和所述配线之间。

18. 根据权利要求14所述的存储装置，其特征在于：所述多个存储单元分别具有电连接在所述第1连接导体的连接垫，且

所述多个存储单元的所述第1连接导体经由所述连接垫而串联连接。

19. 根据权利要求18所述的存储装置,其特征在于:所述连接垫配置在串联连接的所述连接垫之间。

20. 根据权利要求14所述的存储装置,其特征在于:所述多个存储单元阵列包含浮栅,分别设置在所述半导体柱和所述多个第1电极层之间、所述半导体柱和所述多个第2电极层之间。

存储装置

[0001] [相关申请]

[0002] 本申请享有以日本专利申请2017-42675号(申请日:2017年3月7日)为基础申请的优先权。本申请通过参照该基础申请而包含基础申请的全部内容。

技术领域

[0003] 实施方式涉及一种存储装置。

背景技术

[0004] 业界正在推进包含三维配置的存储单元的存储装置的开发。例如,NAND(Not AND,与非)型存储装置具备积层的多个电极层、及设置在将所述多个电极层在积层方向上贯通的存储器孔(memory hole)内的半导体柱。存储单元设置在半导体柱和电极层交叉的部分,沿着半导体柱配置。这种存储装置通过增加电极层的积层数,并通过存储器孔的微细化而增加该存储器孔的数量,能够增大存储容量。但是,在存储装置有限的芯片大小之下,增加存储器孔的数量并增加电极层的积层数存在极限。

发明内容

[0005] 实施方式提供一种能够增大存储容量的存储装置。

[0006] 实施方式的存储装置具备:第1存储单元阵列;第2存储单元阵列,相对于所述第1存储单元阵列配置在第1方向;第1接触插塞,在所述第1存储单元阵列中沿着所述第1方向延伸;及第2接触插塞,在所述第2存储单元阵列中沿着所述第1方向延伸,电连接在所述第1接触插塞。所述第1存储单元阵列包含:多个第1电极层,在所述第1方向上积层;及第1半导体柱,在所述第1方向上贯通所述多个第1电极层。所述第2存储单元阵列包含:多个第2电极层,在所述第1方向上积层;及第2半导体柱,在所述第1方向上贯通所述多个第2电极层。所述第1接触插塞电连接在所述第1半导体柱。所述第2接触插塞电连接在所述第2半导体柱。

附图说明

[0007] 图1是表示第1实施方式的存储装置的示意剖视图。

[0008] 图2A及2B是表示第1实施方式的存储装置的存储单元阵列的构成的示意俯视图。

[0009] 图3是表示第1实施方式的存储装置的存储单元阵列的上表面的示意俯视图。

[0010] 图4是表示第1实施方式的存储装置的存储单元阵列的示意剖视图。

[0011] 图5(A)、(B)、(C)及(D)、6(A)、(B)及(C)、7(A)及(B)、8(A)及(B)、图9及图10是表示第1实施方式的存储装置的存储单元阵列的制造过程的示意剖视图。

[0012] 图11是表示第2实施方式的存储装置的存储单元阵列的构成的示意俯视图。

[0013] 图12A及12B是表示第2实施方式的存储装置的存储单元阵列的示意图。

[0014] 图13A~13C是表示第2实施方式的存储装置的存储单元阵列的制造过程的示意图。

[0015] 图14A~14C是表示第2实施方式的变化例的存储装置的存储单元阵列的制造过程的示意图。

[0016] 图15A~15C是表示第2实施方式的其他变化例的存储装置的存储单元阵列的制造过程的示意图。

[0017] 图16A及16B是表示第3实施方式的存储装置的制造过程的示意剖视图。

[0018] 图17A~17C是表示第3实施方式的变化例的存储装置的制造过程的示意剖视图。

[0019] 图18A及18B是表示第3实施方式的其他变化例的存储装置的制造过程的示意剖视图。

[0020] 图19A及19B是表示第4实施方式的存储装置的示意俯视图。

[0021] 图20是表示第4实施方式的存储装置的其他示意俯视图。

[0022] 图21是表示第4实施方式的存储装置的示意剖视图。

[0023] 图22是表示第4实施方式的存储装置的其他示意剖视图。

[0024] 图23A及23B是表示第4实施方式的变化例的存储装置的示意剖视图。

具体实施方式

[0025] 以下,一边参照附图一边对实施方式进行说明。对附图中的相同部分标注相同编号,并适当省略其详细说明,对不同的部分进行说明。此外,附图为示意图或概念图,各部分的厚度和宽度的关系、部分间的大小的比率等未必与现实相同。另外,即便是表示相同部分的情况下,也有通过附图将相互的尺寸或比率不同地表示的情况。

[0026] 而且,使用各图中所示的X轴、Y轴及Z轴对各部分的配置及构成进行说明。X轴、Y轴、Z轴相互正交,分别表示X方向、Y方向、Z方向。另外,为方便起见,有依照图中的上方、下方进行说明的情况,但并非意图表示全部共通的上下关系。

[0027] [第1实施方式]

[0028] 图1是表示第1实施方式的存储装置1的示意剖视图。存储装置1例如为NAND型闪存存储器装置,具有在驱动电路10之上积层有存储单元阵列20、30及40的构造。此外,图1中,为了表示存储装置1的构造而省略设置在各构成要素间的绝缘膜。

[0029] 驱动电路10例如具有设置有CMOS(Complementary Metal Oxide Semiconductor, 互补金属氧化物半导体)晶体管等电子器件的衬底11、及设置在衬底11之上的配线层13。衬底11例如为硅衬底。在衬底11的上表面侧设置例如CMOS型集成电路。

[0030] 存储单元阵列20具有在Z方向上积层的多个电极层21、多个半导体柱23及源极线25。半导体柱23分别贯通电极层21而沿着Z方向延伸。半导体柱23在一端电连接在源极线25。多个半导体柱23共用1个源极线25。另外,半导体柱23在另一端电连接在配线27。

[0031] 存储单元阵列30具有在Z方向上积层的多个电极层31、多个半导体柱33及源极线35。半导体柱33分别贯通电极层31而沿着Z方向延伸。半导体柱33在一端电连接在源极线35。多个半导体柱33共用1个源极线35。另外,半导体柱33在另一端电连接在配线37。

[0032] 存储单元阵列40具有在Z方向上积层的多个电极层41、多个半导体柱43及源极线45。半导体柱43分别贯通电极层41而沿着Z方向延伸。半导体柱43在一端电连接在源极线45。多个半导体柱43共用1个源极线45。另外,半导体柱43在另一端电连接在配线47。

[0033] 电极层21、31及41在呈阶梯状设置的各端部电连接在接触插塞51。而且,电极层

21、31及41经由接触插塞51及接触插塞53电连接在驱动电路10。接触插塞53以贯通各存储单元阵列20、30及40的方式设置。接触插塞53将积层在驱动电路10之上的各存储单元阵列中的电极层21、31及41电连接在配线层13中的配线15。

[0034] 另外,在各存储单元阵列设置贯通各存储单元阵列的其他接触插塞55。接触插塞55例如将驱动电路10和未图示的接口电路电连接。

[0035] 存储装置1还具备在各存储单元阵列中沿着Z方向延伸的接触插塞60。接触插塞60在各存储单元阵列中例如以贯通多个电极层21的方式设置。接触插塞60例如相比于在Z方向上积层的多个电极层21、31及41的Z方向的全宽 W_s 更长地延伸。接触插塞60例如包含钨等金属。

[0036] 如图1所示,在存储单元阵列20设置接触插塞60a,在存储单元阵列30及40分别设置接触插塞60b及60c。本说明书中,有将接触插塞60a、60b及60c统一表达为接触插塞60的情况。关于其他构成要素,也有同样地表达的情况。

[0037] 而且,在各存储单元阵列分别设置连接垫61及63。连接垫61设置在各存储单元阵列的下表面,连接垫63设置在各存储单元阵列的上表面。

[0038] 如图1所示,在存储单元阵列20和存储单元阵列30的边界,连接垫63a和连接垫61b相互连接地配置。在连接垫63a电连接着接触插塞60a。另一方面,在连接垫61b经由配线65b电连接着接触插塞60b。即,接触插塞60a和接触插塞60b经由连接垫63a及61b电连接。

[0039] 同样地,在存储单元阵列20和存储单元阵列30的边界,连接垫63b和连接垫61c相互连接地配置。而且,接触插塞60b和接触插塞60c经由连接垫63b及61c电连接。

[0040] 而且,在存储单元阵列20中,和半导体柱23连接的配线27连接在配线65a,配线65a电连接在接触插塞60a。同样地,在存储单元阵列30中,连接在半导体柱33的配线37经由配线65b电连接在接触插塞60b及连接垫61b。另外,存储单元阵列40中,连接在半导体柱43的配线47经由配线65c电连接在接触插塞60c及连接垫61c。

[0041] 这样,能够经由接触插塞60将积层在驱动电路10之上的各存储单元阵列中所含的半导体柱间相互连接。此外,经由接触插塞60相互连接的半导体柱,经由位于驱动电路10和存储单元阵列20之间的连接垫61a、或设置在存储单元阵列40的上表面的连接垫63c、未图示的上层配线及接触插塞53,连接在例如驱动电路10的未图示的读出放大器。

[0042] 本实施方式中,能够将存储单元阵列20、30及40中分别包含的半导体柱23、33及43相互连接,作为包含例如沿着各半导体柱配置的存储单元MC(参照图4)的1个存储器串动作。

[0043] 例如,若存储单元阵列20、30及40分别包含64层电极层,则存储装置1能够实现和积层有192层电极层的存储单元阵列同等的存储容量。例如,为了在连续地积层有192层电极层的积层体形成存储器孔,并在该存储器孔的内部形成半导体柱,需要极其高度的晶片制程技术。相对于此,存储装置1中,通过积层个别地形成的存储单元阵列20、30及40,并使用接触插塞60及连接垫61、63相互电连接,能够容易地实现和连续地积层有192层电极层的情况同等的存储容量。

[0044] 另外,在形成有贯通192层电极层的半导体柱的情况下,有因该半导体柱的电阻使得单元电流变小,难以从存储单元MC读出数据的担忧。本实施方式中,例如贯通64层电极层的半导体柱23、33及43并联连接,因此各半导体柱的电阻比贯通192层电极层的半导体柱

低。因此,存储装置1能够抑制单元电流降低。

[0045] 此外,本实施方式并不限于所述例,例如积层在驱动电路10之上的存储单元阵列可以是2个,另外,也可以积层4个以上的存储单元阵列。接着,参照图2~图4,对各存储单元阵列的构成进行详细说明。

[0046] 图2A及B是表示第1实施方式的存储装置1的存储单元阵列20的构成的示意俯视图。图2B是表示图2A中所示的区域MP的俯视图。存储单元阵列30及40具有和存储单元阵列20相同的构造。

[0047] 如图2A所示,电极层21在X方向上延伸,在Z方向上积层,并且沿着Y方向排列配置。在Y方向上相邻的电极层21之间设置狭缝ST,将电极层21相互电分离。另外,在X方向上的电极层21的端部设置阶梯状的引出部HUP。而且,在电极层21的一部分设置接触区域CA。

[0048] 如图2B所示,在电极层21设置多个存储器孔MH。存储器孔MH贯通多个电极层21而沿着Z方向延伸,且在该存储器孔MH的内部分别配置半导体柱23(参照图1)。而且,设置沿着Y方向延伸的多个配线27。将Y方向上相邻的2个电极层21分别贯通的多个半导体柱23中的1个连接在多个配线27中的1个。即,1个配线27由将沿着Y方向排列的多个电极层21分别贯通的1个半导体柱23共用。

[0049] 另外,在接触区域CA设置接触孔PH。接触孔PH贯通多个电极层21而沿着Z方向延伸。如图2B所示,在接触孔PH的内部设置接触插塞60a。接触插塞60a包含例如钨等金属,利用设置在接触孔PH内的绝缘膜67而与电极层21电绝缘。绝缘膜67例如为氧化硅膜。

[0050] 图3是表示存储单元阵列20的下表面的示意俯视图。如图3所示,在接触区域CA之间,多个配线27沿着X方向排列配置。配线27分别沿着Y方向延伸。在接触区域CA,多个接触插塞60a沿着Y方向排列配置。而且,在接触区域CA之间配置多个连接垫61a。

[0051] 连接垫61a设置在配线27之上,分别经由配线65a连接在任一个接触插塞60a。例如配置在接触区域CA之间的连接垫61a的数量和配置在其间的配线27的数量相同。配线65a经由接触插塞71连接在接触插塞60a。另外,配线65a经由接触插塞73连接在1个配线27。

[0052] 图4是表示存储单元阵列20的示意剖视图。此外,图4是将图1的上下颠倒的剖视图。另外,图4中,为了明确表示存储单元阵列20的构成,适当省略使各构成要素间电绝缘的绝缘膜。

[0053] 如图4所示,多个电极层21积层在源极线25之上。源极线25例如为沿着X方向及Y方向延伸的板状导电层。源极线25例如具有积层有金属层25a和半导体层25b的构造。金属层25a例如为钨层,半导体层25b例如为多晶硅。电极层21例如为含有钨等的金属层。

[0054] 半导体柱23在积层方向(Z方向)上贯通电极层21,在该半导体柱23的下端连接在源极线25。另外,半导体柱23的上端经由接触插塞26电连接在配线27。

[0055] 在电极层21和半导体柱23之间设置存储器膜29。存储器膜29具有在从电极层21朝向半导体柱23的方向上依序积层有例如第1氧化硅膜、氮化硅膜及第2氧化硅膜的构造,能够在该存储器膜29的内部保持电荷且从该存储器膜29的内部释放电荷。存储单元MC分别设置在半导体柱23贯通电极层21的部分,包含存储器膜29的一部分作为电荷保持部。

[0056] 如图4所示,接触插塞60a贯通多个电极层21及源极线25而沿着Z方向延伸。接触插塞60a通过绝缘膜67与电极层21及源极线25电绝缘。

[0057] 接触插塞60a的下端电连接在连接垫63a。另外,接触插塞60a的上端经由中间配线

69及接触插塞71、77电连接在配线65a。中间配线69设置为例如和配线27相同高度(level)。接触插塞77将接触插塞60a和中间配线69连接。接触插塞71将配线65a和中间配线69连接。而且,配线65a经由接触插塞73连接在1个配线27,经由接触插塞75电连接在连接垫61a。

[0058] 另外,存储单元阵列20还包含电连接在源极线25的接触插塞80。接触插塞80贯通多个电极层21而沿着Z方向延伸。接触插塞80例如和接触插塞60a一起设置在接触区域CA。

[0059] 接触插塞80的下端电连接在源极线25。另外,接触插塞80的上端经由中间配线85、87、接触插塞91、93及95电连接在连接垫81。中间配线85及87分别设置为和配线65a及27相同高度。接触插塞91将接触插塞80和中间配线87连接。接触插塞93将中间配线85和中间配线87连接。而且,中间配线85经由接触插塞91电连接在连接垫81。另外,源极线25例如经由接触插塞97电连接在连接垫83。

[0060] 存储单元阵列30及40也同样地包含接触插塞80、连接垫81及83。如图1所示,积层存储单元阵列20、30及40时,各源极线25、35及45经由接触插塞80、连接垫81及83而电连接。即,在存储单元阵列20和存储单元阵列30的边界,存储单元阵列20的连接垫83和存储单元阵列30的连接垫81连接。另外,在存储单元阵列30和存储单元阵列40的边界,存储单元阵列30的连接垫83和存储单元阵列40的连接垫81连接。

[0061] 接着,参照图5~图10,对第1实施方式的存储装置1的制造方法进行说明。图5~图10是表示积层在驱动电路10之上的存储单元阵列20、30及40的制造过程的示意剖视图。

[0062] 如图5A所示,形成上表面具有凸部101的衬底110。凸部101例如通过选择性地蚀刻衬底110来形成。衬底110例如为硅衬底。

[0063] 如图5B所示,形成覆盖衬底110的上表面的绝缘膜103。绝缘膜103例如为使用LPCVD(Low Pressure Chemical Vapor Deposition,低压化学气相沉积)形成的氮化硅膜。

[0064] 如图5C所示,在绝缘膜103之上形成绝缘膜105。绝缘膜105例如为以TEOS(Tetraethyl orthosilicate,正硅酸四乙酯)作为原料的使用CVD(Chemical Vapor Deposition,化学气相沉积)形成的氧化硅膜。

[0065] 如图5D所示,将绝缘膜105平坦化,使形成在凸部101之上的绝缘膜103的一部分露出。绝缘膜105例如使用CMP(Chemical Mechanical Polishing,化学机械抛光)而平坦化。

[0066] 如图6A所示,在绝缘膜105之上、及凸部101之上形成绝缘膜107。绝缘膜107例如为使用TEOS-CVD形成的氧化硅膜。接着,形成从绝缘膜107的上表面到凸部101的接触插塞111。

[0067] 如图6B所示,在绝缘膜107之上形成绝缘膜109。绝缘膜109例如为使用TEOS-CVD形成的氧化硅膜。接着,选择性地去除绝缘膜109,形成配线115。配线115例如经由接触插塞111电连接在衬底110。

[0068] 如图6C所示,在绝缘膜109之上形成存储单元阵列20。存储单元阵列20包含在Z方向上积层的多个电极层21、在Z方向上贯通电极层21的多个半导体柱23、及源极线25。而且,存储单元阵列20包含分别连接在电极层21的接触插塞51、及连接在配线115的接触插塞53。而且,在未图示的部分形成接触插塞60a及80。

[0069] 如图7A所示,在存储单元阵列20之上形成绝缘膜121。绝缘膜121例如为使用TEOS-CVD形成的氧化硅膜。接着,在绝缘膜121中形成连接垫123。连接垫123例如经由接触插塞125电连接在接触插塞53。另外,在未图示的部分也同时形成连接垫61a及81(参照图4)。连

接垫61a、81、123例如包含铜或铜合金。

[0070] 如图7B所示,将驱动电路10和存储单元阵列20贴合。例如使绝缘膜121的上表面和驱动电路10的上表面接触,并在300~400°C的温度及规定压力下接合。此时,连接垫123连接在驱动电路10侧的连接垫127。连接垫127例如也包含铜或铜合金。

[0071] 如图8A所示,去除衬底110。例如对衬底110的背面侧进行研磨或研削而薄膜化后,通过湿式蚀刻而选择性地去除。由此,使绝缘膜103露出,去除凸部101后,形成凹部131。在凹部131的底面,接触插塞111的上表面露出。

[0072] 如图8B所示,通过在凹部131的内部嵌入例如铜或铜合金等金属而形成连接垫133。此时,在未图示的部分也同时形成连接垫63a及83。

[0073] 连接垫133例如连接在接触插塞111。连接垫133例如具有上表面的宽度 W_{T1} 大于下表面的宽度 W_{B1} 的形状。相对于此,接触插塞111具有上表面的宽度 W_{T2} 小于下表面的宽度 W_{B2} 的形状。

[0074] 如图9所示,在存储单元阵列20之上贴合存储单元阵列30。存储单元阵列30是利用和存储单元阵列20相同的方法来形成。在图9中的存储单元阵列30的上表面侧形成连接垫133。在存储单元阵列20和存储单元阵列30的边界,在连接垫133连接连接垫123。另外,在未图示的部分,存储单元阵列20的连接垫63a和存储单元阵列30的连接垫61b连接(参照图1)。而且,存储单元阵列20的连接垫83和存储单元阵列30的连接垫81连接(参照图4),源极线25和源极线35电连接。

[0075] 如图10所示,在存储单元阵列30之上贴合存储单元阵列40。存储单元阵列40是利用和存储单元阵列20及30相同的方法形成。在图10中的存储单元阵列40的上表面侧形成连接垫135。连接垫135例如包含铝。即,连接垫135为最上层的配线,例如以能够通过导线结合连接在外部电路的方式形成。

[0076] 如图10所示,在存储单元阵列30和存储单元阵列40的边界,也在连接垫133连接连接垫123。另外,在未图示的部分,存储单元阵列30的连接垫63b和存储单元阵列40的连接垫61c连接(参照图1)。而且,存储单元阵列30的连接垫83和存储单元阵列40的连接垫81连接(参照图4),源极线35和源极线45电连接。

[0077] 所述制造过程中,通过在衬底110的上表面设置凸部101,能够在贴合后的各存储单元阵列的上表面形成连接垫。另外,只要以具有配线图案的方式形成凸部101,则能够形成连接垫及连结在该连接垫的配线。由此,能够省略贴合后的光刻及绝缘膜的蚀刻,能够简化存储装置1的制造过程。

[0078] [第2实施方式]

[0079] 图11是表示第2实施方式的存储装置的存储单元阵列50的构成的示意俯视图。存储单元阵列50包含沿着Y方向排列的电极层21a、21b及21c。电极层21a、21b及21c分别沿着X方向延伸,电极层21a和电极层21b之间、及电极层21b和电极层21c之间利用狭缝ST分离。另外,电极层21a、21b及21c分别在Z方向上积层,由沿着Z方向延伸的多个存储器孔MH贯通。在各存储器孔MH的内部的设置半导体柱23(未图示)。

[0080] 存储单元阵列50包含在电极层21a、21b及21c之上沿着Y方向延伸的多个配线27。配线27例如沿着X方向排列配置。配线27分别电连接在贯通电极层21a延伸的1个半导体柱、贯通电极层21b延伸的1个半导体柱、及贯通电极层21c延伸的1个半导体柱。

[0081] 在该例中,在狭缝ST的内部配置接触插塞160。接触插塞160沿着Z方向延伸,其长度长于在Z方向上积层的各电极层21a、21b及21c的总高度。另外,接触插塞160分别经由接触插塞141电连接在1个配线27。即,数量和配线27相同的接触插塞160设置在狭缝ST的内部。

[0082] 图12A及B是表示第2实施方式的存储单元的存储单元阵列50的示意图。图12A是表示存储单元阵列50的上表面的示意俯视图。图12B是表示沿着图12A中所示的12B-12B线的剖面的示意图。

[0083] 如图12A所示,在配线27之上设置多个连接垫140。连接垫140分别电连接在1个配线27。即,数量和配线27相同的连接垫140配置在沿着X方向排列的多个配线27的上方。

[0084] 如图12B所示,接触插塞160在狭缝ST的内部沿着Z方向延伸。接触插塞160相比于电极层21的积层宽度 W_s 更长地延伸。另外,接触插塞160通过绝缘膜167与电极层21及源极线120电绝缘。

[0085] 接触插塞160在其下端连接在连接垫150。另外,接触插塞160在其上端经由接触插塞141电连接在1个配线27。而且,配线27经由接触插塞143电连接在连接垫140。结果,接触插塞160电连接在1个配线27及1个连接垫140。

[0086] 本实施方式中,多个存储单元阵列50例如积层在驱动电路10之上(参照图1)。存储单元阵列50是将图12B所示的构造的上下颠倒而进行积层。此时,1个存储单元阵列50的连接垫150连接在积层在其上的其他存储单元阵列50的连接垫140。由此,电连接上下积层的存储单元阵列50的半导体柱23。

[0087] 另外,本实施方式中,也经由未图示的接触插塞(例如图4中的接触插塞80)电连接上下积层的存储单元阵列50的源极线120。

[0088] 图13是表示第2实施方式的存储单元阵列50的制造过程的示意图。图13A~C是表示接触插塞160的形成过程的示意俯视图。

[0089] 如图13A所示,在电极层21间的狭缝ST嵌入绝缘膜167。绝缘膜167例如为使用CVD形成的氧化硅膜。此时,在存储器孔MH的内部分别形成未图示的半导体柱23及存储器膜29。

[0090] 如图13B所示,以覆盖存储器孔MH及绝缘膜167的方式形成蚀刻掩模181,例如抗蚀膜。蚀刻掩模181具有位于狭缝ST上的开口181a。然后,使用蚀刻掩模181将绝缘膜167选择性地去除,形成在狭缝ST内沿着Z方向延伸,且连通于成为连接垫150的部分(参照图6A及图12B)的接触孔185。

[0091] 如图13C所示,在接触孔185的内部形成接触插塞160。接触插塞160是嵌入接触孔185的内部的金属层,例如包含钨。

[0092] 图14是表示第2实施方式的变化例的存储单元阵列50的制造过程的示意图。图14A~C是表示接触插塞170的形成过程的示意俯视图。接触插塞170在狭缝ST内相比于电极层21的积层宽度 W_s 更长地延伸。

[0093] 如图14A所示,形成在电极层21间的狭缝ST包含第1部分WP及第2部分NP。第1部分WP的Y方向的宽度 W_1 大于第2部分NP的Y方向的宽度 W_2 。

[0094] 如图14B所示,在狭缝ST的内部形成绝缘膜167。绝缘膜167例如为使用CVD形成的氧化硅膜。绝缘膜167例如以具有闭合第2部分NP,且在第1部分WP残留接触孔187的厚度的方式形成。换句话说,以第1部分WP的宽度 W_1 与第2部分NP的宽度 W_2 的差大于接触插塞170的Y

方向的宽度的方式形成。

[0095] 如图14C所示,在接触孔187的内部形成接触插塞170。接触插塞170为嵌入接触孔187的内部的金属层,例如包含钨。

[0096] 图15是表示第2实施方式的其他变化例的存储单元阵列50的制造过程的示意剖视图。图15A~C是表示接触插塞180的形成过程的示意俯视图。接触插塞180在狭缝ST内相比于电极层21的积层宽度 W_s 更长地延伸。

[0097] 如图15A所示,形成在电极层21间的狭缝ST例如具有圆形的开口,形成为多个接触孔CH在X方向上连结的形状。接触孔CH例如以沿着Z方向延伸且连通于成为连接垫150的部分(参照图6A及图12B)的方式形成。接触孔CH例如以其直径 R_s 大于接触插塞180的直径的方式形成。

[0098] 如图15B所示,在狭缝ST的内部形成绝缘膜167。绝缘膜167例如为使用CVD形成的氧化硅膜。绝缘膜167例如以具有在接触孔CH内残留接触空间189的厚度的方式形成。

[0099] 如图15C所示,在接触空间189的内部形成接触插塞180。接触插塞180是嵌入接触空间189的内部的金属层,例如包含钨。

[0100] [第3实施方式]

[0101] 图16是表示第3实施方式的存储装置1的制造过程的示意剖视图。图16A是表示例如将存储单元阵列20和存储单元阵列30贴合而成的晶片5的示意俯视图(参照图1)。图16B是沿着图16A所示的16B-16B线的示意剖视图。

[0102] 如图16A所示,晶片5例如包含沿着X方向延伸的气隙AG。气隙AG延伸至晶片5的外缘,以在其两端连通于外部的的方式设置。

[0103] 如图16B所示,气隙AG设置在存储单元阵列20与存储单元阵列30的边界。即,气隙AG形成在贴合存储单元阵列20与存储单元阵列30的边界,成为残留于两者之间的空气的排出路径。由此,在存储单元阵列20与存储单元阵列30的边界形成所谓空隙,能够防止接合不良。

[0104] 气隙AG是通过在存储单元阵列20及存储单元阵列30中的任一个阵列、或两个阵列形成槽EG,并将两者贴合而形成。

[0105] 气隙AG例如设置在从晶片5切出的芯片之间的所谓切割区域KR。切割区域KR以包围包含存储单元MC及各配线的器件区域DR的方式设置。由此,能够提高器件区域DR的存储单元阵列间的接合面的密接性。

[0106] 图17是表示第3实施方式的变化例的存储装置1的制造过程的示意剖视图。图17A~C是表示相当于沿着图16A所示的16B-16B线的剖面的部分的示意图。

[0107] 如图17A所示,在将存储单元阵列20和驱动电路10贴合后,在存储单元阵列20的上表面形成凹部131及201。凹部131及201例如通过从存储单元阵列20去除衬底110而形成(参照图8A)。

[0108] 如图17B所示,在凹部131及201嵌入金属,形成连接垫133及金属图案205。连接垫133及金属图案205例如使用铜或铜合金形成。

[0109] 在该过程中,例如在存储单元阵列20的上表面形成比凹部131及201的深度厚的金属层。之后,例如使用CMP以残留嵌入凹部131及201的部分的方式去除金属层。

[0110] 此时,若金属图案205的面积相对于切割区域KR的表面积比率大,则通过所谓凹

形变形(dishing)而在切割区域KR形成槽EG。即,以在切割区域KR形成槽EG的方式,使金属图案205的面积相对于切割区域KR的表面积比率,变得大于例如连接垫133的面积相对于存储单元阵列20的器件区域DR的面积比率。

[0111] 如图17C所示,将存储单元阵列20和存储单元阵列30贴合。在器件区域DR中,例如将存储单元阵列20的连接垫133和存储单元阵列30的连接垫123连接。另一方面,在切割区域KR中,在槽EG的位置形成气隙AG。由此,能够避免在存储单元阵列间形成空隙,能够提高两者的密接性。

[0112] 而且,通过在晶片上分别呈直线状设置多个槽EG,并使之单向延伸,能够减轻晶片的翘曲。另外,像所述的那样,通过利用CMP时的凹形变形,不使用例如光刻及选择蚀刻等便能形成槽EG。由此,能够简化各存储单元阵列的制造步骤。

[0113] 图18是表示第3实施方式的其他变化例的存储装置1的制造过程的示意剖视图。图18A及B是表示相当于沿着图16A所示的16B-16B线的剖面的部分的示意图。

[0114] 如图18A所示,在气隙AG中,也可以在槽EG的整个内表面露出金属图案215的方式形成。即,金属图案215也可以X方向的宽度变得和槽EG的X方向的宽度大致相同的方式形成。由此,CMP时的凹形变形变大,能够较深地形成槽EG。结果,能够扩大气隙AG的Z方向的宽度。金属图案215例如使用铜或铜合金形成。

[0115] 在图18B所示的例中,将存储单元阵列220和存储单元阵列230贴合。存储单元阵列220及230包含接触插塞223及233,接触插塞223及233的端面作为连接垫发挥功能。即,如图18所示,将存储单元阵列220和存储单元阵列230贴合时,也可直接连接存储单元阵列220的接触插塞233和存储单元阵列230的接触插塞223。另外,在形成在两者的边界的气隙AG的内表面露出金属图案215。

[0116] 在所述实施例中,在存储装置1从晶片5被切出并芯片化的情况下,在该芯片的外缘残留气隙AG的一部分。即,在第3实施方式的存储装置1中,在气隙AG的一部分露出的金属图案205相对于绝缘膜105的面积比,大于存储单元阵列间的边界的连接垫133相对于绝缘膜105的面积比。

[0117] [第4实施方式]

[0118] 图19A及19B是表示第4实施方式的存储装置2的示意俯视图。图19A是表示存储装置2的存储单元MC的配置的俯视图。图19B是表示存储装置2的存储单元MC的俯视图。

[0119] 如图19A所示,存储装置2具备沿着X方向延伸的多个电极层321。电极层321沿着Y方向排列配置。另外,电极层321隔着未图示的层间绝缘膜在Z方向上积层。在Y方向上相邻的电极层321间的空间MT嵌入绝缘体311。绝缘体311例如为氧化硅。

[0120] 存储装置2的存储器孔MH以在Z方向上贯通绝缘体311的方式设置。另外,存储器孔MH以将绝缘体311分割成多个部分的方式形成。存储装置2还具备在Z方向上贯通绝缘体311的接触孔STH。在接触孔STH的内部配置接触插塞330及340。另外,在接触孔STH的内部设置绝缘膜331,用来使接触插塞330及340与电极层321电绝缘。

[0121] 如图19B所示,在存储器孔MH的内部设置沿着Z方向延伸的半导体柱310。半导体柱310包含绝缘性芯313和半导体层315。绝缘性芯313例如为沿着Z方向延伸的氧化硅。半导体层315覆盖绝缘性芯313的侧面,沿着Z方向延伸。半导体层315例如为多晶硅。

[0122] 在存储器孔MH的内部还设置绝缘膜317。绝缘膜317设置在存储器孔MH的内壁和半

导体柱310之间。绝缘膜317例如为氧化硅膜。

[0123] 如图19B所示,存储装置2的存储单元例如包含浮栅FG。浮栅FG以从覆盖存储器孔MH的内壁的绝缘膜317延伸至电极层321的内部的方式设置。在浮栅FG和电极层321之间设置绝缘膜323。

[0124] 浮栅FG以延伸至在Z方向上积层的电极层321各自的内部的方式设置,沿着在Z方向上延伸的存储器孔相互隔开配置。1个存储器孔MH设置在Y方向上相邻的2个电极层321之间,在2个电极层321分别设置浮栅FG。2个浮栅FG相互独立地发挥功能。即,存储装置2中,针对位于设置在Z方向的相同高度的电极层321之间的每个存储器孔MH,能够配置2个存储单元MC。

[0125] 在各存储单元MC中,位于半导体柱310和浮栅FG之间的绝缘膜317的部分作为隧道绝缘膜发挥功能。而且,位于电极层321和浮栅FG之间的绝缘膜323的部分作为阻挡绝缘膜发挥功能。

[0126] 图20是表示存储装置2的其他示意俯视图。如图20所示,在和电极层321交叉的Y方向上设置多个位线350。位线350配置在存储器孔MH的上方,经由接触插塞351电连接在半导体柱310。

[0127] 如图20所示,接触孔STH沿着Y方向排列配置。位线350未配置在接触孔STH的上方。各位线350经由配线333电连接在设置在接触孔STH的内部的接触插塞330。位线350电连接在多个接触插塞330中的任一个。

[0128] 图21是表示存储装置2的示意剖视图。图21是沿着图20所示的20A-20A线的剖视图,包含接触插塞330。此外,为方便起见,图21中省略使各要素间电绝缘的绝缘膜及绝缘体的图示。

[0129] 如图21所示,存储装置2包含积层在驱动电路10之上的多个存储单元阵列20、例如存储单元阵列20A、20B、20C及20D。存储单元阵列20的积层数为任意,并不限定于该例。

[0130] 各存储单元阵列20包含多个半导体柱310、接触插塞330、位线350及源极线370。各半导体柱310的一端电连接在位线350,另一端电连接在源极线370。为方便起见,图21中省略接触插塞351的图示。

[0131] 源极线370例如为沿着X方向及Y方向延伸的板状导电体。电极层321积层在源极线370之上(参照19A)。另外,接触插塞330以通过设置在源极线370的贯通孔SH而沿着Z方向延伸的方式设置。接触插塞330通过绝缘膜331与源极线370电绝缘。

[0132] 在各存储单元阵列20中,接触插塞330经由配线333电连接在1个位线350。如图21所示,配线333经由接触插塞339连接在位线350,经由接触插塞337连接在接触插塞330。

[0133] 而且,各存储单元阵列20的接触插塞330在Z方向上串联连接。存储单元阵列20B及20C的各接触插塞330经由焊盘343及345分别连接在位于上下的接触插塞330。如图21所示,焊盘343经由接触插塞335电连接在配线333。焊盘345连接在接触插塞330的一端。

[0134] 焊盘343及345的配置并不限定于该例,例如也可以如图1及图3所示般设置在位线350和源极线370之间。

[0135] 存储单元阵列20D的接触插塞330经由焊盘345及接触插塞347而电连接在配线410。配线410例如经由设置在存储单元阵列20的周边的接触插塞53(参照图1)电连接在驱动电路10的读出放大器SA。结果,各存储单元阵列20的位线350经由接触插塞330并联连接

在读出放大器SA。由此,不使流经各半导体柱310的单元电流降低,便能多段地积层存储单元阵列20,从而能够增加存储装置2的存储容量。

[0136] 图22是表示存储装置2的其他示意剖视图。图21是沿着图20所示的20B-20B线的剖视图,包含接触插塞340。为方便起见,图21中也省略使各要素间电绝缘的绝缘膜及绝缘体的图示。

[0137] 如图22所示,在各存储单元阵列20中,接触插塞340连接在源极线370。另外,接触插塞340经由配线333、接触插塞335及337电连接在焊盘343。另一方面,源极线370经由接触插塞349电连接在焊盘345。

[0138] 例如,存储单元阵列20B及20C的源极线370经由焊盘343及345电连接在位于上下的存储单元阵列20的源极线370。

[0139] 存储单元阵列20D的接触插塞340经由焊盘345及接触插塞349电连接在配线420。配线420例如经由设置在存储单元阵列20的周边的接触插塞53(参照图1)电连接在驱动电路10的驱动晶体管。结果,各存储单元阵列20的源极线370经由接触插塞340串联连接,电连接在驱动电路10。

[0140] 图23A及23B是表示第4实施方式的变化例的存储装置3的示意剖视图。图23A及23B分别为表示包含接触插塞330的剖面的示意图,图23B是表示与图23A不同的剖面的示意图。

[0141] 在图23A所示的例中,存储单元阵列20B的接触插塞330经由配线333电连接在位线350。另一方面,存储单元阵列20A、20C及20D的各接触插塞330未电连接在位线350。即,1个位线350经由串联连接的接触插塞330电连接在配线410B,进而连接在读出放大器SA。

[0142] 在图23B所示的例中,存储单元阵列20C的接触插塞330经由配线333电连接在位线350。另一方面,存储单元阵列20A、20B及20D的各接触插塞330未电连接在位线350。因此,1个位线350经由串联连接的接触插塞330电连接在配线410C。

[0143] 这样,在存储装置3中,多段地积层的存储单元阵列20中的1个位线350经由串联连接的接触插塞330而连接在1个读出放大器SA。由此,能不降低流经各半导体柱310的单元电流地,多段地积层存储单元阵列20,并且能提高数据从各存储单元MC的读出速度。

[0144] 像所述的那样,在本实施方式中,例示了经由串联连接的接触插塞330将多段地积层的存储单元阵列20的各位线350并联连接在读出放大器SA的例子、及将多段地积层的存储单元20中的1个位线350连接在1个读出放大器SA的例子,但实施方式并不限于这些。例如可以根据各存储单元阵列20中的位线的数量、及接触孔STH的数量,经由串联连接的接触插塞330将多段地积层的存储单元20中的任意数量的位线350并联连接在读出放大器SA。

[0145] 对本发明的若干种实施方式进行了说明,但这些实施方式是作为例子而提出的,并非意图限定发明的范围。这些新颖的实施方式能够通过其他方式来实施,能够在不脱离发明主旨的范围内进行各种省略、替换、变更。这些实施方式或其变化包含在发明的范围或主旨内,并且包含在权利要求书所记载的发明及其均等的范围内。

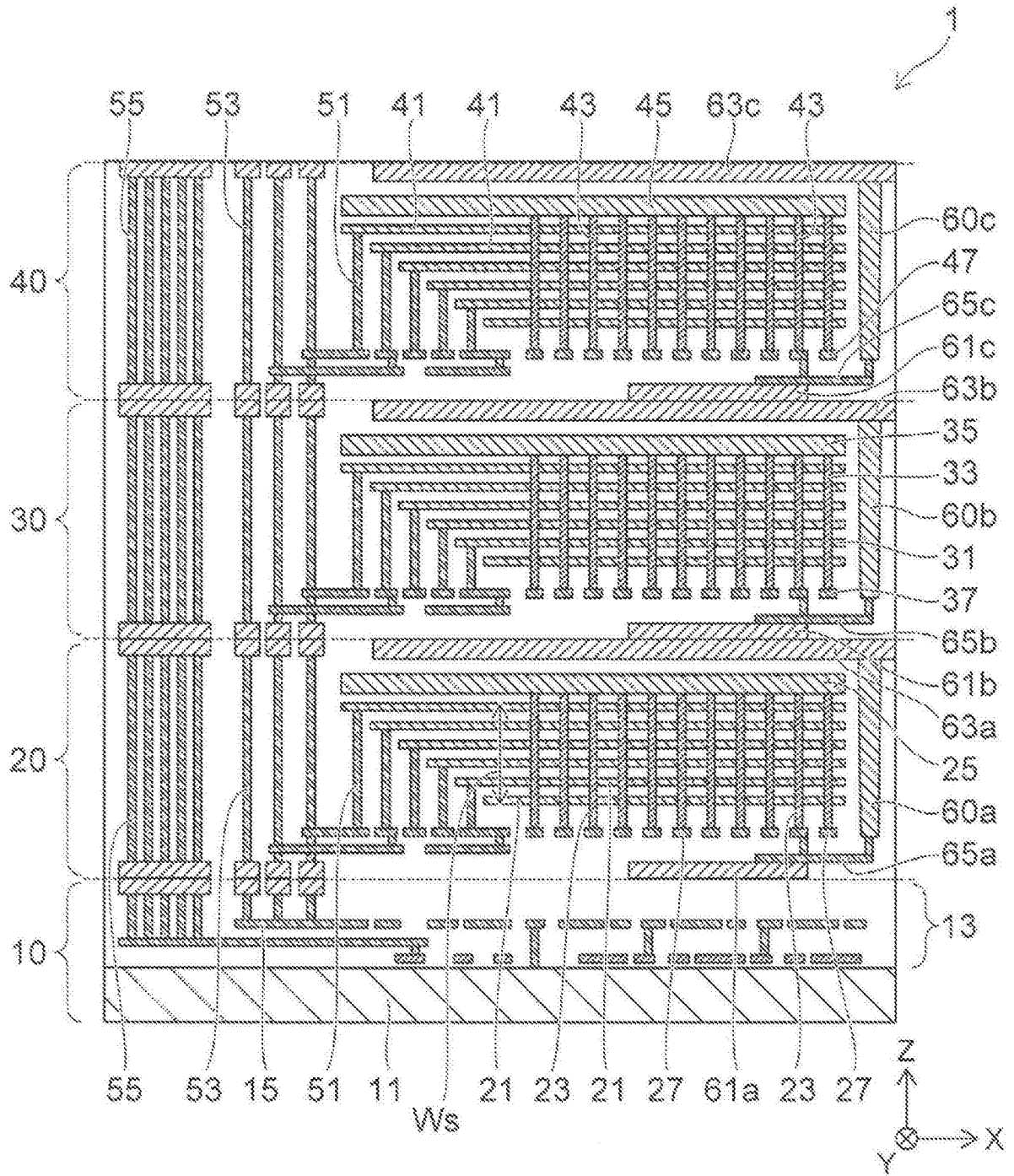


图1

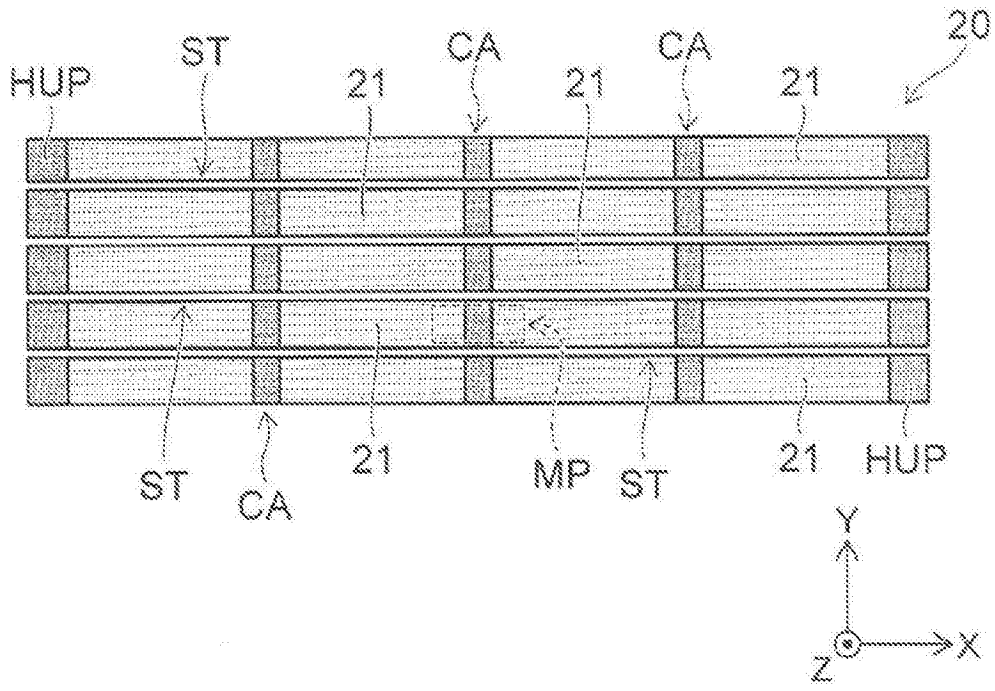


图2A

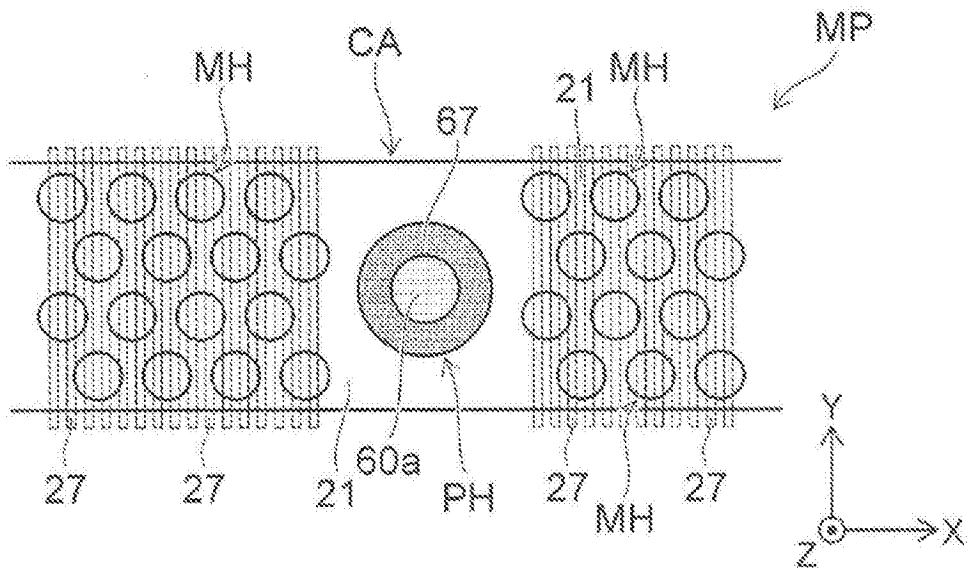


图2B

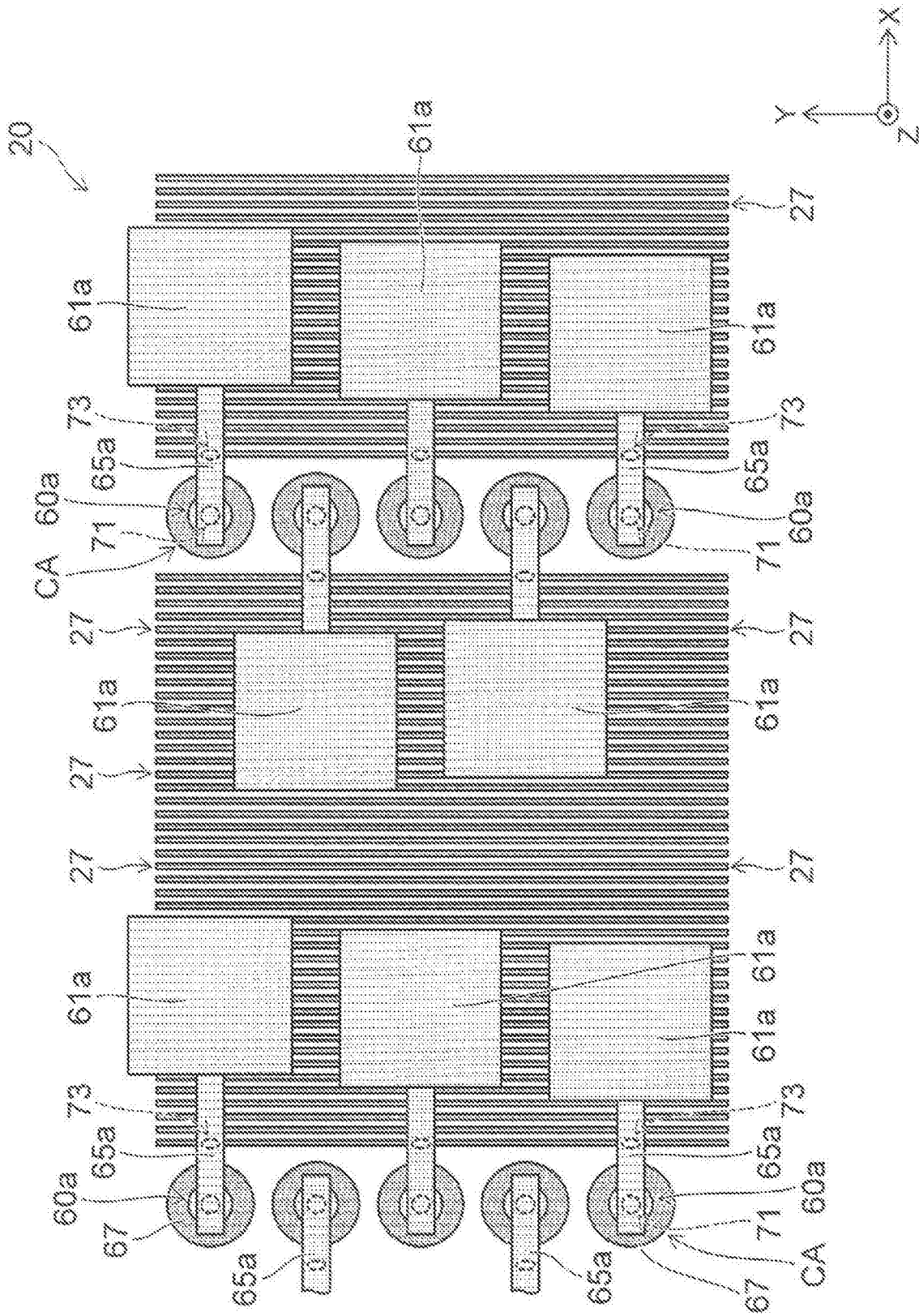


图3

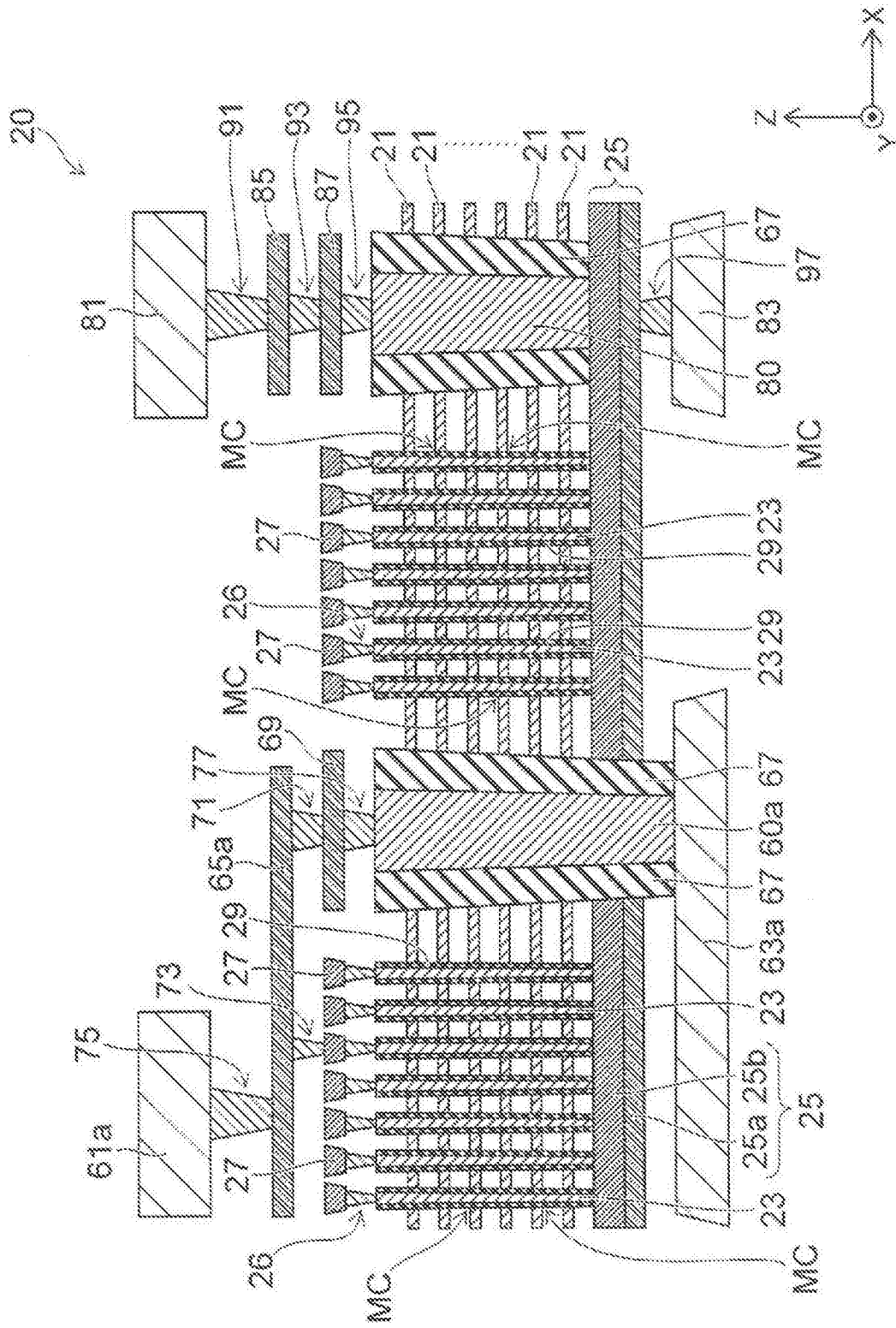


图4

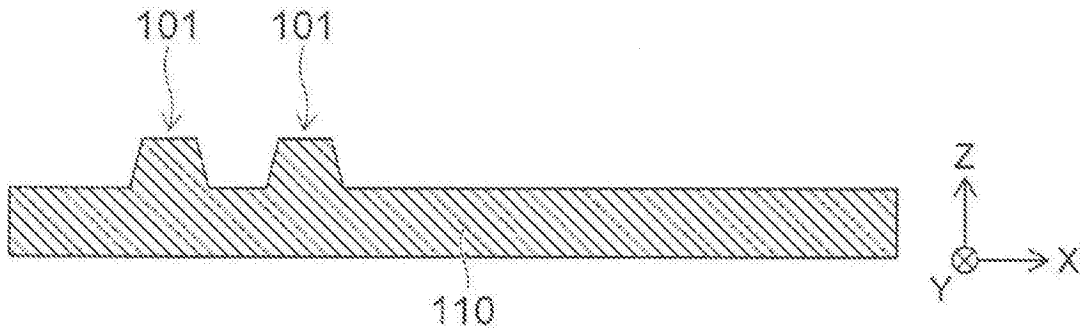


图5A

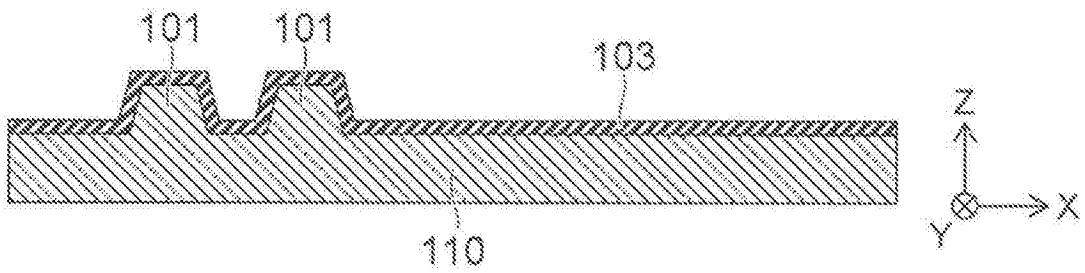


图5B

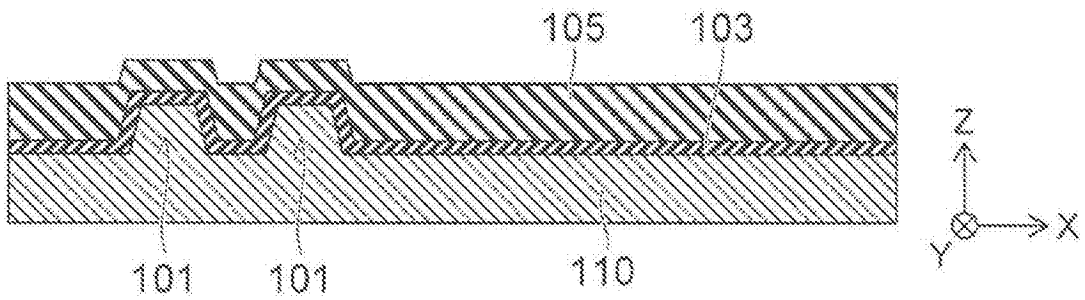


图5C

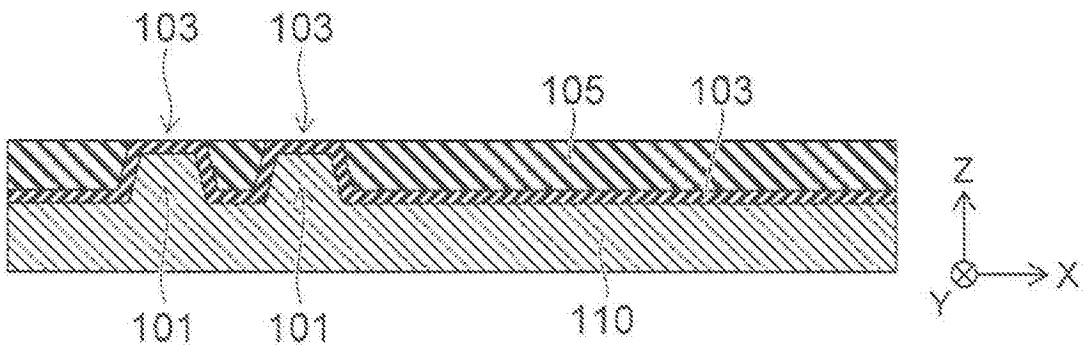


图5D

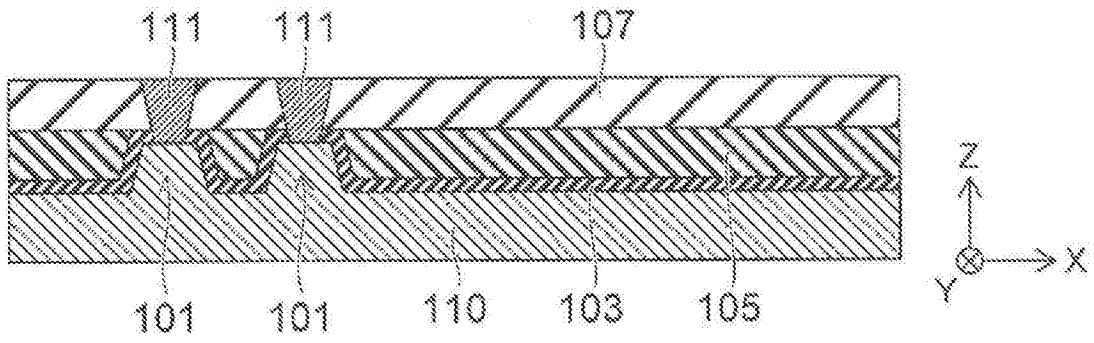


图6A

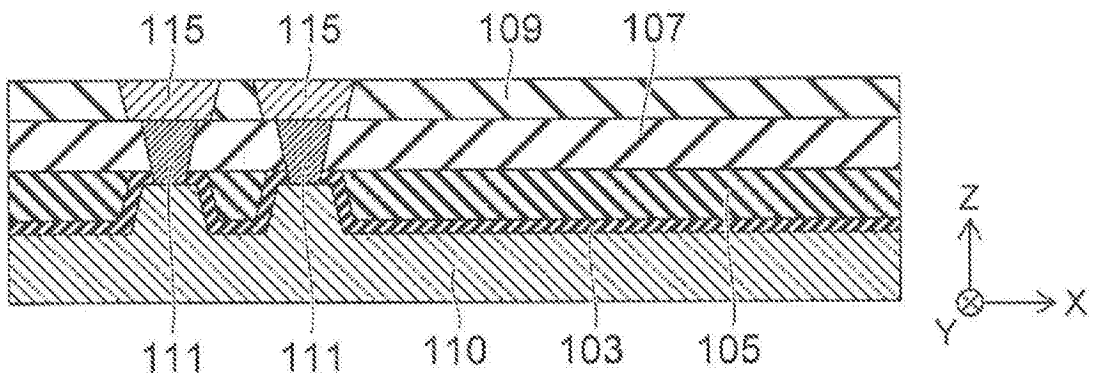


图6B

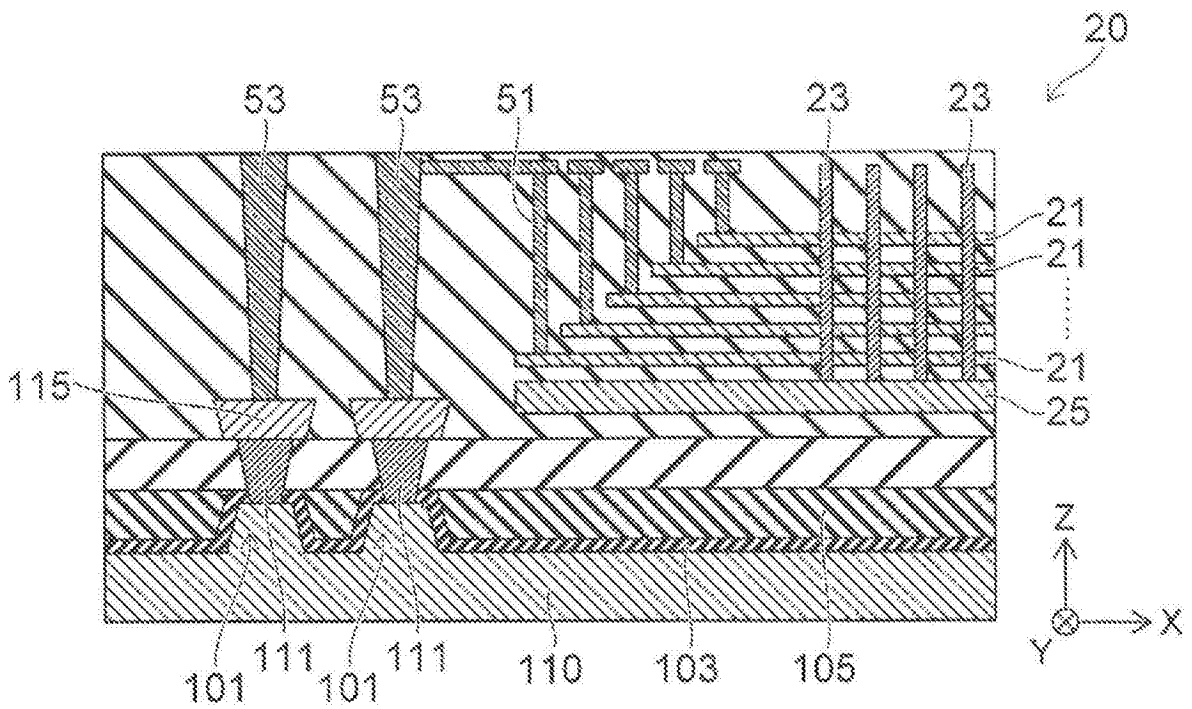


图6C

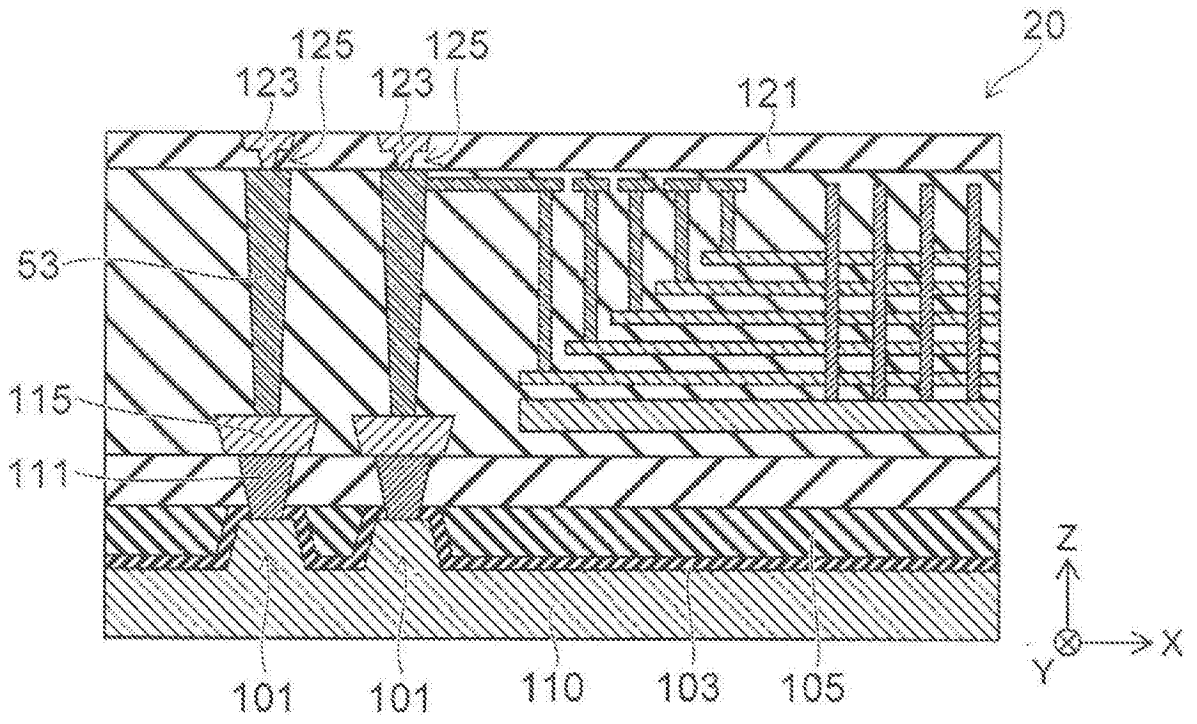


图7A

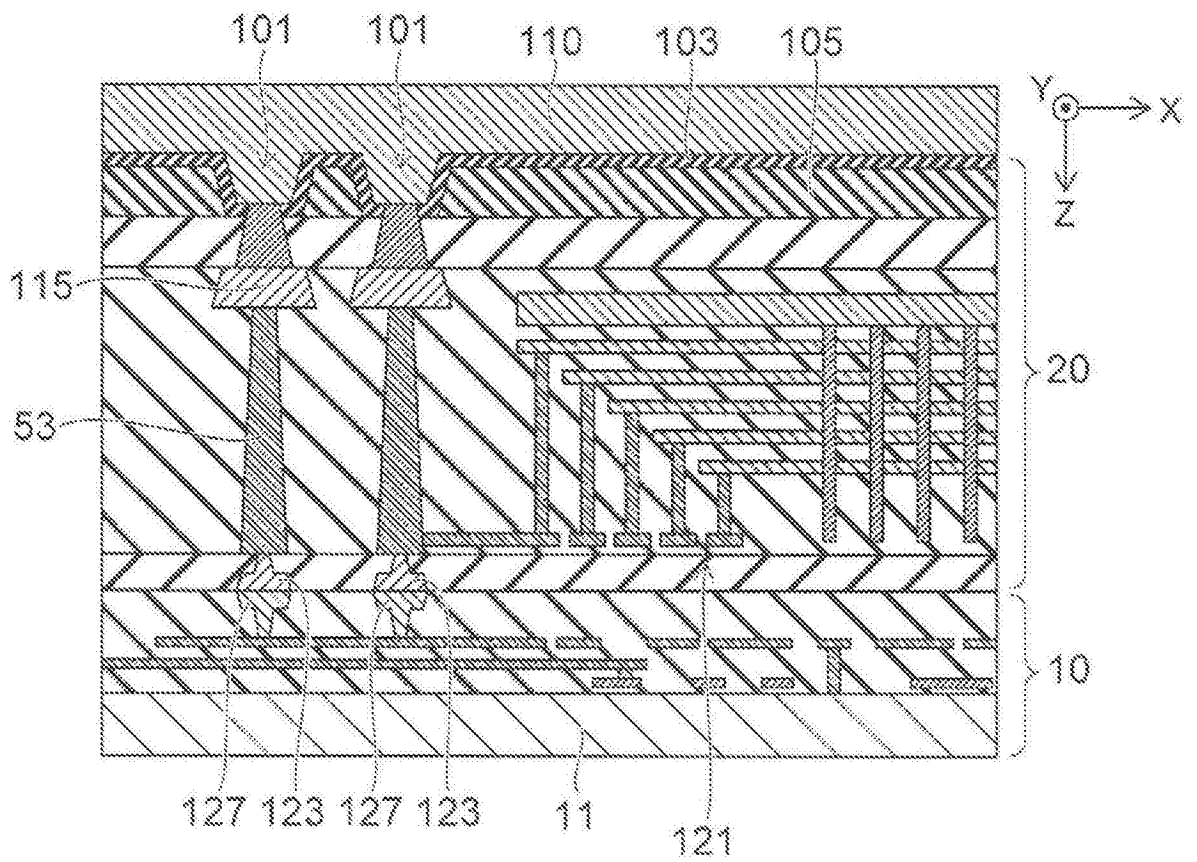


图7B

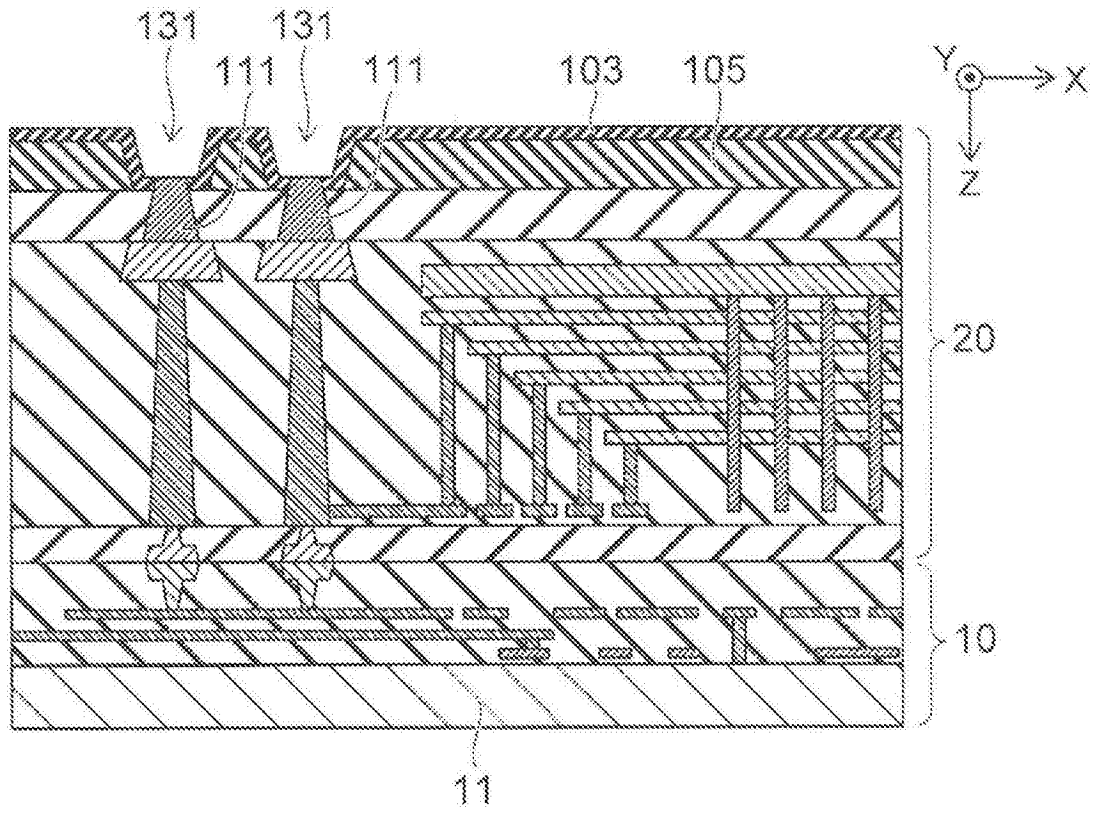


图8A

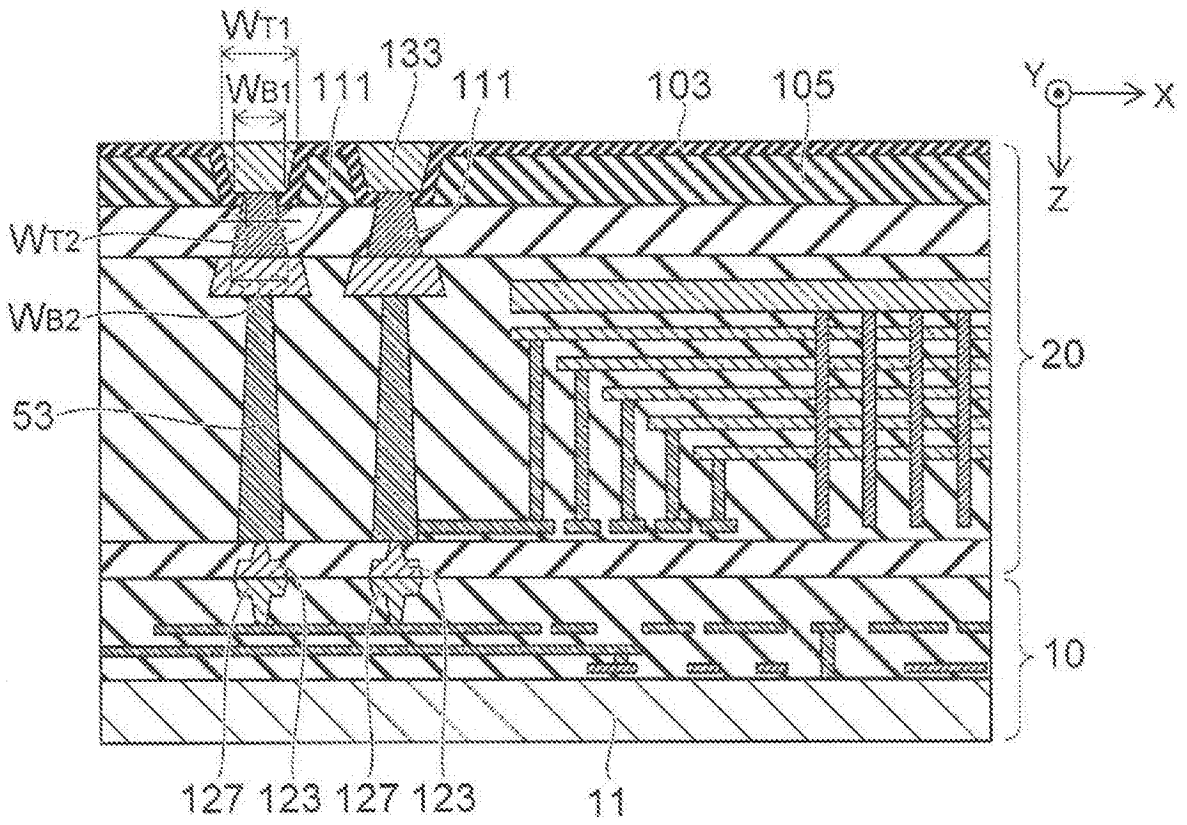


图8B

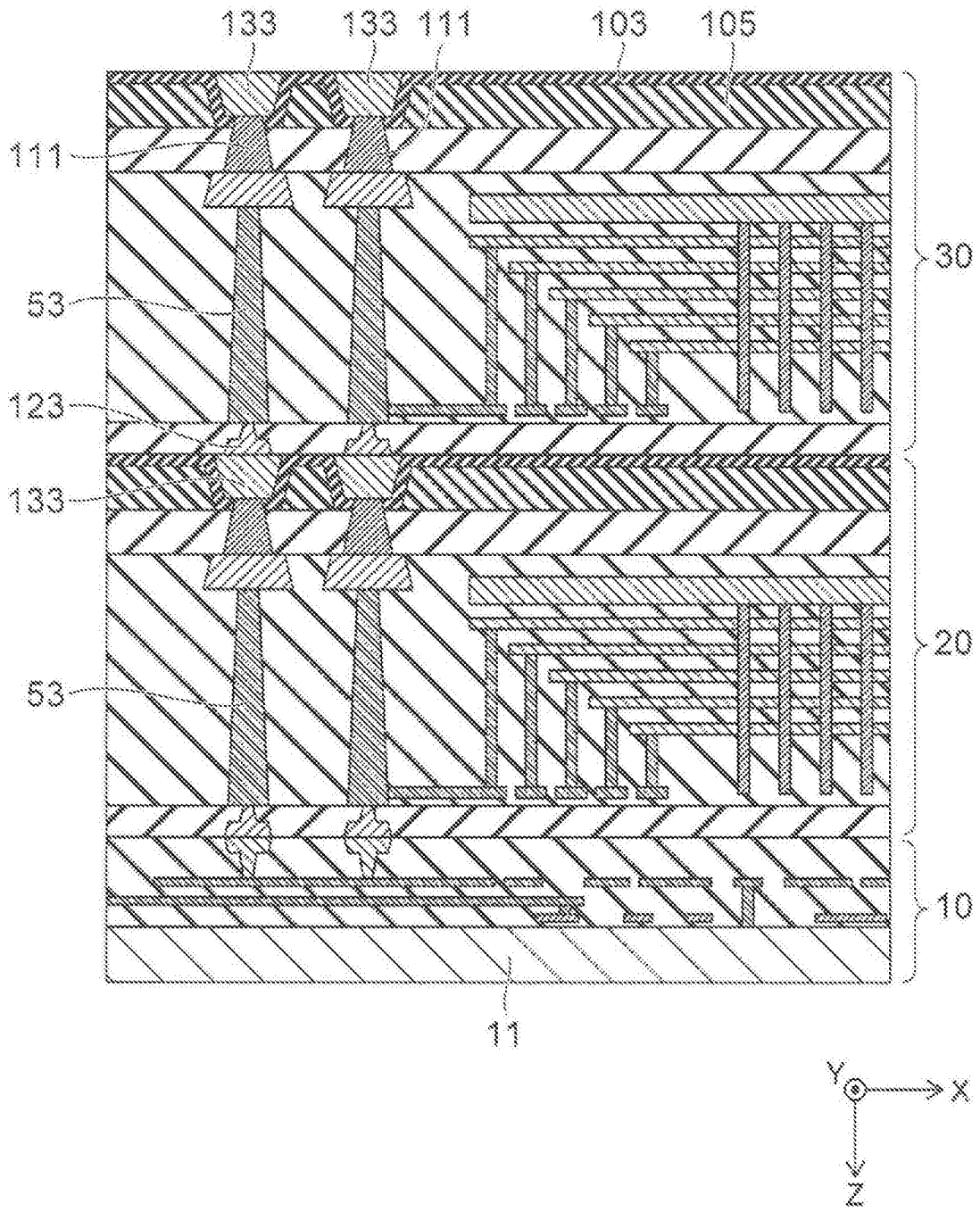


图9

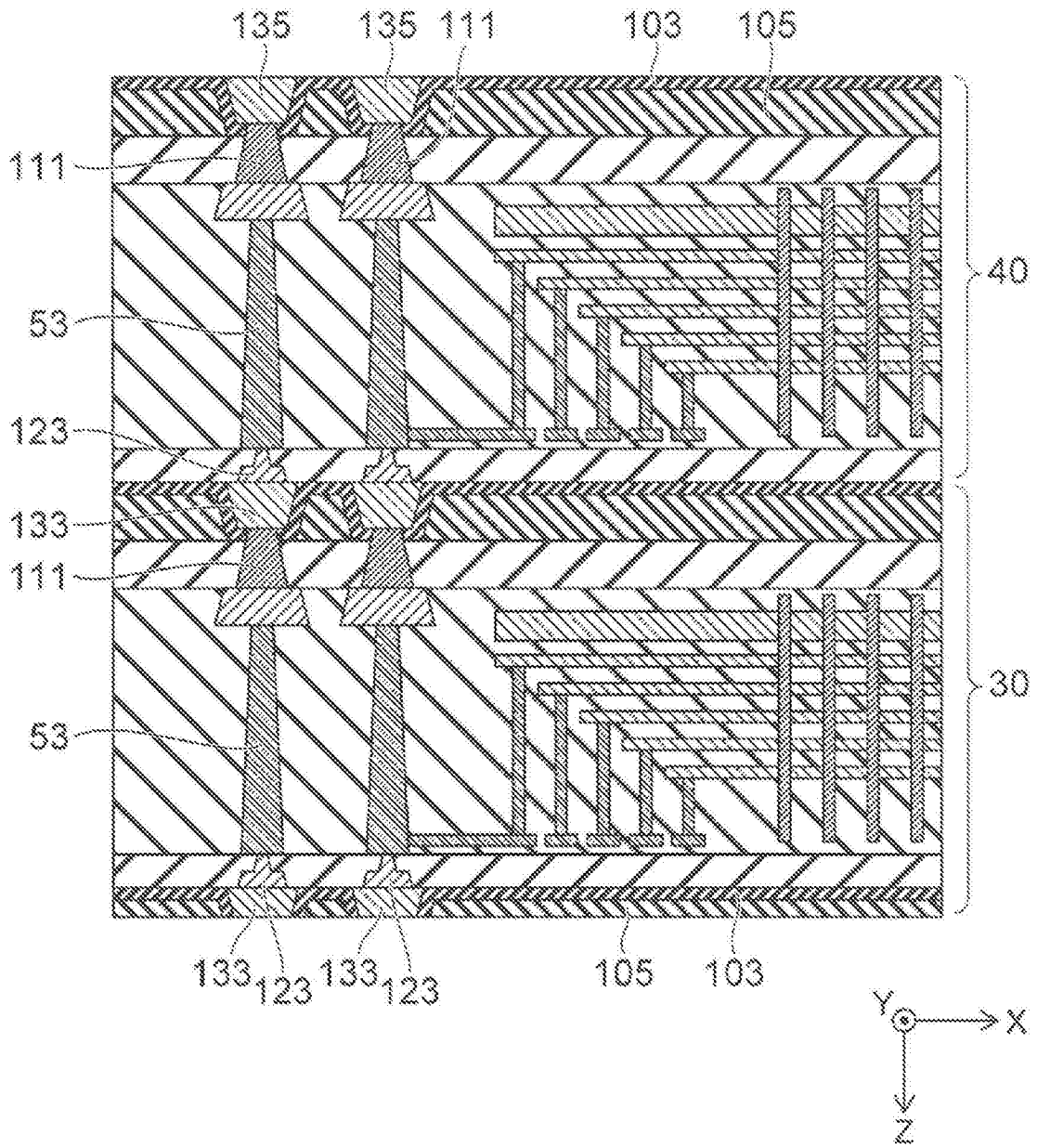


图10

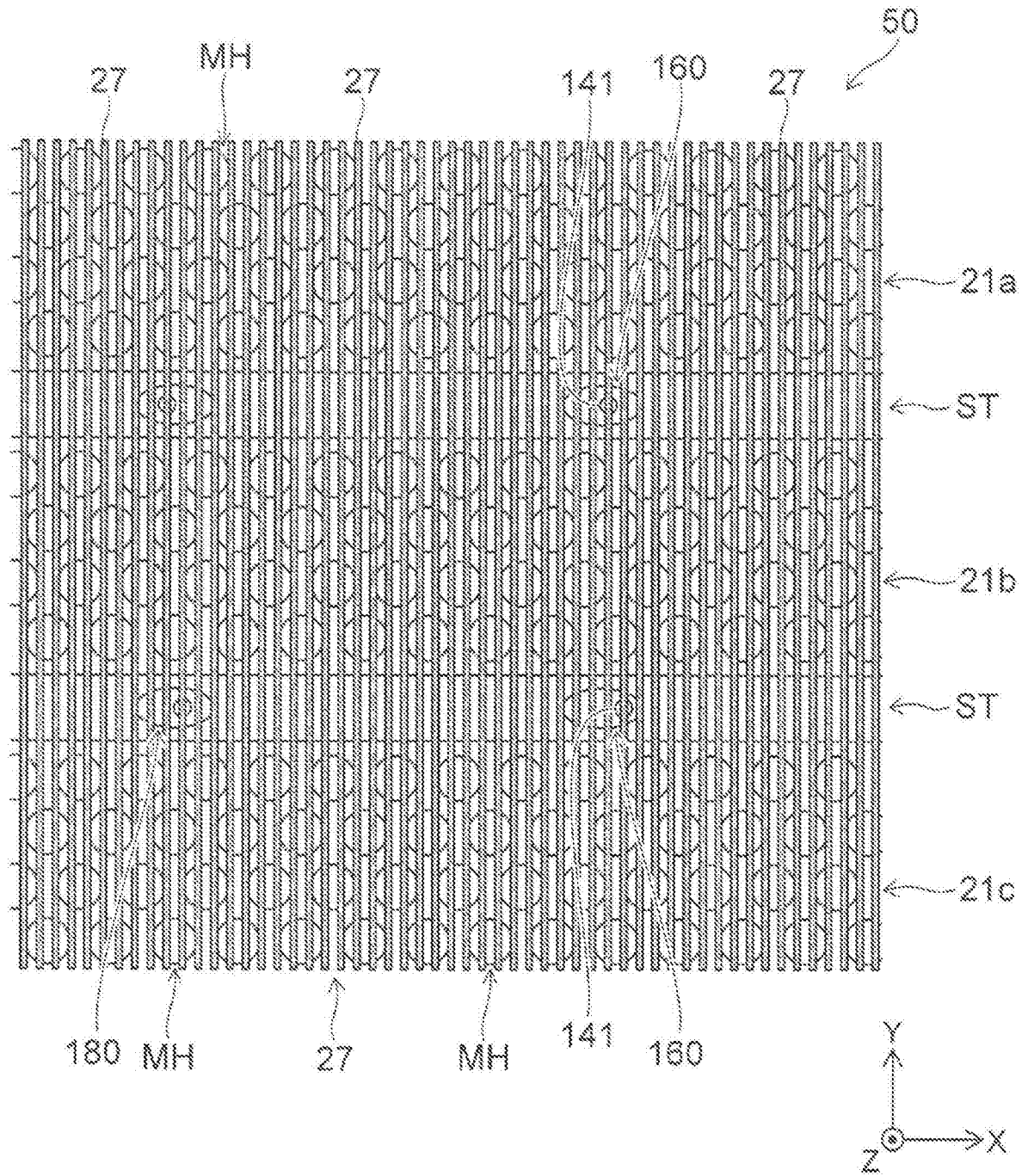


图11

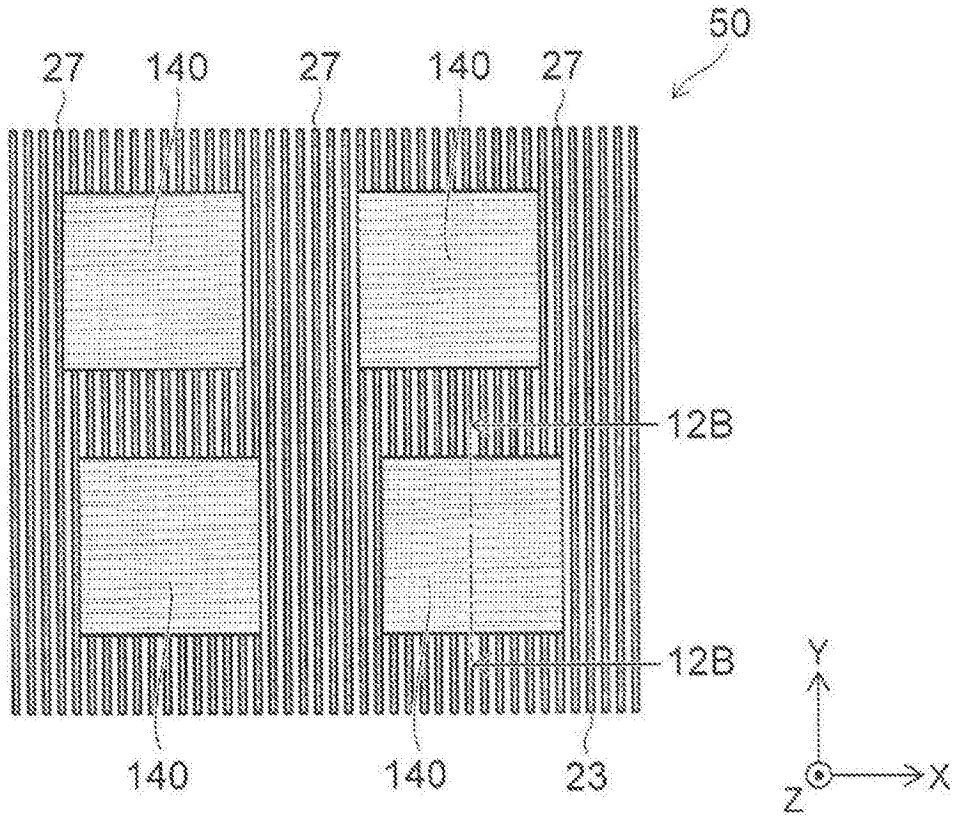


图12A

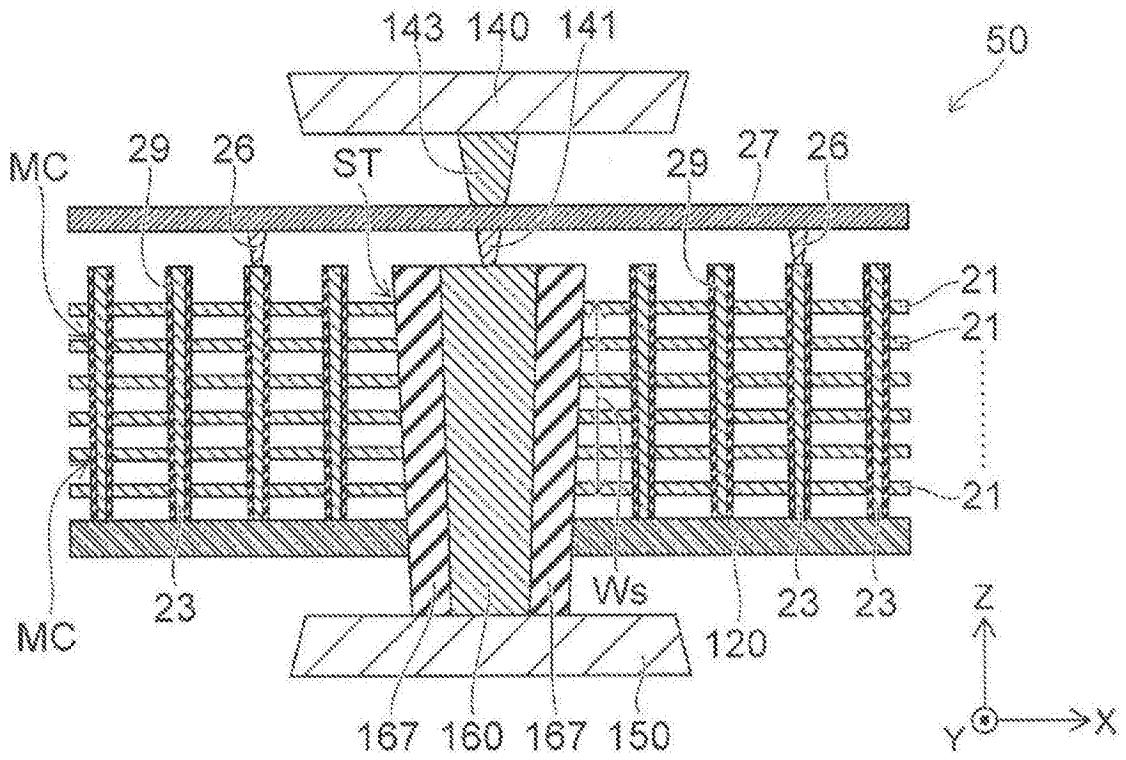


图12B

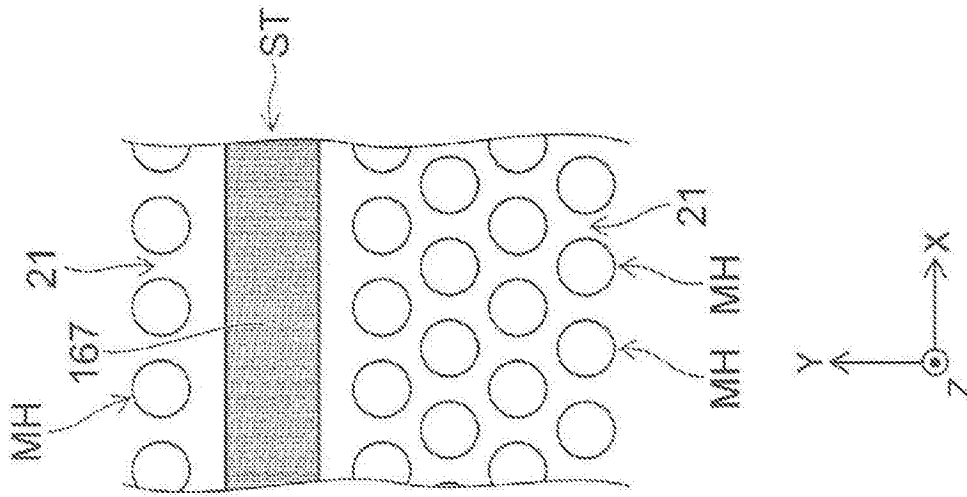


图13A

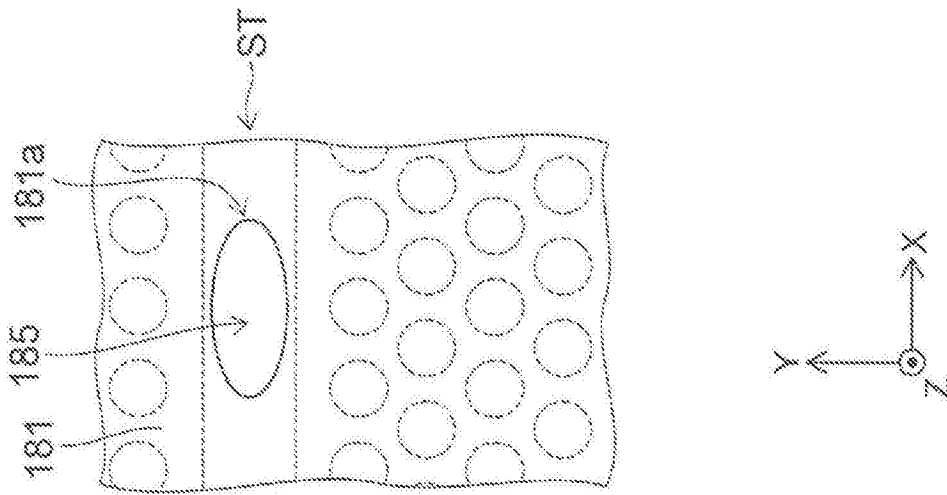


图13B

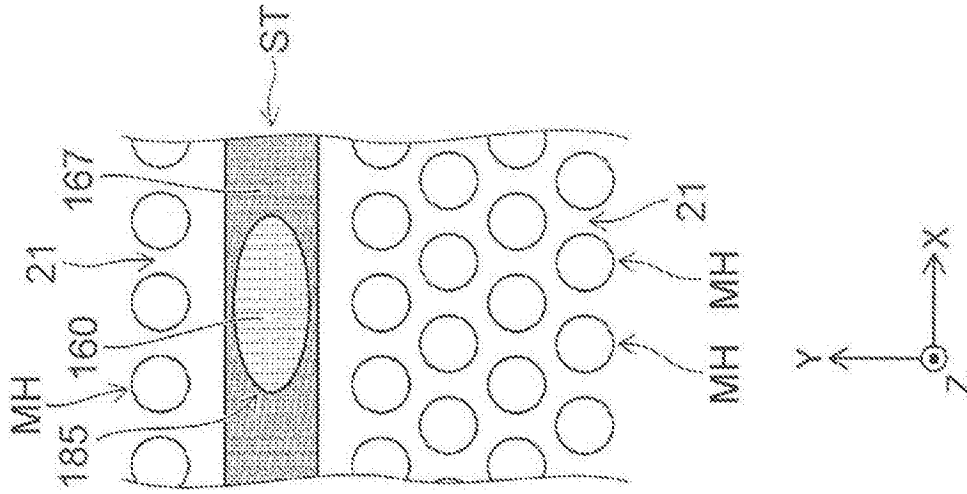


图13C

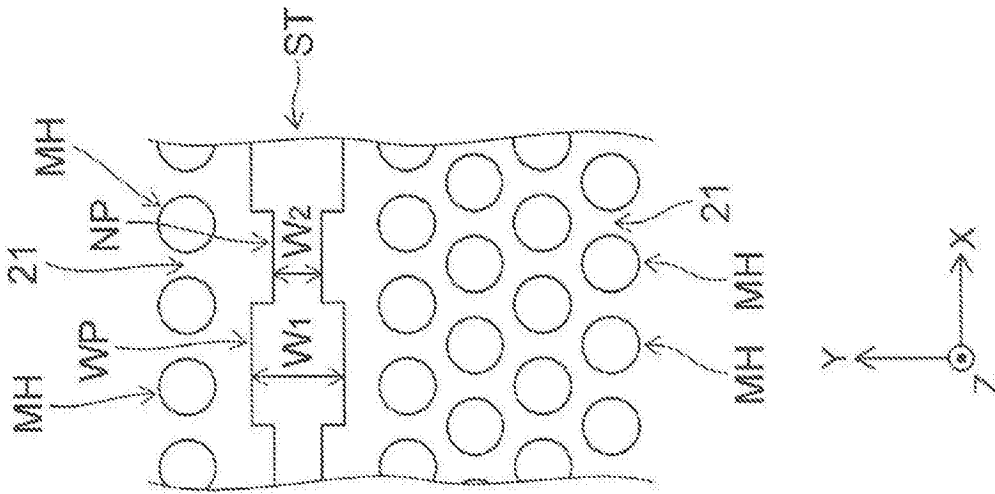


图14A

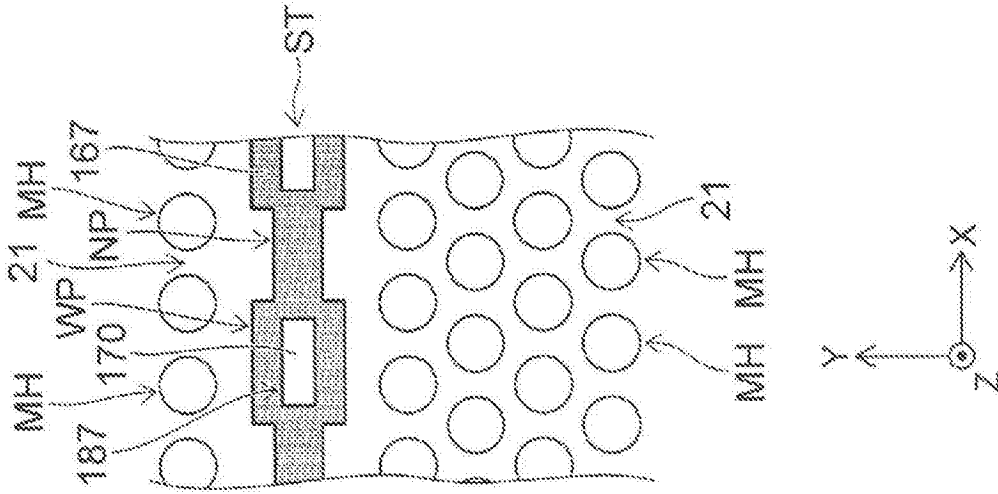


图14B

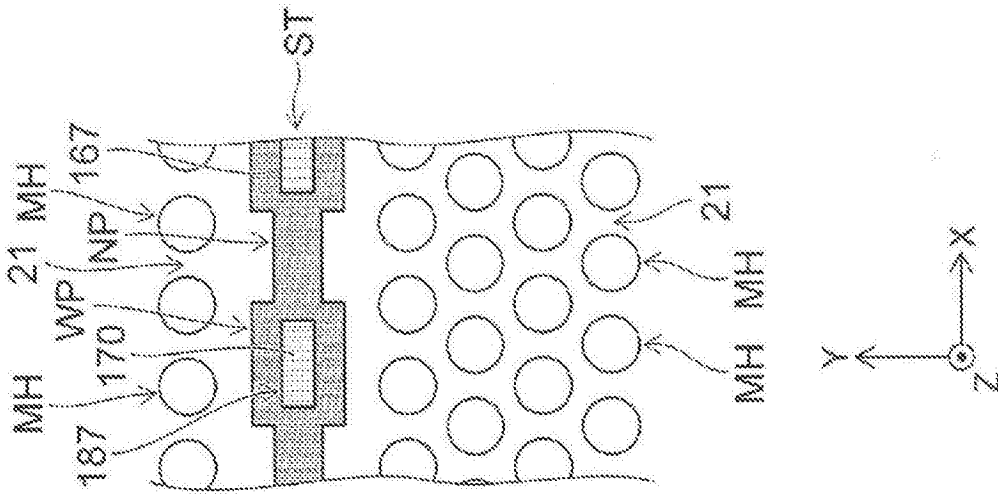


图14C

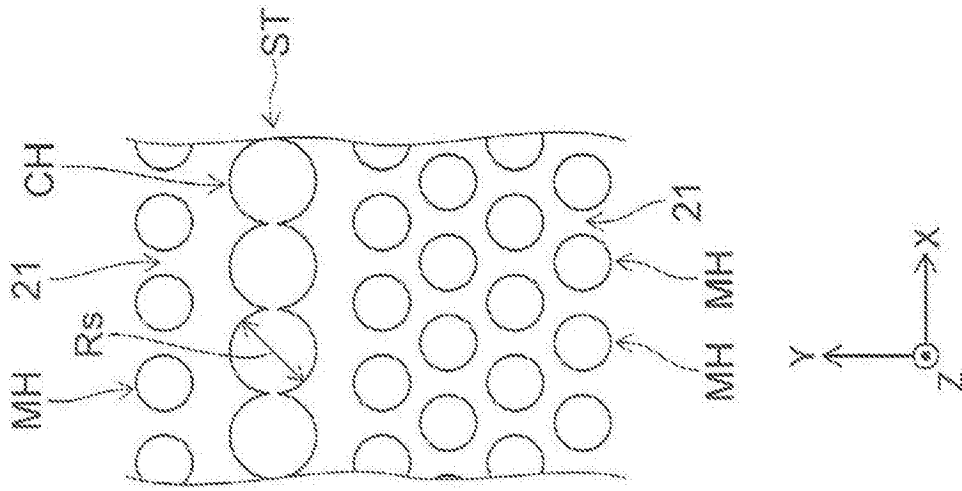


图15A

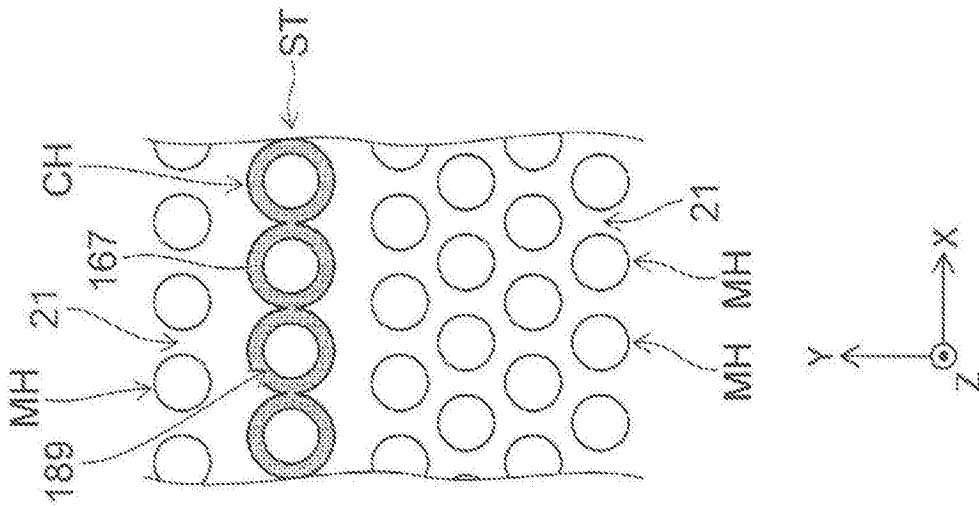


图15B

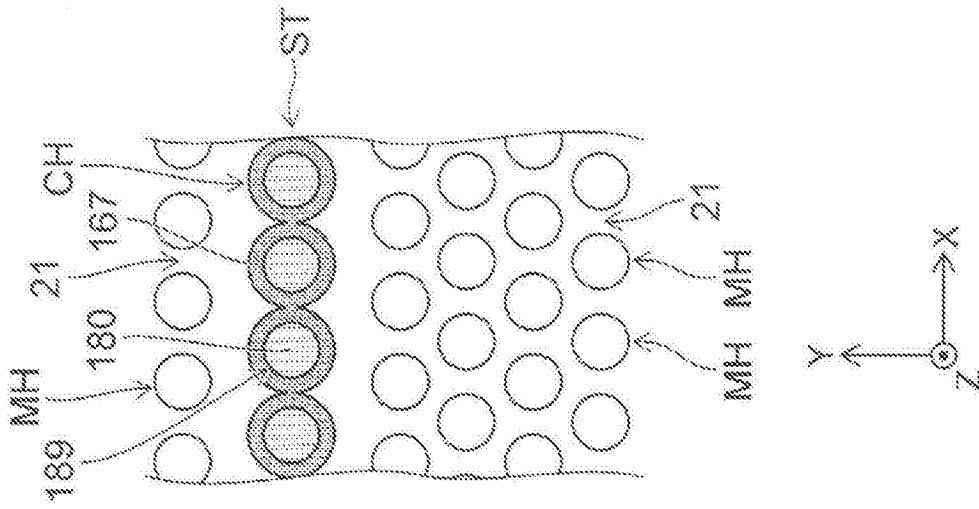


图15C

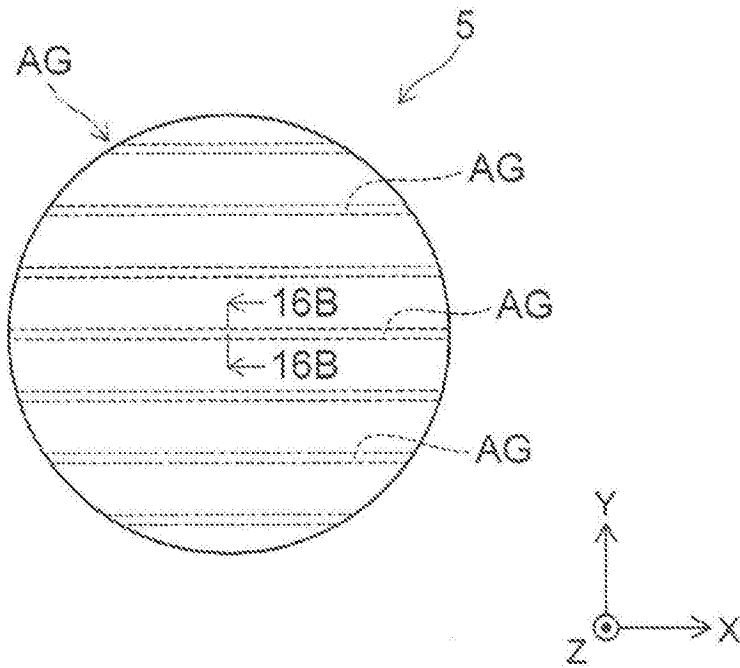


图16A

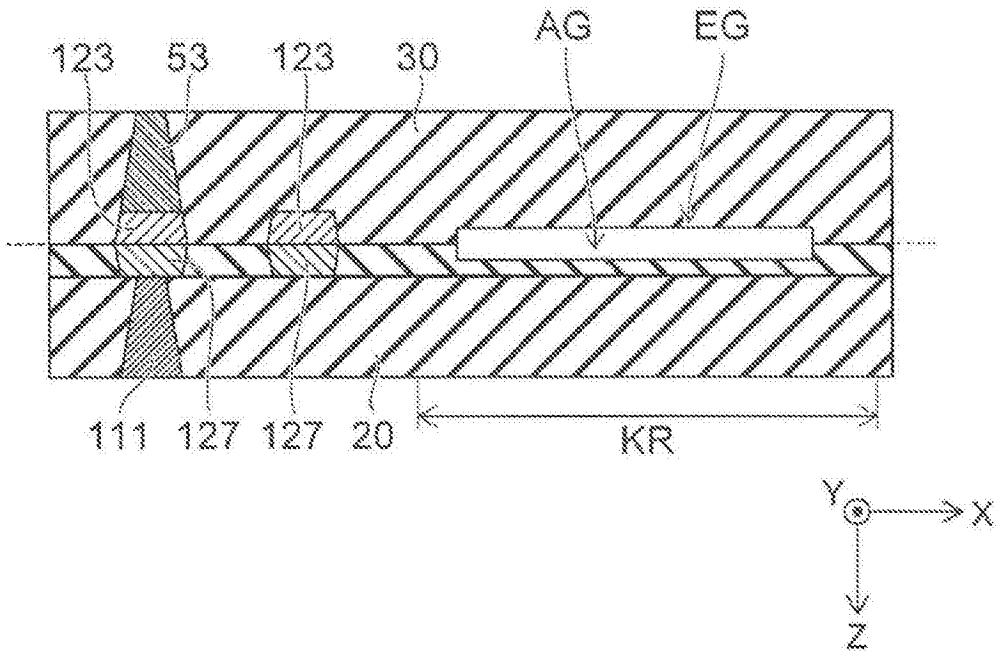


图16B

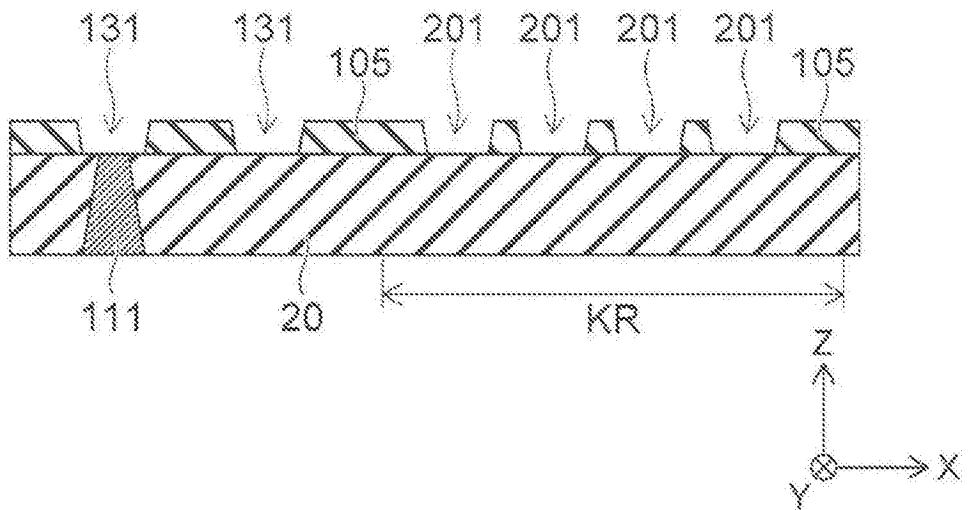


图17A

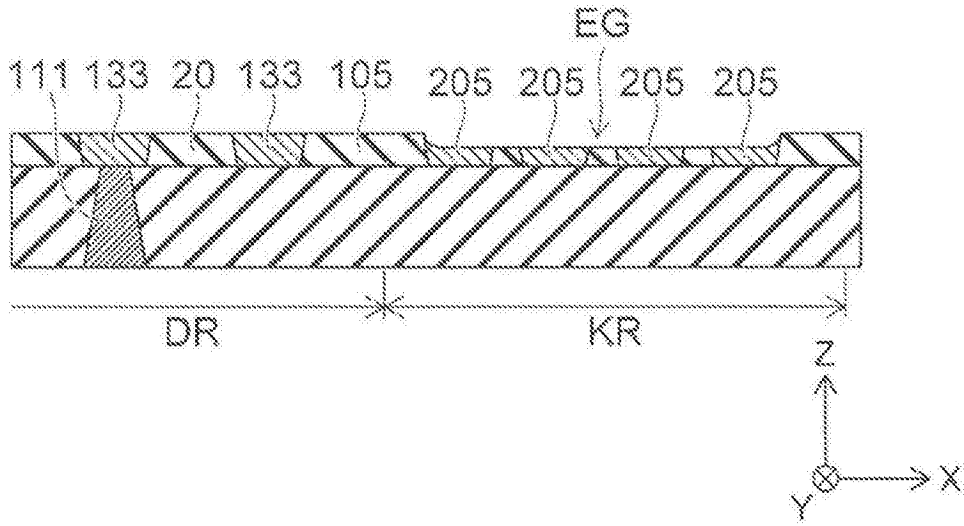


图17B

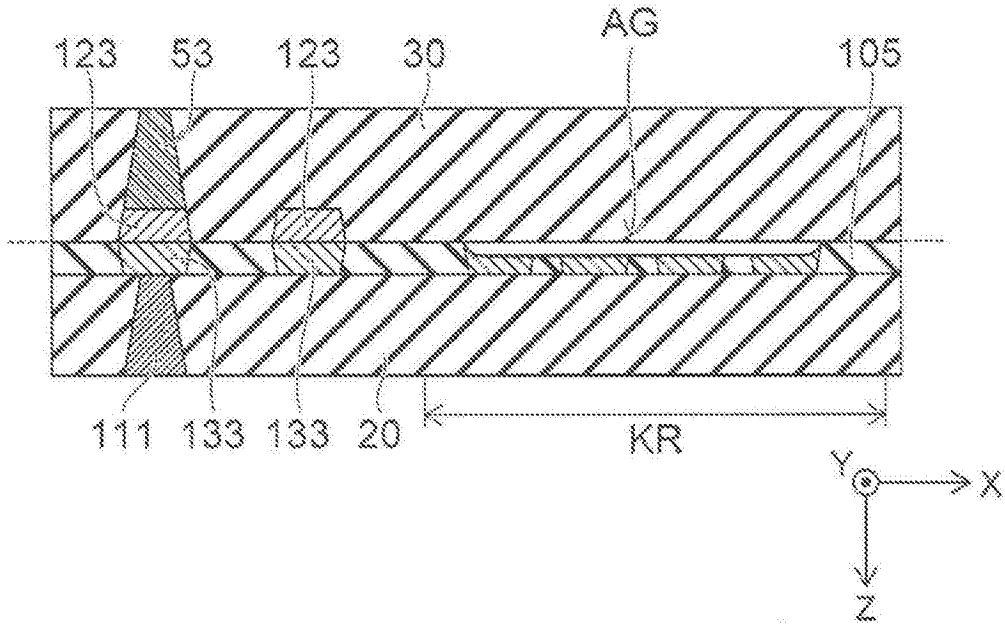


图17C

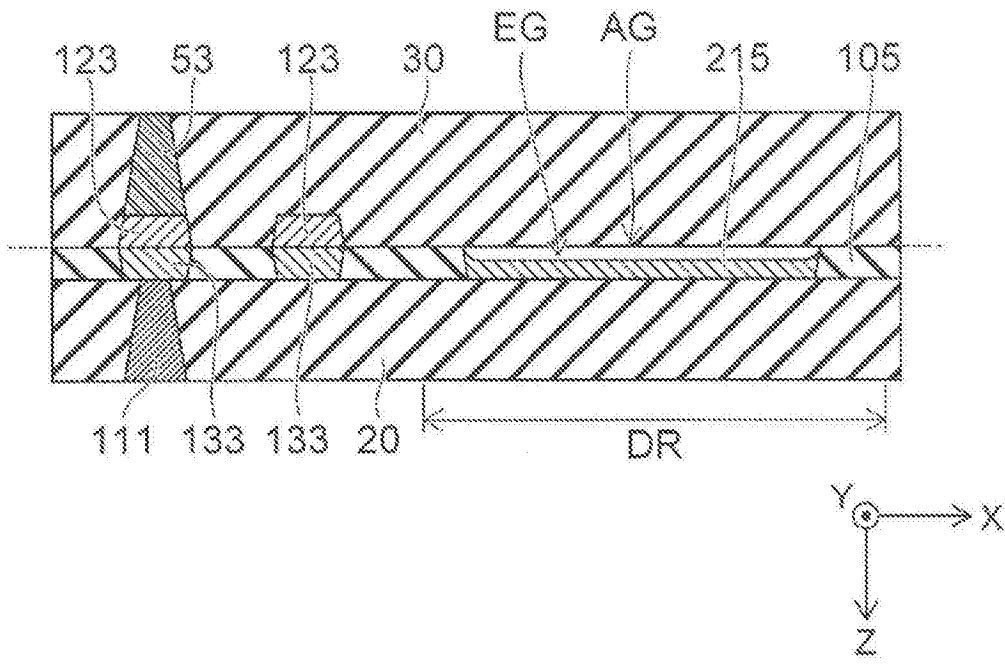


图18A

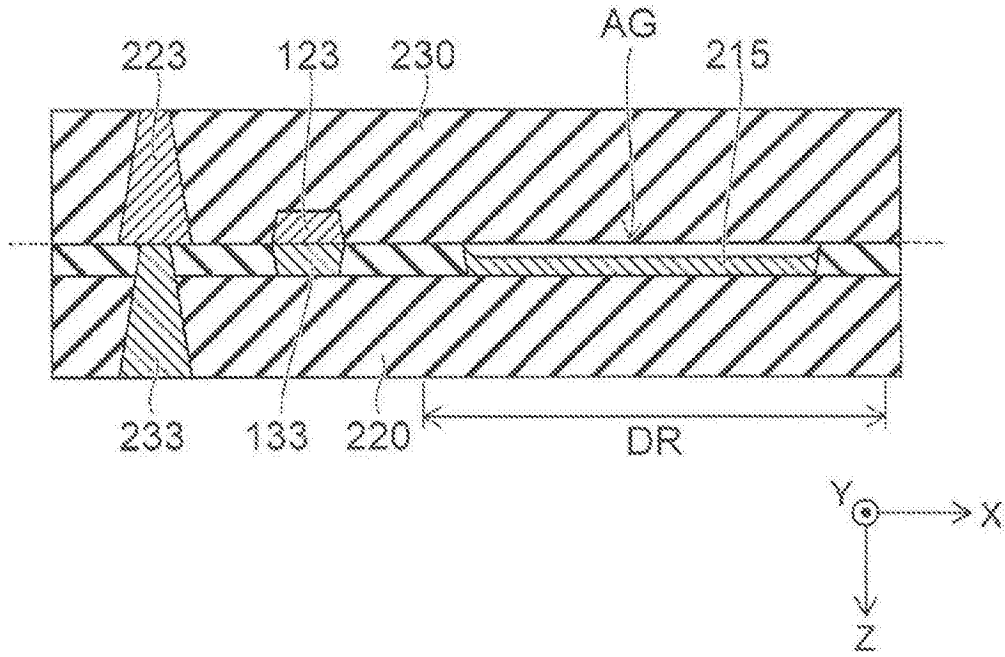


图18B

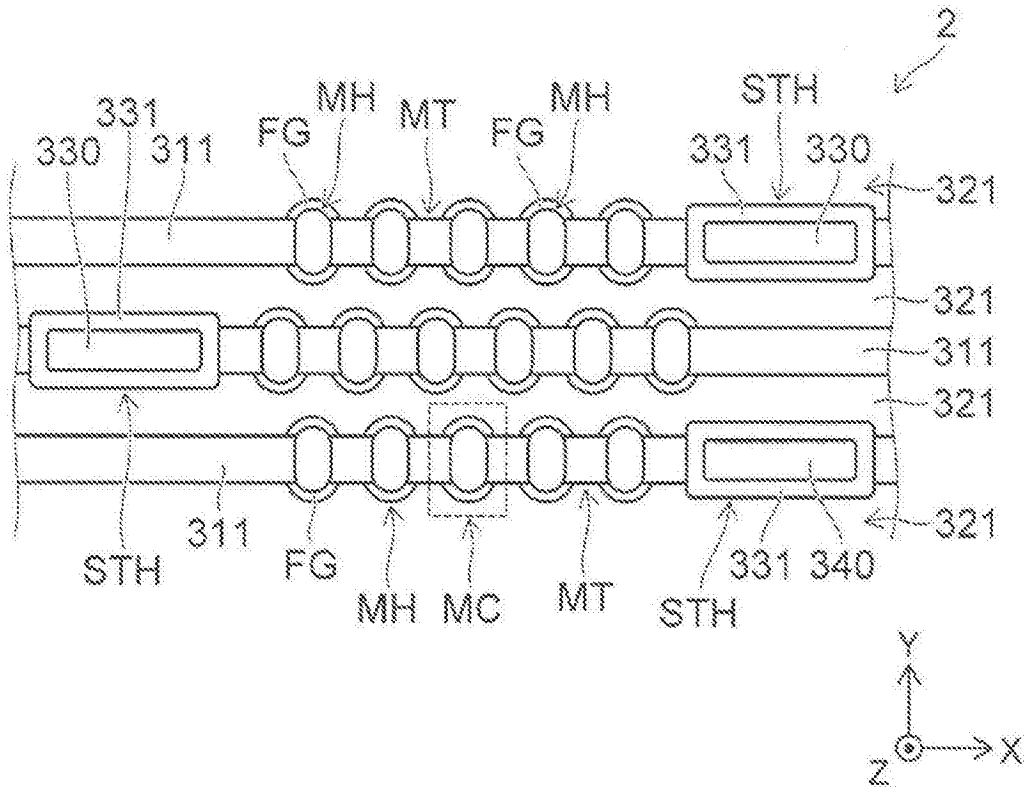


图19A

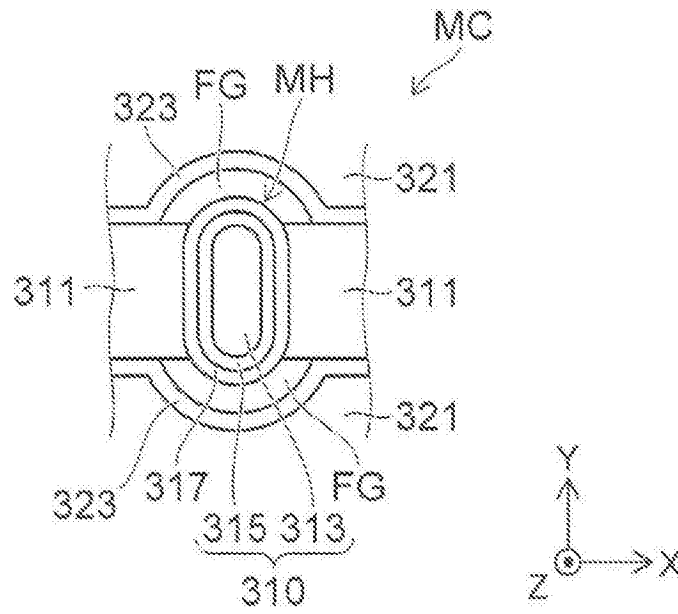


图19B

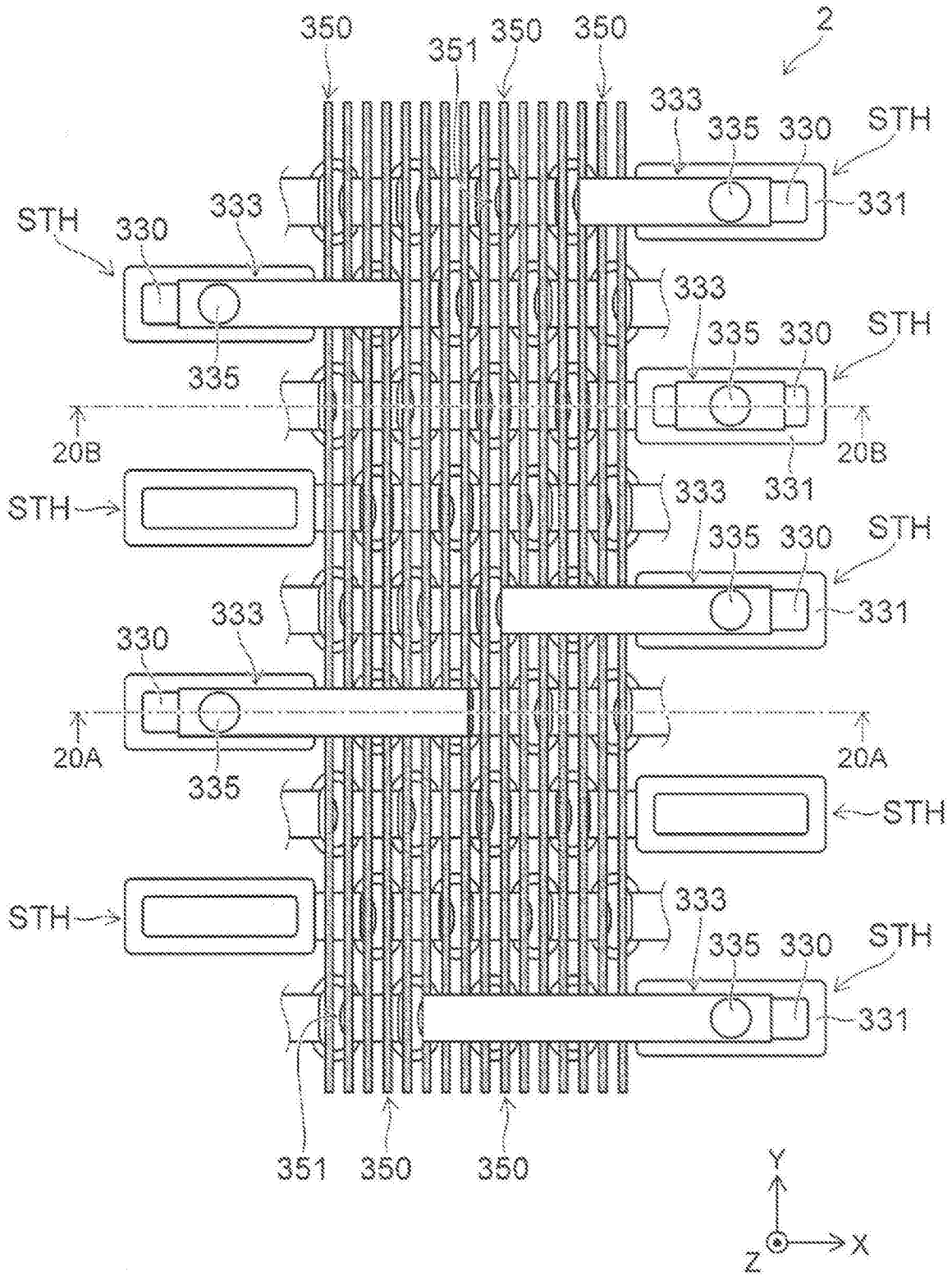


图20

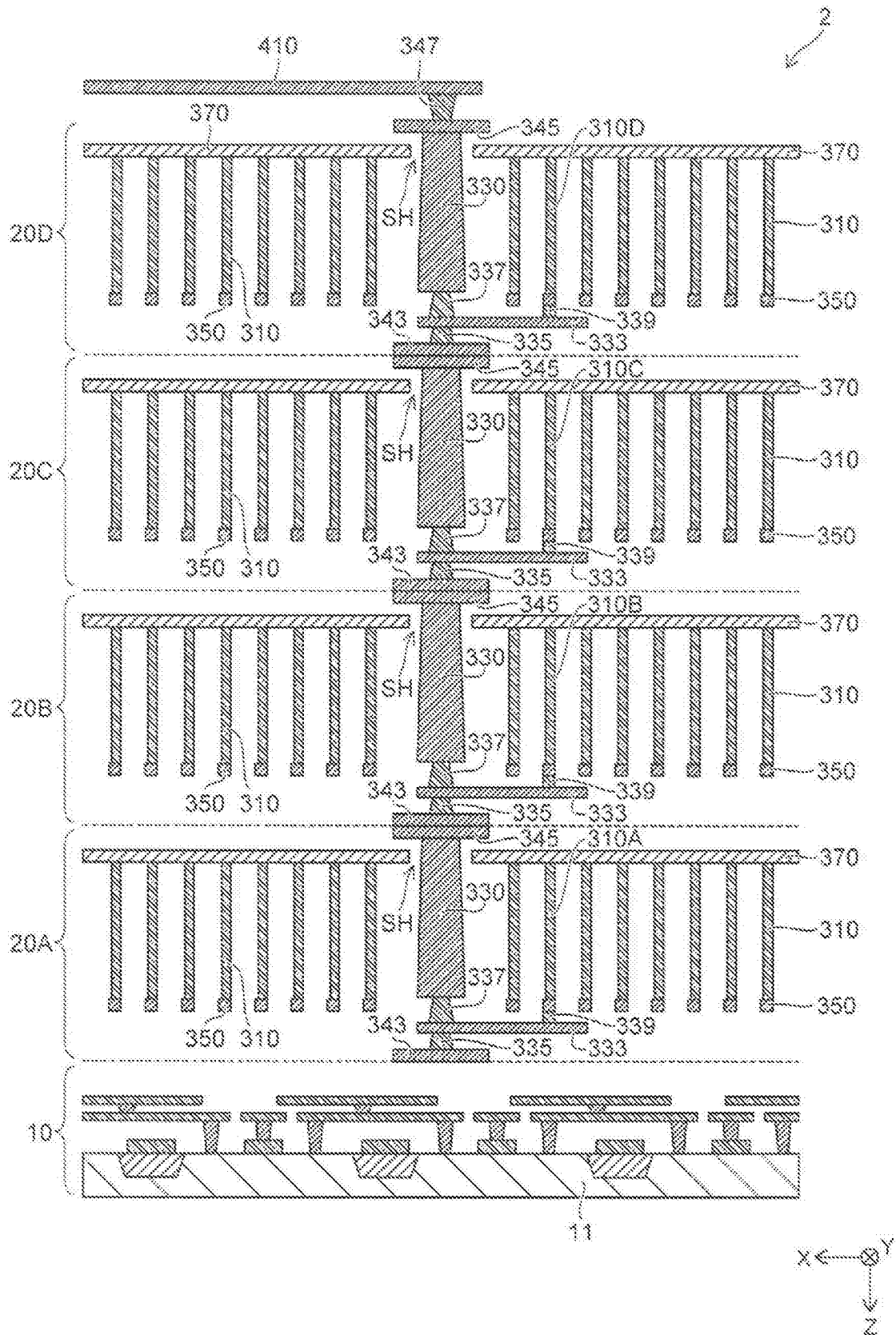


图21

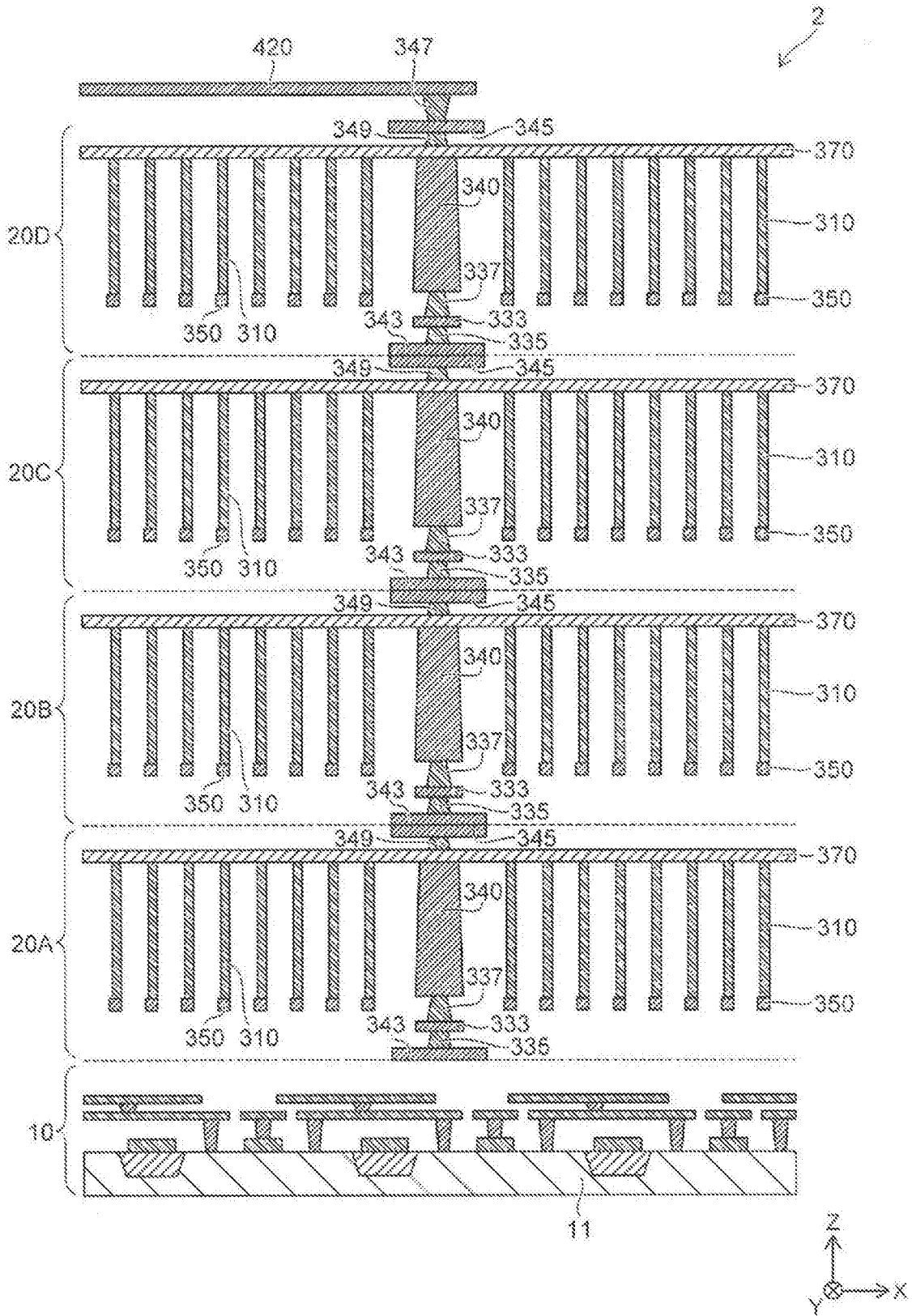


图22

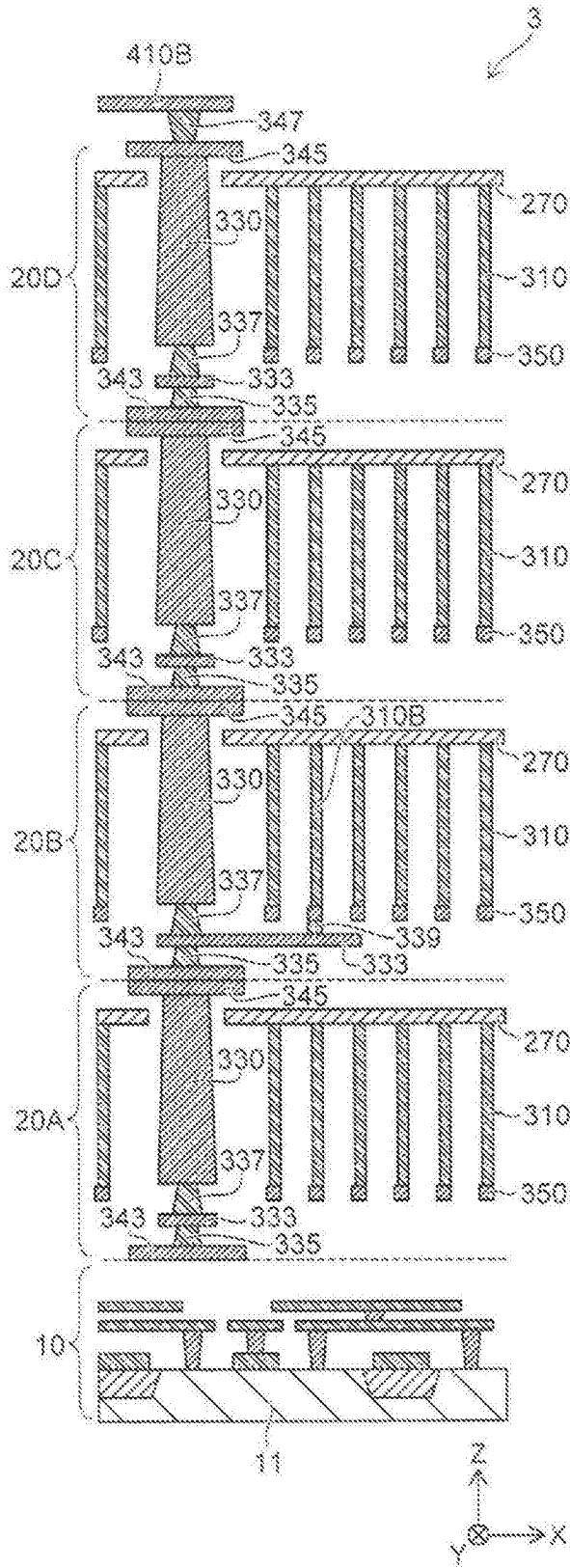


图23A

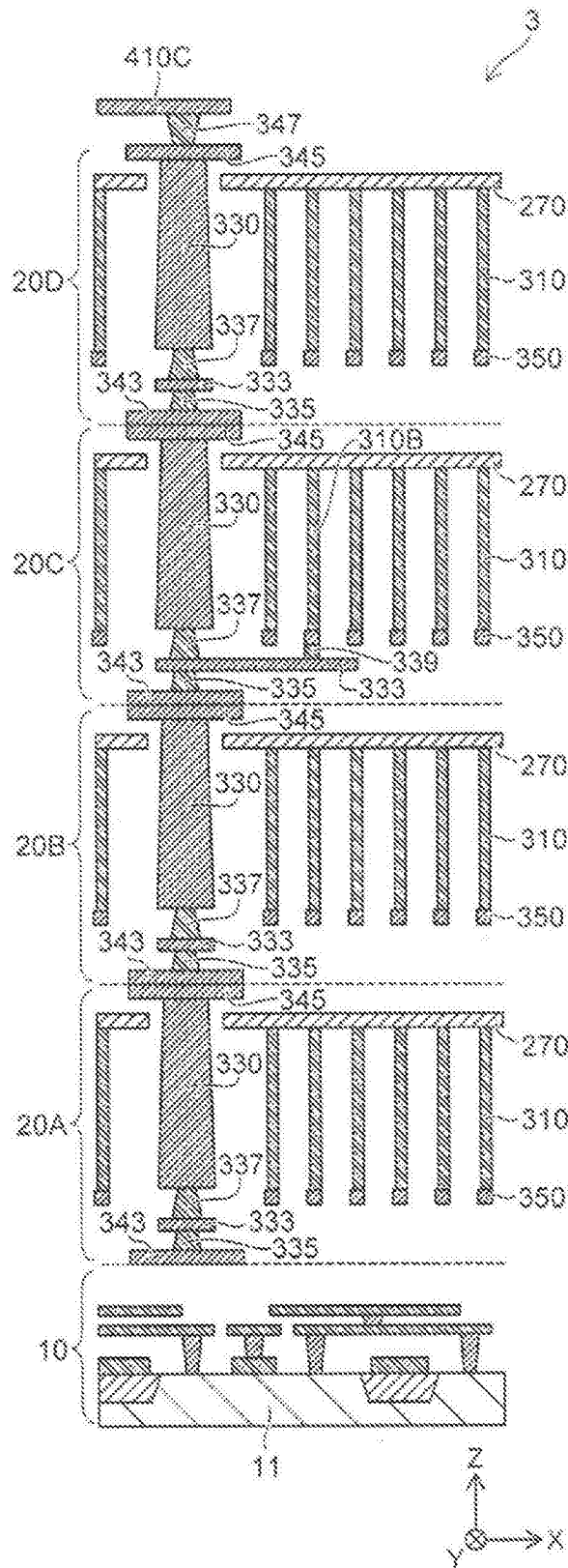


图23B