

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7060207号  
(P7060207)

(45)発行日 令和4年4月26日(2022.4.26)

(24)登録日 令和4年4月18日(2022.4.18)

(51)国際特許分類

F I

H 0 1 L	21/338 (2006.01)	H 0 1 L	29/80	F
H 0 1 L	29/812 (2006.01)	H 0 1 L	29/80	H
H 0 1 L	29/778 (2006.01)	H 0 1 L	29/06	3 0 1 F
H 0 1 L	29/06 (2006.01)	H 0 1 L	21/28	3 0 1 B
H 0 1 L	21/28 (2006.01)	H 0 1 L	29/58	G

請求項の数 10 (全20頁) 最終頁に続く

(21)出願番号 特願2018-229059(P2018-229059)  
 (22)出願日 平成30年12月6日(2018.12.6)  
 (65)公開番号 特開2020-92193(P2020-92193A)  
 (43)公開日 令和2年6月11日(2020.6.11)  
 審査請求日 令和2年8月21日(2020.8.21)

(73)特許権者 516008224  
 白田 理一郎  
 台湾新竹市大學路1001号  
 (73)特許権者 516008235  
 高谷 信一郎  
 東京都武蔵野市境四丁目3番11号  
 (74)代理人 100067448  
 弁理士 下坂 スミ子  
 (74)代理人 100167117  
 弁理士 打越 佑介  
 (74)代理人 100213746  
 弁理士 川成 涉  
 (72)発明者 白田 理一郎  
 台湾台湾省新竹市大學路1001号  
 (72)発明者 高谷 信一郎

最終頁に続く

(54)【発明の名称】 窒化物半導体トランジスタ装置

(57)【特許請求の範囲】

【請求項1】

基板と、前記基板上に設けられた第1の窒化物半導体層と、前記第1の窒化物半導体層上に設けられ、前記第1の窒化物半導体層の少なくとも一部の窒化物半導体よりバンドギャップの大きい窒化物半導体を少なくとも含む第2の窒化物半導体層と、前記第2の窒化物半導体層上に設けられた第1の絶縁膜と、前記第1の絶縁膜上に設けられた電荷蓄積用ゲート電極と、前記電荷蓄積用ゲート電極上に設けられた第2の絶縁膜と、前記第2の絶縁膜上に設けられた第2のゲート電極と、面方向に前記電荷蓄積用ゲート電極を挟んで前記第2の窒化物半導体層上に設けられたソース電極およびドレイン電極と、前記基板上に設けられた電氣的に不活性な素子分離領域と、前記電荷蓄積用ゲート電極と絶縁膜を介して容量結合することにより第1の容量を形成する第1のゲート電極とを有し、前記第1の窒化物半導体層と前記第2の窒化物半導体層との界面に導電チャンネルが形成され、前記第2のゲート電極に印加する電圧或は前記第2のゲート電極と前記第1のゲート電極に同時に印加する電圧で前記導電チャンネルを介しソース電極とドレイン電極との間に流れる電流を遮断する閾値電圧が正の値となるように、前記電荷蓄積用ゲート電極に電荷が蓄積され、前記ソース電極と前記ドレイン電極に電圧を与えず浮遊状態にし、前記第2のゲート電極に前記第1のゲート電極より高い電圧を与える事で前記電荷は前記第1のゲート電極から前記電荷蓄積用ゲート電極へ前記第1の容量を介して電子注入することにより前記電荷蓄積用ゲート電極に蓄積される電荷が調節されることを特徴とする窒化物半導体トランジスタ装置。

## 【請求項 2】

基板と、前記基板上に設けられた第 1 の窒化物半導体層と、前記第 1 の窒化物半導体層上に設けられ、前記第 1 の窒化物半導体層の少なくとも一部の窒化物半導体よりバンドギャップの大きい窒化物半導体を少なくとも含む第 2 の窒化物半導体層と、前記第 2 の窒化物半導体層上に設けられた第 1 の絶縁膜と、前記第 1 の絶縁膜上に設けられた電荷蓄積用ゲート電極と、前記電荷蓄積用ゲート電極上に設けられた第 2 の絶縁膜と、前記第 2 の絶縁膜上に設けられた第 2 のゲート電極と、面方向に前記電荷蓄積用ゲート電極を挟んで前記第 2 の窒化物半導体層上に設けられたソース電極およびドレイン電極と、前記基板上に設けられた電氣的に不活性な素子分離領域と、前記電荷蓄積用ゲート電極と絶縁膜を介して容量結合することにより第 1 の容量を形成する第 1 のゲート電極とを有し、前記第 1 の窒化物半導体層と前記第 2 の窒化物半導体層との界面に導電チャネルが形成され、前記第 2 のゲート電極に印加する電圧或は前記第 2 のゲート電極と前記第 1 のゲート電極に同時に印加する電圧で前記導電チャネルを介しソース電極とドレイン電極との間に流れる電流を遮断する閾値電圧が正の値となるように、前記電荷蓄積用ゲート電極に電荷が蓄積され、前記電荷は前記第 1 のゲート電極から前記第 1 の容量を介して電子注入することにより前記電荷蓄積用ゲート電極に蓄積され、前記第 2 のゲート電極に前記第 1 のゲート電極より高い電圧を与え、前記ソース電極及び/ないし前記ドレイン電極には前記第 1 のゲート電極より高い別の電圧を与え、前記第 1 のゲート電極から前記電荷蓄積用ゲート電極へ前記第 1 の容量を介して電子注入する事により、前記電荷蓄積用ゲート電極に蓄積する電荷が調節されることを特徴とする窒化物半導体トランジスタ装置。

10

20

## 【請求項 3】

前記第 1 のゲート電極が前記素子分離領域上に設けられたことを特徴とする請求項 1 又は 2 に記載の窒化物半導体トランジスタ装置。

## 【請求項 4】

少なくともその一部が前記素子分離領域上に形成された第 3 の絶縁膜を有し、前記電荷蓄積用ゲート電極は前記素子分離領域に存在する前記第 1 のゲート電極に延在し前記第 3 の絶縁膜を容量結合膜として前記第 1 のゲート電極との間に前記第 1 の容量を形成することを特徴とする請求項 3 に記載の窒化物半導体トランジスタ装置。

## 【請求項 5】

前記第 1 の容量は前記第 3 の絶縁膜を容量結合膜として前記第 1 のゲート電極と前記電荷蓄積用ゲート電極が形成する凸形状のエッジ部を少なくとも含み、前記電荷蓄積用ゲート電極への電子注入が前記凸形状のエッジ部におけるトンネルにより行われること特徴とする請求項 4 に記載の窒化物半導体トランジスタ装置。

30

## 【請求項 6】

前記第 3 の絶縁膜の少なくとも一部は前記第 1 のゲート電極の上面と側面を覆うように形成されており、前記電荷蓄積用ゲート電極は前記第 3 の絶縁膜の前記第 1 のゲート電極の上面と側面を覆うように形成された部分を少なくとも容量結合膜として含むように前記第 1 のゲート電極の上面から側面に渡って重なるように設けられたことにより前記凸形状のエッジ部が前記第 1 の容量に含まれることを特徴とする請求項 5 に記載の窒化物半導体トランジスタ装置。

40

## 【請求項 7】

前記電荷蓄積用ゲート電極と電荷蓄積用ゲート電極直下の前記導電チャネルの間に前記第 1 の絶縁膜を介して第 3 の容量が形成され、前記電荷蓄積用ゲート電極と前記第 2 のゲート電極の間に前記第 2 の絶縁膜を介して第 2 の容量が形成され、前記第 2 の容量の容量値もしくは前記第 1 の容量と前記第 2 の容量値の和を前記第 3 の容量の容量値より大きくしたことを特徴とする請求項 1 又は 2 に記載の窒化物半導体トランジスタ装置。

## 【請求項 8】

前記第 1 の窒化物半導体層が GaN で構成されており、前記第 2 の窒化物半導体層が  $Al_xGa_{1-x}N$  ( $0 < x < 1$ ) で構成されていることを特徴とする請求項 1 乃至 7 のいずれか一項に記載の窒化物半導体トランジスタ装置。

50

## 【請求項 9】

前記第 1 の絶縁膜の少なくとも最下層が酸化アルミニウムで構成されていることを特徴とする請求項 1 乃至 7 のいずれか一項に記載の窒化物半導体トランジスタ装置。

## 【請求項 10】

前記第 1 のゲート電極は前記第 2 の窒化物半導体層上に設けられ、前記第 1 のゲート電極の上面と側面を覆うように第 3 の絶縁膜が形成され、前記第 1 の容量は前記電荷蓄積用ゲート電極が前記第 1 のゲート電極に延在し前記第 3 の絶縁膜を容量結合膜として前記第 1 のゲート電極の上面から側面に渡って覆うように設けられることにより形成されたことを特徴とする請求項 1 又は 2 に記載の窒化物半導体トランジスタ装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、窒化物半導体トランジスタ装置に係り、特に、電界効果型トランジスタにおいて、ゲート電極への電圧印加のない状態でゲート電極下の導電チャネルが実質的にオフ状態となる、所謂、ノーマリオフを実現する窒化物半導体トランジスタ装置に関する。

## 【背景技術】

## 【0002】

窒化物半導体である GaN、AlN、InN、あるいはこれらの混晶からなる半導体は、広いバンドギャップを有し、かつ、伝導電子が高いキャリア移動度を有するため、高電圧高出力電子デバイスに好適である。特に、窒化物半導体により作製された電界効果型トランジスタ (FET、Field-Effect Transistor)、その一形態である AlGaN/GaN 等の半導体ヘテロ接合界面に誘起される伝導電子を導電チャネルに用いる高電子移動度トランジスタ (HEMT、High Electron Mobility Transistor) は、高電圧、大電流、低オン抵抗動作が可能であり、高出力電力増幅器や大電力スイッチング素子として用いられている。

## 【0003】

しかしながら、通常の窒化物半導体 FET は、ゲート電極への電圧印加がない状態でゲート電極下の導電チャネルがオン状態となる、所謂、ノーマリオンである。電源等の装置で用いられるスイッチング素子としては、誤動作等によりゲート電極に印加される制御電圧が失われた際にはスイッチが開となってしまうため、装置全体の破壊につながるなど、安全性の観点から好ましくない。

## 【0004】

このため、窒化物半導体 FET をノーマリオフ化する技術がいくつか開発されてきた。その一技術として、FET のゲート直下に p 型窒化物半導体層を挿入して pn 接合型のゲート電極とすることにより、ノーマリオフ動作を実現する方法が知られている (非特許文献 1 参照)。この技術では、ゲート電極の動作範囲は、半導体のバンドギャップで決まるフラットバンド電圧で制限される。このため、閾値を正の電圧とした場合、その値は 2 V 以下に留まり、通常の電源装置では 3 V 以上の正の閾値が望まれるのに対し、十分な閾値が得られない。また、ゲート電圧に印加できる正電圧は、pn 接合のオン電圧で制限されるため、ゲートの動作電圧振幅が小さくなり、FET がオン状態で導電チャネルに流すことのできる電流が制限される。

## 【0005】

ノーマリオフを実現する他の方法としては、FET のゲート直下に絶縁膜を挿入し、金属/絶縁物/半導体 (MIS、Metal-Insulator-Semiconductor) 接合型のゲート電極とする方法が知られている (非特許文献 2 参照)。この方法では、ゲート金属下に絶縁物が存在するため、ゲート電極を流れる漏えい電流を低く抑えることができ、大きな正のゲート電圧の印加が可能となる。このため、ゲート電極に pn 接合を用いる場合に比べ、閾値電圧を大きな正の値とした場合でもゲートの動作電圧振幅を十分に大きく取ることができる。

## 【0006】

10

20

30

40

50

図9に従来のMIS型ゲート電極を有するGaN FETの主要部分の断面構造を示す。基板1001の材料には、シリコンカーバイド(SiC)、シリコン(Si)、サファイア、GaNなどが用いられる。この基板1001上に、エピタキシャル成長により形成したバッファ層1002、GaN層1003、AlGaN層1004が順次積層されている。ゲート電極形成部のAlGaN層1004はリセスエッチングにより一部除去されている。リセスエッチング部1006内に絶縁膜1005をはさんでゲート電極1007が形成される。さらにソース電極1008、ドレイン電極1009を形成すれば、GaN HEMTの主要部分が完成する。絶縁膜1005の材料としては、例えば、酸化アルミニウム、酸化シリコン、窒化シリコン、あるいは従来知られているその他のゲート絶縁物材料が用いられる。GaN層1003とGaN層1003よりバンドギャップの大きいAlGaN層1004との界面のGaN層1003側に誘起される伝導電子により、導電チャネル1010が形成される。導電チャネル1010のゲート電極1007直下における伝導電子密度をゲート電極1007に印加する電圧で変化させることにより、トランジスタ動作が得られる。この従来例のFETは、AlGaN/GaN半導体ヘテロ界面に形成される導電チャネルを用いており、所謂、HEMTと呼ばれるFETの一種である。

10

#### 【0007】

図10に別の従来例のMIS型ゲート電極を有するGaN FETの主要部分の断面構造を示す。図9に示した従来例と同様に、基板1101の材料には、シリコンカーバイド(SiC)、シリコン(Si)、サファイア、GaNなどが用いられる。基板1101上に、エピタキシャル成長により形成したバッファ層1102、GaN層1103、AlGaN層1104が順次積層されている。また絶縁膜1105の材料としては、例えば、酸化アルミニウム、酸化シリコン、窒化シリコン、或は従来知られるその他のゲート絶縁物材料が用いられる。この従来例の図9に示した従来例との相違点は、リセスエッチング部1106が深く、その底部がAlGaN層1104を貫通してGaN層1103に達している点である。ソース電極1108とゲート電極1107との間、およびドレイン電極1109とゲート電極1107との間はAlGaN/GaN界面に形成される導電チャネル1110で電氣的に接続され、ゲート電極直下の導電チャネル1111は絶縁膜1105とGaN層1103との界面に誘起される伝導電子により形成される。この伝導電子の密度をゲート電極1107に印加する電圧で変化させることによりトランジスタ動作が得られる。

20

#### 【先行技術文献】

30

#### 【非特許文献】

#### 【0008】

【文献】Y. Uemoto et al., IEEE Transactions on Electron Devices Volume 54, Number 12, December 2007, p. 3393.

M. Kanamura et al., IEEE Electron Device Letters, Volume 31, Number 3, March 2010, p. 189.

#### 【発明の概要】

#### 【発明が解決しようとする課題】

40

#### 【0009】

図9に示した従来例において、ゲート電極部にリセスエッチング部1006を形成する目的は、FETの閾値電圧を正の値とすることによりノーマリオフとすることである。従来の電子デバイスに用いられる窒化物半導体は六方晶系結晶構造を有し、エピタキシャル成長の容易性から通常c軸方向に成長した層が用いられる。この場合、AlGaN層1004内には面に直交する方向(c軸方向)に沿って基板方向にピエゾ分極と自発分極に起因する大きな分極が発生する。

#### 【0010】

図11(a)および図11(b)にゲート電極下部の半導体層のバンド図を示す。このバンド図は、ゲートに電圧が印加されていない場合について示したものである。図11(b)

50

)は、図11(a)の構造に比べ、AlGa<sub>N</sub>層1004の厚さを薄くした場合である。図11(a)および図11(b)において、AlGa<sub>N</sub>層1004内に存在する分極(P)1202により、伝導帯下端1201のエネルギー値はゲート電極から離れるにつれて低下する。このため、図11(a)に示したように、AlGa<sub>N</sub>層1004の厚さが厚いと、AlGa<sub>N</sub>層1004とGa<sub>N</sub>層1003の接触界面の三角形のポテンシャル井戸に形成される基底量子準位がフェルミ準位1203(図中「E<sub>F</sub>」と表示)より下に位置するようになり、伝導電子が量子井戸内に誘起されて導電チャネル1010が形成される。ゲート電圧を印加しない状態で導電チャネルに誘起される伝導電子を実質的にゼロとしてノーマリオフとするには、AlGa<sub>N</sub>層1004の厚さを図11(b)に示したように薄くする必要がある。

10

#### 【0011】

非特許文献2に記載されているように、例えばAlGa<sub>N</sub>層1004のAl<sub>N</sub>混晶比、即ち、化学組成をAl<sub>x</sub>Ga<sub>1-x</sub>Nと表記した時のxが20%の場合、ゲート電極1007下部のAlGa<sub>N</sub>層1004の厚さは2ナノメートル程度とする必要がある。xが大きくなると、AlGa<sub>N</sub>層1004をさらに薄くする必要がある。一方、図9において、ソース電極1008とゲート電極1007、およびドレイン電極1009とゲート電極1007との間の領域では、AlGa<sub>N</sub>層1004の厚さは10ナノメートル程度、あるいはそれ以上とし、十分な量の伝導電子をAlGa<sub>N</sub>/Ga<sub>N</sub>界面の導電チャネル1010に誘起し、この領域の抵抗を下げる必要がある。このため、図9に示したように、あらかじめ厚いAlGa<sub>N</sub>層1004を成長させ、ゲート電極を形成する部分のみリセスエッチングしてAlGa<sub>N</sub>層を薄くする必要がある。しかし、エッチング後の残りのAlGa<sub>N</sub>層の厚さによって閾値電圧が変わるため、実際にトランジスタを製造する場合においては、リセスエッチング部1006のエッチング深さを厳密に制御しなければならず、基板1001上一括して多数のトランジスタを作成する場合、エッチング量の面内ばらつきを抑えることが困難であった。

20

#### 【0012】

図9に示した従来例にはさらに別の問題点がある。通常、窒化物半導体と絶縁物との界面には、窒化物半導体の伝導帯下端から数百ミリ電子ボルトの範囲に多数のトラップ準位が存在する。図11(c)は、AlGa<sub>N</sub>層1004を十分に薄くし、トランジスタをノーマリオフとした場合において、ゲート電極1007に正のゲート電圧1205(図中「V」と表示)を印加し、伝導電子を導電チャネル1010に誘起した状態を示すバンド図であるが、絶縁膜1005とAlGa<sub>N</sub>層1004との界面にトラップ準位1204が存在するため、正のゲート電圧1205を印加した際、フェルミ準位1203がトラップ準位1204によって固定され、正のゲート電圧1205による導電チャネル1010内への伝導電子の蓄積が阻害される。その結果、オン抵抗が下がらず、かつオン電流が上がらず、スイッチとしての性能が著しく低下する。

30

#### 【0013】

一方、図10に示した従来例では、図9の場合と異なり、リセスエッチング部1106はAlGa<sub>N</sub>層1104を貫通しGa<sub>N</sub>層1103に達している。従って、AlGa<sub>N</sub>層1004の分極の影響を避けることができ、エッチング後のAlGa<sub>N</sub>層の厚さの制御の問題はなくなる。しかしながら、絶縁膜1105とGa<sub>N</sub>層1103との界面に形成される導電チャネル1111内の伝導電子の移動度は、AlGa<sub>N</sub>/Ga<sub>N</sub>界面の伝導電子の移動度に比べて数分の1と小さい。このため、図9に示した所謂HEMTに比べ、トランジスタの性能が大幅に低下する問題があった。また、この従来例においても、図12に示した従来例と同様に、絶縁膜1105とGa<sub>N</sub>層1103との界面に存在するトラップ準位が導電チャネル1111の伝導電子の蓄積を阻害し、オン抵抗が下がらず、かつオン電流が上がらず、スイッチとしての性能が劣化する問題があった。

40

#### 【0014】

従って、本発明の目的は、上述したような従来の窒化物半導体FETにおける問題点を解決することができる新たなノーマリオフ窒化物半導体トランジスタ装置を提供することに

50

ある。

【課題を解決するための手段】

【0015】

上記課題を解決するために、本願の第1の発明による窒化物半導体トランジスタ装置は、基板と、基板上に設けられた第1の窒化物半導体層と、第1の窒化物半導体層上に設けられた、第1の窒化物半導体層よりバンドギャップの大きい第2の窒化物半導体層を有し、第1の窒化物半導体層と第2の窒化物半導体層との界面近傍に誘起される伝導電子が導電チャネルを形成する。導電チャネルの基板上の不要部分を不活性にするため、イオン打ち込み、第1の窒化物半導体層や第2の窒化物半導体層のエッチング除去等により素子分離領域が設けられる。さらに少なくともその一部が素子分離領域上に設けられた金属あるいは半導体で構成される低抵抗層よりなる第1のゲート電極と、少なくともその一部が第2の窒化物半導体層上に設けられた第1の絶縁膜と、第1の絶縁膜上に設けられた金属あるいは半導体で構成される低抵抗層よりなる電荷蓄積用ゲート電極を有し、電荷蓄積用ゲートは第1の絶縁膜を介して前記導電チャネルと静電容量結合により第3の容量を構成する。さらに第1のゲート電極の少なくとも一部を覆うように第3の絶縁膜が設けられ、電荷蓄積用ゲート電極は第3の絶縁膜上にまで延在し、電荷蓄積用ゲート電極は第3の絶縁膜を容量結合膜として第1のゲート電極との静電容量結合により第1の容量を構成する。好ましい形態として、第3の絶縁膜は少なくともその一部が第1のゲート電極の上面と側面を覆うように形成されており、電荷蓄積用ゲート電極はその部分を少なくとも容量結合膜として含むように第1のゲート電極の上面から側面に渡って重なるように設けてもよい。又電荷蓄積用ゲート電極上には第2の絶縁膜が設けられ、第2の絶縁膜上に第2のゲート電極が設けられており、電荷蓄積用ゲート電極は第2の絶縁膜を介して第2のゲート電極との静電容量結合により第2の容量を構成する。第1のゲート電極と第2のゲート電極との間に印加する電圧により電荷蓄積用ゲート電極に負の電荷を蓄積する事ができ、又面方向に電荷蓄積用ゲート電極を挟んで第2の窒化物半導体層上にソース電極及びドレイン電極が設けられ、導電チャネルを通過して該ソース電極と該ドレイン電極との間で流れる電流を第2のゲートに印加する電圧、あるいは同時に第1のゲート電極と第2のゲート電極に印加する電圧で遮断する閾値を電荷蓄積用ゲート電極に蓄積する負の電荷により正の値とする。

【0016】

本願の第2の発明による窒化物半導体トランジスタ装置は、基板と、基板上に設けられた第1の窒化物半導体層と、第1の窒化物半導体層上に設けられた、第1の窒化物半導体層よりバンドギャップの大きい第2の窒化物半導体層を有し、第1の窒化物半導体層と第2の窒化物半導体層との界面近傍に誘起される伝導電子が導電チャネルを形成する。さらに少なくとも一部が第2の窒化物半導体層上に設けられた第4の絶縁膜と、第4の絶縁膜上に設けられた第1のゲート電極と、少なくともその一部が第2の窒化物半導体層上に設けられた第1の絶縁膜と、第1の絶縁膜上に設けられた金属あるいは半導体で構成される低抵抗層よりなる電荷蓄積用ゲート電極を有し、電荷蓄積用ゲート電極は第1の絶縁膜を介して前記導電チャネルと静電容量結合により第3の容量を構成する。さらに第1ゲート電極の上面と側面には第3の絶縁膜が設けられ、電荷蓄積用ゲート電極は第3の絶縁膜上にまで延在し、電荷蓄積は第3の絶縁膜を介して第1のゲート電極との静電容量結合により第1の容量を構成する。又電荷蓄積用ゲート電極上には第2の絶縁膜が設けられ、さらに第2の絶縁膜上に第2のゲート電極が設けられており、電荷蓄積用ゲート電極は第2の絶縁膜を介して第2のゲート電極との静電容量結合により第2の容量を構成する。第1のゲート電極と第2のゲート電極との間に印加する電圧により電荷蓄積用ゲート電極に負の電荷を蓄積する事ができ、又面方向に電荷蓄積用ゲート電極を挟んで第2の窒化物半導体層上にソース電極及びドレイン電極が設けられ、導電チャネルを通過して該ソース電極と該ドレイン電極との間で流れる電流を第2のゲート電極に印加する電圧、あるいは同時に第1のゲート電極と第2のゲート電極に印加する電圧で遮断する閾値を電荷蓄積用ゲート電極に蓄積する負の電荷により正の値とする。

10

20

30

40

50

## 【 0 0 1 7 】

本願の第 1 の発明及び第 2 の発明によれば、閾値を正の値にするために第 2 の窒化物半導体層の厚さをリセスエッチングにより薄くする必要なしに、あるいはリセスエッチングにより薄くした場合においてもその残りの厚さを十分に大きくすることにより、閾値のばらつきの少ないノーマリオフ窒化物半導体トランジスタ装置を得ることができる。さらに、第 2 の窒化物半導体層の厚さを大きくすることにより、第 2 のゲート電極に印加する正の電圧、あるいは第 1 のゲート電極と第 2 のゲート電極に同時に印加する正の電圧を増やして導電チャネルを流れる電流を増大せしめる際に、第 2 の窒化物半導体層と第 1 の絶縁膜との間に存在する界面準位の影響を受け難くなるため、オン抵抗、オン電流などのスイッチとしての特性に優れるノーマリオフ窒化物半導体トランジスタ装置を得ることができる。

10

## 【 0 0 1 8 】

上記の発明の二つの好ましい形態において、何れも、第 1 の容量の容量値を第 3 の容量の容量値より大きくすることが好ましい。あるいは第 1 のゲート電極と第 2 のゲート電極に同時に電圧を印加して導電チャネルを流れる電流を遮断する場合においては、第 1 の容量の容量値と第 2 の容量の容量値の和を第 3 の容量の容量値より大きくすることが好ましい。これにより、第 2 のゲート電極および第 1 のゲート電極に印加する電圧に対するオン抵抗およびオン電流の依存性を高めることができる。この目的のため、例えば、第 2 の絶縁膜ないし第 3 の絶縁膜の誘電率を第 1 の絶縁膜の誘電率より大きくすることが好ましい。或いはまた、第 3 の絶縁膜を容量膜として電荷蓄積用ゲート電極と第 1 のゲート電極との間で形成される第 1 の容量の面積ないし第 2 の絶縁膜を容量膜として電荷蓄積用ゲート電極と第 2 のゲート電極との間で形成される第 2 の容量の面積を、第 1 の絶縁膜を容量膜として電荷蓄積用ゲート電極と導電チャネルとの間で形成される第 3 の容量の面積よりも大きくすることが好ましい。

20

## 【 0 0 1 9 】

第 1 の発明の更に別の好ましい一形態においては、第 1 の窒化物半導体層は GaN で構成され、第 2 の窒化物半導体層が  $Al_xGa_{1-x}N$  ( $0 < x < 1$ ) で構成される。GaN と  $Al_xGa_{1-x}N$  との界面に誘起される導電チャネルは高い電子移動度を有するため、オン抵抗やオン電流等のスイッチとしての特性に優れるノーマリオフ窒化物半導体トランジスタ装置が得られる。

## 【 0 0 2 0 】

さらに第 1 の発明の別の好ましい一形態においては、第 1 の絶縁膜の少なくとも最下層が酸化アルミニウムで構成される。酸化アルミニウムは窒化物半導体層との界面において界面準位を発生しにくいいため、第 2 ゲート電極乃至第 1 のゲート電極に印加する正の電圧を増やし、第 1 の窒化物半導体層と第 2 の窒化物半導体層との界面に誘起される導電チャネルを流れる電流を増大せしめる際に、第 2 の窒化物半導体層と第 1 の絶縁膜との間に存在する界面準位の影響を受け難くなるため、オン抵抗、オン電流などのスイッチとしての特性に優れるノーマリオフ窒化物半導体トランジスタ装置が得られる。

30

## 【発明の効果】

## 【 0 0 2 1 】

本願の第 1 の発明もしくは第 2 の発明によれば、オン抵抗やオン電流等のスイッチとしての特性に優れ、かつ特性のばらつきの少ないノーマリオフ窒化物半導体トランジスタ装置が得られる。

40

## 【図面の簡単な説明】

## 【 0 0 2 2 】

【図 1 ( a )】図 1 ( a ) は本願第 1 の発明の一形態である F E T を示す平面図および断面図である。

【図 1 ( b )】図 1 ( b ) は第 1 の実施例である F E T の各ノード間のキャパシタの等価回路図である。

【図 1 ( c )】図 1 ( c ) は第 2 のゲート電極と第 1 のゲート電極を同電位とした際の、第 1 と第 2 のゲート電極をゲートとする F E T の閾値と電荷蓄積層の蓄積電荷量との関係

50

を示すグラフである。

【図 2 ( a )】図 2 ( a ) は電荷蓄積用ゲート電極に負電荷が多く蓄積された場合のバンドダイアグラム図である。

【図 2 ( b )】図 2 ( b ) は電荷蓄積用ゲート電極に負電荷が多く蓄積された場合において、第 2 のゲート電極と第 1 のゲート電極に正の電圧が印加された場合の電荷蓄積用ゲート電極下のバンドダイアグラム図である。

【図 2 ( c )】図 2 ( c ) は図 2 ( b ) と同じ状況でのバンドダイアグラムにおける界面準位のエネルギー位置を示す図である。

【図 3】図 3 は電荷蓄積用ゲート電極に電子を注入する動作を示す F E T の断面図である。

【図 4】図 4 は本願第 2 の発明の一形態である F E T の平面図と断面図である。

10

【図 5】本願第 1 の発明の別の形態である F E T の平面図と断面図である。

【図 6】図 6 は本願第 1 の発明のさらに別の形態である F E T の平面図と断面図である。

【図 7】図 7 は本願第 1 の発明のさらに別の形態である F E T の平面図である。

【図 8】図 8 は本願第 2 の発明の別の形態である F E T の平面図と断面図である。

【図 9】図 9 は従来例である F E T の平面図と断面図である。

【図 1 0】図 1 0 は別の従来例である F E T の断面図である。

【図 1 1 ( a )】図 1 1 ( a ) は従来例である F E T のバンドダイアグラムを示す図である。

【図 1 1 ( b )】図 1 1 ( b ) は同じく従来例である F E T のバンドダイアグラムを示す図である。

20

【図 1 1 ( c )】図 1 1 ( c ) は同じく従来例である F E T のバンドダイアグラムを示す図である。

【発明を実施するための形態】

【 0 0 2 3 】

図 1 ( a ) に本願第 1 の発明の一形態である F E T の平面図とその A - A ' および B - B ' 断面図を示す。基板 1 0 1 上にバッファ層 1 0 2、Ga N 層 1 0 3、Al Ga N 層 1 0 4 を順次積層する。基板 1 0 1 とバッファ層 1 0 2 は図 9 に例示した従来例の場合と同じ材料で形成される。次に平面図ないし B - B ' 断面図に示される様に、素子分離領域 1 1 4 をイオン打ち込みにより Al Ga N 層 1 0 4、Ga N 層 1 0 3 ないしバッファ層 1 0 2 を電気的に不活性化することにより形成する。素子分離領域内の Al Ga N 層 1 0 4、さらにその下の Ga N 層 1 0 3 ないしバッファ層 1 0 2 を除去する方法を用いてもよい。後述する他の実施例における素子分離法も上記と同様である。次に平面図ないし B - B ' 断面図に示す様に素子分離領域 1 1 4 上に第 4 の絶縁膜 1 2 9 を介して金属あるいは半導体で構成される低抵抗材料よりなる第 1 のゲート電極 1 0 7 を設ける。次に、第 2 の窒化物半導体層 1 0 4 上に第 1 の絶縁膜 1 0 5 を介して金属あるいは半導体で構成される低抵抗材料よりなる電荷蓄積用ゲート電極 1 0 6 を設ける。電荷蓄積用ゲート電極 1 0 6 は少なくともその一部が素子分離領域 1 1 4 上で第 3 の絶縁膜 1 2 8 を介して第 1 のゲート電極 1 0 7 の側面と上面に接し静電容量結合により第 1 の容量を構成する。なお、第 3 の絶縁膜 1 2 8 は第 1 の絶縁膜 1 0 5 の形成と同時に同じ絶縁膜材料で形成してもよい。次に、電荷蓄積用ゲート電極 1 0 6 上に第 2 の絶縁膜 1 1 1 を介して第 2 のゲート電極 1 1 2 を設ける。第 2 ゲート電極 1 1 2 は少なくともその一部が第 2 の絶縁膜 1 1 1 を介して電荷蓄積用ゲート電極 1 0 6 の上面に面しており、電荷蓄積用ゲート電極 1 0 6 との間で静電容量結合により第 2 の容量を構成する。次に、あるいは以前の工程において、Al Ga N 層 1 0 4 上の面方向に電荷蓄積用ゲート電極 1 0 6 を挟んで第 2 の窒化物半導体層上にソース電極 1 0 8 およびドレイン電極 1 0 9 を設ける。一方、Ga N 層 1 0 3 と Al Ga N 層 1 0 4 との界面に誘起される導電チャネル 1 1 0 と電荷蓄積層 1 0 6 は静電容量結合により第 3 の容量を構成し、導電チャネル 1 1 0 を介してソース電極 1 0 8 とドレイン電極 1 0 9 の間を流れる電流を第 2 のゲート電極 1 1 2 の電圧あるいは第 1 のゲート電極 1 0 7 と第 2 のゲート電極 1 1 2 に同時に印加する電圧を制御することにより変化させることができ、第 2 のゲート電極 1 1 2 あるいは第 1 のゲート電極と第 2 のゲート電極とに印加する電圧

30

40

50

により当該電流を遮断する際の閾値が正の値となるように、電荷蓄積用ゲート電極106に負の電荷を蓄積する。なお、FETのソース電極108とドレイン電極109との間のリークを防止するため、電荷蓄積用ゲート電極106端は素子分離領域114にまで延在している。ソース電極108と電荷蓄積用ゲート電極106、およびドレイン電極109と電荷蓄積用ゲート電極106の間の領域では、AlGa<sub>N</sub>層104の厚さは10ナノメートル程度、あるいはそれ以上とし、十分な量の伝導電子をAlGa<sub>N</sub>/Ga<sub>N</sub>界面の導電チャネル110に誘起して、当該領域の抵抗を下げる。AlGa<sub>N</sub>層104のAl<sub>1-x</sub>Ga<sub>x</sub>N混晶比、即ち、化学式をAl<sub>x</sub>Ga<sub>1-x</sub>Nと表記した際のxの値は、Ga<sub>N</sub>と格子定数の異なるAlGa<sub>N</sub>が著しく格子緩和を起こさないように適宜調節する。通常、xは0.1から0.4の間で調節される。電荷蓄積用ゲート電極106は周囲を第1の絶縁膜105と第2の絶縁膜111と第3の絶縁膜128で覆われ、電氣的に浮遊状態となる。よって、パッケージに封止した際は、ソース電極108とドレイン電極109と第1のゲート電極107と第2のゲート電極112のみ外部ピンに接続される。又は第1のゲート電極107と第2のゲート電極112をパッケージに封止する際ショートさせ1つの外部ピンとする方式もある。あるいは第1のゲート電極107をフローティングにして封止してもよい。外部ピンへ接続される電極が4つないし3つであることは、後述する他の実施例でも同様である。電荷蓄積用ゲート電極106として、金属層の他、不純物をドーブした多結晶シリコンを使うことができる。その場合、不純物は燐、砒素、ボロン等を用いる。

10

#### 【0024】

図1(a)に示したFETの各ノード間容量を図1(b)に示す。電荷蓄積用ゲート電極106直下の導電チャネル110との間には第3のキャパシタ115が、また、電荷蓄積用ゲート電極106と第1のゲート電極107の間にはキャパシタ117が、また、電荷蓄積用ゲート電極106と第2のゲート電極112の間にはキャパシタ116が形成される。キャパシタ117が本願の第1の発明における第1の容量、キャパシタ116が第2の容量、キャパシタ115が第3の容量である。電荷蓄積用ゲート電極106はキャパシタ117を介して第1のゲート電極107と静電容量結合しており、さらに電荷蓄積用ゲート電極106はキャパシタ115を介して導電チャネル110、特にゲート直下導電チャネル113と静電容量結合している。よって、電荷蓄積層106の電位は、第1のゲート電極107と第2のゲート電極112とゲート直下導電チャネル113の各電位と電荷蓄積用ゲート電極106に蓄積される電荷118によって決まる。ソース電極108の電位、ドレイン電極109の電位、ゲート直下導電チャネル113の電位と電荷蓄積層106内の蓄積電荷118を一定とすると、電荷蓄積層106電位は第1のゲート電極107電位と第2のゲート電極112電位で決まり、第2のゲート電極112もしくは第1のゲート電極107電位を高電位にすれば電荷蓄積層106も同じく高電位になる。また、ソース電極108電位、ドレイン電極109電位および第1のゲート電極107電位と第2のゲート電極112電位を一定とすれば、電荷蓄積用ゲート電極106電位は電荷蓄積用ゲート電極106内の蓄積電荷118で決まり、電荷蓄積用ゲート電極106内の蓄積電荷118が負であれば電荷蓄積用ゲート電極106の電位は低下する。よって第2ゲート112と第1のゲート107を同電位とした際に、両ゲートから見たFETの閾値電圧は電荷蓄積層106内の蓄積電荷118によって決まり、図1(c)に模式的に示す様に、より多くの負電荷を蓄積すれば、より閾値電圧は高くなる。それ故、或る量以上の負電荷を電荷蓄積層106に蓄積すれば、FETの閾値電圧を3V以上にでき、十分なノーマリオフ状態が達成される。

20

30

40

#### 【0025】

オン抵抗やオン電流の第2ゲート電極112の電圧依存性、あるいは第1ゲート電極107と第2ゲート電極112の両者に同時に印加する電圧依存性を高めるため、電荷蓄積用ゲート電極106とゲート直下導電チャネル113との間のキャパシタ115に比べ、電荷蓄積用ゲート電極106と第2ゲート電極112との間のキャパシタ116、あるいは電荷蓄積用ゲート電極106と第1ゲート電極107との間のキャパシタ116の容量を足した値を相対的に大きくする。

50

## 【 0 0 2 6 】

表 1 は電荷蓄積用ゲート電極へ負電荷注入の際の各ノードへの印加電圧を示す。

【表 1】

112	$V_{\text{program}}$
107	$V_{\text{low}} (0V)$
108	非接続
109	非接続

10

## 【 0 0 2 7 】

電荷蓄積用ゲート電極 106 に電子を注入する方式としては、表 1 に示す電位を各ノードに印加する事で行う。つまり第 2 のゲート電極 112 に或る正の高電圧  $V_{\text{program}}$  を与え、第 1 のゲート電極 107 に  $V_{\text{program}}$  より低電位である  $V_{\text{low}}$ 、例えば 0 V を与える。又ソース 108 とドレイン電極 109 は浮遊状態とする。電荷蓄積用ゲート電極 106 は、第 2 の絶縁膜 111 を介して第 2 のゲート電極 112 との間に形成される第 2 の静電容量 116 により、 $V_{\text{low}}$  と  $V_{\text{program}}$  の中間の或る高電位となる。電荷蓄積用ゲート電極 106 と第 1 のゲート電極 107 の間の電界が十分大きくなると、電子が第 3 の絶縁膜をトンネルし、電荷蓄積用ゲート電極に注入される。特に電荷蓄積用ゲート電極 106 がゲート電極の上面から側面に渡って重なるように設けられている場合、図 3 に示す様に、第 1 のゲート電極 107 のエッジ部が凸形状と成っており電界が高いため、エッジ部から電荷蓄積用ゲート電極 106 へと容易に電子がトンネルして行く。一定以上電子が電荷蓄積用ゲート電極 106 へと注入されると図 1 ( c ) に示す様に、第 1 のゲート電極 107 と第 2 のゲートを同電位のゲートとする F E T の閾値が正となる。

20

30

## 【 0 0 2 8 】

表 2 は表 1 とは異なる、電荷蓄積用ゲート電極へ負電荷注入の際の各ノードへの印加電圧を示す。

【表 2】

112	$V_{\text{program}}$
107	$V_{\text{low}} (0V)$
108	$V_{\text{program}}^*$
109	$V_{\text{program}}^*$

40

## 【 0 0 2 9 】

50

電荷蓄積用ゲート電極 106 に電子を注入する第 2 の方式としては、表 2 に示す電位を各ノードに印加する事で行う。つまり第 2 のゲート電極 112 に或る正の高電圧  $V_{\text{program}}$  を与え、第 1 のゲート電極 107 を  $V_{\text{program}}$  より低電位である  $V_{\text{low}}$ 、例えば 0 V を与える。ソース電極 108 とドレイン電極 109 には  $V_{\text{program}}$  を与える。尚、 $V_{\text{program}}$  は  $V_{\text{low}}$  より高い電位に設定する。すると電荷蓄積用ゲート電極 106 は、第 2 の絶縁膜 111 を介して第 2 のゲート電極 112 との間の第 2 の静電容量 116 と、更に電荷蓄積用ゲート電極 106 とゲート直下導電チャネル間の第 3 の静電容量 115 により、 $V_{\text{low}}$  より高電位となる。すると上記方式同様で、電荷蓄積用ゲート電極 106 と第 1 のゲート電極 107 の間の電界が十分大きくなると、電子が第 3 の絶縁膜をトンネルし、電荷蓄積用ゲート電極に注入される。特に電荷蓄積用ゲート電極 106 がゲート電極の上面から側面に渡って重なるように設けられている場合、図 3 に示す様に第 1 のゲート電極 107 のエッジ部が凸形状と成っており電界が高いため、エッジ部から電荷蓄積層 106 へと電子がトンネルして行く。一定以上電子が電荷蓄積用ゲート電極 106 へと注入されると図 1 (c) に示す様に、第 1 のゲート電極 107 と第 2 のゲートを同電位のゲートとする FET の閾値が正となる。

#### 【0030】

ノーマリオフとなった場合のバンド図を図 2 (a) に示す。このバンド図は、第 1 のゲート電極 107 及び第 2 のゲート電極 112 に電圧が印加されていない場合について示したものである。電荷蓄積用ゲート電極 106 に負の蓄積電荷 118 が蓄積されると、電荷蓄積用ゲート電極 106 のポテンシャルエネルギーが上昇する。よって、AlGaIn 層 104 内に存在する分極 (P) 119 による大きなポテンシャルエネルギーの降下があった場合においても、十分な負電荷 118 が有る場合には、その影響で AlGaIn 層 104 と GaN 層 103 との界面における伝導帯下端 120 はフェルミ準位 (EF) 121 より上に位置するようになり、伝導電子が界面に形成されない。つまり図 1 (c) で示される閾値が正の状態となる。

#### 【0031】

第 2 のゲート電極 112 と第 1 のゲート電極 107 は同電位とし、両ゲート電極に或る正のゲート電圧を印加した場合のバンド図を図 2 (b) に示す。図 1 (b) に示す容量結合により、電荷蓄積用ゲート電極 106 に実効的な正電圧  $V_{112}$  ( $V$  と表示) が印加される。これにより、AlGaIn 層 104 と GaN 層 103 の界面において伝導帯下端 120 がフェルミ準位 121 より下に位置するようになり、伝導電子が誘起されて導電チャネル 110 に電流が流れる。本実施例においては、第 1 のゲート電極 107 および電荷蓄積用ゲート電極 106 下の AlGaIn 層 104 の厚さを薄くすることなく、電荷蓄積用ゲート電極 106 に負の電荷を蓄積することによりトランジスタをノーマリオフとすることができる。そのため、従来技術におけるような AlGaIn 層 104 層をエッチングした残りの厚さがばらつくことによる閾値等の素子特性のばらつきの問題がない。また、電荷蓄積用ゲート電極 106 の下方の AlGaIn 層 104 が十分厚いため、図 2 (c) に示したように、絶縁膜 105 と AlGaIn 層 104 との界面に存在するトラップ準位 123 のエネルギーはフェルミ準位 121 より上に位置するようになり、第 1 のゲート電極 107 および第 2 のゲート電極 112 への電圧印加による導電チャネル 110 への伝導電子の誘起を阻害することはない。

#### 【0032】

なお、本実施例では電荷蓄積用ゲート電極 106 の下方の AlGaIn 層 104 を全くエッチングしない場合について説明したが、或る程度エッチングして AlGaIn 層 104 の厚さを薄くしてもよい。例えば、従来例である図 9 に示した構造に類似して、AlGaIn 層 104 に施したりセスエッチング部に絶縁膜 105、電荷蓄積層 106 等を埋め込んで形成してもよい。この場合も、残りの AlGaIn 層 104 の厚さを十分厚くすることにより、従来に比べ閾値電圧等の素子特性のばらつきが抑えられ、またトラップ準位による影響を回避することができる。

#### 【0033】

10

20

30

40

50

図4に本願第2の発明の一形態であるFETの平面図とそのA-A'およびB-B'断面図を示す。基板101上にバッファ層102、GaN層103、AlGaN層104を順次積層する。基板101とバッファ層102は図9に例示した従来例の場合と同じ材料で形成される。次に平面図ないしB-B'断面図に示される様に、素子分離領域114をイオン打ち込みによりAlGaN層104、GaN層103ないしバッファ層102を電氣的に不活性化することなどにより形成する。次に金属あるいは半導体で構成される低抵抗材料よりなる第1のゲート電極107を第4の絶縁膜129を介して第2の窒化物半導体層104上に設ける。更に金属あるいは半導体で構成される低抵抗材料よりなる電荷蓄積用ゲート電極106を設ける。電荷蓄積用ゲート電極106は第3の絶縁膜128を介して第1のゲート電極107の側面と上面に接し静電容量結合により第1の容量を構成し、さらに電荷蓄積層106は少なくともその一部が第1の絶縁膜105を介して第2の窒化物半導体層104上に設けられており、GaN層103とAlGaN層104との界面に誘起される導電チャネル110と電荷蓄積層106は静電容量結合により第3の容量を構成する。なお、第3の絶縁膜128は第1の絶縁膜105の形成と同時に同じ絶縁膜材料で形成してもよい。次に電荷蓄積用ゲート電極106上に第2の絶縁膜111を設け、さらに第2の絶縁膜上に第2のゲート電極112を設ける。、第2ゲート電極112は少なくともその一部が第2の絶縁膜111を介して電荷蓄積用ゲート電極106の上面に面しており、電荷蓄積用ゲート電極106との間で静電容量結合により第2の容量が構成される。又AlGaN層104上の面方向に第1のゲート電極107と電荷蓄積用ゲート電極106を挟んで第2の窒化物半導体層上にソース電極108およびドレイン電極109を設け、導電チャネル110を介してソース電極108とドレイン電極109の間を流れる電流を第2のゲート電極112の電圧、あるいは第1のゲート電極107と第2のゲート電極112に同時に印加する電圧を制御することにより変化させることができ、第2のゲート電極の電圧、あるいは第1のゲート電極と第2のゲート電極とに同時に印加する電圧により当該電流を遮断する際の閾値が正の値となるように、電荷蓄積層106に負の電荷を蓄積する。なお、FETのソース電極108とドレイン電極109との間のリークを防止するため、第1のゲート電極107と電荷蓄積用ゲート電極106端は素子分離領域114にまで延在するように設ける。ソース電極108と電荷蓄積用ゲート電極106、およびドレイン電極109と電荷蓄積用ゲート電極106の間の領域では、AlGaN層104の厚さは10ナノメートル程度、あるいはそれ以上とし、十分な量の伝導電子をAlGaN/GaN界面の導電チャネル110に誘起して、当該領域の抵抗を下げる。AlGaN層104のAlN混晶比、即ち、化学式を $Al_xGa_{1-x}N$ と表記した際のxの値は、GaNと格子定数の異なるAlGaNが著しく格子緩和を起こさないように適宜調節する。通常、xは0.1から0.4の間で調節される。電荷蓄積用ゲート電極106は周囲を第1の絶縁膜105、第2の絶縁膜111、および第3の絶縁膜128で覆われ、電氣的に浮遊状態となる。よって、パッケージに封止した際は、ソース電極108とドレイン電極109と第1のゲート電極107と第2のゲート電極112のみ外部ピンに接続される。又は第1のゲート電極107と第2のゲート電極112をパッケージに封止する際ショートさせ1つの外部ピンとする方式もある。あるいは第1のゲート電極107をフローティングにして封止してもよい。外部ピンへ接続される電極が4つないし3つであることは、後述する他の実施例でも同様である。電荷蓄積用ゲート電極106として、金属層の他、不純物をドーピングした多結晶シリコンを使うことができる。その場合、不純物は燐、砒素、ボロン等を用いる。

図4に示した本願第2の発明では、第1のゲート電極107は素子活性領域に設けられている。このため、図1(a)に示した本願第1の発明に比べ、ソース電極108とドレイン電極109の間の距離が長くなり、オン抵抗などのスイッチとしての性能は及ばない。一方、第1のゲート電極が電荷蓄積用ゲート電極106のドレイン電極109側に設けられているため、スイッチの待機状態においてドレイン電極109に大電圧が印加されても、該電圧の殆どが第1のゲート電圧にかかり、第1のゲート電極107と電荷蓄積用ゲート電極106との間の電圧降下は小さく抑えられる。このため電荷蓄積用ゲート電極1

10

20

30

40

50

06のドレイン側エッジにおける電界の集中を緩和することができ、電荷蓄積用ゲート電極106とAlGaN層104との間に局所的に過大な電位差が生じるのを抑えられ、電荷蓄積用ゲート電極106内の蓄積電荷118がより放出され難くなり、閾値の経時変化を抑えられる。

【0034】

電荷蓄積層106に電子を注入する方式としては、第1の実施例と同様で、表1及び表2に示す電位を各ノードに印加する事で行う。

【0035】

図5に本願第1の発明の別の形態であるFETの平面図と断面図を示す。本実施例は、図1(a)に示した実施例において、AlGaN層104上に絶縁膜130を設け、絶縁膜130上にフィールドプレート124を加えたものであり、その他の部分は第1の実施例と同等である。尚、フィールドプレート124は平面図及びA-A'断面図に示す様に、ドレイン電極109と電荷蓄積用ゲート電極106との間に形成される。さらにフィールドプレート124は第2のゲート電極112と同一材料で、同時に形成する事も出来る。フィールドプレート124はソース電極108とほぼ同電位とする。これにより、第1のゲート電極107と第2のゲート電極112の電圧が0Vである待機時にドレイン電極109に高い電圧が印加されても電荷蓄積用ゲート電極106のドレイン側エッジにおける電界の集中を緩和することができ、電荷蓄積用ゲート電極106とAlGaN層104との間に局所的に過大な電位差が生じるのを抑えられ、電荷蓄積用ゲート電極106内の蓄積電荷118がより放出され難くなり、閾値の経時変化を抑えられる。

【0036】

図6に本願第1の発明のさらに別の形態であるFETの平面図と断面図を示す。本実施例は、図1(a)に示した実施例に当たる電荷蓄積層106とドレイン電極109間に第3のゲート電極125を加えたものである。これにより、第1のゲート電極107と第2のゲート電極112の電圧が0Vである待機時にドレイン電極109に高い電圧が印加されても電荷蓄積用ゲート電極106のドレイン側エッジにおける電界の集中を緩和することができ、電荷蓄積用ゲート電極106とAlGaN層104との間に局所的に過大な電位差が生じるのを抑えられ、電荷蓄積用ゲート電極106内の蓄積電荷118がより放出され難くなり、閾値の経時変化を抑えられる。第3のゲート電極125は第1の絶縁膜105上に設ける。第3のゲート電極は電荷蓄積用ゲート電極106と同一の材料で同時に構成してもよい。なお、第3のゲート電極125下部の絶縁膜は第1の絶縁膜105とは別の絶縁膜を用いてもよい。あるいは絶縁膜を介さずに第2の窒化物半導体層上に形成してもよい。

【0037】

図7に本願第1の発明のさらに別の形態であるFETの平面図を示す。本実施例における素子の基本構造は、図1(a)に示した実施例と同じであるが、本実施例ではソース電極108およびドレイン電極109が複数のフィンガで構成されており、電荷蓄積用ゲート電極106及び第2のゲート電極112がソース電極108、ドレイン電極109の各フィンガ間を縫うように配置されている。第1のゲート電極107は素子分離領域114上に配置されており、第1の実施例同様に電荷蓄積層との間に第3の絶縁膜128を介して第1の容量を構成する。素子分離領域114に電荷蓄積用ゲート電極106と第1のゲート電極107で構成されるキャパシタ117が配置されている点は第1の実施例と同様である。本実施例では複数のソースおよびドレインフィンガを用いFETのゲート幅を増大させることにより、大電流のスイッチ動作が可能となる。

【0038】

図8に本願第2の発明の別の形態であるFETの平面図を示す。本実施例における素子の基本構造は、図4に示した第2の実施例と同じであるが、本実施例ではソース電極108およびドレイン電極109が複数のフィンガで構成されており、第1のゲート電極107、電荷蓄積用ゲート電極106及び第2のゲート電極112がソース電極108、ドレイン電極109の各フィンガ間を縫うように配置されている。これにより、大電流のスイ

10

20

30

40

50

ッチ動作が可能となる。

【0039】

本実施例による窒化物半導体FETは、電源回路等に用いられるパワースイッチング素子として有望であるが、高周波トランジスタとして用いても良い。この場合、第2のゲート電極112及び第1のゲート電極107は、高周波トランジスタにおいて通常ゲート電極と呼ばれる電極と同等である。FETはノーマリオフ、即ち、エンハンスメント型の動作をするため、ゲート電極とドレイン電極に印加する電圧が共に正の電圧となる。このため、トランジスタを正の単一電源で動作させることができ、供給電源の簡略化が可能となる。また、ゲート電極として作用する第2のゲート電極112及び第1のゲート電極107の下側のAlGaIn層104が厚いため、閾値のばらつきを小さく抑えられる。さらに、絶縁膜105とAlGaIn層104との界面に存在するトラップ準位123の影響を受け難くなるため、相互コンダクタンス、最大ドレイン電流等の特性に優れた高周波トランジスタが得られる。

10

【0040】

上述の実施例においては、窒化物半導体としてGaNおよびAlGaInを用いる場合について説明した。AlGaInのバンドギャップはGaNのバンドギャップより大きいため、AlGaInとGaNとの界面のGaN側に導電チャネルが形成される。上述の実施例においてはこの導電チャネルを用いている。本発明はGaN、AlGaIn以外の窒化物半導体を用いてもよい。例えば、InN、InGaIn、InAlIn等のInを含む窒化物半導体を用いてもよい。あるいは組成の異なる窒化物半導体の多層構造を用いてもよい。材料および組成は、下層の主要部分がバンドギャップの小さい窒化物半導体で形成され、上層の主要部分がバンドギャップの大きい窒化物半導体で形成されるように選ばばよい。

20

【0041】

第2の窒化物半導体の表面保護等の目的で、第2の窒化物半導体とは組成の異なる別の窒化物半導体を挿入してもよい。例えば、第1の窒化物半導体をGaN、第2の窒化物半導体をAlGaInとする場合、AlGaIn直上に薄いGaN層を挿入してもよい。

【産業上の利用可能性】

【0042】

本発明の窒化物半導体トランジスタ装置は、主として、電源回路等で用いられるパワースイッチとして有用である。それに加え、無線通信、センサ等に用いられる高周波トランジスタとしても有用である。

30

【符号の説明】

【0043】

101・・・基板、102・・・バッファ層、103・・・GaN層、104・・・AlGaIn層、105・・・第1の絶縁膜、106・・・電荷蓄積用ゲート電極、107・・・第1のゲート電極、108・・・ソース電極、109・・・ドレイン電極、110・・・導電チャネル、111・・・第2の絶縁膜、112・・・第2ゲート電極、113・・・ゲート直下導電チャネル、114・・・素子分離領域、115・・・電荷蓄積用ゲート電極とゲート直下導電チャネル間キャパシタ、116・・・電荷蓄積用ゲート電極と第2のゲート電極間キャパシタ、117・・・電荷蓄積用ゲート電極と第1のゲート電極間キャパシタ、118・・・蓄積電荷、119・・・AlGaIn層内に存在する分極(P)、120・・・伝導体帯下端、121・・・フェルミ準位(E<sub>F</sub>)、122・・・電荷蓄積用ゲート電極の正電圧、123・・・トラップ準位、124・・・フィールドプレート、125・・・第3のゲート電極、128・・・第3の絶縁膜、129・・・第4の絶縁膜、130・・・絶縁膜、1001・・・基板、1002・・・バッファ層、1003・・・GaN層、1004・・・AlGaIn層、1005・・・絶縁膜、1006・・・リセスエッチング部、1007・・・ゲート電極、1008・・・ソース電極、1009・・・ドレイン電極、1010・・・導電チャネル、1101・・・基板、1102・・・バッファ層、1103・・・GaN層、1104・・・AlGaIn層、1105・・・絶縁膜、1106・・・リセスエッチング部、1107・・・ゲート電極、1108・・・

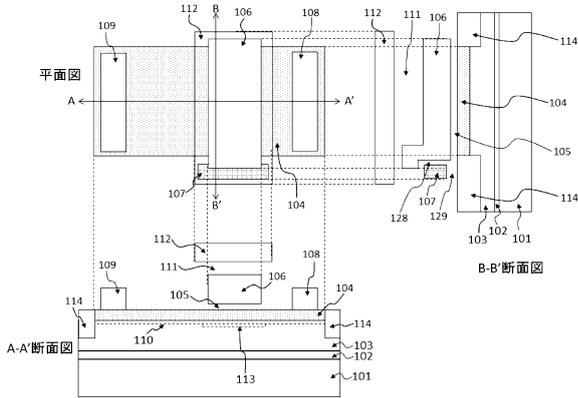
40

50

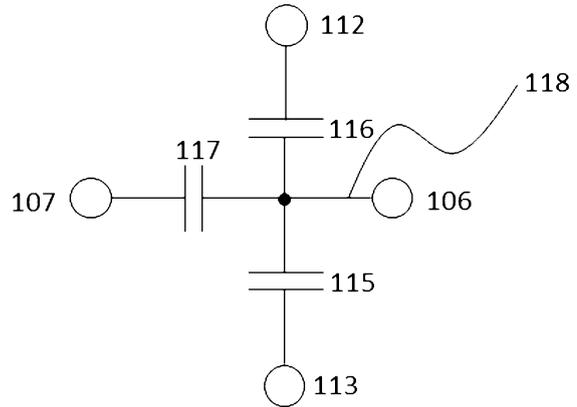
ソース電極、1109・・・ドレイン電極、1110・・・導電チャネル、1111・・・  
 ・導電チャネル、1201・・・伝導帯下端、1202・・・AlGaIn層内に存在する  
 分極(P)、1203・・・フェルミ準位( $E_F$ )、1204・・・トラップ準位、120  
 5・・・正のゲート電圧

【図面】

【図1(a)】



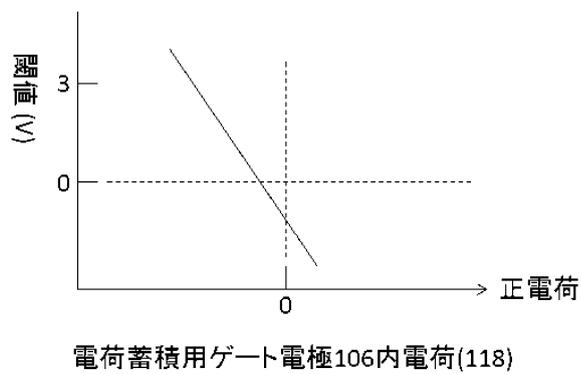
【図1(b)】



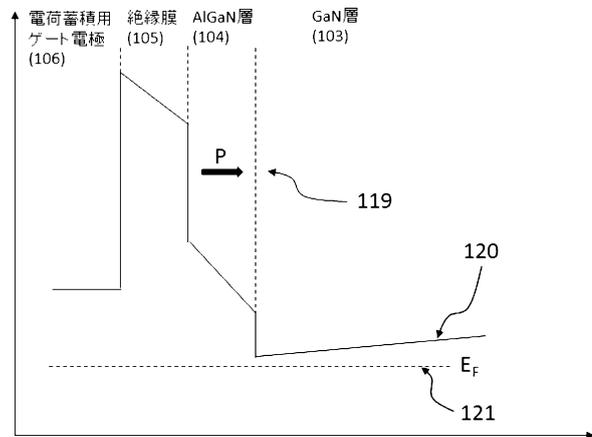
10

20

【図1(c)】



【図2(a)】

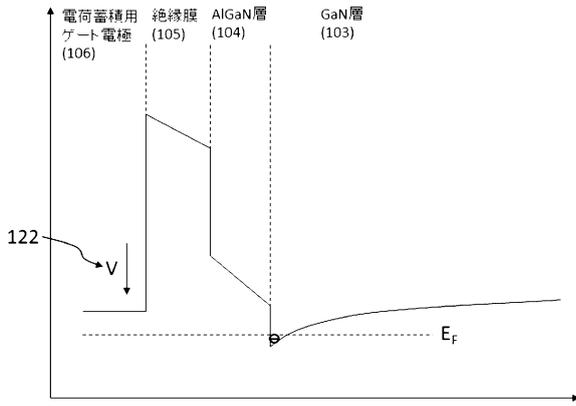


30

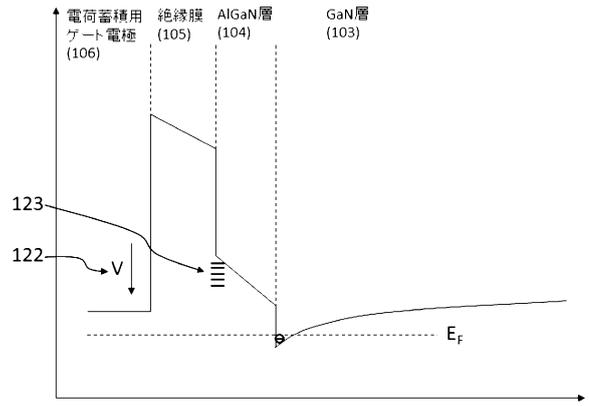
40

50

【図 2 ( b )】

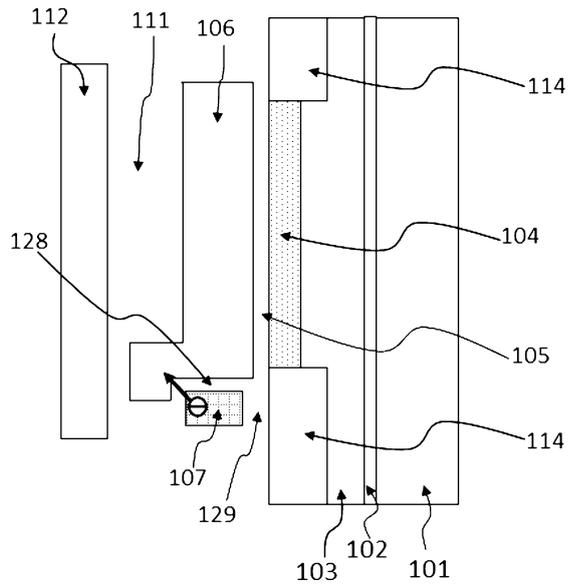


【図 2 ( c )】

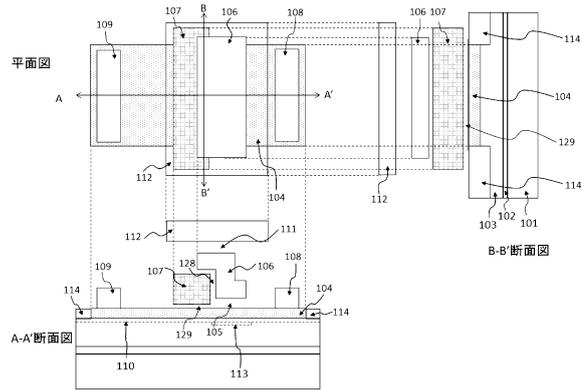


10

【図 3】



【図 4】



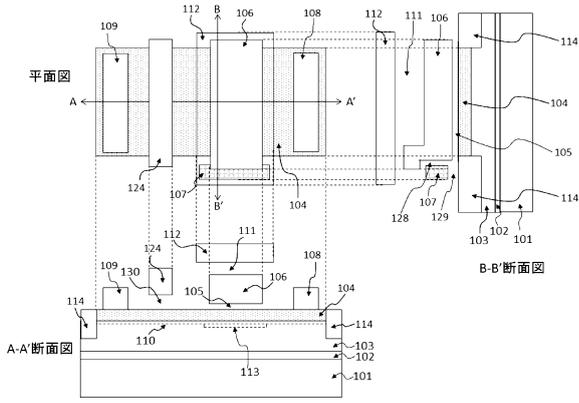
20

30

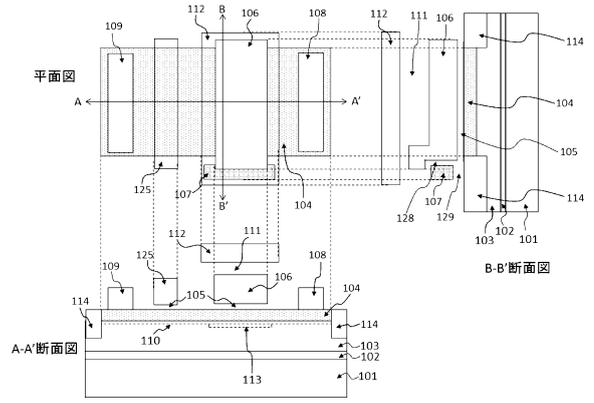
40

50

【図5】

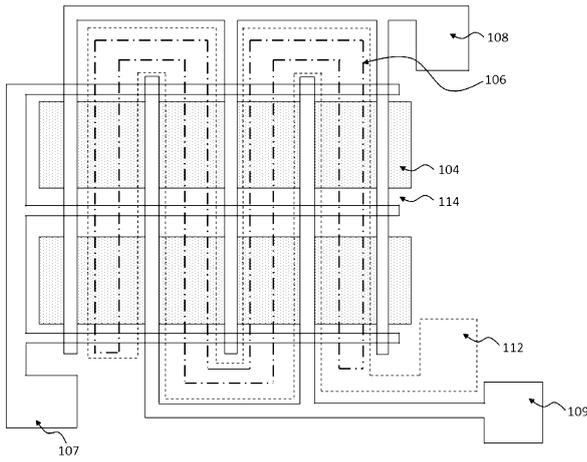


【図6】

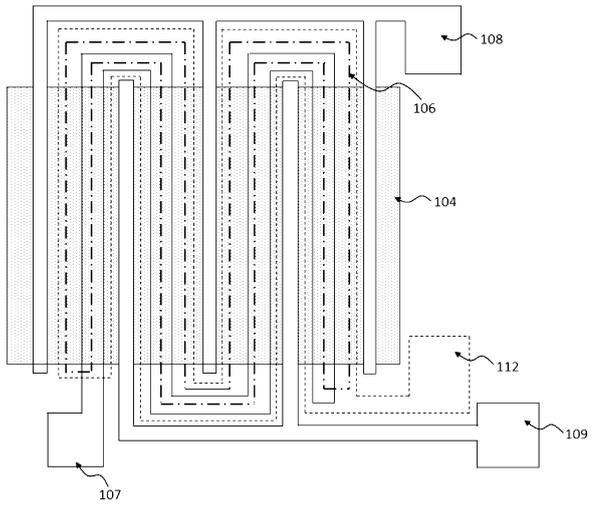


10

【図7】



【図8】



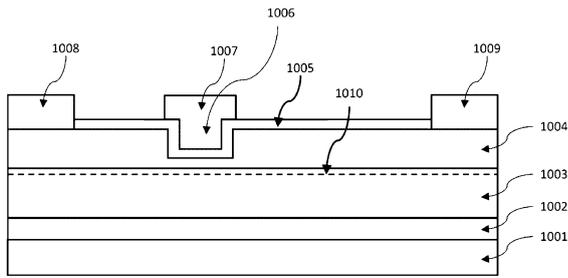
20

30

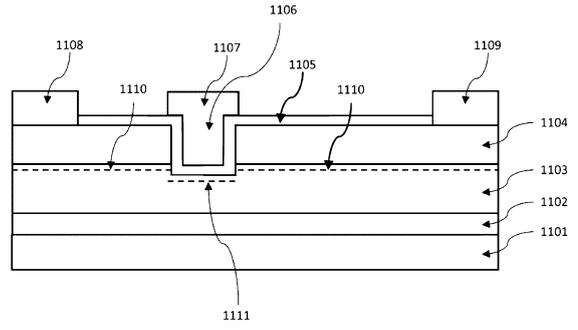
40

50

【図 9】

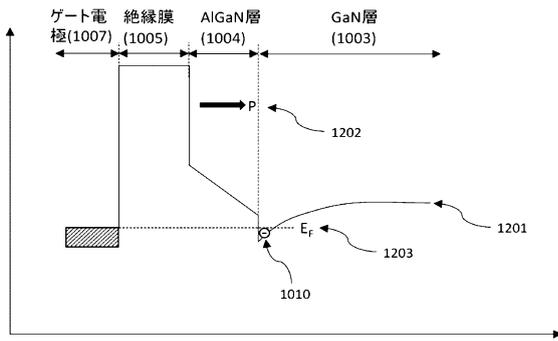


【図 10】

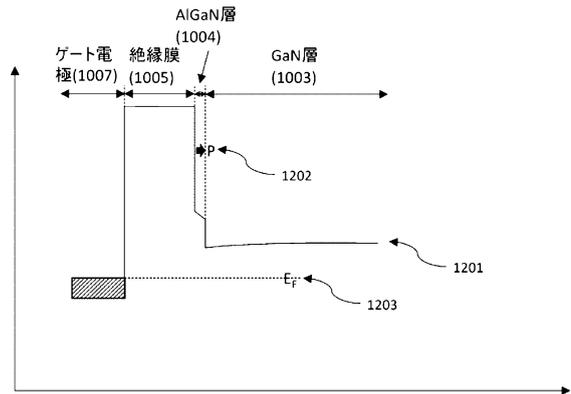


10

【図 11 ( a )】



【図 11 ( b )】



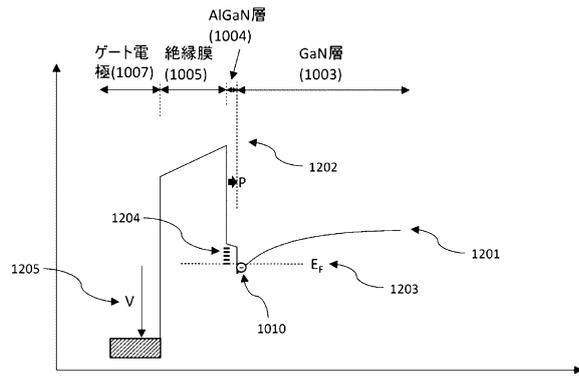
20

30

40

50

【図 11(c)】



10

20

30

40

50

## フロントページの続き

## (51)国際特許分類

F I

H 0 1 L	29/423 (2006.01)	H 0 1 L	29/60	
H 0 1 L	29/49 (2006.01)	H 0 1 L	29/78	3 0 1 B
H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	3 0 1 G
H 0 1 L	29/78 (2006.01)	H 0 1 L	29/78	3 0 1 S

東京都武蔵野市境 4 - 3 - 1 1

審査官 杉山 芳弘

(56)参考文献 特開 2 0 1 1 - 1 9 2 9 4 4 ( J P , A )

特開昭 6 0 - 1 0 6 1 7 5 ( J P , A )

特開 2 0 1 7 - 1 2 3 3 8 3 ( J P , A )

(58)調査した分野 (Int.Cl. , D B 名)

H 0 1 L 2 9 / 7 7 8

H 0 1 L 2 9 / 8 1 2

H 0 1 L 2 1 / 3 3 8

H 0 1 L 2 9 / 7 8

H 0 1 L 2 9 / 4 7

H 0 1 L 2 7 / 0 4