



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0041139  
(43) 공개일자 2011년04월21일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2009-0098183

(22) 출원일자 2009년10월15일

심사청구일자 2009년10월15일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

김기범

충청남도 천안시 서북구 성성동 508번지

김재현

충청남도 천안시 서북구 성성동 508번지

장용규

충청남도 천안시 서북구 성성동 508번지

(74) 대리인

신영무

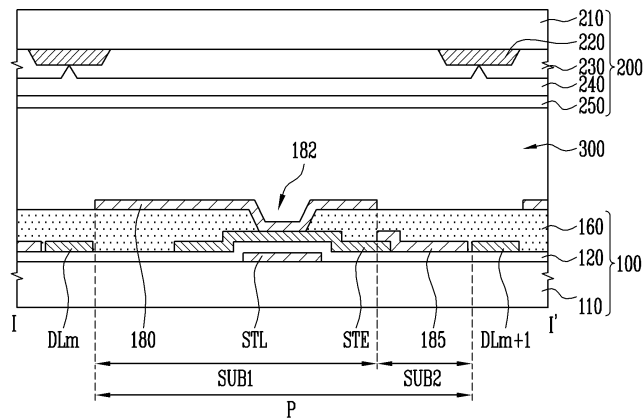
전체 청구항 수 : 총 13 항

(54) 액정표시장치 및 그 제조방법

(57) 요약

액정표시장치 및 그 제조방법에서, 액정표시장치는 단위화소가 전기적으로 분리되지 않고 연속적인 액정배향을 구현하는 제 1부화소 및 제 2부화소로 구성된다. 제 1부화소를 구현하는 제 1화소전극은 보호층 상에 형성된다. 제 2부화소를 구현하는 제 2화소전극은 보호층 하면에 형성되어 제 2화소전극 상에 형성된 보호층이 제 2화소부의 전계를 저하시켜 제 2부화소 영역에 인가되는 액정인가 전압이 제 1부화소에 비해 낮아지게 됨으로써, 단위화소 내의 제 1, 2부화소 투과율을 차등화하여 측면 시인성 개선 효과를 구현할 수 있다.

대표도 - 도2a



## 특허청구의 범위

### 청구항 1

게이트 배선들 및 상기 게이트 배선들과 교차하는 데이터 배선들에 의해 정의되는 단위화소;

상기 단위화소 내에 형성되는 박막트랜지스터;

상기 박막트랜지스터의 드레인 전극과 전기적으로 연결되며, 상기 단위화소의 영역 내에 형성된 스토리지 전극;

상기 단위화소 내의 일 영역에 상기 스토리지 전극의 일측과 접촉되도록 형성되어 제 2부화소를 구현하는 제 2 화소전극;

상기 스토리지 전극 및 제 2화소전극을 포함한 단위화소 영역에 형성되며, 상기 스토리지 전극과 중첩되는 영역에 콘택홀이 형성된 보호층; 및

상기 콘택홀을 포함하는 단위화소의 타 영역에 형성되어 제 1부화소를 구현하는 제 1화소전극이 포함되는 액정 표시장치.

### 청구항 2

제 1항에 있어서,

상기 단위화소를 관통하도록 연장된 스토리지 배선이 더 포함되며, 상기 스토리지 배선은 상기 게이트 배선과 동일층에 형성되는 액정표시장치.

### 청구항 3

제 1항에 있어서,

상기 스토리지 전극은 상기 데이터 배선과 동일층에 형성되는 액정표시장치.

### 청구항 4

제 1항에 있어서,

상기 제 1, 2화소전극은 상기 스토리지 전극과 전기적으로 연결되는 액정표시장치.

### 청구항 5

제 1항에 있어서,

상기 보호층은 질화 실리콘, 산화 실리콘 또는 이들의 적층막으로 구현되는 액정표시장치.

### 청구항 6

제 1항에 있어서,

상기 콘택홀은 단위화소의 중앙부에 형성되며, 상기 콘택홀 내에 위치되는 액정의 배향력을 이용하여 액정분자들의 동작이 제어되는 액정표시장치.

### 청구항 7

제 6항에 있어서,

상기 액정은 고분자 안정형 액정(PSLC: polymer stabilized Liquid Crystal)인 액정표시장치.

### 청구항 8

제 1항에 있어서,

상기 1화소전극과 제 2화소전극은 서로 중첩되지 않도록 상기 단위화소를 양분하는 영역에 각각 형성되는 액정 표시장치.

**청구항 9**

제 8항에 있어서,

상기 제 1화소전극 및 제 2화소전극의 면적의 비는 1: 2 내지 3으로 구현되는 액정표시장치.

**청구항 10**

게이트 배선들 및 상기 게이트 배선과 교차하는 데이터 배선들에 의해 정의되는 다수의 단위화소들을 포함하는 액정표시장치의 제조방법에 있어서,

각 단위 화소별로 박막트랜지스터 및 스토리지 전극이 형성된 투명 기관 상에 상기 스토리지 전극의 일측과 접촉되며, 상기 단위화소의 일 영역에 제 2화소전극이 형성되는 단계;

상기 박막트랜지스터, 스토리지 전극 및 제 2화소전극이 형성된 투명기관 상에 보호층이 형성되는 단계;

상기 스토리지 전극과 중첩되는 보호층의 영역에 콘택홀이 형성되어 상기 스토리지 전극이 노출되는 단계; 및

상기 콘택홀을 포함하는 상기 단위화소의 타 영역에 제 1화소전극이 형성되는 단계가 포함되는 액정표시장치의 제조방법.

**청구항 11**

제 10항에 있어서,

상기 제 1화소전극은 상기 단위화소의 제 1부화소를 구현하고, 상기 제 2화소전극은 상기 단위화소의 제 2부화소를 구현되는 액정표시장치의 제조방법.

**청구항 12**

제 10항에 있어서,

상기 1화소전극과 상기 제 2화소전극은 서로 중첩되지 않도록 상기 단위화소를 양분하는 영역에 각각 형성되는 액정표시장치의 제조방법.

**청구항 13**

제 12항에 있어서,

상기 제 1화소전극 및 상기 제 2화소전극의 면적의 비는 1: 2 내지 3으로 구현되는 액정표시장치의 제조방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 액정표시장치 및 그 제조 방법에 관한 것이다. 보다 구체적으로 본 발명은 측면 시인성을 개선하는 액정표시장치 및 그 제조방법에 관한 것이다.

**배경 기술**

[0002] 일반적으로 액정표시장치(Liquid Crystal Display)는 액정 분자의 광학적 이방성 및 편광판의 편광 특성을 이용하여 광원으로부터 입사되는 광의 투과량을 조절하여 화상을 구현하는 디스플레이 소자로서, 경량박형, 고해상도, 대화면화를 실현할 수 있고, 소비전력이 작아 최근 그 응용범위가 급속도로 확대되고 있다.

[0003] 이러한 액정표시장치는 액정분자의 광 투과축으로만 광이 투과되어 영상이 구현되기 때문에, 다른 표시장치들에 비하여 상대적으로 시야각이 좁은 문제점이 있다.

[0004] 따라서, 시야각을 개선하기 위한 다양한 기술이 연구되고 있는데, 그 중에서 PVA(Patterned Vertical Alignment) 모드는 액정분자를 상하 기관에 대하여 수직으로 배향하고, 화소 전극과 그 대향 전극인 공통 전극에 각각 절개 패턴을 형성하여 이로 인하여 두 전극 사이에 형성되는 전계를 왜곡시켜 복수의 도메인(Multi

Domain)을 형성함으로써 시야각을 개선하는 방식이다.

- [0005] 그러나, 상기 PVA 모드와 같은 수직 배향 방식의 액정표시장치는 정면 시인성에 비하여 측면 시인성이 떨어지는 문제점이 있다. 예를 들어, 절개부가 구비된 PVA 모드 액정표시장치의 경우에는 측면으로 갈수록 감마특성의 왜곡이 심해져, 심한 경우에는 높은 계조 사이의 휘도 차이가 없어져 그림이 뭉그러져 보이는 경우도 발생한다.
- [0006] 이러한 문제점을 개선하기 위하여 하나의 화소를 두 개의 부화소로 분할하고 Total 스토리지 캡을 차등화 시켜 상대적으로 큰 스토리지 캡을 가진 부화소는 높은 전압이 인가되고, 작은 스토리지 캡을 가진 부화소는 작은 전압이 인가되어 투과율을 다르게 하는 방법이 제시되었다.
- [0007] 그러나, 이와 같이 하나의 단위 화소를 두 개의 부화소로 분할하는 방식은 고해상도(일 예로 250PPI 이상) 액정표시장치에 적용할 경우, 개구율이 크게 저하되는 단점이 있으므로 실제 적용이 어렵다는 문제가 있다.

## 발명의 내용

### 해결 하고자하는 과제

- [0008] 본 발명의 실시예들은 시인성 개선 효과를 구현할 수 있는 액정표시장치 및 그 제조방법을 제공함을 목적으로 한다.

### 과제 해결수단

- [0009] 상기 목적을 달성하기 위한 본 발명의 실시예에 따르면, 액정표시장치가 제공된다. 액정표시장치는 게이트 배선들 및 게이트 배선들과 교차하는 데이터 배선들에 의해 정의되는 단위화소와; 단위화소 내의 게이트 배선 및 데이터 배선 교차부에 형성되는 박막트랜지스터와; 박막트랜지스터의 드레인 전극과 전기적으로 연결되며, 단위화소의 영역 내에 형성된 스토리지 전극과; 단위화소 내의 일 영역에 스토리지 전극의 일측과 접촉되도록 형성되어 제 2부화소를 구현하는 제 2화소전극과; 스토리지 전극 및 제 2화소전극을 포함한 단위화소 영역에 형성되며, 스토리지 전극과 중첩되는 영역에 콘택홀이 형성된 보호층과; 콘택홀을 포함하는 단위화소의 타 영역에 형성되어 제 1부화소를 구현하는 제 1화소전극을 포함한다.
- [0010] 또한, 단위화소를 관통하도록 연장된 스토리지 배선이 더 포함되며, 스토리지 배선은 게이트 배선과 동일층에 형성된다.
- [0011] 또한, 스토리지 전극은 데이터 배선과 동일층에 형성되고, 제 1, 2화소전극은 스토리지 전극과 전기적으로 연결된다.
- [0012] 또한, 보호층은 질화 실리콘(SiNx) 또는 산화 실리콘(SiO2) 또는 질화 실리콘(SiNx) 및 산화 실리콘(SiO2)의 적층막으로 구현된다.
- [0013] 또한, 콘택홀은 단위화소의 중앙부에 형성되며, 콘택홀 내에 위치되는 액정의 배향력을 이용하여 액정분자들의 동작이 제어된다.
- [0014] 또한, 1화소전극과 제 2화소전극은 서로 중첩되지 않도록 단위화소를 양분하는 영역에 각각 형성되며, 제 1화소전극 및 제 2화소전극의 면적의 비는 1: 2 내지 3으로 구현된다.
- [0015] 또한, 상기 목적을 달성하기 위한 본 발명의 실시예에 따르면, 게이트 배선들 및 게이트 배선들과 교차하는 데이터 배선들에 의해 정의되는 다수의 단위화소들을 포함하는 액정표시장치의 제조방법이 제공된다. 구체적으로 각 단위 화소별로 박막트랜지스터 및 스토리지 전극이 형성된 투명 기관 상에 스토리지 전극의 일측과 접촉되며, 단위화소의 일 영역에 제 2화소전극이 형성한다. 그리고 박막트랜지스터, 스토리지 전극 및 제 2화소전극이 형성된 투명기관 상에 보호층이 형성된다. 상기 스토리지 전극과 중첩되는 보호층의 영역에 콘택홀이 형성되어 스토리지 전극이 노출된다. 이어서 상기 콘택홀을 포함하는 단위화소의 타 영역에 제 1화소전극이 형성된다.

### 효 과

- [0016] 이와 같은 본 발명의 실시예들에 따르면, 단위화소를 제 1 및 제 2부화소로 구분함에 있어, 이를 전기적으로 분리하지 않고 상기 제 2부화소를 구현하는 제 2화소전극 상에 보호층이 형성되어 상기 보호층이 상기 제 2화소부

의 전계를 저하시켜 제 2부화소 영역에 인가되는 액정인가 전압이 제 1부화소에 비해 낮아지게 됨으로써, 수직 배향 방식 고 해상도 액정표시장치에 대해서도 개구율 저하 없이 측면 시인성을 향상시킬 수 있다.

**발명의 실시를 위한 구체적인 내용**

- [0017] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 보다 상세히 설명한다.
- [0018] 도 1은 본 발명의 실시예에 의한 액정표시장치의 단위 화소를 나타내는 평면도이다. 도 2a 및 도 2b는 각각 도 1에 도시된 단위화소의 I-I' 선 및 II-II' 선을 따라 자른 단면도들이다.
- [0019] 여기서, 도 2a는 단위 화소를 관통하는 스토리지 배선 영역에 대한 단면도이다. 도 2b는 단위 화소의 박막트랜지스터 형성 영역에 대한 단면도이다.
- [0020] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 액정표시장치(400)는 제 1기관(100), 제 2기관(200) 및 상기 제 1기관(100)과 제 2기관(200) 사이에 개재된 액정층(300)을 포함한다.
- [0021] 이에 따라, 상기 제 1기관(100)은 투명기관(110), 게이트 배선들(GLn-1, GLn..), 데이터 배선들(DLm, DLm+1..), 박막트랜지스터(TFT), 보호층(160), 제 1, 2화소전극(180, 185), 스토리지 배선(STL) 및 스토리지 전극(STE)에 의해 형성되는 스토리지 캐패시터(Cst)를 포함한다.
- [0022] 게이트 배선들(GLn-1, GLn..)은 상기 투명기관(110) 상에서 제1 방향(X)으로 연장된다. 상기 게이트 배선들(GLn-1, GLn..)은 제1 금속층을 패터닝 하여 형성된 제1 금속패턴이다.
- [0023] 상기 게이트 배선들(GLn-1, GLn..)이 형성된 투명기관(110) 상에는 게이트 절연층(120)이 형성된다. 상기 게이트 절연층(120)은 일례로, 질화 실리콘(SiNx)으로 이루어진다.
- [0024] 상기 게이트 절연층(120)상에는 상기 제1 방향(X)에 교차하는 제2 방향(Y)으로 연장된 상기 데이터 배선들(DLm, DLm+1..)이 형성된다.
- [0025] 상기 데이터 배선들(DLm, DLm+1..)은 상기 제2 금속층을 패터닝하여 형성된 제2 금속패턴이며, 상기 게이트 배선들(GLn-1, GLn..)과 교차하여 상기 투명기관(110)상에 매트릭스 형상의 단위화소(P)들을 정의한다.
- [0026] 이하, 제n 번째 게이트 배선(GLn)과 제m 번째 데이터 배선(DLm)이 교차하여 정의된 단위화소(P)를 예로 들어 본 발명을 상세하게 설명하도록 한다.
- [0027] 상기 단위 화소(P) 내에는 박막트랜지스터(TFT), 보호층, 제 1, 2화소전극(180, 185), 스토리지 배선(STL) 및 스토리지 전극(STE)이 포함된다.
- [0028] 상기 박막트랜지스터(TFT)는 상기 제n 번째 게이트 배선(GLn)과 제m 번째 데이터 배선(DLm)의 교차부에 형성되며, 게이트 전극(G), 액티브층(A), 소스 전극(S) 및 드레인 전극(D)을 포함한다.
- [0029] 상기 게이트 전극(G)은 상기 제n 번째 게이트 배선(GLn)으로부터 돌출된 제1 금속패턴이다. 상기 게이트 전극(G) 상에는 상기 게이트 절연층(120)이 형성되고, 상기 게이트 절연층(120) 상에는 상기 게이트 전극(G)과 중첩되는 액티브층(A)이 형성된다.
- [0030] 상기 액티브층(A)은 반도체층(SC) 및 오믹 콘택층(OC)이 적층된 구조로 형성된다. 일례로, 상기 반도체층(SC)은 비정질 실리콘(a-Si:H)으로 이루어지며, 상기 오믹 콘택층(OC)은 n 형 불순물이 고농도로 도핑된 비정질 실리콘(n+ a-Si:H)으로 이루어진다.
- [0031] 상기 액티브층(A) 상에는 상기 데이터 배선들(DLm, DLm+1..)과 동일하게 제2 금속패턴으로 형성된 소스 전극(S) 및 드레인 전극(D)이 형성된다.
- [0032] 상기 소스 전극(S)은 상기 제m 번째 데이터 배선(DLm)으로부터 돌출되어 상기 액티브층(A)과 일부 중첩된다. 상기 드레인 전극(D)은 상기 소스 전극(S)으로부터 소정간격 이격되어 형성되며, 상기 액티브층(A)과 일부 중첩된다.
- [0033] 이때, 상기 소스 전극(S)과 상기 드레인 전극(D)의 이격부에서는 상기 오믹 콘택층(OC)이 제거되어 상기 반도체층(SC)이 노출된다.
- [0034] 상기 박막트랜지스터(TFT)는 상기 게이트 전극(G)으로부터 인가된 타이밍 신호에 따라 상기 화소 전극(180)에 데이터 전압을 인가하는 스위칭 소자이다.

- [0035] 단, 도 1 및 도 2에 도시된 실시예의 경우 각 단위화소(P)에 구비되는 박막트랜지스터(TFT)가 액티브층이 비정질 실리콘으로 구현되는 하부 게이트(bottom gate) 구조인 것을 그 예로 설명하였으나, 본 발명의 실시예가 이에 한정되는 것은 아니다. 즉, 결정질 실리콘으로 구현되는 탑 게이트 구조의 박막트랜지스터로 형성될 수 있다.
- [0036] 상기 제 1, 2화소 전극(180, 185)은 도 2a에 도시된 바와 같이 상기 게이트 배선과 데이터 배선에 의해 구획되는 단위화소(P) 영역에 형성되는 것으로, 이들 각각은 상기 스토리지 전극(STE)과 전기적으로 접촉된다.
- [0037] 보다 구체적으로, 상기 제 1화소전극(180)은 상기 스토리지 배선(STL)과 중첩되는 단위화소(P)의 일 영역에 형성된 콘택홀(182)을 통해 상기 스토리지 전극(STE)와 접촉되고, 상기 제 2화소전극(185)은 상기 스토리지 전극(STE)의 일측에 직접 접촉되도록 형성된다.
- [0038] 본 발명의 실시예에서는 상기 제 1화소전극(180) 및 제 2화소전극(185)이 서로 다른 공정을 통하여 상기 단위화소(P)를 양분하는 영역에 형성되며, 이를 통해 상기 단위화소(P)는 상기 제 1화소전극(180)에 의해 구현되는 제 1부화소(SUB1)와, 제 2화소전극(185)에 의해 구현되는 제 2부화소(SUB2)로 이루어진다.
- [0039] 이 때, 상기 제 1화소전극(180)과 제 2화소전극(185)은 앞서 언급한 바와 같이 상기 스토리지 전극(STE)과 전기적으로 연결되고, 상기 스토리지 전극(STE)은 박막트랜지스터의 드레인 전극(D)과 전기적으로 연결되므로 상기 단위화소(P)를 구성하는 제 1, 2화소전극(180, 185)으로는 동일한 데이터 전압이 인가된다.
- [0040] 이 때, 상기 스토리지 전극(STE)은 도시된 바와 같이 스토리지 배선(STL)과 중첩되는 단위 화소(P) 내의 영역에 형성되는 것으로, 상기 박막트랜지스터(TFT)의 드레인 전극(D)과 동일층에 형성되며, 전기적으로 연결된다. 일 예로, 상기 스토리지 전극(STE)과 드레인 전극(D)을 동일한 재료의 금속으로 구현될 수 있으나, 반드시 이에 한정되는 것은 아니다.
- [0041] 상기 스토리지 배선(STL)은 상기 게이트 배선들(GLn-1, GLn...)과 동일층에 형성되며, 도시된 바와 같이 단위화소(P)를 관통하도록 제 1방향(X)으로 연장된다. 여기서, 상기 스토리지 배선(STL)과 게이트 배선은 동일한 재료의 금속으로 구현될 수 있으나, 반드시 이에 한정되는 것은 아니다.
- [0042] 또한, 상기 스토리지 전극(STE)은 상기 드레인 전극(D)과 전기적으로 연결된 금속패턴으로서, 상기 단위 화소(P) 내에서 상기 스토리지 배선(STL)과 중첩되어 각 단위화소의 스토리지 커패시턴스를 구현한다.
- [0043] 즉, 상기 스토리지 전극(STE)과 상기 스토리지 배선(STL)은 상기 게이트 절연층(120)을 사이에 두고 서로 중첩되어 한 프레임 동안의 데이터 전압을 충전시키는 스토리지 커패시터(Cst)를 형성한다.
- [0044] 또한, 상기 스토리지 전극(STE)이 형성된 후 상기 단위화소(P) 내의 일 영역에 상기 스토리지 전극(STE)의 일측과 접촉되도록 제 2화소전극(185)이 형성된다.
- [0045] 한편, 상기 박막트랜지스터(TFT), 스토리지 커패시터(Cst) 및 제 2화소전극(185)이 형성된 투명기판(110) 상에는 보호층(160)이 형성되며, 본 발명의 실시예의 경우 상기 스토리지 전극(STE)과 중첩되는 상기 보호층(160)의 영역에 콘택홀(182)이 형성되어 상기 스토리지 전극(STE)이 노출된다.
- [0046] 이 때, 상기 보호층(160)은 질화 실리콘(SiNx), 산화 실리콘(SiO<sub>2</sub>) 또는 상기 질화 실리콘(SiNx) 및 산화 실리콘(SiO<sub>2</sub>)의 적층막으로 구현될 수 있다.
- [0047] 이후 상기 보호층(160)에 형성된 콘택홀(182)에 의해 스토리지 전극(STE)이 노출되면, 상기 콘택홀(182)을 포함하는 단위화소(P)의 타 영역에 제 1화소전극(180)이 형성된다.
- [0048] 여기서, 상기 1화소전극(180)과 제 2화소전극(185)은 서로 중첩되지 않도록 상기 단위화소(P)를 양분하는 영역에 각각 형성된다.
- [0049] 단, 상기 제 1화소전극(180) 및 제 2화소전극(185)의 면적의 비는 1: 2~3로 구현된다.
- [0050] 즉, 상기 단위화소(P)는 제 1화소전극(180)이 형성된 영역인 제 1부화소(SUB1) 및 제 2화소전극(185)이 형성된 영역인 제 2부화소(SUB2)로 구성되며, 상기 제 1화소전극(180)은 상기 콘택홀(182)을 통해 스토리지 전극(STE)과 접촉되고, 상기 제 2화소전극(185)은 상기 스토리지 전극(STE)의 일측에 직접 접촉되도록 형성된다.
- [0051] 이와 같은 본 발명의 실시예에 의할 경우 상기 제 2화소전극(185) 상부 영역에 보호층(160)이 형성되며, 이 때, 상기 영역 상에 형성된 보호층(160)은 상기 제 2화소부(SUB2)의 전계를 저하시켜 상기 단위화소(P)로 동일하게 입력되는 데이터 전압에 대하여 상기 제 2부화소(SUB2)에 인가되는 액정인가 전압이 제 1부화소(SUB1)에 비해



낮아지게 하는 역할을 한다.

- [0052] 여기서, 상기 제 1, 2화소전극(180, 185)은 투명한 도전성 물질로 구현되는 것으로, 일 예로 인듐 틴 옥사이드(Indium Tin Oxide), 인듐 징크 옥사이드(Indium Zinc Oxide) 등으로 형성할 수 있다.
- [0053] 또한, 상기 제 1, 2화소 전극(180, 185)과 마주보도록 상기 제1 기판(100)에 면접하는 상기 제2 기판(200)은 투명기판(210), 블랙 매트릭스(220), 컬러 필터(230) 및 공통 전극(250)을 포함하여 구성된다.
- [0054] 상기 블랙 매트릭스(220)는 상기 투명기판(210)의 상기 제1 기판(100)과 마주보는 면에 형성된다. 상기 블랙 매트릭스(220)는 일례로, 상기 제1 기판(100)에 형성된 게이트 배선들 및 데이터 배선들에 대응하도록 형성되어 서로 인접하는 단위 화소들 간의 빛샘을 방지한다.
- [0055] 상기 컬러 필터(230)는 일례로, 적색, 녹색, 청색의 필터를 포함하며 각각의 단위 화소(P)에 대응하여 상기 투명기판(210)상에 형성된다. 상기 컬러 필터(230)와 상기 블랙 매트릭스(220) 소폭 중첩될 수도 있다.
- [0056] 한편, 상기 제2 기판(200)은 상기 컬러 필터(230) 상에 형성된 오버 코트층(240)을 더 포함할 수 있다. 상기 오버 코트층(240)은 상기 블랙 매트릭스(220) 및 상기 컬러 필터(230)가 형성된 투명기판(210)의 표면을 평탄화시킨다.
- [0057] 상기 오버 코트층(240) 상에는 상기 제 2기판(200) 전면에 대응하여 상기 공통 전극(250)이 형성된다.
- [0058] 상기 공통 전극(250)은 투명한 도전성 물질로 형성된다. 일례로, 상기 공통 전극(250)은 인듐 틴 옥사이드(Indium Tin Oxide), 인듐 징크 옥사이드(Indium Zinc Oxide)등으로 형성될 수 있다.
- [0059] 이 때, 도시되지 않았으나, 상기 공통 전극(250)에는 상기 제 1기판의 단위 화소(P)에 형성된 콘택홀(182)과 대응되는 영역에 콘택홀(미도시)이 형성될 수도 있다.
- [0060] 상기 스토리지 배선(STL) 및 스토리지 전극(STE)은 데이터 전압을 충전하는 스토리지 캐패시터(Cst)를 형성하기 위해 단위 화소 내에서 일정한 면적 비율로 반드시 형성되어야 하는 구성 요소이나, 불투명 금속 재질로 형성될 경우 광을 차단시켜 단위 화소(P)의 개구율을 저하시키는 원인이 될 수 있다.
- [0061] 또한, 액정표시패널(400)의 구동 시 상기 콘택홀에 대응하는 영역에서는 액정 분자끼리 서로 충돌하여 광을 출사시키지 않는 각도로 배열되므로 광이 출사되지 않는 singlar 포인트(singular point)가 형성된다. 따라서, 상기 콘택홀 역시 단위 화소(P)의 개구율을 저하시키는 요인이 된다.
- [0062] 이에 본 발명의 실시예에서는 단위 화소(P)의 개구율을 저하시키는 요인들인 상기 스토리지 배선(STL), 스토리지 전극(STE) 및 콘택홀을 서로 중첩되게 형성함으로써 이로 인한 개구율 감소를 방지할 수 있다.
- [0063] 또한, 본 발명의 실시예에서는 상기 스토리지 캐패시터를 구현하는 스토리지 배선(STL) 및 스토리지 전극(STE)을 투명 도전성 물질로 형성함을 통해 개구율이 저하됨을 극복할 수 있다.
- [0064] 도 3은 도 1에 도시된 액정표시의 구동을 개념적으로 설명하는 단면도로서, 이는 도 2a의 단면 영역을 이용하여 설명한다.
- [0065] 도 3을 참조하면, 상기 제 1, 2화소 전극(180, 185)과 공통 전극(250)에 전압이 인가되지 않아 상기 제1 기판(100)과 제2 기판(200) 사이에 전계가 형성되지 않을 경우, 상기 액정층(300)의 액정 분자들은 수직 배향 상태로 존재한다. 이에 따라, 액정표시패널(100)의 배면으로부터 광이 제공되어도 상기 광이 상기 액정층(300)을 통과하지 못한다.
- [0066] 반면에 상기 제 1, 2화소 전극(180, 185)과 상기 공통 전극(250)에 전압(V)이 인가되면, 상기 콘택홀(182) 주변에는 사선 방향으로 전기력선이 형성되며, 이에 인접한 액정 분자들부터 빠르게 응답한다. 이에 따라 상기 콘택홀(182) 주변에서는 상기 전기력선에 수직 또는 수평이 되는 방향으로 액정 분자들이 재배열되어 광을 투과시킨다.
- [0067] 즉, 본 발명의 실시예에 의한 액정표시장치는 상기 단위 화소(P)의 중앙부에 형성된 콘택홀(182) 내에 위치한 액정(302)의 배향력(anchoring force)를 이용하여 액정분자들의 동작을 제어한다.
- [0068] 마찬가지로, 상기 단위 화소(P)의 가장자리 영역에서도 도 3에 도시된 바와 같이, 사선 방향으로 전기력선이 형성되며, 이에 인접한 액정 분자들부터 빠르게 응답한다. 이에 따라, 상기 가장자리 영역에는 상기 전기력선에

수직 또는 수평이 되는 방향으로 액정분자들이 재배열되어 광을 투과시킨다.

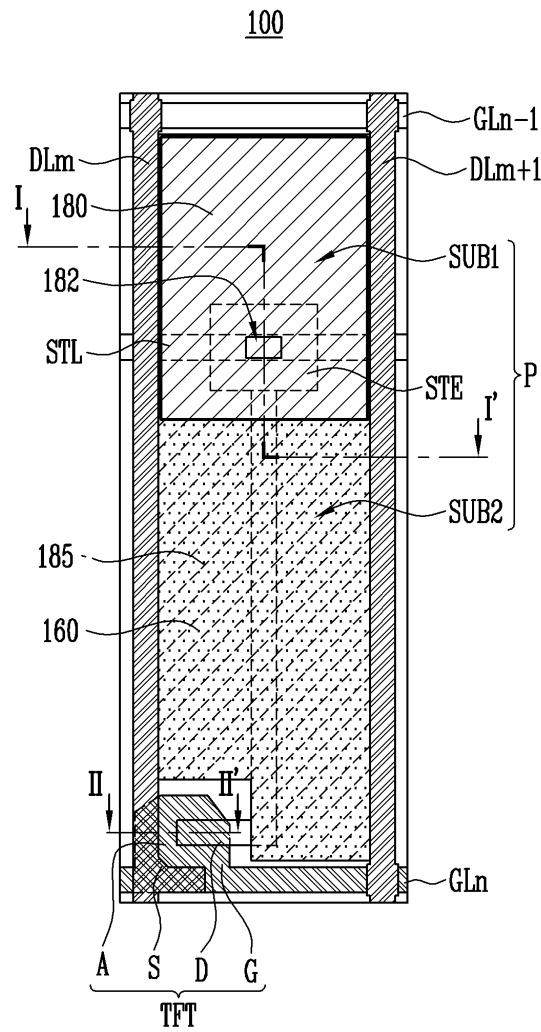
- [0069] 그러나, 상기 콘택홀(182)과 상기 가장자리 영역 사이의 중간 영역에 배치된 액정 분자들은 상대적으로 전기력선의 영향을 받지 못해 응답 속도가 떨어지게 되고, 이는 측면 시인성이 저하되는 문제를 야기한다.
- [0070] 본 발명의 실시예에서는 이러한 문제점을 극복하기 위하여 도시된 바와 같이 상기 보호층(160)이 상기 제 2부화소(SUB2) 영역에 대해서는 상기 제 2화소 전극(185)의 상부 영역에 형성되어 상기 보호층(160)이 전체 저하층(E-field Reducing Layer)의 역할을 하게 됨으로써, 2개의 부화소(SUB1, SUB2)로 분리된 상기 단위 화소(P)에 대하여 각각 투과율을 차등화하여 구동함을 통해 측면 시인성이 저하되는 것을 방지한다.
- [0071] 여기서, 상기 제 1화소전극(180)이 형성된 영역이 제 1부화소(SUB1)가 되고, 제 2화소전극(185)이 형성된 영역이 제 2부화소(SUB2)가 된다.
- [0072] 종래의 경우에는 단위 화소(P)를 복수의 부화소로 분할할 경우 각각의 부화소를 전기적으로 분할하여 각각 별도의 박막트랜지스터 및 스토리지 캐패시터를 사용하였으나, 본 발명의 실시예에서는 상기 제 1, 2부화소(SUB1, SUB2)가 전기적으로 연결되며, 동일한 박막트랜지스터(TFT)와 스토리지 캐패시터(Cst)를 사용한다.
- [0073] 이를 통해 본 발명의 실시예에서는 고 해상도(일 예로 250 PPI 이상)의 액정표시장치의 경우에도 개구율 감소 없이 측면 시인성을 개선할 수 있게 된다.
- [0074] 또한, 상기 콘택홀(182)에서의 액정 제어력 향상 및 응답속도, 브루징 특성 향상을 위해 고분자 안정형 액정(PSLC: polymer stabilized Liquid Crystal)을 적용할 수 있다.
- [0075] 보다 구체적으로 설명하면, 상기 제 2화소전극(185) 상에 형성된 보호층(160)은 상기 보호층(160)이 제 1화소전극(180) 하부에 형성된 제 1부화소(SUB1)에 비해 동일한 데이터 전압이 인가되더라도 상기 보호층(160)이 액정 캐패시터의 추가된 유전체로서의 역할을 하게 되므로 제 2부화소(SUB2)에 인가되는 액정인가 전압이 제 1부화소(SUB1)에 비해 낮아지게 된다.
- [0076] 이처럼, 동일한 데이터 신호에서 제 1부화소(SUB1)와 제 2부화소(SUB2)의 액정인가 전압이 달라짐에 따라 액정 분자의 광 투과축이 다방향성을 갖도록 정렬되므로, 배면으로부터 입사된 광은 일방향이 아닌 다방향으로 출사되어 시야각 및 측면 시인성이 향상된다.
- [0077] 즉, 본 발명의 실시예는 단위화소(P)가 전기적으로 분리되지 않고 연속적인 액정배향을 구현하는 제 1부화소(SUB1) 및 제 2부화소(SUB2)로 구성되며, 상기 제 2부화소(SUB2)를 구현하는 제 2화소전극(185) 상에 보호층(160)이 형성됨으로써, 제 2부화소(SUB2) 영역에 인가되는 액정인가 전압이 제 1부화소(SUB1)에 비해 낮아지게 됨으로써, 단위 화소(P) 내의 제 1, 2부화소(SUB1, 2) 투과율을 차등화하여 측면 시인성 개선 효과를 구현할 수 있게 되는 것이다.
- [0078] 도 4a 내지 도 4d는 본 발명의 실시예에 의한 액정표시장치의 제조 공정을 나타내는 공정 단면도이다.
- [0079] 단, 설명의 편의를 위하여 상기 공정 단면도는 도 2a에 도시된 제 1기판의 제조 공정을 중심으로 설명하도록 한다.
- [0080] 먼저 도 4a를 참조하면, 박막트랜지스터(미도시), 스토리지 배선(STL), 게이트 절연막(120) 및 스토리지 전극(STE)이 형성된 투명 기판(100)에 대하여, 상기 단위화소(P) 내의 일 영역에 상기 스토리지 전극(STE)의 일측과 접촉되도록 제 2화소전극(185)이 형성된다.
- [0081] 다음으로 도 4b를 참조하면, 상기 박막트랜지스터(TFT), 스토리지 캐패시터(Cst) 및 제 2화소전극(185)가 형성된 투명기판(110) 상에는 보호층(160)이 형성된다.
- [0082] 이 때, 상기 보호층(160)은 질화 실리콘(SiNx), 산화 실리콘(SiO2) 또는 상기 질화 실리콘(SiNx) 및 산화 실리콘(SiO2)의 적층막으로 구현될 수 있다.
- [0083] 이후 도 4c에 도시된 바와 같이 상기 스토리지 전극(STE)와 중첩되는 상기 보호층(160)의 영역에 콘택홀(182)이 형성되어 상기 스토리지 전극(STE)이 노출되고, 도 4d를 참조하면 상기 콘택홀(182)을 포함하는 단위화소(P)의 타 영역에 제 1화소전극(180)이 형성되어, 상기 제 1화소전극(180)은 상기 노출된 스토리지 전극(STE)와 전기적으로 접촉된다.
- [0084] 여기서, 상기 1화소전극(180)과 제 2화소전극(185)는 서로 중첩되지 않도록 상기 단위화소(P)를 양분하는 영역



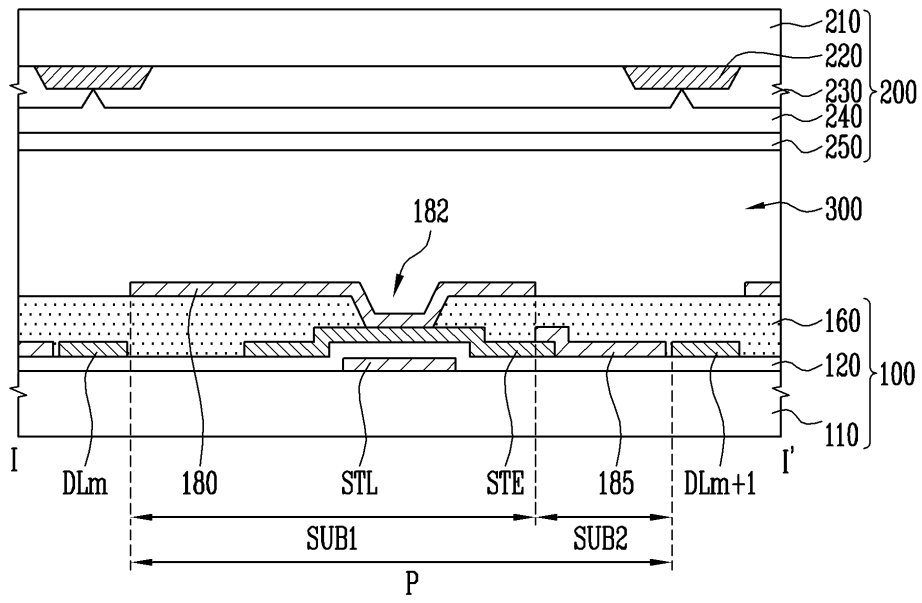


도면

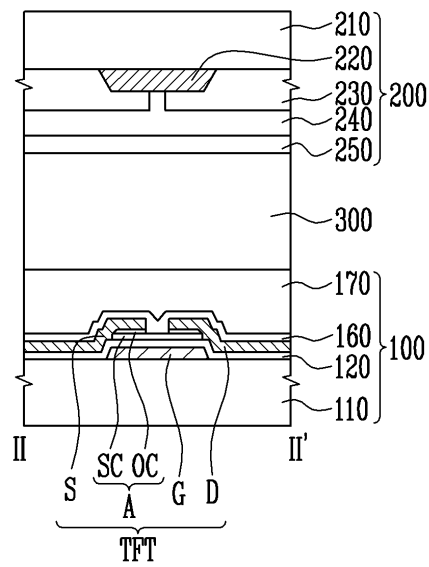
도면1



도면2a

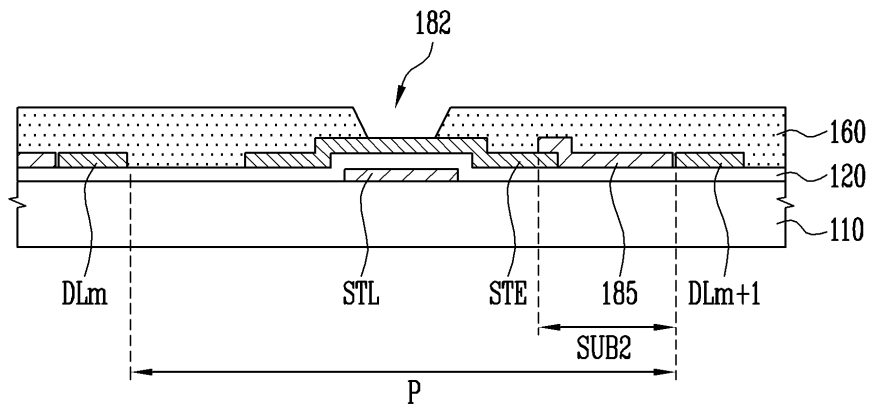


도면2b





도면4c



도면4d

