

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年12月6日(06.12.2012)



(10) 国際公開番号
WO 2012/164817 A1

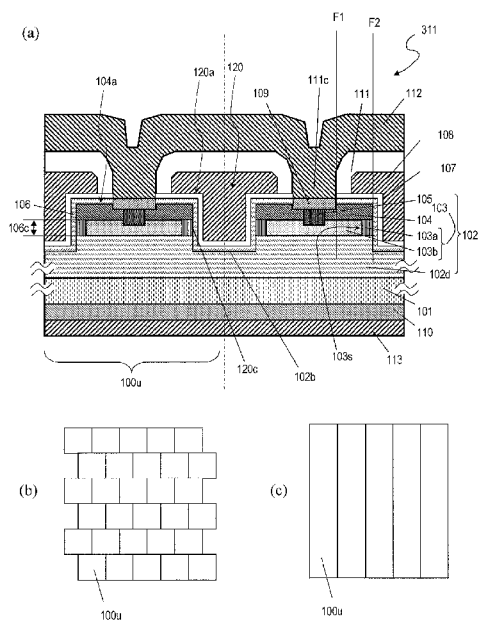
- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 27/04 (2006.01)
H01L 21/336 (2006.01) H01L 29/12 (2006.01)
- (21) 国際出願番号: PCT/JP2012/002783
- (22) 国際出願日: 2012年4月23日(23.04.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-120663 2011年5月30日(30.05.2011) JP
特願 2011-120664 2011年5月30日(30.05.2011) JP
特願 2011-120665 2011年5月30日(30.05.2011) JP
特願 2011-212430 2011年9月28日(28.09.2011) JP
- (71) 出願人(米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 池上 亮 (IKEGAMI, Ryo). 内田 正雄(UCHIDA, Masao). 富田 祐貴(TOMITA, Yuki). 庭山 雅彦(NIWAYAMA, Masahiko).
- (74) 代理人: 奥田 誠司(OKUDA, Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR ELEMENT AND METHOD OF MANUFACTURING THEREOF

(54) 発明の名称: 半導体素子およびその製造方法

【図1】



(57) Abstract: A semiconductor element disclosed in the present invention is provided with: a semiconductor substrate; a first silicon-carbide semiconductor layer that is positioned on a main face of the semiconductor substrate, and comprises a first conductive-type drift area, second conductive-type body areas, and first conductive-type impurity areas; trenches that are provided within the first silicon-carbide semiconductor layer, and that reach into the drift area; first conductive-type second silicon-carbide semiconductor layers that are positioned at least at side faces of the trenches, and that are in contact with the impurity areas and the drift area; gate insulation films; gate electrodes; first ohmic electrodes; and a second ohmic electrode. The body areas comprise: first body areas that are in contact with the second silicon-carbide semiconductor layers at side faces of the trenches; and second body areas that are in contact with the drift area, and the average impurity concentration of which is lower than that of the first body areas.

(57) 要約: 本願に開示された半導体素子は、半導体基板と、半導体基板の主面上に位置し、第1導電型のドリフト領域と、第2導電型のボディ領域と、第1導電型の不純物領域とを含む第1炭化珪素半導体層と、第1炭化珪素半導体層に設けられ、ドリフト領域内に達するトレンチと、少なくともトレンチの側面に位置し、不純物領域およびドリフト領域に接している第1導電型の第2炭化珪素半導体層と、ゲート絶縁膜と、ゲート電極と、第1オーミック電極と、第2オーミック電極とを備える。ボディ領域は、トレンチの側面において第2炭化珪素半導体層と接する第1ボディ領域と、前記ドリフト領域と接し、第1ボディ領域よりも平均不純物濃度が小

さい第2ボディ領域とを含む。

WO 2012/164817 A1

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体素子およびその製造方法

技術分野

[0001] 本願は、半導体素子に関する。特に、高耐圧、大電流用に使用される、炭化珪素半導体素子（パワー半導体デバイス）に関する。

背景技術

[0002] 炭化珪素（シリコンカーバイド：SiC）は、珪素（Si）に比べてバンドギャップの大きな高硬度の半導体材料であり、パワー素子、耐環境素子、高温動作素子、高周波素子等の種々の半導体素子に 응용されている。中でも、半導体素子や整流素子などのパワー素子への応用が注目されている。SiCを用いたパワー素子は、Siパワー素子よりも電力損失を大幅に低減できるなどの利点がある。また、SiCパワー素子は、そのような特性を活かして、Siパワー素子と比較して、より小型の半導体素子を実現することができる。

[0003] SiCを用いたパワー素子のうち代表的な半導体素子の1つに金属-絶縁体-半導体電界効果トランジスタ（Metal-Insulator-Semiconductor Field-Effect Transistor：MISFET）がある。以下、SiCのMISFETを、単に「SiC-FET」と称する場合がある。金属-酸化物-半導体電界効果トランジスタ（Metal-Oxide-Semiconductor Field-Effect Transistor：MOSFET）は、MISFETの一種である。

[0004] MISFETなどのパワー素子で更なる大電流を流すためには、チャンネル密度を高くすることが有効である。このため、従来のプレーナ構造を有する縦型MISFET（プレーナ型MISFET）に代わって、トレンチゲート構造を有する縦型MISFET（トレンチ型MISFET）が提案されている。

- [0005] トレンチ型MISFETでは、半導体層に形成されたトレンチの側面にチャンネルが形成される。従って、基板面積に対するチャンネル充填密度を十分に向上でき、単位面積当たりのオン抵抗（規格化オン抵抗）を十分に小さくすることができる。
- [0006] 以下、図47を参照しながら、従来のトレンチ型MISFETの断面構造の一例を説明する。図47に示されるトレンチ型MISFETは例えば、特許文献1に開示されている。縦型MISFETは、一般に、二次元に配列された複数のユニットセルを備えている。
- [0007] 図47に示す半導体素子1000は複数のユニットセル1000uを備えている。各ユニットセル1000uは、炭化珪素によって構成されるn⁺型の基板1010と、基板1010の主面に形成された炭化珪素半導体層1020とを有している。炭化珪素半導体層1020は、基板1010の主面上に形成されたn⁻型のドリフト領域1020dと、ドリフト領域1020dの上に形成されたp型のボディ領域1030とを有している。ボディ領域1030の表面領域の一部には、p⁺型のコンタクト領域1050およびn⁺型のソース領域1040が配置されている。炭化珪素半導体層1020の上には、コンタクト領域1050およびソース領域1040と接するようにソース電極1090が配置されている。
- [0008] 炭化珪素半導体層1020には、ボディ領域1030を貫通し、ドリフト領域1020dに達するトレンチ1020tが配置されている。この例では、トレンチ1020tは、ソース領域1040およびボディ領域1030を貫通し、ドリフト領域1020dに達している。トレンチ1020tの側壁には、ソース領域1040とドリフト領域1020dとを繋ぐように、n⁻型のチャンネル層1060が配置されている。トレンチ1020t内には、ゲート電極1080、および、ゲート電極1080とチャンネル層1060とを絶縁するためのゲート絶縁膜1070が配置されている。基板1010の裏面にはドレイン電極1100が設けられている。
- [0009] ソース電極1090およびゲート電極1080の上には、層間絶縁膜11

10が形成されている。層間絶縁膜1110の上には上部配線電極1120が設けられている。上部配線電極1120は、層間絶縁膜1110に形成された開口部1110c内で、各ユニットセル1000uのソース電極1090と電氣的に接続されている。また、ドレイン電極1100上には、裏面配線電極1130が設けられている。裏面配線電極1130は、リードフレームやモジュールへ実装する際に、半導体素子1000とリードフレームやモジュールを固定する半田材料とを密着させる働きを有する。

[0010] また、特許文献2には、チャンネル層1060がp型である例が開示されている。

[0011] 特許文献3は、ソース電極1090からチャンネル層1060を介してドレイン電極1100へと電流を流すダイオードとして機能するMISFETを開示している。

先行技術文献

特許文献

[0012] 特許文献1：特開平9-74193号公報

特許文献2：特開平9-74192号公報

特許文献3：国際公開第2010/125819号

発明の概要

発明が解決しようとする課題

[0013] SiC-FETは、pボディ領域1030とn-ドリフト層1020との間のpn接合によって形成されるボディダイオード1000dを有する。このボディダイオード1000dには、ソース電極1090に対してドレイン電極1100にマイナスの電圧が印加されるときに順方向の電流が流れる。

[0014] これに対して、特許文献3に示されるとおり、MISFETのチャンネル層に電流を流してダイオード（チャンネルダイオード）として機能させる場合、チャンネルダイオードの立ち上がり電圧の絶対値 $|V_{f0}|$ は、MISFETのボディダイオードの立ち上がり電圧の絶対値 $|V_f|$ よりも小さく設定さ

れる。

[0015] しかしながら、本発明者が検討したところ、従来のトレンチ型MISFETにおいて、チャンネルダイオードの立ち上がり電圧の絶対値 $|V_{f0}|$ を小さく設定する目的で、ボディ領域の不純物濃度を高くし過ぎると、MISFETの耐圧を十分確保できなくなったり、リーク不良を生じる可能性があることが分かった。

[0016] 本願は、このような従来技術に鑑み、上記従来技術の課題の少なくとも1つを解決し、還流ダイオードを内蔵した炭化珪素半導体素子を提供する。

課題を解決するための手段

[0017] 本願に開示された半導体素子は、主面および裏面を有する半導体基板と、前記半導体基板の前記主面上に位置する第1炭化珪素半導体層であって、第1導電型のドリフト領域と、前記ドリフト領域上に位置する第2導電型のボディ領域と、前記ボディ領域上に位置する第1導電型の不純物領域とを含む第1炭化珪素半導体層と、前記第1炭化珪素半導体層に設けられ、前記ボディ領域を貫通し、前記ドリフト領域内に達するトレンチと、少なくとも前記トレンチの側面に位置し、前記ドリフト領域の少なくとも一部および前記不純物領域の少なくとも一部に接している第1導電型の第2炭化珪素半導体層と、前記第2炭化珪素半導体層上に位置するゲート絶縁膜と、前記ゲート絶縁膜上に位置するゲート電極と、前記不純物領域に接触する第1オーミック電極と、前記半導体基板の前記裏面に位置する第2オーミック電極とを備え、前記ボディ領域は、第1ボディ領域および前記第1ボディ領域よりも平均不純物濃度が小さい第2ボディ領域を含み、前記第1ボディ領域は、前記トレンチの側面において前記第2炭化珪素半導体層と接し、前記第2ボディ領域は、前記ドリフト領域と接し、前記第1オーミック電極を基準とする前記第2オーミック電極および前記ゲート電極に印加される電位はそれぞれ V_{ds} および V_{gs} であり、ゲート閾値電圧は V_{th} であり、 $V_{gs} \geq V_{th}$ の場合、前記第2炭化珪素半導体層を介して前記第2オーミック電極から前記第1オーミック電極へ電流が流れ、 $0 \text{ボルト} \leq V_{gs} < V_{th}$ の場合、 V_{d}

sが0ボルトよりも小さくなるにつれて、前記ボディ領域から前記ドリフト領域へ電流が流れ始める前に前記第1オーミック電極から前記第2炭化珪素半導体層を介して前記第2オーミック電極へ電流が流れる。

発明の効果

[0018] 本願に開示された半導体素子によれば、ボディ領域を2つの領域で構成することにより、閾値を調整する第1ボディ領域の不純物濃度、および、第1炭化珪素半導体層とpn接合を形成する第2ボディ領域の不純物濃度を独立に制御することが可能となる。これにより、チャネルダイオードの立ち上がり電圧がボディダイオードよりも低く、素子耐圧の高い半導体素子を提供できる。

図面の簡単な説明

[0019] [図1] (a) は、実施形態1-1の半導体素子を示す要部断面図であり、(b) および(c) は、ユニットセルの配置を示す模式図である。

[図2]実施形態の半導体素子における、第2炭化珪素半導体層の不純物濃度および膜厚に対する、半導体素子の閾値 V_{th} およびチャネルダイオードの立ち上がり電圧 $|V_{f0}|$ の関係を示す図である。

[図3] (a) から(c) は、図1に示す半導体素子の製造方法を説明するための工程断面図である。

[図4] (a) から(c) は、図1に示す半導体素子の製造方法を説明するための工程断面図である。

[図5] (a) から(c) は、図1に示す半導体素子の製造方法を説明するための工程断面図である。

[図6] (a) から(c) は、図1に示す半導体素子の製造方法を説明するための工程断面図である。

[図7] (a) および(b) は、図1に示す半導体素子の製造方法を説明するための工程断面図である。

[図8] (a) は実施形態1-2の半導体素子を示す上面図であり、(b) はユニットセルの断面図であり、(c) は(a)の線E-Fにおける断面図であ

る。

[図9]実施形態1-1の他の例による半導体素子を示す断面図である。

[図10]実施形態1-1の他の例による半導体素子を示す断面図である。

[図11]実施形態1-1の他の例による半導体素子を示す断面図である。

[図12] (a) は、実施形態2-1の半導体素子の断面図であり、(b) は半導体素子におけるボディ領域の上面図、(c) は半導体素子におけるユニットセルの配置の一例を示す平面図である。

[図13] (a) および(b) は、それぞれ、ユニットセルがストライプ形状を有する場合のボディ領域の上面図、および、半導体素子におけるユニットセルの配置の一例を示す平面図である。

[図14] (a) から(c) は、それぞれ、図12に示す半導体素子の製造方法を説明するための工程断面図である。

[図15] (a) から(c) は、それぞれ、図12に示す半導体素子の製造方法を説明するための工程断面図である。

[図16] (a) から(c) は、それぞれ、図12に示す半導体素子の製造方法を説明するための工程断面図である。

[図17] (a) から(c) は、それぞれ、図12に示す半導体素子の製造方法を説明するための工程断面図である。

[図18] (a) および(b) は、それぞれ、図12に示す半導体素子の製造方法を説明するための工程断面図である。

[図19] (a) は、実施形態2-2の半導体素子を示す上面図であり、(b) はユニットセルの断面図、(c) は半導体素子の周端部を示す断面図である。

。

[図20]実施形態2-1の他の例による半導体素子を示す断面図である。

[図21]実施形態2-1の他の例による半導体素子を示す断面図である。

[図22]実施形態2-1の他の例による半導体素子を示す断面図である。

[図23] (a) は、実施形態3-1の半導体素子の断面図であり、(b) は半導体素子におけるボディ領域の上面図、(c) は半導体素子におけるユニッ

トセルの配置の一例を示す平面図である。

[図24] (a) および (b) は、それぞれ、ユニットセルがストライプ形状を有する場合のボディ領域の上面図、および、半導体素子におけるユニットセルの配置の一例を示す平面図である。

[図25] (a) から (c) は、それぞれ、半導体素子の製造方法を説明するための工程断面図である。

[図26] (a) から (c) は、それぞれ、半導体素子の製造方法を説明するための工程断面図である。

[図27] (a) から (c) は、それぞれ、半導体素子の製造方法を説明するための工程断面図である。

[図28] (a) から (c) は、それぞれ、半導体素子の製造方法を説明するための工程断面図である。

[図29] (a) および (b) は、それぞれ、半導体素子の製造方法を説明するための工程断面図である。

[図30] (a) は、本発明による実施形態の半導体を示す上面図であり、(b) はユニットセルの断面図、(c) は半導体素子の周端部を示す断面図である。

[図31] 実施形態 3-1 の他の例による半導体素子を示す断面図である。

[図32] 実施形態 3-1 の他の例による半導体素子を示す断面図である。

[図33] 実施形態 3-1 の半導体素子において、不純物領域およびボディ領域の深さ方向の不純物濃度プロファイルを例示する図である。

[図34] (a) は、実施形態 4-1 の半導体素子の断面図であり、(b) は半導体素子におけるボディ領域の上面図、(c) は実施形態 4-1 の半導体素子におけるユニットセルの配置の一例を示す平面図である。

[図35] (a) および (b) は、それぞれ、ユニットセルがストライプ形状を有する場合のボディ領域の上面図、および、実施形態 4-1 の半導体素子におけるユニットセルの配置の一例を示す平面図である。

[図36] (a)、(b) は、それぞれ、実施形態 4-1 の半導体素子の製造方

法を説明するための工程断面図であり、(a') は、他の形態による工程断面図である。

[図37] (a)、(b) は、それぞれ、実施形態4-1の半導体素子の製造方法を説明するための工程断面図であり、(a') は、他の形態による工程断面図である。

[図38] (a) から (c) は、それぞれ、実施形態4-1の半導体素子の製造方法を説明するための工程断面図である。

[図39] (a) および (b) は、それぞれ、実施形態4-1の半導体素子の製造方法を説明するための工程断面図である。

[図40] (a) から (c) は、それぞれ、実施形態4-1の半導体素子の製造方法を説明するための工程断面図である。

[図41] (a) および (b) は、それぞれ、実施形態4-1の半導体素子の製造方法を説明するための工程断面図である。

[図42] 本発明による実施形態4-1の他の例による半導体素子の断面図である。

[図43] (a) から (c) は、それぞれ、図42に示す半導体素子の製造方法を説明するための工程断面図である。

[図44] (a) は、本発明による実施形態の半導体素子を示す上面図であり、(b) はユニットセルの断面図、(c) は半導体素子の周端部を示す断面図である。

[図45] 本発明による実施形態4-3の他の例による半導体素子を示す断面図である。

[図46] 本発明による実施形態4-1の他の例による半導体素子を示す断面図である。

[図47] 従来の半導体素子の構成を模式的に示す断面図である。

[図48] 本願発明者が検討した、図47に示す半導体素子における、ボディ領域の不純物濃度に対する、トランジスタの閾値電圧 V_{th} およびチャネルダイオードの立ち上がり電圧 $|V_{f0}|$ の関係を示す図である。

発明を実施するための形態

[0020] 本願に開示された半導体素子および半導体素子の製造方法は、本発明者によって新たに見出された知見に基づくものである。以下では、まず、当該知見について説明し、その後、実施形態が解決する課題について説明する。なお、以下では、図47を参照しながら知見および課題を説明するが、これは簡便のためであり、本発明はこれに限定されるものではない。

[0021] 図47に示した従来の半導体素子1000はボディ領域1030およびチャネル層1060間にpn接合（ボディダイオード）を有している。半導体素子1000をノーマリーオフ型とする場合、ソース電極に対してゲート電極の電位差がゼロのときに、pn接合界面からチャネル層に拡がる空乏層の少なくとも一部がゲート絶縁膜1070にまで到達するように、ボディ領域1030のドーパント濃度や基板面に平行な方向の幅、チャネル層1060のドーパント濃度、膜厚、ゲート絶縁膜1070の膜厚が決定される。これにより、ソース電極に対してゲート電極の電位差がゼロのときに、チャネル層1060の一部は完全に空乏化した状態となる。

[0022] 本発明者は、半導体素子1000において、ボディ領域を高濃度化することでチャネルダイオードの立ち上がり電圧を小さくできることを見出した。以下、当該知見について説明する。

[0023] 半導体素子1000のチャネルダイオードの立ち上がり電圧 $|V_{f0}|$ は、ゲート絶縁膜1070とチャネル層1060間の界面のポテンシャル障壁に略等しい。このポテンシャル障壁は、pn接合界面からボディ領域1030に拡がる空乏層と、pn接合界面からチャネル層1060に拡がる空乏層の和によって制御される。

[0024] ここで、ボディ領域1030のドーパント濃度を大きくすると、ボディ領域1030内に拡がる空乏層が狭くなる。一方、チャネル層1060に拡がる空乏層は、チャネル層1060の膜厚によって制限される。そのため、ボディ領域1030に拡がる空乏層とチャネル層1060に拡がる（図47では基板面に平行な方向における）空乏層の和は、ボディ領域1030のドー

パント濃度を大きくすることによって小さくできる。すなわち、ボディ領域 1030 のドーパント濃度を大きくすることにより、ゲート絶縁膜 1070 とチャンネル層 1060 の界面のポテンシャル障壁が小さくでき、チャンネルダイオードの立ち上がり電圧 $|V_{f0}|$ を小さくすることができる。

[0025] 図 48 は、チャンネル層 1060 に接するボディ領域 1030 のドーパント濃度を変化させたときの、トランジスタの閾値電圧 V_{th} および、チャンネルダイオードの立ち上がり電圧 $|V_{f0}|$ を例示している。ボディ領域 1030 のドーパント濃度を変化させると閾値電圧 V_{th} も変化するが、ここでは、チャンネル層 1060 のドーパント濃度を適宜変更することにより閾値電圧 V_{th} が約 3V となるように設定している。図 48 は、閾値電圧 V_{th} を一定とした場合に、ボディ領域 1030 のドーパント濃度が大きくなるにつれて、立ち上がり電圧 $|V_{f0}|$ が小さくなる傾向を示している。したがって、トランジスタの閾値電圧 V_{th} を維持しながら、チャンネルダイオードの立ち上がり電圧 $|V_{f0}|$ を選択的に小さくするためには、チャンネル層 1060 に接するボディ領域 1030 のドーパント濃度はできるだけ大きい方が望ましい。

[0026] 以上の鋭意検討により、チャンネルダイオードの立ち上がり電圧の絶対値 $|V_{f0}|$ を小さくするために、ボディ領域の濃度を高濃度とすることが望ましいという知見が得られた。特に、他のパラメータを適切に選択することにより、半導体素子の閾値電圧 V_{th} は維持したまま、チャンネルダイオードの立ち上がり電圧 $|V_{f0}|$ を選択的に小さくすることも可能である。

[0027] しかしながら、ボディ領域 1030 のドーパント濃度を大きくすると、様々な不具合が懸念される。一般的に、炭化珪素の結晶状態はシリコンに比べて劣るため、ドーパントの活性化が不十分な場合には結晶欠陥が十分に回復できず、ボディ領域が高濃度の場合は予期せぬリーク電流が発生することも懸念される。例えば、図 47 に示すボディ領域 1030 を高濃度にした場合、ボディ領域 1030 に結晶欠陥が生じ、ボディ領域 1030 とドリフト層 1020 間の耐圧が低下する可能性がある。また、ソース領域 1040 をイ

オン注入で形成する場合、ボディ領域 1030 を高濃度にするとソース領域の抵抗が大きくなる。その結果半導体素子のオン抵抗が増加してしまう。

[0028] さらに、高耐圧のパワーデバイスにおいて、例えば、pn接合を有する周端構造（例えば図8で示されるリング領域103f）を備える場合であって、プロセス簡略化のためにボディ領域1030と周端構造を同一プロセスで形成する場合には、周端構造の耐圧低下も懸念される。周端構造の耐圧特性はその濃度に大きく依存する。そのため、ボディ領域1030の高濃度化に伴って周端構造が高濃度化すると、上記結晶欠陥の問題に加えて、最適な濃度から外れることによる耐圧の低下が懸念される。したがって、ボディ濃度1030の変更は周端構造での耐圧維持のバランスを崩すことにつながり、設計自由度が大幅に低減することとなる。

[0029] 本願に開示された実施形態に係る半導体素子は、上記の課題に対して、ボディ領域の一部領域の濃度を高濃度化し、その他の領域の濃度を低濃度化することにより、チャネルダイオードの立ち上がり電圧の絶対値 $|V_{f0}|$ の低減と、ボディ領域とドリフト層間の耐圧の向上を両立させるものである。

[0030] 本発明の一態様の概要は以下の通りである。

[0031] 本発明の一態様である半導体素子は、主面および裏面を有する半導体基板と、前記半導体基板の前記主面上に位置する第1炭化珪素半導体層であって、第1導電型のドリフト領域と、前記ドリフト領域上に位置する第2導電型のボディ領域と、前記ボディ領域上に位置する第1導電型の不純物領域とを含む第1炭化珪素半導体層と、前記第1炭化珪素半導体層に設けられ、前記ボディ領域を貫通し、前記ドリフト領域内に達するトレンチと、少なくとも前記トレンチの側面に位置し、前記ドリフト領域の少なくとも一部および前記不純物領域の少なくとも一部に接している第1導電型の第2炭化珪素半導体層と、前記第2炭化珪素半導体層上に位置するゲート絶縁膜と、前記ゲート絶縁膜上に位置するゲート電極と、前記不純物領域に接触する第1オーミック電極と、前記半導体基板の前記裏面に位置する第2オーミック電極とを備え、前記ボディ領域は、前記トレンチの側面において前記第2炭化珪素半

導体層と接する第1ボディ領域と、前記ドリフト領域と接し、前記第1ボディ領域よりも平均不純物濃度が小さい第2ボディ領域とを含み、前記第1オーミック電極を基準とする前記第2オーミック電極および前記ゲート電極に印加される電位はそれぞれ V_{ds} および V_{gs} であり、ゲート閾値電圧は V_{th} であり、 $V_{gs} \geq V_{th}$ の場合、前記第2炭化珪素半導体層を介して前記第2オーミック電極から前記第1オーミック電極へ電流が流れ、 $0 \text{ボルト} \leq V_{gs} < V_{th}$ の場合、 V_{ds} が0ボルトよりも小さくなるにつれて、前記ボディ領域から前記ドリフト領域へ電流が流れ始める前に前記第1オーミック電極から前記第2炭化珪素半導体層を介して前記第2オーミック電極へ電流が流れる。

[0032] 前記第2ボディ領域は前記不純物領域にさらに接している。

[0033] 前記第1ボディ領域は前記不純物領域および前記ドリフト領域にさらに接している。

[0034] 前記第1ボディ領域は前記不純物領域にさらに接し、前記ドリフト領域に接していない。

[0035] 前記半導体素子は複数のユニットセルを含み、各ユニットセルは、前記半導体基板と、前記第1炭化珪素半導体層と、前記トレンチと、前記第2炭化珪素半導体層と、前記ゲート絶縁膜と、前記ゲート電極と、前記第1オーミック電極と、前記第2オーミック電極とを備え、各ユニットセルの前記第1ボディ領域の前記半導体基板と平行な方向における幅は、当該ユニットセルと前記トレンチを挟んで隣接するユニットセルの前記第1ボディ領域の前記半導体基板と平行な方向における幅と等しい。

[0036] 前記第1ボディ領域は、前記トレンチに対して自己整合的に画定されている。

[0037] 前記第2炭化珪素半導体層は前記トレンチの側面において前記第1ボディ領域および前記第2ボディ領域と接している。

[0038] 前記第1ボディ領域は前記不純物領域にさらに接し、前記ドリフト領域に接していない。

- [0039] 前記第2ボディ領域は前記第1ボディ領域の下方に位置し、前記不純物領域と接していない。
- [0040] 前記 $0 \text{ ボルト} \leq V_{gs} < V_{th}$ の場合、 V_{ds} が 0 ボルトよりも小さくなるにつれて、前記ボディ領域から前記ドリフト領域へ電流が流れ始める前に前記第1オーミック電極から前記第2炭化珪素半導体層を介して前記第2オーミック電極へ電流が流れるように前記第2炭化珪素半導体層およびボディ領域が構成されている。
- [0041] 前記第2炭化珪素半導体層はエピタキシャル層である。
- [0042] 前記第1ボディ領域の平均不純物濃度は、前記第2ボディ領域の平均不純物濃度の2倍以上である。
- [0043] 前記トレンチの底面に設けられた第2導電型の電界緩和領域をさらに備える。
- [0044] 前記半導体素子は、前記不純物領域に隣接し、前記第2オーミック電極および前記第2ボディ領域と接しているコンタクト領域をさらに備える。
- [0045] 前記半導体素子は、前記半導体基板と、前記第1炭化珪素半導体層と、前記トレンチと、前記第2炭化珪素半導体層と、前記ゲート絶縁膜と、前記ゲート電極と、前記第1オーミック電極と、前記第2オーミック電極とをそれぞれ含む複数のユニットセルが配列されたユニットセル部と、前記半導体基板の前記主面の法線方向から見て、前記ユニットセル配列部の外側に配置された周端部とを備え、前記周端部は、前記第1炭化珪素半導体層において、前記半導体基板の前記主面の法線方向から見て前記ユニットセル配列部を囲むように配置された第2導電型のリング領域を有し、前記リング領域における深さ方向の第2導電型の不純物濃度プロファイルは、各ユニットセルの前記第2ボディ領域における深さ方向の第2導電型の不純物濃度プロファイルと同じである。
- [0046] 本発明の他の一態様による半導体素子の製造方法は、半導体基板上に、第1導電型のドリフト領域及び第2導電型の第2ボディ領域を含む第1炭化珪素半導体層を形成する工程と、前記第1炭化珪素半導体層の表面の一部領域

上にマスクを形成する工程と、前記マスクを用いて不純物を注入することにより、前記第1炭化珪素半導体層の前記第2ボディ領域中に、第2導電型の第1ボディ領域を形成する工程と、前記マスクの側面にサイドウォールを形成する工程と、前記マスクおよびサイドウォールを用いて、前記第1炭化珪素半導体層をエッチングすることにより、前記第1ボディ領域を貫通し、前記ドリフト領域を露出するトレンチを形成する工程とを包含する。

[0047] 前記第1ボディ領域を形成する工程において、前記ドリフト領域に達していない前記第1ボディ領域を形成する。

[0048] 前記第1炭化珪素半導体層を形成する工程と前記マスクを形成する工程の間に、前記第2ボディ領域の表層部に不純物を注入することにより、前記不純物領域を形成する工程をさらに含み、前記トレンチを形成する工程では、前記第1ボディ領域及び前記不純物領域を貫通するトレンチを形成する。

[0049] 前記第1炭化珪素半導体層を形成する工程は、第1導電型の炭化珪素半導体層の表層部に不純物を注入することにより、前記第2ボディ領域を形成するとともに、前記第2ボディ領域以外の部分に前記ドリフト領域を画定する工程を含む。

[0050] 前記マスクを形成する工程の前に、前記不純物領域および前記第2ボディ領域中にコンタクト領域を形成する工程をさらに包含する。

[0051] 前記トレンチを形成する工程の後に、前記第1炭化珪素半導体層を熱処理することにより、前記不純物領域、前記第1ボディ領域及び前記第2ボディ領域を活性化させる工程と、前記活性化させる工程の後に、前記トレンチの少なくとも側面を覆うように第2炭化珪素半導体層を形成する工程と、前記第2炭化珪素半導体層上にゲート絶縁膜を形成する工程と前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ソース領域の一部および前記コンタクト領域が露出するように、前記ゲート絶縁膜および前記第2炭化珪素半導体層の一部を除去する工程と、前記露出した不純物領域の一部および前記コンタクト領域に接するように第オーミック電極を形成する工程と、前記基板の前記第1炭化珪素半導体層が接していない面に接するように第2オーミック

ク電極を形成する工程とをさらに包含する。

[0052] 前記半導体素子は、前記複数のユニットセルが配列されたユニットセル配列部と、前記基板の前記主面の法線方向から見て、前記ユニットセル配列部の外側に配置された周縁部とを有し、前記周縁部において、前記第1炭化珪素半導体層は、前記基板の前記主面の法線方向から見て前記ユニットセル配列部を囲むように配置された第2導電型のリング領域を有しており、前記第2ボディ領域と前記リング領域とを同じ工程によって形成する。

[0053] 以下、本発明による半導体素子の実施形態を説明する。なお、以下に説明する実施形態はあくまでも例示であり、本発明は以下の実施形態に限定されない。

[0054] 以下で説明される半導体素子は、チャンネル領域として機能する炭化珪素半導体層と、炭化珪素半導体層に流れる電流を制御するゲート電極と、炭化珪素半導体層に電氣的に接続された第1オーミック電極および第2オーミック電極とによって構成されるMISFETを含む。このMISFETは、第1オーミック電極の電位を基準とするゲート電極の電位がゼロ以上であってトランジスタの閾値電圧 V_{th} 未満の場合に、第1オーミック電極からチャンネル領域を介して第2オーミック電極に電流を流すダイオードとして動作する。つまり、本実施形態の半導体素子は、MISFETを含む半導体素子であり、所定の条件下でMISFETのチャンネル領域がダイオード特性を発揮する。

[0055] 本願明細書では、第1オーミック電極S（ソース電極）の電位を基準とする第2オーミック電極D（ドレイン電極）の電位を V_{ds} 、第1オーミック電極Sの電位を基準とするゲート電極Gの電位を V_{gs} とし、第2オーミック電極Dから第1オーミック電極Sへ流れる電流の向きを「順方向」、第1オーミック電極Sから第2オーミック電極Dへ流れる電流の向きを「逆方向」と定義する。なお、電位および電圧の単位は、いずれも、ボルト（V）である。

[0056] 本明細書では、簡便のため、第1導電型がn型であり第2導電型がp型で

あるものとして説明する。しかし、第1導電型がp型であり第2導電型がn型であってもよい。nまたはpの導電型の右肩の「+」または「-」は、不純物の相対的な濃度を表している。「n⁺」は「n」よりもn型不純物濃度が高いことを意味し、「n⁻」は「n」よりもn型不純物濃度が低いことを意味している

[0057] (実施形態1-1)

[半導体素子311の構成]

図1(a)は実施形態1-1の半導体素子311の断面を模式的に示している。半導体素子311は、ユニットセル100uとしてMISFETを含む。図1(a)には、一点鎖線の右側および左側にそれぞれ位置する2つのMISFETの断面が示されている。半導体素子は、典型的には一次元または二次元に配列された複数のユニットセルを含む。

[0058] 半導体素子311は、第1導電型の半導体基板101と、半導体基板101の主面上に位置する第1導電型の第1炭化珪素半導体層102とを備える。半導体基板101は、n⁺型の導電性を有し、炭化珪素によって構成される。

[0059] 第1炭化珪素半導体層102は、ドリフト領域102dとドリフト領域102d上に位置するボディ領域103とを含む。ボディ領域103は第1ボディ領域103aと第2ボディ領域103bとを含む。図1(a)に示すように、第1ボディ領域103aは、ドリフト領域102dおよび不純物領域104と接し、トレンチ120の側面において第2炭化珪素半導体層106と接する。また、第2ボディ領域103bは、ドリフト領域102dおよび第1ボディ領域103aと接する。第1ボディ領域103aは、第2ボディ領域103bの側面103sを覆っている。第1ボディ領域103aおよび第2ボディ領域103bはそれぞれ第2導電型であり、不純物濃度が互いに異なる。具体的には、第2ボディ領域103bの平均不純物濃度は、第1ボディ領域103aの平均不純物濃度よりも小さい。本実施形態では、第1ボディ領域103aはp⁺型であり、第2ボディ領域103bはp型である。こ

ここで、平均不純物濃度とは、領域内における不純物濃度分布の平均値を意味する。

[0060] ボディ領域103上には、第1導電型の不純物領域104が位置している。本実施形態では、不純物領域104は n^+ 型であり、ソース領域として機能する。また、不純物領域104は第2ボディ領域103bと接している。

[0061] 好ましくは、不純物領域104には第2ボディ領域103bと接する第2導電型のコンタクト領域105が形成されている。コンタクト領域105は、 P^{++} 型または p^+ 型であることが好ましい。不純物領域104上には第1オーミック電極109が形成されている。第1オーミック電極109は、不純物領域104およびコンタクト領域105の表面に形成され、不純物領域104およびコンタクト領域105の両方と電氣的に接触している。コンタクト領域105を設けない場合には、不純物領域104に、第2ボディ領域103bを露出するコンタクトトレンチを設け、トレンチ120内に第1オーミック電極109を形成することにより第2ボディ領域103bと第1オーミック電極109とを直接接触させてもよい。

[0062] 図1(a)に示すように、半導体素子311は、不純物領域104に開口120aを有するトレンチ120を備える。トレンチ120は、不純物領域104およびボディ領域103を貫通してドリフト領域102dに達している。このため、不純物領域104の一部、ボディ領域103の一部である第1ボディ領域103aおよびドリフト領域102dの一部がトレンチ120の側面120cを構成している。また、ドリフト領域102dの一部がトレンチ120の底面120bを構成している。

[0063] トレンチ120の少なくとも側面120c上には第2炭化珪素半導体層106が位置している。第2炭化珪素半導体層106は、トレンチ120の側面120cを構成する不純物領域104の一部、第1ボディ領域103aおよびドリフト領域102dの一部と接している。第2炭化珪素半導体層106は、少なくとも第1ボディ領域103aに接するようにトレンチ120に設けられていればよく、トレンチ120の底面120bには第2炭化珪素半

導体層 106 は位置していなくてもよい。本実施形態では、第 2 炭化珪素半導体層 106 は、トレンチ 120 の側面 120c および底面 120b と、不純物領域 104 の表面 104a に設けられている。第 2 炭化珪素半導体層 106 は、第 1 導電型を有し、エピタキシャル成長によって形成されている。第 2 炭化珪素半導体層 106 は、第 1 ボディ領域 103a 上に位置し、トランジスタのチャンネルとして機能するチャンネル領域 106c を含んでいる。このため第 2 炭化珪素半導体層 106 は「チャンネルエピ層」とも称される。チャンネル領域 106c の長さ（チャンネル長）は、図 1 (a) に示されている双方向矢印で示される長さに相当する。すなわち、MISFET の「チャンネル長」は、図面上における、第 1 ボディ領域 103a の深さで規定される。

[0064] 上述した不純物領域 104 および第 2 炭化珪素半導体層 106 によって、第 1 ボディ領域 103a は、不純物領域 104 と、第 2 炭化珪素半導体層 106 とドリフト領域 102d と接し、かつ、第 2 ボディ領域 103b の側面 103s を完全に覆っている。

[0065] 第 2 炭化珪素半導体層 106 上にはゲート絶縁膜 107 が位置し、ゲート絶縁膜 107 の上にゲート電極 108 が形成されている。半導体基板 101 の裏面には、第 2 オーミック電極 110 が形成されている。本実施形態では第 2 オーミック電極 110 はドレイン電極である。

[0066] 半導体基板 101 の裏面には、第 2 オーミック電極 110 が形成されている。第 2 オーミック電極 110 にはさらに裏面配線電極 113 が形成されている。ゲート電極 108 を覆うように層間絶縁膜 111 が形成され、層間絶縁膜 111 上に上部配線電極 112 が形成されている。上部配線電極 112 は層間絶縁膜 111 に設けられたコンタクトホール 111c を介して第 1 オーミック電極 109 に接続されている。

[0067] ユニットセル 100u は、上部配線電極 112 側から半導体素子 311 を見た場合、例えば正形状を有している。長方形や、4 角形以外の長方形、多角形状を有していてもよい。図 1 (b) は、半導体素子 311 におけるユニットセル 100u の配置を示している。図 1 (a) ~ (c) に示される

例では、半導体素子311は、MISFETをユニットセル100uとして複数含む。図1(b)に示すように、ユニットセル100uは、例えば、xおよびy方向に2次元に配列されており、y方向の配列は交互に1/2ずつシフトしている。ユニットセル100uが一方向に長い形状を有する場合は、図1(c)に示すように並列に配置してもよい。図1(a)に示すように各ユニットセル100uの半導体基板101および第1炭化珪素半導体層102は、それぞれ、互いに接続されている。また、各ユニットセル100uの上部配線電極112、裏面配線電極113も互いに接続されている。

[0068] 本実施形態の半導体素子311は、不純物濃度が互いに異なる第1ボディ領域103aおよび第2ボディ領域103bを備えている。この構造により、チャネル領域106cを還流ダイオードの電流経路として利用し、ボディ領域103とドリフト領域102dとにより構成されるpn接合に流れる順方向電流を抑制し、結晶欠陥の増加を抑制するとともに、適切な耐圧を確保することができる。以下、このような機能を半導体素子311の動作とともに説明する。

[0069] まず、半導体素子311のダイオード動作について説明する。

[0070] 図1(a)に示すように、半導体素子311において、ゲート電極108と、ゲート絶縁膜107と、第2炭化珪素半導体層106とによってMIS構造が構成され、ゲート電極108に印加する電圧によって、第1オーミック電極109および第2オーミック電極110に接続された第2炭化珪素半導体層106に流れる電流を制御する。MISFETの閾値電圧（順方向電流の閾値電圧）を V_{th} とすると、MISFETは、 $V_{gs} \geq V_{th}$ の場合オン状態となり、 $V_{ds} > 0V$ であれば、第2炭化珪素半導体層106を介して第2オーミック電極110から第1オーミック電極109へ電流が流れる。一方、 $V_{gs} < V_{th}$ の場合、トランジスタとしてはオフ状態になる。

[0071] しかし、このMISFETは、オフ状態であっても、 $0V \leq V_{gs} < V_{th}$ であり、 $V_{ds} < 0V$ のときは、第1ボディ領域103aの不純物濃度と、第2炭化珪素半導体層106の不純物濃度と、第2炭化珪素半導体層10

6の厚さを適切に選択することにより、第2炭化珪素半導体層106を介して第1オーミック電極109から第2オーミック電極110に電流を流すダイオードとして機能する。言い換えると、 $0V \leq V_{gs} < V_{th}$ を満たす場合、 V_{ds} が0ボルトよりも小さくなるにつれて、ボディ領域103からドリフト領域102dへ電流が流れ始める前に第1オーミック電極109から第2炭化珪素半導体層106を介して第2オーミック電極110へ電流が流れるように第2炭化珪素半導体層106およびボディ領域103が構成されている。以降、本願明細書において、チャンネル領域106cを含む第2炭化珪素半導体層106を介して第1オーミック電極109から第2オーミック電極110に電流を流すダイオードを、「チャンネルダイオード」と呼ぶ。第2オーミック電極110から第1オーミック電極109への向きを「順方向」、第1オーミック電極109から第2オーミック電極110への向きを「逆方向」と定義しているため、このダイオードが電流を流す方向は、「逆方向」である。

[0072] MISFETのチャンネル領域106cを電流経路とする、このチャンネルダイオードは、 $V_{ds} > V_{f0}$ (V_{f0} は負の値)の場合に1mA以上の電流を流さず、 $V_{ds} \leq V_{f0}$ の場合に1mA以上の電流を流す特性を有している。言い換えると、このダイオードを流れる電流は、 $V_{ds} > V_{f0}$ (V_{f0} は負の値)のとき、ほとんどゼロ(1mA未満)であるが、 V_{ds} をゼロから徐々に小さくしていく(V_{ds} の絶対値を増加させていく)と、 V_{ds} が V_{f0} に達したとき、1mAとなり、さらに V_{ds} を小さくしていく(絶対値を増加させていく)と、増大する。この意味で、 V_{f0} は、ダイオードの電流-電圧特性における「立ち上がり電圧」に相当する。

[0073] 本実施形態の半導体素子311は、チャンネルダイオードに電流を流すことにより、以下の効果を奏する。炭化珪素半導体において、炭化珪素半導体のpn接合に流れる順方向電流が、半導体基板底面転位に起因した積層欠陥を増大させるという固有の問題が報告されている。そのため、炭化珪素から構成される従来の半導体素子においてMISFETのボディダイオードに還流

電流が流れた場合、還流電流がボディダイオードのpn接合において炭化珪素の結晶劣化を促進してしまう。これに対して、本実施形態の半導体素子311は、還流電流がチャネルダイオードに多く流れることにより、結晶欠陥の増加が抑制される。また、チャネルダイオードはユニポーラ動作するため、ダイオードがオン状態からオフ状態に遷移する際の逆回復電流が低減される。これにより、例えば、リカバリー損失やスイッチング速度の低下を抑制できる。

[0074] 次に、第1ボディ領域103aの不純物濃度について説明する。

[0075] 本実施形態の半導体素子311において、第1ボディ領域103aの平均不純物濃度は、半導体素子311におけるダイオードの立ち上がり電圧 V_{f0} およびトランジスタの閾値電圧 V_{th} が所望の値となるように設計される。特に、ダイオードの立ち上がり電圧 V_{f0} は、ボディ領域103と第1炭化珪素半導体層102とにより構成されるpn接合ダイオードの立ち上がり電圧 V_f よりも小さくなるように設定される。

[0076] ダイオードの立ち上がり電圧 V_{f0} 、トランジスタの閾値電圧 V_{th} は、いずれも、ボディ領域103のうち、第2炭化珪素半導体層106に接する第1ボディ領域103aの不純物濃度、第2炭化珪素半導体層106の不純物濃度および膜厚、ゲート絶縁膜107の厚さで主に決定される。

[0077] 本実施形態の半導体素子311において、 V_{th} と V_{f0} とは独立に制御することができる。図2は、一例として、ゲート絶縁膜107の厚さを70nmに設定し、第1ボディ領域103aの不純物濃度を $1 \times 10^{19} \text{ cm}^{-3}$ に設定した場合における、第2炭化珪素半導体層106の不純物濃度およびその膜厚と、トランジスタの閾値電圧 V_{th} およびチャネルダイオードの立ち上がり電圧の絶対値 $|V_{f0}|$ との関係を示すシミュレーション結果である。図2より、チャネルダイオードの立ち上がり電圧 V_{f0} の絶対値 $|V_{f0}|$ を約1Vとしたい場合、第2炭化珪素半導体層106の不純物濃度を約 $2.5 \times 10^{17} \text{ cm}^{-3}$ とし、第2炭化珪素半導体層106の膜厚を約70nmに設定すれば、半導体素子311の V_{th} は約3.5Vとなる。また、第2炭化

珪素半導体層 106 の不純物濃度を約 $1.5 \times 10^{18} \text{ cm}^{-3}$ とし、第 2 炭化珪素半導体層 106 の膜厚を約 30 nm に設定すれば、 $|V_{f0}|$ は約 1 V を維持したまま、半導体素子 311 の V_{th} を約 6.1 V に設定できる。なお、本実施形態の半導体素子における、チャネルダイオードの立ち上がり電圧 $|V_{f0}|$ およびトランジスタの閾値電圧 V_{th} と、ボディ領域のドーパント濃度との関係は、図 48 と同様の傾向を示す。

[0078] 本実施形態の半導体素子において、第 1 ボディ領域 103 a の濃度は例えば $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることが望ましい。より望ましくは、第 1 ボディ領域 103 a の濃度は $5 \times 10^{18} \text{ cm}^{-3}$ 以上である。これにより、ボディ領域 103 とチャネル領域 106 c の間に広がる空乏層において、ボディ領域 103 側の空乏層の拡がりを抑制できるため、ゲート絶縁膜とチャネル層の界面のポテンシャル障壁を小さくすることが出来る。

[0079] 第 1 ボディ領域 103 a が第 2 炭化珪素半導体層 106 に接する界面と、第 1 ボディ領域 103 a が第 2 ボディ領域 103 b に接する界面との間で規定される、第 1 ボディ領域 103 a の基板面に対して平行方向の厚みは、ゲート電極 108 に 0 V が印加された状態で、第 1 ボディ領域 103 a と第 2 炭化珪素半導体層 106 との界面から第 1 ボディ領域 103 a へ広がる空乏層が、第 1 ボディ領域 103 a 内にとどまることが望ましい。例えば、第 1 ボディ領域 103 a の基板面に対して平行方向の厚みは、50 nm 以上である。

[0080] また、不純物領域 104 が第 1 オーミック電極 109 と接する基板面と垂直な界面を F1 とし、不純物領域 104 が第 2 炭化珪素半導体層 106 と接する界面を F2 としたとき、第 1 ボディ領域 103 a の基板面に対して平行方向の厚みは、F1 と F2 で規定される基板面に対して平行方向の長さより小さいことが好ましい。

[0081] これにより、第 1 ボディ領域 103 a に対してカウンタードーピングに伴う不純物領域 104 の高抵抗化の影響を抑制できる。特に、第 1 ボディ領域 103 a が、注入ドーズ量の多いイオン注入によって形成される場合、より

効果的に半導体素子におけるリーク電流の発生を低減できる。

[0082] 第1ボディ領域103aは、不純物領域104および第1炭化珪素半導体層102と接していることが望ましい。ボディ領域103のうち、第2炭化珪素半導体層106と接する領域全体に渡って高濃度化することにより、閾値電圧や立ち上がり電圧の設計を、第2ボディ領域103bと独立に設計できる。

[0083] 本実施形態の半導体素子311は、第2ボディ領域103bから独立して、第1ボディ領域103aの不純物濃度を高くすることができる。このため、第1ボディ領域103aおよび第2炭化珪素半導体層106の不純物濃度をいずれも高くすることによって、第1炭化珪素半導体層102と第2ボディ領域103bとによって形成されるボディダイオードに電流が流れ始める V_f の絶対値よりも V_{f0} の絶対値を小さく設定できる。具体的には、MISFETがオフ状態であり、 $0V \leq V_{gs} < V_{th}$ であり、 $V_{ds} < 0V$ である場合において、ボディダイオードに電流が流れ始める前にチャネルダイオードに電流を流すことが可能となる。

[0084] また、本実施形態の半導体素子311においては、独立に制御可能な第1ボディ領域103aに接するように、第2炭化珪素半導体層106を形成している。このため、第1ボディ領域103aの不純物濃度と第2炭化珪素半導体層106の不純物濃度および膜厚とを適切に制御することによって、 V_{ds} が負の場合にチャネルダイオードに流れる電流量と、 V_{ds} が正の場合にトランジスタに流れるオン電流量とを同程度の値に設定することができる。例えば、チャネルダイオードに流れる逆方向電流の電流用は、トランジスタの定格オン電流の $1/5$ 以上2倍以下に設定される。これにより、 V_{ds} が負（逆方向）の場合でも、第2ボディ領域103bと第1炭化珪素半導体層102との間に形成されるボディダイオードに流れる電流を大幅に低減（またはゼロに）させることができ、チャネルダイオードに多くの電流を流すことができる。つまり、本実施形態の半導体素子311は、一般的なインバータ回路に搭載されるMISFETに逆並列接続されたいわゆる還流ダイオ

ードの機能を、半導体素子 3 1 1 内の M I S F E T に内蔵することができる。

[0085] 逆に言えば、第 1 ボディ領域が第 2 炭化珪素半導体層に接していない M I S F E T の場合、上述した設定を行うことができないため、適切な条件で還流ダイオードとして機能するチャネルダイオードを実現することが困難となる。

[0086] 次に、第 2 ボディ領域 1 0 3 b の不純物濃度について説明する。

[0087] 半導体素子 3 1 1 の第 2 ボディ領域 1 0 3 b の平均不純物濃度は、所望の耐圧が確保されるように設定される。

[0088] 半導体素子 3 1 1 の耐圧は、主に、第 2 ボディ領域 1 0 3 b と第 1 炭化珪素半導体層 1 0 2 によって構成される p n 接合により決定される。

[0089] 第 2 ボディ領域 1 0 3 b のドーパント濃度をドリフト領域 1 0 2 d のドーパント濃度の絶対値より大きくすることにより、半導体素子 3 1 1 の耐圧は主に第 1 炭化珪素半導体層 1 0 2 のドーパント濃度で設計される。数百ボルト以上の高耐圧を有する半導体素子を実現するには、ドリフト領域 1 0 2 d のドーパント濃度は $1 \times 10^{17} \text{ cm}^{-3}$ より小さいことが好ましい。よって、本実施形態の半導体素子において、第 2 ボディ領域 1 0 3 b の濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以上第 1 ボディ領域の濃度以下であることが望ましい。第 2 ボディ領域 1 0 3 b のドーパント濃度を、第 1 ボディ領域 1 0 3 a のドーパント濃度より小さくすることにより、ボディ領域の高濃度化により引き起こされる可能性のあるリーク電流を抑制できる。

[0090] ここで、第 1 ボディ領域 1 0 3 a と第 2 ボディ領域 1 0 3 b の関係について説明する。

[0091] 本実施形態の半導体素子 3 1 1 は、ボディ領域 1 0 3 が第 1 ボディ領域 1 0 3 a および第 2 ボディ領域 1 0 3 b に分割されている。そのため、第 1 ボディ領域 1 0 3 a の不純物濃度と第 2 ボディ領域 1 0 3 b の不純物濃度を独立して調整することができる。具体的には、一方で、第 1 ボディ領域 1 0 3 a の不純物濃度を調整することによって、チャネルダイオードの立ち上がり

電圧 V_{f0} を制御でき、他方で、第2ボディ領域 103b の不純物濃度を調整することによって、半導体素子 311 の耐圧を制御できる。したがって、本実施形態の半導体素子 311 は、低いチャネルダイオードの立ち上がり電圧 V_{f0} と、高い耐圧とを両立することができる。

[0092] チャネルダイオードの立ち上がり電圧 V_{f0} を低く、かつ耐圧を高くするためには、第1ボディ領域 103a の平均不純物濃度は小さいことが望ましく、第2ボディ領域 103b の平均不純物濃度よりも、第1ボディ領域の平均不純物濃度が大きいことが好ましい。例えば、第1ボディ領域 103a の平均不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 以上、 $1 \times 10^{20} \text{ cm}^{-3}$ 以下とし、第2ボディ領域 103b の平均不純物濃度を $1 \times 10^{17} \text{ cm}^{-3}$ 以上、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下とする。より好ましくは、第1ボディ領域 103a の平均不純物濃度は、第2ボディ領域 103b の平均不純物濃度の2倍以上である。

[0093] このように、本実施形態の半導体素子 311 によれば、一般的なインバータ回路に搭載される MISFET に逆並列接続されるいわゆる還流ダイオードを半導体素子 311 のチャネルダイオードにて機能させることができる。つまり、半導体素子 311 中の MISFET は還流ダイオードを内蔵する。

[0094] また、チャネルダイオードの立ち上がり電圧 V_{f0} の絶対値を、ボディダイオードの立ち上がり電圧の絶対値よりも小さくできるため、インバータ回路における電力損失を低減させることができる。さらに、ボディダイオードに流れる電流を激減させることができるため、半導体素子 311 の結晶劣化を抑制することができ、高耐圧特性を維持することができる。したがって、半導体素子 311 は高い信頼性を備える。

[0095] [半導体素子 311 の製造方法]

次に、図3から図7を参照しながら、本実施形態の半導体素子 311 の製造方法の一例について詳述する。なお、以下の説明は、あくまでも例示であり、特定のプロセス、条件、濃度、膜厚等に限定されるものではない。

[0096] まず、半導体基板 101 を準備する。半導体基板 101 は、例えば、低抵抗（抵抗率 $0.02 \Omega \text{ cm}$ ）の n 型 4H-SiC オフカット半導体基板であ

る。

[0097] 図3 (a) に示すように、半導体基板101の上に高抵抗の第1炭化珪素半導体層102をエピタキシャル成長する。例えば、第1炭化珪素半導体層102はn型4H-SiCによって構成され、不純物濃度および膜厚はそれぞれ $1 \times 10^{16} \text{ cm}^{-3}$ および $10 \mu\text{m}$ である。第1炭化珪素半導体層102を形成する前に半導体基板101上に、高不純物濃度の炭化珪素によって構成されるバッファ層を堆積してもよい。例えばバッファ層の不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ であり、厚さは $1 \mu\text{m}$ である。

[0098] 次に、図3 (b) に示すように、第1炭化珪素半導体層102の上に、第2導電型の第2ボディ領域103b'を形成する。第2ボディ領域103b'は、第1炭化珪素半導体層102上にイオン注入を行うことにより形成できる。あるいは、第2ボディ領域103b'は、第1炭化珪素半導体層102上にエピタキシャル成長させることによっても形成できる。以下では、第2ボディ領域103b'がイオン注入によって形成される例について説明する。第1炭化珪素半導体層102のうち、第2ボディ領域103b'以外の領域がドリフト領域102dとなる。

[0099] 第1炭化珪素半導体層102の上に、例えばAlイオンをイオン注入する。ここで形成される第2ボディ領域103b'のうち、後工程において第1ボディ領域103a'が形成されなかった領域が、半導体素子311の第2ボディ領域103bとなる。なお、本工程で形成される第2ボディ領域103b'は、後の活性化工程後に、半導体素子311の第2ボディ領域103bとなる領域に少なくとも形成されていればよい。

[0100] 図3 (b) はユニットセルの断面のみを示しており、ユニットセルの全体に第2ボディ領域103b'が形成されるため、パターニングのためのマスクは図示していないが、例えば複数のMISFET周辺の電界集中を緩和する周端構造をリング状に形成する場合（後に示す図8 (c) の103fを複数形成してFLR構造116を形成する場合）には、本工程において、例えばSiO₂からなるマスクを形成しておき、周端部にパターニングされた第2

ボディ領域103b' (図8(c)の103fに相当)を形成してもよい。不純物種としてAlを用いる場合、拡散係数が小さいため、拡散による濃度プロファイルの変化はほとんど無視できる。B(ボロン)をボディ領域の不純物として用いる場合は、あらかじめ活性化率や拡散係数を把握した上で、所望の不純物濃度のプロファイルが得られるように、イオン注入のエネルギーとドーズ量を選択するとよい。活性化率が100%であると仮定し、例えばアルミニウムを用いて第2ボディ領域103bを形成する場合、アルミニウムイオンの注入エネルギーおよびドーズ量は、以下の通りである。

$$30\text{ keV} : 6.0 \times 10^{12} \text{ cm}^{-2}$$

$$70\text{ keV} : 1.2 \times 10^{13} \text{ cm}^{-2}$$

$$150\text{ keV} : 2.5 \times 10^{13} \text{ cm}^{-2}$$

$$350\text{ keV} : 6.0 \times 10^{13} \text{ cm}^{-2}$$

[0101] イオン注入後、図3(c)に示すように、マスク201を形成し、続いて、マスク201を用いて第2ボディ領域103b'中に、例えばアルミニウムをイオン注入することによって、第1ボディ領域103a'を形成する。第1ボディ領域103a'の不純物濃度は、第2ボディ領域103b'内へのイオン注入のために、必然的に第2ボディ領域103b'の不純物濃度より高くなる。このときの注入エネルギーは、例えば第2ボディ領域103b'と同じとし、ドーズ量は例えば5倍になるように調整する。この場合、追加で注入されるドーズ量は4倍相当量となり、アルミニウムイオンの注入エネルギーおよびドーズ量は、以下の通りである。

$$30\text{ keV} : 2.4 \times 10^{13} \text{ cm}^{-2}$$

$$70\text{ keV} : 4.8 \times 10^{13} \text{ cm}^{-2}$$

$$150\text{ keV} : 1.0 \times 10^{14} \text{ cm}^{-2}$$

$$350\text{ keV} : 2.4 \times 10^{14} \text{ cm}^{-2}$$

[0102] 上述のように形成した第1ボディ領域103a'には、後の工程においてトレンチ120が形成され、残った領域が活性化されて、半導体素子311の第1ボディ領域103aとなる。本工程後の第1ボディ領域103a'の

幅を $W1$ とし、トレンチ120の幅を $W2$ とすると、半導体素子311形成後の第1ボディ領域103aの幅 $W3$ は $(W1 - W2) / 2$ である。第1ボディ領域103aの幅 $W3$ は、後に形成される第2炭化珪素半導体層106の濃度／膜厚やゲート絶縁膜の厚さに基づいて決定される。ゲート電極108に0Vが印加された状態で、第2炭化珪素半導体層106と第1ボディ領域103aの界面から第1ボディ領域103aへ広がる空乏層が、第1ボディ領域103a内にとどまっていればよい。このためには、本実施形態の適用範囲内で考えると、第1ボディ領域103a領域の幅 $W3$ （厚さ）が100nm以上であればよい。つまり、 $W1 \geq W2 + 100 \times 2$ （nm）であればよい。

[0103] 次に、マスク201を除去した後に、マスク202を形成し、図4（a）に示すように第1導電型の不純物領域104'を形成する。マスク202はマスク201の一部をエッチングすることによって形成してもよい。第1導電型の不純物領域104'は、例えば窒素を用いたイオン注入によって形成することができる。

[0104] イオン注入後、マスク202を除去し、続いて図4（b）に示すように、マスク203を形成した後にA1を注入することによってコンタクト領域105'を形成する。

[0105] これらのイオン注入後に、マスク203を除去し、活性化アニールを行うことで、図4（c）に示すように、第1ボディ領域103a、第2ボディ領域103b、不純物領域104、コンタクト領域105が形成される。第1ボディ領域103aおよび第2ボディ領域103bを同じ注入エネルギーで形成することにより、第1ボディ領域103aおよび第2ボディ領域103bの深さをほぼ等しくできる。上記例の注入エネルギーで形成された場合、不純物領域104の表面Sを基準としたときの、第1ボディ領域103aおよび第2ボディ領域103bの深さは約500nmである。第1ボディ領域103aの平均不純物濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ となるように、イオン注入プロファイルを決定する。また、第2ボディ領域103bの平均不純物濃度が

約 $2 \times 10^{18} \text{ cm}^{-3}$ となるようにイオン注入プロファイルを調整する。不純物領域 104 の深さは、表面 S を基準として、例えば 250 nm に調整する。不純物領域 104 の平均不純物濃度が約 $5 \times 10^{19} \text{ cm}^{-3}$ となるようにイオン注入プロファイルを調整する。ここで、第 1 ボディ領域 103 a および第 2 ボディ領域 103 b は、例えば p 型不純物濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以上である領域と規定される。また、不純物領域 104 は、例えば n 型不純物濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以上である領域と規定される。

[0106] コンタクト領域 105 の深さは、表面 S を基準として、例えば 400 nm であり、平均不純物濃度は例えば、約 $1 \times 10^{20} \text{ cm}^{-3}$ である。コンタクト領域 105 は、例えば p 型不純物濃度が $5 \times 10^{17} \text{ cm}^{-3}$ の以上である領域と規定される。なお、活性化アニール後の第 1 炭化珪素半導体層 102 の表面清浄化のために、第 1 炭化珪素半導体層 102 の表層を除去する場合がある。例えば第 1 炭化珪素半導体層 102 の表層を 50 nm 除去した場合、第 1 ボディ領域 103 a、第 2 ボディ領域 103 b、不純物領域 104、コンタクト領域 105 の深さは、すべて 50 nm ほど浅くなり、それぞれ、450 nm、450 nm、200 nm、350 nm となる。

[0107] 次に、図 5 (a) に示すように、マスク 204 を形成し、不純物領域 104、第 1 ボディ領域 103 a を貫通し、第 1 炭化珪素半導体層 102 を露出させるトレンチ 120 を形成する。このトレンチ 120 は、不純物領域 104、第 1 ボディ領域 103 a および、第 1 炭化珪素半導体層 102 の一部を、例えばフロンと酸素の混合ガスを用いてドライエッチングすることによって形成される。トレンチ 120 の幅 W2 は例えば $1 \mu\text{m}$ 程度であり、深さは例えば $1.1 \mu\text{m}$ 程度である。マスク 204 はこのドライエッチングに対して耐性を有する材料（例えばアルミニウム）からなる。もしくは、耐性が不十分な場合は、十分に厚いマスク 204 を形成する。

[0108] 次に、マスク 204 を除去し、半導体基板 101 を十分に洗浄した後に、図 5 (b) に示すように、第 1 ボディ領域 103 a、不純物領域 104 およびコンタクト領域 105 および第 1 炭化珪素半導体層 102 の露出した表面

に、炭化珪素を用いて第2炭化珪素半導体層（チャネルエピ層）106を成長させる。これにより、トレンチ120の少なくとも側面120cを第2炭化珪素半導体層106で覆う。本実施形態では、第2炭化珪素半導体層106のうち、第1ボディ領域103aに隣接する部分の不純物濃度 N (cm^{-3}) および厚さ d (nm) を、例えば以下の条件を満たすように調整する。

$$N = 2 \times 10^{18}$$

$$d = 30$$

[0109] 次に、第2炭化珪素半導体層106の所定部位を必要に応じてドライエッチングした後、例えば熱酸化によって、図5(b)に示したような第2炭化珪素半導体層106の表面にゲート絶縁膜107を形成する。ゲート絶縁膜107を第2炭化珪素半導体層106の熱酸化によって形成する場合には、第2炭化珪素半導体層106の表面領域は酸化され、ゲート絶縁膜107になってしまう。このため、熱酸化により消失する厚さを考慮し、ゲート絶縁膜107形成後に上記厚さ d になるように、エピタキシャル成長させる第2炭化珪素半導体層106の厚さを調整する。

[0110] その後、ゲート絶縁膜107の表面に、例えばリンを $7 \times 10^{20} \text{cm}^{-3}$ 程度ドーピングした多結晶シリコン膜を堆積する。多結晶シリコン膜の厚さは、例えば、500nm程度である。これにより、第1炭化珪素半導体層102に形成されたトレンチ120の内部を多結晶シリコン膜で満たす。

[0111] 次に、図5(c)に示すように、マスク（図示せず）を用いて、多結晶シリコン膜をドライエッチングすることにより、所望の領域にゲート電極108を形成する。

[0112] 続いて、図6(a)に示すように、ゲート電極108の表面およびゲート電極108で覆われていないゲート絶縁膜107を覆うように、例えば SiO_2 を用いた層間絶縁膜111をCVD法によって堆積する。層間絶縁膜111の厚さは、例えば、 $1.5 \mu\text{m}$ である。

[0113] 次に、図6(b)に示すように、マスク（図示せず）を用いて、ドライエッチングにより、コンタクト領域105の表面上と、不純物領域104の一

部の表面が露出するように層間絶縁膜 111 およびゲート絶縁膜 107 と第 2 炭化珪素半導体層の一部を除去することによって、コンタクトホール（開口部） 111c が形成される。

[0114] その後、図 6（c）に示すように、例えば厚さ 50 nm 程度の例えばニッケルからなる金属膜 109' を、層間絶縁膜 111 上およびコンタクトホール 111c 内で露出したコンタクト領域 105 および不純物領域 104 上に形成する。この後、不活性雰囲気内で例えば 950℃、5 分間、熱処理を行なうことによって、ニッケルを炭化珪素表面と反応させ、ニッケルシリサイドで構成される第 1 オーミック電極 109 を形成し、層間絶縁膜 111 上の金属膜 109' を除去することで、図 7（a）に示す構造が得られる。

[0115] 次に、図 7（b）に示すように、半導体基板 101 の裏面にも、例えばニッケルを全面に堆積させ、同様に熱処理によって炭化珪素と反応させて、第 2 オーミック電極 110 を形成する。

[0116] 続いて、層間絶縁膜 111 およびコンタクトホール 111c の上に、例えば厚さ 4 μm 程度のアルミニウムを堆積し、所望のパターンにエッチングすることによって、図 1（a）に示すように、上部配線電極 112 が得られる。なお、図示しないが、チップ端にゲート電極と接触するゲート配線（またはゲートパッド）も他の領域に形成する。さらに、第 2 オーミック電極 110 の裏面に、ダイボンド用の裏面配線電極 113 として、例えば Ti/Ni/Ag から構成される層を堆積する。（Ti 側が第 2 オーミック電極 110 に接する。）このようにして、図 1 に示す半導体素子 311 が得られる。

[0117] 図 1（a）に示すように、本実施形態の半導体素子 311 は、平均不純物濃度の異なる第 1 ボディ領域 103a および第 2 ボディ領域 103b を含んでいる。このため、耐圧に影響を与える第 2 ボディ領域 103b と、トランジスタの閾値電圧 V_{th} およびチャネルダイオードの立ち上がり電圧 V_{f0} に影響を与える第 1 ボディ領域 103a を独立に制御できる。

[0118] しかし、耐圧を維持したまま、チャネルダイオードの立ち上がり電圧 $|V_{f0}|$ を小さく（好ましくは 1 V 以下、さらに好ましくは 0.6 V 以下）、

かつトランジスタの閾値電圧 V_{th} を正に維持（好ましくは2 V以上8 V以下）するためには、上述したように、第1ボディ領域103aの平均不純物濃度よりも第2ボディ領域103bの平均不純物濃度を小さくしておくことが望ましい。チャネルダイオードの立ち上がり電圧を1 V以下に設計すれば、還流ダイオードの候補であるSiCからなるショットキーダイオードの代替が可能となり、チャネルダイオードの立ち上がり電圧を0.6 V以下に設計すれば、Siからなるファストリカバリーダイオードの代替が可能となる。つまり、これらの還流ダイオードを使用することなく、MISFETのみで、還流ダイオードの機能を併せ持つことができる。

[0119] また、順方向電流の閾値電圧 V_{th} は2 V以上あることが好ましい。パワー回路であるインバータ回路一般的に使用するMISFETは、ノーマリーオフ（ $V_{th} > 0 V$ ）であることが好ましい。なぜならば、何らかの要因でゲート制御回路が故障し、ゲート電圧が0 Vになってしまっても、ドレイン電流を遮断することができるので、安全だからである。また、MISFETの閾値電圧は高温になると低下する。例えば、SiC-MOSFETの場合、100°Cの温度上昇で約1 V低下する場合がある。ここで、ノイズでゲートがオンになってしまわないようにノイズマージンを1 Vとすれば、室温での V_{th} は2 V（1 V + 1 V）以上に設定することが好ましい。また、閾値電圧が高すぎると、トランジスタをオンする際のゲート電圧もその分大きくなってしまい、ゲート電圧を発生させる電源の制約が多くなるため、実用上、閾値電圧は8 V以下とすることが好ましい。

[0120] また、本実施形態の半導体素子311において、第1ボディ領域103aの平均不純物濃度および第2ボディ領域の平均不純物濃度は独立に制御できる。このため、MISFETの周端部100f1の電界集中緩和構造のプロセス設計も容易となる。これを以下に説明する。

[0121] （実施形態1-2）

図8（a）は実施形態1-2の半導体素子321を、上部配線電極112側から見た模式図である。本実施形態の半導体素子321は、実施形態1-

1と同様のユニットセル100uを複数含む。半導体素子321は、図8(a)に示すように、半導体基板の主面からみて四角形のチップとして切り出されることが多い。半導体素子321は、ユニットセル配置部100uおよび周端部100fを含む。ユニットセル配置部100uには図1(b)、(c)で示したユニットセルが配置されている。周端部100fはユニットセル配置部100uの周辺を取り囲むように配置されている。図8(b)はすでに図1(a)で示した半導体素子311のユニットセル100uである。図8(a)のE-F断面図を図8(c)に示す。周端部100fは、第1炭化珪素半導体層102に配置された第2導電型の第2導電型領域103dを含む。第2導電型領域103dはユニットセル100uの最外周に主に配置され、ユニットセル100uと同様な平面形状(例えば図1(b)に示した四角形)で規定される。

[0122] 周端部100fは、第1炭化珪素半導体層102に配置されたFLR(Field Limited Ring:FLR)構造116を含む。FLR構造116は、半導体基板101の主面と平行な面において、ユニットセル配置部100uおよび第2導電型領域103dをリング状に取り囲んでおり、単数または複数のリング領域103fから構成される。FLR構造116の外側には第1導電型の空乏化抑制領域104fが設けられ、FLR構造116をさらに取り囲んでいる。空乏化抑制領域104fは第1オーミック電極109と同様のプロセスで形成された金属109fを介して、上部配線電極112と同様のプロセスで形成された金属リング112fと接続されている。

[0123] 第2導電型領域103dおよびFLR構造116は、第1炭化珪素半導体層102の導電型(ここではn型)に対して反対導電型(p型)であることが望ましい。第2導電型領域103dおよびFLR構造116の不純物濃度は、所望の耐圧に応じて設定される。第2導電型領域103dやFLR構造116は耐圧を高め、半導体素子321の端部での電界集中を緩和する役割を有する。

[0124] 第2導電型領域103dおよびFLR構造116の少なくとも一方を、半導体素子311におけるボディ領域103形成時に同時に形成できる。これにより、半導体素子321の製造工程を簡略にすることができ、プロセスコストの低減も可能となる。例えば図8(c)では、半導体素子311を作製する際に図3(b)で示した第2ボディ領域103b'を形成するプロセスにおいて、同時に第2導電型領域103dおよびリング領域103fの少なくとも一方を形成することができる。これにより、第2導電型領域103dは第2ボディ領域103bと同じ不純物濃度プロファイルにできる。同様に、FLR構造116も第2ボディ領域103bと、同じ不純物濃度プロファイルにできる。

[0125] 半導体素子321の耐圧劣化を抑制するためには、周端部100f1での電界集中を緩和させることが好ましい。ここで電界集中緩和のためには、第2導電型領域103dやFLR構造116の設計が重要となる。例えばFLR構造116として形成されたリング領域103fの幅や間隔、本数、さらには不純物濃度が最適に設計される。そして、この設計に基づき、半導体プロセスを実現するためのマスクセットが作製される。電界集中はpn接合で主に発生するため、周端部100f1においては、第2導電型領域103dおよびFLR構造116の下端に電界集中が発生しやすい。本実施形態の半導体素子321においては、周端部100f1の第2導電型領域103dおよびFLR構造116を、ユニットセル配置部100u1における第2ボディ領域103bと同時に形成する場合であっても、これらの領域の不純物濃度は、第1ボディ領域103aとは独立して設定できる。そのため、一方で、耐圧に影響する第2ボディ領域103b、第2導電型領域103d、FLR構造116のリング領域103fの不純物濃度を設定し、他方で第1ボディ領域103aの不純物濃度を任意にプロセス設計できる。その結果、耐圧劣化を抑制しつつ、好ましい V_{th} 、 $|V_{f0}|$ 有する半導体素子321を実現できる。つまり、ボディ領域の不純物濃度変更による素子設計変更(マスク再作製)をすることなく、同じ素子設計のままで、プロセス設計に自由

度を持たせる効果も併せ持っている。例えば図47で示した従来の半導体素子において、ボディ領域1030の濃度を制御することは、図1(a)における第1ボディ領域103aの濃度を制御することと同様の効果が予想されるが、この場合、上記のように、周端構造の第2導電型領域103dやリング領域103fをボディ領域1030と同時に形成すると、周端構造における電界集中緩和の設計を都度やり直す必要が発生してコスト増につながり、また、周端構造を別プロセスで形成する場合にも、工程数が増加することによって製造コストの増大につながる。

[0126] (実施形態1-3)

本発明は上記実施形態1-1に限定されず、種々の改変が可能である。

[0127] 例えば、図9に示す構造を備えた半導体素子311Aを実施してもよい。半導体素子311Aは、半導体基板101主面に垂直な方向において、第2ボディ領域103bの深さが、第1ボディ領域103aの深さよりも大きい点で、上記実施形態の半導体素子311と異なる。半導体素子311Aは、上述の半導体素子311の製造方法の図3(c)に示されるイオン注入の工程において、第2ボディ領域103b'の深さを、第1ボディ領域103a'の深さよりも大きくすることによって形成される。具体的には、第2ボディ領域103bの注入エネルギーを、第1ボディ領域103aの注入エネルギーよりも大きくすることによって形成できる。

[0128] 例えば、図10に示す構造を備えた半導体素子311Bを好適に実施し得る。半導体素子311Bはトレンチ120の底面102bに第2導電型の電界緩和領域121Aを有する点で、上記実施形態の半導体素子311とは異なる。電界緩和領域121Aはトレンチ120の底面120bにおいて、第2炭化珪素半導体層106に生じる電界集中を緩和する。

[0129] 例えば、図11に示す構造を備えた半導体素子311Cを実施してもよい。半導体素子311Cは、トレンチ120の底面120bにおいて、第2炭化珪素半導体層が除去されており、底面120bに第2導電型の電界緩和領域121Bを有している点で上記実施形態と異なる。これら電界緩和領域1

21A、121Bは、第1炭化珪素半導体層102のうち、トレンチ120の底に相当する位置に、第2導電型の不純物（例えばアルミニウム）を注入し、活性化することにより形成することができる。電界緩和領域121A、121Bの不純物濃度は適宜選択され、例えば $1 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度である。

[0130] このように、実施形態1-1、1-2、1-3の半導体素子によれば、ボディ領域を2つの領域で構成することにより、閾値を調整する第1ボディ領域の不純物濃度、および、第1炭化珪素半導体層とpn接合を形成する第2ボディ領域の不純物濃度を独立に制御することが可能となる。これにより、チャネルダイオードの立ち上がり電圧がボディダイオードよりも低く、素子耐圧の高い半導体素子を提供できる。

[0131] （実施形態2-1）

[半導体素子312の構成]

図12(a)は、半導体素子312の断面図、図12(b)は、半導体素子312におけるボディ領域103の上面を示す平面図である。図12(c)は、半導体素子312におけるユニットセルの配置を例示する平面図である。

[0132] 実施形態2-1の半導体素子312は、ボディ領域103を除き、実施形態1-1の半導体素子311と同様の構造を備えている。このため、本実施形態に係る半導体素子312の説明のうち、実施形態1-1の説明と重複する部分については説明を省略することがある。例えば、図12(a)は図1(a)と、図12(c)は図1(b)と、図13(b)は図1(c)と説明が重複する場合がある。具体的には、本実施形態に係る半導体素子312は、実施形態1-1に係る半導体素子311とボディ領域103の構造が異なるため、それ以外の構成、配置等については説明を省略することがある。

[0133] 半導体素子312は、二次元に配置された複数のユニットセル100uによって構成されている。各ユニットセル100uは、半導体基板101と、半導体基板101の表面上に配置された第1炭化珪素半導体層102とを有

している。第1炭化珪素半導体層102は、第1導電型のドリフト領域102dを含んでいる。

[0134] 第1炭化珪素半導体層102には、ドリフト領域102dの上に位置するボディ領域103と、ボディ領域103の上に位置する第1導電型の不純物領域104とが配置されている。ボディ領域103は、第2導電型の第1ボディ領域103aおよび第2導電型の第2ボディ領域103bを含んでいる。第1ボディ領域103aは、第2ボディ領域103bよりも高い濃度で第2導電型の不純物を含んでいる。すなわち、第1ボディ領域103aの第2導電型の不純物の濃度（ドーパント濃度）の平均値は、第2ボディ領域103bの第2導電型の不純物の濃度（ドーパント濃度）の平均値よりも高い。ここで、ドーパント濃度の平均値を「平均ドーパント濃度」と略する。

[0135] 第1炭化珪素半導体層102には、ボディ領域103を貫通するトレンチ102tが設けられている。図示する例では、トレンチ102tの側面は、下方からドリフト領域102d、第2ボディ領域103b、第1ボディ領域103aおよび不純物領域104によって構成されている。

[0136] トレンチ102t内には、第2炭化珪素半導体層106が配置されている。第2炭化珪素半導体層106は、第2導電型（例えばn⁻型）であってもよい。第2炭化珪素半導体層106は、トレンチ102tの側面上において、第1および第2ボディ領域103a、103bの両方と接するように配置されている。第2炭化珪素半導体層106のうち、第1ボディ領域103aおよび第2ボディ領域103bと接する部分がチャンネル領域106cとなる。これにより、半導体素子312のオン状態において、第2炭化珪素半導体層106のチャンネル領域106cを介して、不純物領域104とドリフト領域102dとを接続させることができる。

[0137] 第2炭化珪素半導体層106は、トレンチ102tの側面上において、ドリフト領域102d、第1ボディ領域103a、第2ボディ領域103bおよび不純物領域104と接するように配置されることが好ましい。これにより、不純物領域104とドリフト領域102dとをより確実に接続できる。

[0138] 本実施形態では、第2炭化珪素半導体層106は、トレンチ102tの側面において、第1ボディ領域103aおよび第2ボディ領域103bの両方と接している。また、第2ボディ領域103bの上面は不純物領域104、下面はドリフト領域102dとそれぞれ接している。従って、第1ボディ領域103aのドーパント濃度を、第2ボディ領域103bのドーパント濃度とは独立して調整することによって、素子耐圧を低下させることなく、閾値電圧 V_{th} や立ち上がり電圧 V_{f0} を制御することが可能になる。また、ドーパント濃度の低い第2ボディ領域103bとドリフト領域102dとがpn接合を形成しているため、イオン注入に起因する結晶欠陥の影響を抑えることができ、リーク電流の発生を低減できる。結晶欠陥によるリーク電流をさらに効果的に低減するためには、第1ボディ領域103aとドリフト領域102dとが接していないことが好ましい。さらに、第2ボディ領域103bは不純物領域104の下面の少なくとも一部と接している。これにより、不純物領域104の下面全体が高濃度の第1ボディ領域103aと接することを防止できるので、ボディ領域103と不純物領域104との界面で、不純物領域104の抵抗が高くなることを抑制できる。

[0139] 図12(b)に示す例では、ボディ領域103の上面において、第1ボディ領域103aは、第2ボディ領域103bを囲むように、第2炭化珪素半導体層106側にのみ配置されている。また、第1ボディ領域は不純物領域104と接している。なお、ボディ領域103の構成は図示する構成に限定されない。

[0140] 以下、本実施形態における第2炭化珪素半導体層106を「チャンネル層」と称することにする。チャンネル領域106cの長さ（チャンネル長）Lは、図12(a)に示すように、トレンチ102tの側面における、不純物領域104とドリフト領域102dとの距離で規定される。ここでは、トレンチ102tの側面において、第1ボディ領域103aと不純物領域104との界面から、第2ボディ領域103bとドリフト領域102dとの界面までの距離がチャンネル長Lとなる。

- [0141] 半導体素子312のユニットセル100uは、半導体基板101の法線方向から見たとき、図12(c)に示すように、x方向およびそれに垂直なy方向に二次元的に配置されていてもよい。各ユニットセル100uは、略長方形または正方形であってもよいし、他の多角形であってもよい。
- [0142] なお、ユニットセル100uは、一方向（例えばy方向）に延びるストライプ状の平面形状を有していてもよい。図13(a)および(b)は、それぞれ、半導体素子312がストライプ状のユニットセル100uを有する場合のボディ領域103の上面図および半導体素子312の平面図である。図13(b)に示すように、複数のユニットセル100uは、例えばy方向に垂直なx方向に配列されている。断面構造は、図12(a)に示す構造と同様であるので図示を省略する。この例でも、第1ボディ領域103aは、ボディ領域103の上面において、第2炭化珪素半導体層106近傍にのみ配置されている。
- [0143] 半導体素子312は、実施形態1-1の半導体素子311と同様に、 $V_{ds} > 0V$ で、ゲート電極108に閾値電圧以上の電圧が印加されると（ $V_{gs} \geq V_{th}$ ）、第2炭化珪素半導体層106を介して第2オーミック電極110と第1オーミック電極109との間が導通し、第2オーミック電極110から第1オーミック電極109へオン電流が流れる。一方、 $0V \leq V_{gs} < V_{th}$ を満たす場合、 V_{ds} が0ボルトよりも小さくなるにつれて、ボディ領域103からドリフト領域102dへ電流が流れ始める前に第1オーミック電極109から第2炭化珪素半導体層106を介して第2オーミック電極110へ電流が流れるように第2炭化珪素半導体層106およびボディ領域103が構成されている。
- [0144] ダイオードの立ち上がり電圧 V_{f0} 、トランジスタの閾値電圧 V_{th} は、いずれも、第1ボディ領域103aのドーパント濃度、第2ボディ領域103bのドーパント濃度、第2炭化珪素半導体層106のドーパント濃度および厚さ、ゲート絶縁膜107の厚さで主に決定される。一方、半導体素子312の耐圧は、主に、第2ボディ領域103bとドリフト領域102dとに

よって形成される p n 接合により決定される。

- [0145] 従来の半導体素子 1000 (図 47) では、トレンチ 1020 t の側面部に、n 型のチャネル層 1060 または p 型のチャネル層を形成し、トランジスタの素子耐圧と閾値電圧 V_{th} とを独立に制御している。チャネル層 1060 は一定の濃度に設定されており、素子耐圧、ダイオードの立ち上がり電圧 V_{f0} およびトランジスタの閾値電圧 V_{th} を互いに独立に制御することはできない。
- [0146] これに対し、本実施形態では、実施形態 1-1 と同様、ボディ領域 103 を第 1 ボディ領域 103 a と第 2 ボディ領域 103 b とを含む複数の領域に分割して、各ボディ領域 103 a、103 b の濃度を独立に制御する。また、第 2 炭化珪素半導体層 106 を、トレンチ 102 t の側面上に、これらのボディ領域 103 a、103 b と接するように配置する。このため、半導体素子 312 では、第 1 ボディ領域 103 a のドーパント濃度を制御することによって閾値電圧 V_{th} を調整し、第 2 ボディ領域 103 b のドーパント濃度を制御することによって半導体素子 312 の耐圧を調整することが可能である。
- [0147] 本実施形態では、第 1 ボディ領域 103 a の平均ドーパント濃度は、半導体素子 312 におけるダイオードの立ち上がり電圧 V_{f0} およびトランジスタの閾値電圧 V_{th} が所望の値となるように設計される。特に、ダイオードの立ち上がり電圧 V_{f0} は、ボディ領域 103 と第 1 炭化珪素半導体層 102 とにより構成される p n 接合ダイオードの立ち上がり電圧 V_f よりも小さくなるように設定される。
- [0148] ダイオードの立ち上がり電圧 V_{f0} 、トランジスタの閾値電圧 V_{th} は、いずれも、ボディ領域 103 のうち、第 2 炭化珪素半導体層 106 に接する第 1 ボディ領域 103 a のドーパント濃度、第 2 炭化珪素半導体層 106 のドーパント濃度および膜厚、ゲート絶縁膜 107 の厚さで主に決定される。
- [0149] 第 2 炭化珪素半導体層 106 のドーパント濃度および厚さと、トランジスタの閾値電圧 V_{th} 、およびチャネルダイオードの立ち上がり電圧の絶対値

| V_{f0} | との関係は、実施形態 1-1 の図 2 で説明したシミュレーション結果と同様である。

[0150] このように、本実施形態では、第 1 ボディ領域 103a のドーパント濃度、第 2 炭化珪素半導体層 106 のドーパント濃度および厚さ、ゲート絶縁膜 107 の厚さ、および、第 2 ボディ領域 103b のドーパント濃度を互いに独立に調整することにより、閾値電圧 V_{th} 、立ち上がり電圧 V_{f0} 、および素子耐圧を独立に制御できる。

[0151] 本実施形態の半導体素子 312 では、チャネルダイオードに多くの電流を流すことができる。従って、ボディダイオードに電流が流れることに起因する炭化珪素の結晶欠陥を抑制できる。また、一般的なインバータ回路に搭載される MISFET に、逆並列で接続されるいわゆる環流ダイオードの機能を半導体素子 312 に内蔵させることができる。さらに、チャネルダイオードはユニポーラ動作するため、ダイオードがオン状態からオフ状態に遷移する際の逆回復電流が低減される。これにより、例えば、リカバリ損失やスイッチング速度の低下を抑制できる。

[0152] 本実施形態において、チャネルダイオードに電流を流すためには、第 1 ボディ領域 103a のドーパント濃度は大きいことが好ましい。一方、素子耐圧を確保するためには、第 2 ボディ領域 103b のドーパント濃度も適切に制御する必要がある。これらを両立させるために、第 2 ボディ領域 103b のドーパント濃度よりも、第 1 ボディ領域 103a のドーパント濃度が大きくなるように設定する。これにより、素子耐圧を確保しつつ、ボディダイオードに流れる電流量を抑えて、炭化珪素の結晶欠陥の進行を抑制できる。

[0153] 本実施形態では、第 1 ボディ領域 103a の濃度は例えば $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることが望ましい。これにより、ボディ領域 103 とチャネル領域 106c の間に拡がる空乏層において、ボディ領域 103 側の空乏層の拡がりを抑制できるため、ゲート絶縁膜とチャネル層の界面のポテンシャル障壁を小さくすることが出来る。なお、本実施形態の半導体素子における、チャネルダイオードの立ち上がり電圧 | V_{f0} | およびトランジスタの閾値電圧

V t hと、ボディ領域のドーパント濃度との関係は、図48と同様の傾向を示す。したがって、第1ボディ領域103aの濃度は例えば $5 \times 10^{18} \text{ cm}^{-3}$ 以上であることがより望ましい。

- [0154] 第1ボディ領域103aの基板面に対して平行方向の厚みは、ゲート電極108に0Vが印加された状態で、第1ボディ領域103aと第2炭化珪素半導体層106との界面から第1ボディ領域103aへ広がる空乏層が、第1ボディ領域103a内にとどまることが望ましい。例えば、第1ボディ領域103aの基板面に対して平行方向の厚みは、50nm以上である。なお、基板面に対して平行方向の厚みとは、第1ボディ領域103aが第2炭化珪素半導体層106に接する界面と、当該界面に対向する界面であって第1ボディ領域103aが第2ボディ領域103bに接する界面との間で規定される厚みを意味する。
- [0155] 第2ボディ領域103bの平均不純物濃度は、所望の耐圧が確保されるように設定される。本実施形態における第2ボディ領域103bの平均不純物濃度は、実施形態1-1で説明した第2ボディ領域103bの不純物濃度と同程度に設定される。すなわち、第2ボディ領域103bの濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以上第1ボディ領域の濃度未満であることが望ましい。
- [0156] 図12に示す例では、第1ボディ領域103aは不純物領域104と接しているが、第1ボディ領域103aは不純物領域104と接していなくてもよい。ただし、第1ボディ領域103aの下面は、第2ボディ領域103bの下面よりも上に位置することが好ましい。これにより、以下に説明するようなメリットがある。
- [0157] ボディ領域103をイオン注入で形成する場合、不純物イオンの注入量が多くなると、イオン注入に起因して生じたSiC中の結晶欠陥を完全に除去できないことがある。この状態でpn接合を形成すると、pn接合に逆方向バイアスが印加された場合にリーク電流が発生することがある。これに対し、第1ボディ領域103aの下面が第2ボディ領域103bの下面よりも上に配置すると、高濃度の第1ボディ領域103aとドリフト領域102dと

の間に、低濃度の第2ボディ領域103bを存在させることができる。従って、低濃度の第2ボディ領域103bとドリフト領域102dとがpn接合を形成する。このため、pn接合に逆バイアス印加された際にリーク電流が発生する可能性が低くなる。

[0158] [半導体素子312の製造方法]

次に、図14から図18を参照しながら、本実施形態の半導体素子312の製造方法の一例を説明する。なお、以下の説明は、あくまでも例示であり、特定のプロセス、条件、濃度、膜厚等に限定されるものではない。また、本実施形態に係る半導体素子312の製造方法のうち、上記実施形態1-1に係る半導体素子311の製造方法と共通する部分については、説明を省略することができる。

[0159] まず、図14(a)に示すように、半導体基板101の主面上に、高抵抗の第1炭化珪素半導体層102を形成する。この工程では、実施形態1-1の図3(a)で説明した方法と同様の方法を用いることができる。

[0160] 次に、図14(b)に示すように、第1炭化珪素半導体層102の表面領域に、第2導電型の第2ボディ領域103b'を形成する。第2ボディ領域103b'は、第1炭化珪素半導体層102にイオン注入を行うことにより形成できる。あるいは、第2ボディ領域103b'は、第1炭化珪素半導体層102上にエピタキシャル成長させることによっても形成できる。以下では、第2ボディ領域103b'がイオン注入によって形成される例について説明する。

[0161] 第1炭化珪素半導体層102の上に、第1炭化珪素半導体層102の表面領域にp型の不純物イオン（例えばAlイオン）を注入することにより、後に半導体素子312の第2ボディ領域103bとなる第2ボディ領域103b'を形成する。第1炭化珪素半導体層102のうち第2ボディ領域103b'が形成されなかった領域はドリフト領域102dとなる。

[0162] ここでは、ユニットセル100uの全面に第2ボディ領域103b'が形成されるため、パターニングのためのマスクは図示していない。なお、実施

形態 1-1 と同様に、周端部には、リング状にパターニングされた不純物領域を形成してもよい。

[0163] 本イオン注入工程において、実施形態 1-1 の図 3 (b) で説明した方法と同様の方法を用いることができる。

[0164] この後、図 14 (c) に示すように、第 1 炭化珪素半導体層 102 の上に、第 1 ボディ領域形成用のマスク 201 を形成し、マスク 201 を用いて、第 2 ボディ領域 103 b' の一部に、例えばアルミニウムをイオン注入する。これによって、第 1 ボディ領域 103 a' を形成する。本工程では、第 2 ボディ領域 103 b' 内に、さらに p 型不純物イオンを注入して第 1 ボディ領域 103 a' を形成しているため、第 1 ボディ領域 103 a' の不純物濃度 (p 型不純物の濃度) は、必然的に第 2 ボディ領域 103 b' の不純物濃度より高くなる。このときの注入エネルギーは、例えば、第 2 ボディ領域 103 b' を形成するときの注入エネルギーと同様に多段階で設定されてもよい (多段注入)。ただし、注入条件は、第 1 ボディ領域 103 a' の下面が、第 2 ボディ領域 103 b' の下面よりも上に位置する (浅い位置に配置される) ように設定されることが好ましい。これにより、第 2 ボディ領域 103 b' のうち第 1 ボディ領域 103 a' よりも深い部分 (本工程で p 型不純物が注入されなかった部分) が、後の活性化工程を経て、半導体素子 312 の第 2 ボディ領域 103 b となる。

[0165] また、第 1 ボディ領域 103 a' のドーズ量は、第 2 ボディ領域 103 b' を形成するときのドーズ量の例えば 5 倍になるように調整され得る。この場合、本工程において追加で注入されるドーズ量は 4 倍相当量となる。従って、Al イオンの注入エネルギーおよびドーズ量は、例えば

$$30 \text{ keV} : 2.4 \times 10^{13} \text{ cm}^{-2}$$

$$70 \text{ keV} : 4.8 \times 10^{13} \text{ cm}^{-2}$$

$$150 \text{ keV} : 3.4 \times 10^{14} \text{ cm}^{-2}$$

に設定される。

[0166] マスク 201 を除去した後に、図 15 (a) に示すように、不純物領域 1

04'を形成する。本工程では、実施形態1-1の図4(a)で説明した方法と同様の方法を用いることができる。もちろん、マスク201の一部を残してマスク202を形成しても良い。

[0167] マスク202を除去した後、図15(b)に示すように、コンタクト領域105'を形成する。本工程では、実施形態1-1の図4(b)で説明した方法と同様の方法を用いることができる。コンタクト領域105'のドーザ量は、第1ボディ領域103a'、第2ボディ領域103b'のドーザ量よりも高くなるように設定される。

[0168] マスク203を除去した後、活性化アニールを行うことにより、各領域に注入された不純物イオンを活性化させる。これにより、図15(c)に示すように、第1ボディ領域103a、第2ボディ領域103b、不純物領域104およびコンタクト領域105が形成される。第1ボディ領域103aおよび第2ボディ領域103bを合わせて「ボディ領域103」とする。

[0169] 第1炭化珪素半導体層102の表面Sを基準としたときの第1ボディ領域103aおよび第2ボディ領域103bの深さ T_a 、 T_b は、注入エネルギーを異ならせることにより個別に制御され得る。例えば第1ボディ領域103aおよび第2ボディ領域103bの深さ T_a 、 T_b は、それぞれ約500nm、約750nmである。

[0170] また、第1ボディ領域103aのイオン注入プロファイルは、第1ボディ領域103aの平均的なドーパント濃度が例えば約 $1 \times 10^{19} \text{ cm}^{-3}$ となるように決定される。第2ボディ領域103bのイオン注入プロファイルは、第2ボディ領域103bの平均的なドーパント濃度が例えば約 $2 \times 10^{18} \text{ cm}^{-3}$ となるように調整される。第1ボディ領域103aの好適な幅 w については後述する。なお、ここでは、第2ボディ領域103bは、ドーパント濃度が例えば $5 \times 10^{17} \text{ cm}^{-3}$ 以上の領域とする。第2ボディ領域103bでは、所定の深さを超えると、深くなるにつれてドーパント濃度が低くなるが、そのドーパント濃度が例えば $5 \times 10^{17} \text{ cm}^{-3}$ に達した位置を第2ボディ領域103bの下面とし、表面Sからこの下面までの深さを「深さ T_b 」とする。ま

た、第1ボディ領域103aは、ドーパント濃度が例えば $1 \times 10^{18} \text{ cm}^{-3}$ 以上の領域とする。

[0171] 不純物領域104及びコンタクト領域105のイオン注入プロファイルは、例えば、実施の形態1-1と同様の深さ及び平均不純物濃度に設定される。なお、活性化アニール後の第1炭化珪素半導体層102の表面清浄化のために、第1炭化珪素半導体層102の表層を除去する場合がある。第1炭化珪素半導体層102の表層を例えば50nmの厚さで除去した場合、第1ボディ領域103a、第2ボディ領域103b、不純物領域104、コンタクト領域105の底面の深さ T_a 、 T_b 、 T_s 、 T_c は、それぞれ、50nm程度小さくなり、450nm、700nm、200nm、350nmとなる。

[0172] 次に、図16(a)に示すように、第1炭化珪素半導体層102の上に、トレンチ102tを形成する。本工程では、実施形態1-1の図5(a)で説明した方法と同様の方法を用いることができる。

[0173] ここで、トレンチ102tを形成する前の第1ボディ領域103aの幅 w の好適な範囲を説明する。幅 w は、後で形成されるチャネル層の濃度および厚さ、ゲート絶縁膜の厚さなどによって変わり得る。後で形成されるゲート電極に0Vが印加された状態で、チャネル層と第1ボディ領域103aとの界面から(第1ボディ領域103a側へ)広がる空乏層が、第1ボディ領域103a内にとどまっていればよい。このためには、トレンチ102tの側面からの第1ボディ領域103aの深さ(厚さ) D_a は50nm以上であることが好ましい。トレンチ102tの基板面内における幅を W とすると、第1ボディ領域103aの基板面内における幅 w は、 $W + 50 \times 2$ (nm)以上であることが好ましい。一方、厚さ D_a は、トレンチ102tの側面からコンタクト領域105までの基板面内における距離未満であることが好ましい。これにより、不純物領域104と第1ボディ領域103aとの接触面積を小さく抑えることができるので、ソースシート抵抗の増大を抑制でき、オン抵抗をより低減できる。

- [0174] マスク204を除去し、第1炭化珪素半導体層102の表面を十分に洗浄した後に、図16(b)に示すように、第1炭化珪素半導体層102の表面に、炭化珪素をエピタキシャル成長させ、第2炭化珪素半導体層106を得る。ここでは、第2炭化珪素半導体層106は、第1ボディ領域103a、第2ボディ領域103b、不純物領域104、ドリフト領域102dおよびコンタクト領域105と接するように、第1炭化珪素半導体層102の表面全体に形成されている。なお、第2炭化珪素半導体層106は、少なくとも、トレンチ102tの側面に露出した第1ボディ領域103aおよび第2ボディ領域103bを覆うように形成されればよい。これにより、第2炭化珪素半導体層106を介して、不純物領域104とドリフト領域102dとを繋ぐことが可能になる。
- [0175] 本実施形態では、第2炭化珪素半導体層106のうち、第1ボディ領域103a及び第2ボディ領域103bに隣接する部分（チャネル領域）106cの不純物濃度Nを $2 \times 10^{18} \text{ cm}^{-3}$ 、厚さdを30nmに調整する。なお、チャネル領域106cの不純物濃度Nおよび厚さdは、上記の数値に限定されず、半導体素子312のチャネルダイオードの立ち上がり電圧Vf0が所定の値になるように適宜設定され得る。
- [0176] 次いで、図示しないが、第2炭化珪素半導体層106の所定の部分を、必要に応じてドライエッチングで除去する。
- [0177] この後、図16(b)に示すように、第2炭化珪素半導体層106の表面にゲート絶縁膜107（厚さ：例えば70nm）を形成する。本工程では、実施形態1-1の図5(b)で説明した方法と同様の方法を用いることができる。
- [0178] 図16(b)に示す例では、ボディ領域103の上面は不純物領域104と接し、ボディ領域103の下面はドリフト領域102dと接している。ボディ領域103の上面は、第1ボディ領域103aの上面と、第2ボディ領域103bの上面とによって規定されている。また、この例では、第1ボディ領域103aの下面は、第2ボディ領域103bの下面よりも上にあるた

め、ボディ領域103の下面は、第2ボディ領域103bのみによって規定されている。従って、第1ボディ領域103aはドリフト領域102dとは接していない。

[0179] この後、図16(c)に示すように、トレンチ102t内にゲート電極108を形成する。本工程では、実施形態1-1の図5(c)で説明した方法と同様の方法を用いることができる。

[0180] 続いて、図17(a)に示すように、ゲート電極108およびゲート絶縁膜107を覆うように、層間絶縁膜111を形成する。

[0181] 次に、図17(b)に示すように、マスク(不図示)を用いて、層間絶縁膜111、ゲート絶縁膜107および第2炭化珪素半導体層106のエッチングを行い、コンタクト領域105および不純物領域104を露出するコンタクトホール(開口部)111cを形成する。ここでは、ドライエッチングにより、コンタクト領域105の上面全体と、不純物領域104の上面の一部とを露出するコンタクトホール111cを形成する。

[0182] その後、図17(c)に示すように、層間絶縁膜111上およびコンタクトホール111c内に金属膜109'を形成する。その後、図18(a)に示すように、第1オーミック電極109を形成する。本工程では実施形態1-1の図6(c)~7(b)で説明した方法と同様の方法を用いることができる。

[0183] 次いで、図18(b)に示すように、半導体基板101の裏面に第2オーミック電極110を形成する。

[0184] 続いて、図示しないが、層間絶縁膜111上およびコンタクトホール111c内にソース配線(上部配線電極)を形成する。

[0185] さらに、図示しないが、ゲート電極108と接触するゲート配線(またはゲートパッド)を形成する。また、第2オーミック電極110の裏面に、ダイボンド用の裏面電極を形成する。このようにして、図12に示す半導体素子312が得られる。

[0186] 本実施形態によると、ボディ領域103を、ドーパント濃度が互いに異な

る第1ボディ領域103aと第2ボディ領域103bとによって構成できる。第2ボディ領域103bは、ドリフト領域102dと接するように配置されるので、素子耐圧により大きな影響を与える。一方、第1ボディ領域103aは、チャンネル領域106cと接するように配置されており、トランジスタの閾値電圧 V_{th} およびチャンネルダイオードの立ち上がり電圧 V_{f0} に影響を与える。従って、これらの第1および第2ボディ領域103a、103bを互いに独立に制御することにより、所望の素子特性を実現できる。

[0187] また、本実施形態では、第1ボディ領域103aの平均ドーパント濃度を、第2ボディ領域103bの平均ドーパント濃度よりも大きくなるように設定する。これにより、素子耐圧を高く維持したまま、チャンネルダイオードの立ち上がり電圧 $|V_{f0}|$ を小さく抑え、かつ、トランジスタの閾値電圧 V_{th} を正に維持する($V_{th} > 0$)ことが可能になる。

[0188] 実施形態1-1と同様に、チャンネルダイオードの立ち上がり電圧 $|V_{f0}|$ は、1V以下に設計されることが好ましく、0.6V以下に設計されることがより好ましい。

[0189] また、実施形態1-1と同様に、半導体素子312の順方向電流の閾値電圧 V_{th} は2V以上8V以下であることが好ましい。

[0190] 素子耐圧を確保しつつ、立ち上がり電圧 V_{f0} および閾値電圧 V_{th} を上記範囲に設定するためには、例えば、第2ボディ領域103bの平均ドーパント濃度を $1 \times 10^{17} \text{ cm}^{-3}$ 以上第1ボディ領域の濃度未満に設定する。なお、これらの領域の好適な平均ドーパント濃度は、半導体素子312の第2炭化珪素半導体層106やドリフト領域102dの濃度や厚さなどによって変わり得るため、上記範囲には限定されない。

[0191] (実施形態2-2)

実施形態2-1の半導体素子312として半導体チップを製造する場合、半導体チップの周端部の電界集中緩和構造のプロセス設計も容易となる。以下、図面を参照しながら、実施形態2-1の半導体素子(半導体チップ)の構成を説明する。なお、本実施形態のうち、上記の実施形態2-1と説明が

重複する部分については、説明を省略する。

[0192] 本実施形態では、1個の炭化珪素ウェハを用いて複数の半導体素子（半導体チップ）322を製造する。本明細書では、「炭化珪素ウェハ」は、改良レーリー（L e l y）法や昇華法などにより作製された単結晶S i Cを所定のサイズに切断・研磨して得られた基板を指す。複数の半導体素子312が形成された炭化珪素ウェハは、その後、所定のチップサイズに切断（ダイシング）され、これにより、複数の半導体素子322が互いに分離される。

[0193] 図19（a）は、炭化珪素ウェハから切り出された半導体素子322の模式的な平面図である。

[0194] 図19（a）に示すように、半導体素子322は、例えば四角形に切り出される。半導体素子322は、複数のユニットセルを含むユニットセル配置部100u1と、その周囲に配置された周端部100f1とを有している。ユニットセル配置部100u1には、図12を参照しながら前述した複数のユニットセル100uが配置されている。半導体基板101の主面の法線方向から見て、周端部100f1は、例えば、ユニットセル配置部100u1を取り囲むように配置されている。

[0195] 図19（b）は、ユニットセル配置部100u1に配置された複数のユニットセル100uの1個を示す断面図である。図示するユニットセル100uは、図12を参照しながら前述したユニットセルと同様の構成を有するので、説明を省略する。

[0196] 図19（c）は、周端部100f1の構成を示す図であり、図19（a）に示すE-F線に沿った断面を示している。図示するように、周端部100f1は第1炭化珪素半導体層102に配置された注入領域115および第2導電型のFLR構造116を含む。注入領域115は、ユニットセル配置部100u1の最外周に配置されており、第2導電型領域103dを含んでいる。FLR構造116は、注入領域115のさらに外側に配置されている。FLR構造116は、例えば、第1炭化珪素半導体層102の表面において、ユニットセル配置部100u1およびFLR構造116を包囲するように

配置された、単数または複数の第2導電型のリング領域103fを含んでいる。これらのリング領域103fは、FLR (Field Limiting Ring) を構成している。

[0197] 本実施形態の半導体素子322は、FLR構造116のさらに外側に配置された、第1導電型の空乏化抑制領域104fを有していてもよい。空乏化抑制領域104fは、第1炭化珪素半導体層102の表面領域に、例えば、リング状のFLR構造116を取り囲むように配置されている。

[0198] 注入領域115、FLR構造116は、素子耐圧を確保する目的で設けられており、半導体素子322の周端部100f1での電界集中を緩和する役割を有する。所望の耐圧を有するように設計されたドリフト領域102dと反対の導電型（ここではp型）を有する注入領域115、FLR構造116を的確に設計することによって、周端部100f1における電界集中を緩和することができる。また、これらの注入領域115、FLR構造116は、ボディ領域103と同じ工程で形成されることが好ましい。これにより、プロセス設計を容易に実現でき、プロセスコストを低減できる。

[0199] 図19(c)に示す例では、図14(b)を参照しながら前述したイオン注入工程において、第2ボディ領域103b'の形成と同時に、第2導電型領域103dおよびリング領域103fとなる不純物注入領域を形成する。これらの不純物注入領域は、図15(c)に示す活性化アニール工程により、それぞれ、第2導電型領域103dおよびリング領域103fとなる。従って、第2導電型領域103dおよびリング領域103fにおける深さ方向の不純物濃度プロファイルは、第2ボディ領域103bにおける深さ方向の不純物濃度プロファイルと同じになる。

[0200] ユニットセル配置部100u1における第2ボディ領域103bと、周端部100f1における第2導電型領域103dおよびリング領域103fとを同時に形成すると、プロセス設計を容易にできるだけでなく、以下に説明するように、素子耐圧の劣化を抑制できるという利点もある。

[0201] 素子耐圧の劣化を抑制するためには、周端部100f1での電界集中を緩

和することが好ましい。電界集中を緩和するためには、第2導電型領域103dやリング領域103fの設計が重要である。例えばリング領域103fの幅、間隔、本数、およびドーパント濃度などが、素子耐圧を確保できるように設計される。電界集中はpn接合で主に発生するため、一般に、周端部に第2導電型の領域が配置されていると、その下端に電界集中が発生しやすいという問題がある。本実施形態では、周端部100f1の第2導電型領域103dおよびリング領域103fは、第2ボディ領域103bと同じドーパント濃度や厚さを有するため、周端部100f1でも、ユニットセル配置部100u1と同様に、pn接合の下端への電界集中を緩和できる。さらに、これらの第2導電型の領域（第2ボディ領域103b、第2導電型領域103d、リング領域103f）のドーパント濃度を、素子耐圧を確保できるように設定したままで、第1ボディ領域103aのドーパント濃度を任意に設定できる。従って、素子耐圧の劣化を抑制しつつ、好ましい閾値電圧 V_{th} および立ち上がり電圧 $|V_{f0}|$ を実現できる。

[0202] また、本実施形態によると、ボディ領域103のドーパント濃度（特に第1ボディ領域103aのドーパント濃度）を変更しても、素子設計を変更し、マスクを作製しなおす必要がないという利点がある。従って、同じ素子設計のままで、プロセス設計に自由度を持たせることが可能になる。例えば、図47に示す従来の半導体素子1000では、ボディ領域1030のドーパント濃度を調整することによって、閾値電圧 V_{th} や立ち上がり電圧 V_{f0} を制御することが可能である。周端部の第2導電型領域やリング領域をボディ領域1030と同時に形成する場合、ボディ領域1030のドーパント濃度を調整するたびに、周端構造における電界集中を緩和するために、周端部の第2導電型領域やリング領域を設計しなおす必要が生じ得る。このため、製造コストが増加する可能性がある。また、周端構造の各領域をボディ領域1030とは別個のプロセスで形成する場合にも、製造工程数および製造コストが増大する。これに対し、本実施形態によると、製造工程数や製造コストを増大させることなく、素子耐圧を確保しつつ、第1ボディ領域103a

のドーパント濃度などを調整することにより閾値電圧 V_{th} および立ち上がり電圧 V_{f0} を制御できる。

[0203] 実施形態 2-1、2-2 の半導体素子の構成は、図 12～図 19 に示す構成に限定されない。

[0204] (実施形態 2-3)

図 20～図 22 は、それぞれ、実施形態 2-1 の他の形態にかかる半導体素子 312A、312B、312C を示す断面図である。具体的には、実施形態 2-1 に対して、実施形態 1-3 で説明した種々の改変を加えたものである。そのため、実施形態 1-3 の説明と同様の部分については説明を省略することがある。

[0205] 図 20 に示す半導体素子 312A は、トレンチ 102t の底部に第 2 導電型（ここでは p 型）の電界緩和領域 121A を有する点で、図 12 に示す半導体素子 312 と異なる。半導体素子 312A では、電界緩和領域 121A は、トレンチ 102t の底面上に配置された第 2 炭化珪素半導体層 106 とドリフト領域 102d との間に配置されている。電界緩和領域 121A は、トレンチ 102t の底面に生じる電界強度を低減するために設けられる。

[0206] 図 21 に示すように、第 2 炭化珪素半導体層 106 はトレンチ 102t の側面上にのみ配置され、トレンチ 102t の底面上に配置されていなくてもよい。この場合でも、トレンチ 102t の底部に第 2 導電型（ここでは p 型）の電界緩和領域 121B が配置されていてもよい。図 21 に示す半導体素子 312B では、電界緩和領域 121B は、トレンチ 102t の底面上に配置されたゲート絶縁膜 107 とドリフト領域 102d との間に配置されている。

[0207] 本実施形態における第 1 ボディ領域 103a は、チャネル領域 106c と接していればよく、不純物領域 104 と接していなくてもよい。例えば図 22 に示す半導体素子 312C では、第 1 ボディ領域 103a は、第 2 ボディ領域 103b の上面と下面との間に、チャネル領域 106c と接するように配置されている。第 1 ボディ領域 103a はドリフト領域 102d と接して

いないことが好ましい。なお、第1ボディ領域103aがより浅い位置に配置されていると、イオン注入による結晶欠陥の影響をより低減できるので好ましい。

[0208] 上述した実施形態では、トレンチ102tの側面が垂直の場合について説明を行ったが、トレンチ溝にテーパ角がついていても、同様の効果を得ることができる。また、上記の方法では、炭化珪素の表面を酸化することによりゲート絶縁膜107を形成しているが、代わりに、CVD法などを用いて形成していてもよい。さらに、上記の方法では、第1および第2ボディ領域103a、103bを、第1炭化珪素半導体層102に対するイオン注入によって形成しているが、例えば第2ボディ領域103bをエピタキシャル成長によって形成してもよい。ただし、イオン注入によって第2ボディ領域103bを形成すると、そのイオン注入工程で周端構造（例えばリング領域）も同時に形成できるので好ましい。

[0209] このように、実施形態2-1、2-2、2-3の半導体素子によれば、ボディ領域を、閾値電圧を調整する第1ボディ領域と、素子耐圧を確保するための、第1ボディ領域よりもドーパント濃度の低い第2ボディ領域とによって構成する。これらのボディ領域のドーパント濃度を互いに独立に制御できるので、半導体素子の耐圧不良やリーク不良を抑制しつつ、所望の閾値電圧を実現できる。さらに、チャネルダイオードの立ち上がり電圧を所望の値に制御して、より多くのダイオード電流をチャネルに流すことできる。この結果、SiCのpn接合に順方向に流れる電流を低減でき、結晶欠陥の増加を抑制することが可能になる。また、ソースシート抵抗の増大を抑えて、オン抵抗を低減できる。

[0210] （実施形態3-1）

以下、図面を参照しながら、本発明による半導体素子の実施形態3-1を説明する。実施形態1-1と同様、本実施形態の半導体素子は、トレンチ構造を有する縦型の炭化珪素MISFETである。

[0211] [半導体素子313の構成]

図23 (a) は、半導体素子313の断面図、図23 (b) は、半導体素子313におけるボディ領域103の上面を示す平面図である。図23 (c) は、半導体素子313におけるユニットセルの配置を例示する平面図である。

[0212] 実施形態3-1の半導体素子313は、ボディ領域103を除き、実施形態1-1の半導体素子311又は実施形態2-1の半導体素子312と同様の構造を備えている。このため、本実施形態に係る半導体素子313の説明のうち、実施形態1-1又は実施形態2-1の説明と重複する部分については説明を省略することがある。例えば、図23 (a) と図12 (a)、図23 (c) と図12 (c)、図24 (b) と図13 (b) は説明が重複する場合がある。具体的には、本実施形態に係る半導体素子313は、実施形態1-1に係る半導体素子311又は実施形態2-1に係る半導体素子312とボディ領域103の構造が異なるため、それ以外の構成、配置等については説明を省略することがある。

[0213] 半導体素子313は、二次元に配置された複数のユニットセル100uによって構成されている。各ユニットセル100uは、半導体基板101と、半導体基板101の表面上に配置された第1炭化珪素半導体層102とを有している。第1炭化珪素半導体層102は、第1導電型のドリフト領域102dを含んでいる。

[0214] 第1炭化珪素半導体層102には、ドリフト領域102dの上に位置するボディ領域103と、ボディ領域103の上に位置する第1導電型の不純物領域104と配置されている。ボディ領域103は、第2導電型の第1ボディ領域103aと、第1ボディ領域103aの下方に配置された第2導電型の第2ボディ領域103bとを含んでいる。第1ボディ領域103aは、第2ボディ領域103bよりも高い濃度で第2導電型の不純物を含んでいる。すなわち、第1ボディ領域103aの第2導電型の不純物の濃度（ドーパント濃度）の平均値は、第2ボディ領域103bの第2導電型の不純物の濃度（ドーパント濃度）の平均値よりも高い。本明細書では、ドーパント濃度の

平均値を「平均ドーパント濃度」と略する。

- [0215] 第1炭化珪素半導体層102には、ボディ領域103を貫通するトレンチ102tが設けられている。トレンチ102t内には、第2炭化珪素半導体層106が配置されている。
- [0216] 本実施形態では、第2炭化珪素半導体層106は、トレンチ102tの側面において、第1ボディ領域103aおよび第2ボディ領域103bの両方と接している。そのため、実施形態2-1と同様の効果を得ることができる。
- [0217] さらに、本実施形態では、第1ボディ領域103aはコンタクト領域105と接している。このため、コンタクト領域105とチャンネル領域106cとを、高濃度の第1ボディ領域103aによって接続できるので、オンまたはオフ時にチャンネルに発生したキャリアを高速にコンタクト領域側に移動できるようになり、スイッチング遅延を改善できる。第1ボディ領域103aは、また、ボディ領域103の表面領域に位置し、不純物領域104と接している。このような構成により、第1ボディ領域103aとコンタクト領域105との接触面積を十分に確保できるので、より確実にスイッチング遅延を改善できる。
- [0218] 第1ボディ領域103aは、第2炭化珪素半導体層106（チャンネル領域106c）、不純物領域104およびコンタクト領域105のそれぞれに接するように配置されていれば、上記効果を得ることができる。なお、第1ボディ領域103aは、ボディ領域103の半導体基板101に平行な断面全体に亘って配置されていてもよい。これにより、より効果的にスイッチング特性を高めることが可能になる。例えば図23（b）に示すように、ボディ領域103の上面全体に亘って第1ボディ領域103aが配置されていてもよい。
- [0219] 半導体素子313のユニットセル100uは、半導体基板101の法線方向から見たとき、図23（c）に示すように、x方向およびそれに垂直なy方向に二次元的に配置されていてもよいし、図24（b）に示すように、ス

トライプ状に配置されていてもよい。

[0220] 半導体素子313は、実施形態2-1の半導体素子312と同様に、ダイオードの立ち上がり電圧 V_{f0} 、トランジスタの閾値電圧 V_{th} が、いずれも、第1ボディ領域103aのドーパント濃度、第2ボディ領域103bのドーパント濃度、第2炭化珪素半導体層106のドーパント濃度および厚さ、ゲート絶縁膜107の厚さで主に決定される。一方、半導体素子313の耐圧は、主に、第2ボディ領域103bとドリフト領域102dとによって形成されるpn接合により決定される。本実施形態では、第1ボディ領域103aの平均ドーパント濃度は、半導体素子313におけるダイオードの立ち上がり電圧 V_{f0} およびトランジスタの閾値電圧 V_{th} が所望の値となるように設計される。特に、ダイオードの立ち上がり電圧 V_{f0} は、ボディ領域103と第1炭化珪素半導体層102とにより構成されるpn接合ダイオードの立ち上がり電圧 V_f よりも小さくなるように設定される。

[0221] 半導体素子313は、実施形態2-1の半導体素子312と同様に、第2ボディ領域103bのドーパント濃度よりも、第1ボディ領域103aのドーパント濃度が大きくなるように設定される。これにより、素子耐圧を確保しつつ、ボディダイオードに流れる電流量を抑えて、炭化珪素の結晶欠陥の進行を抑制できる。

[0222] [半導体素子313の製造方法]

次に、図25から図29を参照しながら、本実施形態の半導体素子313の製造方法の一例を説明する。なお、以下の説明は、あくまでも例示であり、特定のプロセス、条件、濃度、膜厚等限定されるものではない。また、本実施形態に係る半導体素子313の製造方法のうち、上記実施形態1-1に係る半導体素子311の製造方法、又は実施形態2-1に係る半導体素子312の製造方法と共通する部分については、説明を省略することがある。例えば、本実施形態における図25から図29の説明は、実施形態2-1における図14~18の説明と順次対応している。本実施形態は、図25(c)に示される工程が実施形態2-1の図14(c)に示される工程と一部異なる。

る点を除いて、同様の方法を採用できる。

[0223] まず、図25(a)に示すように、半導体基板101の主面上に、高抵抗の第1炭化珪素半導体層102を形成する。次いで、図25(b)に示すように、第1炭化珪素半導体層102の上に、第2導電型の第2ボディ領域103b'を形成する。

[0224] その後、図25(c)に示すように、第1炭化珪素半導体層102の一部にp型の不純物イオンを注入し、第1ボディ領域103a'を形成する。第2ボディ領域103b'のうち第1ボディ領域103a'が形成されなかった部分(本工程でp型不純物が注入されなかった部分)が、後の活性化工程を経て、半導体素子313の第2ボディ領域103bとなる。このとき、注入条件は、第1ボディ領域103a'の下面が、第2ボディ領域103b'の下面よりも上に位置する(浅い位置に配置される)ように設定される。

[0225] 次に、図26(a)に示すように不純物領域104'を形成する。そして、マスク202を除去した後、図26(b)に示すように、コンタクト領域105'を形成する。

[0226] マスク203を除去した後、活性化アニールを行うことにより、図26(c)に示すように、第1ボディ領域103a、第2ボディ領域103b、不純物領域104およびコンタクト領域105が形成される。第1ボディ領域103aおよび第2ボディ領域103bを合わせて「ボディ領域103」とする。

[0227] 第1ボディ領域103aおよび第2ボディ領域103bの深さ T_a 、 T_b 、並びにそれらのイオン注入プロファイルは、例えば、実施形態2-1で説明した条件と同様である。

[0228] コンタクト領域105と第1ボディ領域103aとの接触面積を十分に確保するためには、コンタクト領域105の深さ T_c は、不純物領域104の深さ T_s よりも大きく、かつ、第1ボディ領域103aの深さ T_a 未満であることが好ましい。

[0229] 次に、図27(a)に示すように、第1炭化珪素半導体層102の上に、

トレンチ102tを形成する。次いで、図27(b)に示すように、第1炭化珪素半導体層102の表面に、炭化珪素をエピタキシャル成長させ、第2炭化珪素半導体層106を得る。その後、図27(b)に示すように、第2炭化珪素半導体層106の表面にゲート絶縁膜107を形成する。

[0230] 図27(b)に示す例では、ボディ領域103の上面は不純物領域104と接し、ボディ領域103の下面はドリフト領域102dと接している。ボディ領域103の上面は、第1ボディ領域103aの上面のみによって規定されている。また、ボディ領域103の下面は、第2ボディ領域103bの下面のみによって規定されており、第1ボディ領域103aはドリフト領域102dとは接していない。

[0231] この後、図27(c)に示すように、トレンチ102t内にゲート電極108を形成する。続いて、図28(a)に示すように、ゲート電極108およびゲート絶縁膜107を覆うように、層間絶縁膜111を形成する。

[0232] 次に、図28(b)に示すように、コンタクト領域105の上面全体と、不純物領域104の上面の一部とを露出するコンタクトホール111cを形成する。その後、図28(c)に示すように、層間絶縁膜111上およびコンタクトホール111c内に金属膜109'を形成し、熱処理を行なうことにより、図29(a)に示すように、第1オーミック電極109を形成する。

[0233] 次いで、図29(b)に示すように、半導体基板101の裏面に第2オーミック電極110を形成する。続いて、層間絶縁膜111上およびコンタクトホール111c内にソース配線(上部配線電極)を形成する。さらに、ゲート電極108と接触するゲート配線(またはゲートパッド)を形成する。また、第2オーミック電極110の裏面に、ダイボンド用の裏面電極を形成する。このようにして、図23に示す半導体素子313が得られる。

[0234] 本実施形態においても、ボディ領域103を、ドーパント濃度が互いに異なる第1ボディ領域103aと第2ボディ領域103bとによって構成できるため、上記で説明した実施形態2-1と同様の効果を有する。

[0235] (実施形態 3-2)

さらに、半導体素子 313 として半導体チップを製造する場合、半導体チップの周端部の電界集中緩和構造のプロセス設計も容易となる。

[0236] 本実施形態 3-2 の半導体素子 (半導体チップ) は、実施形態 3-1 の半導体素子に、実施形態 2-2 の周端部を設けた構造をしている。

[0237] 図 30 (a) は、炭化珪素ウェハから切り出された半導体素子 323 の模式的な平面図である。図 30 (b) は、ユニットセル配置部 100u1 に配置された複数のユニットセル 100u の 1 個を示す断面図である。図 30 (c) は、周端部 100f1 の構成を示す図であり、図 30 (a) に示す E-F 線に沿った断面を示している。図 30 (a) 及び (c) は、実施の形態 2-2 の図 19 (a) 及び (c) とそれぞれ対応しているため、説明を省略する。また、図 30 (b) は、実施の形態 2-2 の図 19 (b) と対応しているため、説明を省略する。

[0238] 実施形態 3-1、3-2 の半導体素子の構成は、図 23~図 30 に示す構成に限定されない。

[0239] (実施形態 3-3)

図 31 および図 32 は、それぞれ、実施形態 3-1、3-2 の他の形態に係る半導体素子 313A、313B を示す断面図である。具体的には、半導体素子 313A は、実施形態 3-1 の半導体素子 313 に対して、実施形態 2-3 の電界緩和層 121A を設けた構造であり、半導体素子 313B は、実施形態 3-1 の半導体素子 313 に対して、実施形態 2-3 の電界緩和層 121B を設けた構造である。電界緩和領域 121A、121B を設けることにより、実施形態 2-3 と同様に、トレンチ 102t の底面に生じる電界強度を低減できる。

[0240] 図 33 は、不純物領域 104 およびボディ領域 103 の深さ方向の濃度プロファイルを例示する図である。この図では、不純物領域 104 の濃度プロファイル p1 と、第 1 ボディ領域 103a および第 2 ボディ領域 103b の合計濃度のプロファイル p2 とを重ねて示している。この例では、第 1 ボディ

ィ領域 103 a、第 2 ボディ領域 103 b および不純物領域 104 を何れも多段注入で形成している。

[0241] 第 1 ボディ領域 103 a および第 2 ボディ領域 103 b を多段注入で形成すると、図示するように、これらの領域内では濃度プロファイルが略平坦にできる。従って、p 型不純物の深さ方向の濃度プロファイル p 2 において、上方に位置する略平坦な領域が第 1 ボディ領域 103 a となり、濃度が急激に低下する位置（深さ）が第 1 ボディ領域 103 a と第 2 ボディ領域 103 b との界面となる。界面よりも深い位置にある略平坦な領域が第 2 ボディ領域 103 b となる。

[0242] 一般に多段注入でボディ領域を形成する場合には、ボディ領域の不純物濃度プロファイルが深さ方向に亘って略平坦となるように、注入条件が設定される。ボディ領域よりも深い位置には、濃度が大きく減少する領域（最下段の注入プロファイルのテール部に相当する）が形成される。これに対し、本実施形態では、上述したように、濃度の異なる略平坦な領域が 2 段階で形成され、それぞれが、第 1 ボディ領域 103 a および第 2 ボディ領域 103 b を規定する。

[0243] 上述した実施形態では、トレンチ 102 t の側面が垂直の場合について説明を行ったが、トレンチ溝にテーパ角がついていても、同様の効果を得ることができる。また、上記の方法では、炭化珪素の表面を酸化することによりゲート絶縁膜 107 を形成しているが、代わりに、CVD 法などを用いて形成していてもよい。さらに、上記の方法では、第 1 および第 2 ボディ領域 103 a、103 b を、第 1 炭化珪素半導体層 102 に対するイオン注入によって形成しているが、例えば第 2 ボディ領域 103 b をエピタキシャル成長によって形成してもよい。ただし、イオン注入によって第 2 ボディ領域 103 b を形成すると、そのイオン注入工程で周端構造（例えばリング領域）も同時に形成できるので好ましい。

[0244] このように、実施形態 3-1、3-2、3-3 の半導体素子本発明によれば、ボディ領域を、閾値電圧を調整する第 1 ボディ領域と、素子耐圧を確保

するための、第1ボディ領域よりもドーパント濃度の低い第2ボディ領域とによって構成する。これらのボディ領域のドーパント濃度を互いに独立に制御できるので、半導体素子の耐圧不良やリーク不良を抑制しつつ、所望の閾値電圧を実現できる。さらに、チャネルダイオードの立ち上がり電圧を所望の値に制御して、より多くのダイオード電流をチャネルに流すことできる。この結果、SiCのpn接合に順方向に流れる電流を低減でき、結晶欠陥の増加を抑制することが可能になる。また、ボディ領域の表面の抵抗を低減できるので、スイッチング遅延を抑制できる。

[0245] (実施形態4-1)

以下、図面を参照しながら、本実施形態の半導体素子を説明する。実施形態4-1および以下において説明する実施形態4-1'、4-2、4-3の半導体素子は、実施形態1-1、2-1、1-2、1-3の半導体素子と類似した構造を備えており、ユニットセルを構成する第1ボディ領域103aの半導体基板と平行な方向における幅d1と、当該ユニットセルにトレンチを挟んで対向するユニットセルを構成する第1ボディ領域103aの幅d2とが等しい。

[0246] [半導体素子314の構成]

図34(a)は、半導体素子314の断面図、図34(b)は、半導体素子314におけるボディ領域103の上面を示す平面図である。図34(c)は、半導体素子314におけるユニットセルの配置を例示する平面図である。また、図35(a)および(b)は、半導体素子314がストライプ状のユニットセルを有する場合のボディ領域103の上面図および半導体素子314の平面図である。

[0247] 本実施形態における半導体素子314の断面構造は、実施形態1-1における半導体素子311と同様の構造であるため、重複する部分については説明を省略する。また、本実施形態における半導体素子314のボディ領域103の上面、及びユニットセルの配置は、実施形態2-1における半導体素子312と同様であるため、説明を省略する。

[0248] 以下、本実施形態における半導体素子314の特徴部分について説明する。

[0249] 本実施形態の半導体素子314において、各ユニットセル100uの第1ボディ領域103aの半導体基板101と平行な方向における幅は、トレンチ102tを挟んで隣接するユニットセル100uの第1ボディ領域103aの半導体基板101と平行な方向における幅と等しい。ここで、「第1ボディ領域の基板と平行な方向における幅」とは、基板主面に平行な方向における、第1ボディ領域の厚みのことを意味する。典型的には、第1ボディ領域と第2炭化珪素半導体層が接する界面から、第1ボディ領域と第2ボディ領域が接する界面までの距離に対応する。図34(a)に示す例では、図中左側のユニットセルを構成する第1ボディ領域103aの幅d1と、当該ユニットセルにトレンチ102tを挟んで対向する図中右側のユニットセルを構成する第1ボディ領域103aの幅d2とは互いに等しい。すなわち、トレンチ102tの対向する2つ側面において、当該2つの側面を構成するそれぞれの第1ボディ領域の厚みが互いに等しい。これは以下において説明するように、第1ボディ領域103aが、トレンチ102tに対して自己整合的に画定されているからである。本実施形態では、第1ボディ領域103aは第2ボディ領域103bに対しても自己整合的に画定されている。幅d1と幅d2とが互いに等しいとは、半導体素子314の製造工程上生じる誤差の範囲で等しいという意味であり、具体的には、0.1 μ m以内の範囲で幅d1と幅d2とが異なる場合を含む。

[0250] 第1ボディ領域103aの半導体基板101と平行な方向における幅d1、d2は、ゲート電極108に0Vが印加された状態で、第1ボディ領域103aと第2炭化珪素半導体層106との界面から第1ボディ領域103aへ拡がる空乏層が、第1ボディ領域103a内にとどまることが望ましい。例えば、第1ボディ領域103aの半導体基板101と平行な方向の幅d1、d2は10nm以上100nm以下であることが好ましい。なお、半導体基板101に対して平行な方向の幅d1、d2は、第1ボディ領域103a

が第2炭化珪素半導体層106に接する界面と、第1ボディ領域103aが第2ボディ領域103bに接する界面との間で規定される。

[0251] また、第1ボディ領域103aは、トレンチ102tに対して自己整合的に画定される。このため、トレンチ102tを挟んで隣接する2つのユニットセル100uの第1ボディ領域103aの半導体基板101と平行な方向における幅d1と幅d2は等しくなる。このため、トレンチ102tを挟む2つのユニットセルにおける、閾値電圧のばらつきおよびチャネル領域106cを流れる電流量のばらつきが抑制される。このため、半導体素子314における複数のユニットセル100uの動作タイミングがよく一致し、高いスイッチング速度を実現することができる。また、トレンチ102tを挟む2つのユニットセルのいずれか一方に電界が集中することが抑制される。このため、複数のユニットセル100u間の耐圧のばらつきも抑制され、高い耐圧を実現することができる。

[0252] [半導体素子314の製造方法]

次に、図36から図41を参照しながら、本実施形態の半導体素子314の製造方法の一例を説明する。なお、以下の説明は、あくまでも例示であり、本実施形態の半導体素子314の製造方法は、特に、以下で例示する特定のプロセス、条件、濃度、膜厚等に限定されるものではない。また、本実施形態に係る半導体素子314の製造方法のうち、上記実施形態1-1に係る半導体素子311の製造方法と共通する部分については、説明を省略することがある。特に、本実施形態における図36(a)、図40、図41についての説明は、実施形態1-1における図3(a)、図6、図7の説明と同様である。

[0253] まず、半導体基板101を準備する。次に、図36(a)に示すように、半導体基板101の上に高抵抗の第1炭化珪素半導体層102をエピタキシャル成長する。

[0254] 次に、図36(b)に示すように、第1炭化珪素半導体層102の表面近傍に第2ボディ領域103b'を形成する。第1炭化珪素半導体層102の第

2 ボディ領域 1 0 3 b' 以外の領域にドリフト領域 1 0 2 d が画定される。第 2 ボディ領域 1 0 3 b' の形成には、例えば A l (アルミニウム) を不純物とするイオン注入を用いることができる。A l を不純物として用いる場合、拡散係数が小さいため、拡散による濃度プロファイルの変化はほとんど無視できる。なお、B (ボロン) を第 2 ボディ領域 1 0 3 b' の形成に用いる場合は、あらかじめ活性化率や拡散係数を把握した上で、所望のドーパント濃度のプロファイルが得られるように、イオン注入のエネルギーとドーズ量を選択する必要がある。活性化率を 1 0 0 % と仮定した場合、A l イオンの注入エネルギーおよびドーズ量は、以下の通りである。この第 2 ボディ領域 1 0 3 b' の一部が、後の活性化工程を経て、半導体素子 3 1 4 の第 2 ボディ領域 1 0 3 b となるため、第 2 ボディ領域 1 0 3 b' の不純物プロファイルは第 2 ボディ領域 1 0 3 b の不純物プロファイルである。

$$30 \text{ keV} : 6.0 \times 10^{12} \text{ cm}^{-2}$$

$$70 \text{ keV} : 1.2 \times 10^{13} \text{ cm}^{-2}$$

$$150 \text{ keV} : 2.5 \times 10^{13} \text{ cm}^{-2}$$

$$350 \text{ keV} : 6.0 \times 10^{13} \text{ cm}^{-2}$$

[0255] イオン注入後、図 3 7 (a) に示すように、第 2 ボディ領域 1 0 3 b' の表面近傍 (表層部) に第 1 導電型の不純物領域 1 0 4' を形成する。第 1 導電型の不純物領域 1 0 4' は例えば、N (窒素) を n 型の不純物としたイオン注入によって形成することができる。

[0256] その後、図 3 7 (b) に示すように、第 1 炭化珪素半導体層 1 0 2 上にマスク 2 0 1 を形成し、マスク 2 0 1 を用いて A l を注入することにより、コンタクト領域 1 0 5' を形成する。コンタクト領域 1 0 5' は、第 1 導電型の不純物領域 1 0 4' を貫通し、第 2 ボディ領域 1 0 3 b' に達していることが好ましい。

[0257] 次に図 3 8 (a) に示すように、LP-CVD法を用いて、例えば、800 nm の厚さのポリシリコン膜を形成し、図示しないレジストをマスクとしてドライエッチングを行い、トレンチ 1 0 2 t および第 1 ボディ領域 1 0 3

aを合わせた領域を規定するマスク202を形成する。本実施形態では、マスク202は第2ボディ領域103bも規定する。その後、図示しないレジストマスクを除去し、マスク202を用いて第2ボディ領域103b'中に、例えばアルミニウムをイオン注入することによって、第2導電型の第1ボディ領域103a'を形成する。これにより、マスク202の下方の第2ボディ領域103b'が、後の活性化工程を経て、半導体素子314の第2ボディ領域103bとなる。第1ボディ領域103a'の一部が、後の活性化工程を経て、半導体素子314の第1ボディ領域103aとなる。第1ボディ領域103a'の不純物濃度は、第2ボディ領域103b'内への注入のために、必然的に第2ボディ領域103b'の不純物濃度より高くなる。このときの注入エネルギーは、例えば第2ボディ領域103b'と等しい深さに位置するエネルギーとし、ドーズ量は例えば5倍になるように調整する。本実施形態の場合、例えば、この工程で注入される不純物のドーズ量は、第2ボディ領域103b'を形成する際のドーズ量の4倍相当量とする。具体的には、以下の通りである。

$$30\text{ keV} : 2.4 \times 10^{13} \text{ cm}^{-2}$$

$$70\text{ keV} : 4.8 \times 10^{13} \text{ cm}^{-2}$$

$$150\text{ keV} : 1.0 \times 10^{14} \text{ cm}^{-2}$$

$$350\text{ keV} : 2.4 \times 10^{14} \text{ cm}^{-2}$$

[0258] このマスク202の開口幅Wは、図34(a)に示すトレンチ102tの幅w_tと、トレンチ102tを挟む2つの第1ボディ領域103aの半導体基板101と平行な方向における幅d₁、d₂との合計の値である。つまり、マスク202の開口がトレンチ102tと第1ボディ領域103aとの合計を規定する。第1ボディ領域103aの幅d₁、d₂は、後に形成される第2炭化珪素半導体層106の濃度および厚さやゲート絶縁膜107の厚さに基づき決定される。ゲート電極108に0Vが印加された状態で、第2炭化珪素半導体層106と第1ボディ領域103aの界面から（第2ボディ領域103b側へ）拡がる空乏層が、第1ボディ領域103a内にとどまって

いればよい。このためには、本発明の適用範囲内で考えると、幅 d_1 、 d_2 は、 15 nm 以上 20 nm 以下である。

[0259] 図38(b)に示すように、マスク開口領域を含む第1炭化珪素半導体層102の主面全面に、絶縁膜、導電膜または金属膜を形成し、エッチバックによりマスク202の側面にサイドウォール203を形成する。サイドウォール203の下方に第1ボディ領域103aが画定されるため、サイドウォール203の半導体基板101と平行な方向における幅は、 d_1 、 d_2 と一致させる。形成可能なサイドウォール203の幅は、サイドウォール203の高さと幅とのアスペクト比に依存する。このため、エッチバックによって形成したサイドウォール203の幅を d_1 、 d_2 とするために、マスク202用のポリシリコン膜およびサイドウォール203用の絶縁膜の厚さを調整する。例えば、厚さ 500 nm の酸化膜を絶縁膜として形成する。

[0260] 次に、サイドウォール203付きマスク202をマスクとし、図38(c)に示すように、第1導電型の不純物領域104'および第1ボディ領域103a'を貫通し、ドリフト領域102dを露出させるトレンチ102tを形成する。このトレンチは、第1炭化珪素半導体層102を例えばフロンと酸素の混合ガスを用いたドライエッチングによって形成することができる。トレンチ102tの幅 w_t は例えば $1\text{ }\mu\text{ m}$ 程度であり、深さは例えば $1.1\text{ }\mu\text{ m}$ 程度である。

[0261] その後、マスク202およびサイドウォール203をドライエッチングもしくはHF系でのウェットエッチングなどにより完全に除去を行う。

[0262] このように作られたトレンチ形状は図38(c)のようになり、トレンチ102tの対向する一対の側面において露出する第1ボディ領域103a'が画定する。本実施形態では、例えば、サイドウォール203の幅 d_1 、 d_2 を 20 nm とし、異方性の強いRIEを用いたドライエッチングを行い、幅 d_1 、 d_2 が 20 nm である第1ボディ領域103a'を形成する。

[0263] その後、第1炭化珪素半導体層102を熱処理することによって注入した不純物の活性化を行い、図38(c)に示すように、第1ボディ領域103

a、第2ボディ領域103b、不純物領域104、コンタクト領域105を形成する。

[0264] 不純物領域104の、第1炭化珪素半導体層102の表面Sを基準とした深さは、例えば250nmであり、平均的なドーパント濃度が約 $5 \times 10^{19} \text{ cm}^{-3}$ となるようにイオン注入プロファイル进行调整する。

[0265] 第2ボディ領域103bの深さは、例えば $5 \times 10^{17} \text{ cm}^{-3}$ のドーパント濃度が得られる深さとする。第1ボディ領域103aの深さは、例えば $2 \times 10^{19} \text{ cm}^{-3}$ のドーパント濃度が得られる深さとする。本実施系形態の場合、第1炭化珪素半導体層102の表面Sを基準とした第1ボディ領域103aおよび第2ボディ領域103bの深さは、例えば、500nmである。また、不純物領域104の深さは、例えば $5 \times 10^{17} \text{ cm}^{-3}$ のドーパント濃度が得られる深さとする。コンタクト領域105の深さは、例えば $5 \times 10^{17} \text{ cm}^{-3}$ のドーパント濃度が得られる深さとする。本実施形態の場合、コンタクト領域105の表面Sを基準とした深さは例えば400nmであり、平均的なドーパント濃度は約 $1 \times 10^{20} \text{ cm}^{-3}$ である。

[0266] なお、活性化アニール後の第1炭化珪素半導体層102の表面清浄化のために、第1の第1炭化珪素半導体層102の表層を除去する場合がある。例えば第1炭化珪素半導体層102の表層を50nm除去した場合、第2ボディ領域103b、不純物領域104、コンタクト領域105の深さは、すべて50nmほどマイナスされ、それぞれ、450nm、200nm、350nmとなる。また、この場合、トレンチ102tの側面も50nm程度後退し、第1ボディ領域103aの厚さd1、d2も15nmとなる。

[0267] 次に、図39(a)に示すように、第1ボディ領域103a、不純物領域104およびコンタクト領域105を含むドリフト層102dの表面全体に、炭化珪素を用いて第2炭化珪素半導体層106（チャネルエピ層）を成長させる。これにより、トレンチ102tの少なくとも側面を第2炭化珪素半導体層106で覆う。本実施形態では、半導体素子314の第2炭化珪素半導体層106のうち、第1ボディ領域103aに隣接する部分の不純物濃度

N (cm^{-3}) および厚さ d (nm) を、例えば以下の条件を満たすように調整する。

$$N = 2 \times 10^{18}$$

$$d = 30$$

[0268] 次いで、第2炭化珪素半導体層106の所定部位を必要に応じてドライエッチングした後、例えば熱酸化によって、図39(a)に示すように、第2炭化珪素半導体層106の表面にゲート絶縁膜107を形成する。熱酸化でゲート絶縁膜107を形成する場合、第2炭化珪素半導体層106の一部はゲート絶縁膜になってしまう。このため、熱酸化により消失する厚さを考慮し、ゲート絶縁膜107形成後に上記厚さ d になるよう、成長する第2炭化珪素半導体層106の厚さを調整する。

[0269] その後、ゲート絶縁膜107の表面に、例えばリンを $7 \times 10^{20} \text{cm}^{-3}$ 程度ドーピングした多結晶シリコン膜を堆積する。多結晶シリコン膜の厚さは、例えば、500nm程度である。これにより、第1炭化珪素半導体層102に形成されたトレンチ102tの内部を多結晶シリコン膜で満たす。

[0270] 次に、図39(b)に示すように、マスク(不図示)を用いて、多結晶シリコン膜をドライエッチングすることにより、所望の領域にゲート電極108を形成する。

[0271] 続いて、図40(a)に示すように、層間絶縁膜111を形成する。次に、図40(b)に示すように、コンタクトホール(開口部)111cを形成する。その後、図40(c)に示すように、金属膜109'を層間絶縁膜111上に形成し、熱処理を行なうことによって、図41(a)に示すように、第1オーミック電極109を形成する。

[0272] 次いで、図41(b)に示すように、半導体基板101の裏面にも、第2オーミック電極110を形成する。その後、図34(a)に示すように、上部配線電極(ソース配線)112を形成する。さらに、第2オーミック電極110の裏面に、ダイボンド用の裏面配線電極113を堆積する。このようにして、図34に示した半導体素子314が得られる。

[0273] なお、本実施形態では、イオン注入によって、第2ボディ領域103b'および不純物領域104'を第1炭化珪素半導体層102中に形成した。しかし、エピタキシャル成長によって、第2ボディ領域103b'や不純物領域104'に相当する領域を形成してもよい。例えば図36(a')に示すように、第1炭化珪素半導体層102の代わりに、第2ボディ領域103Eおよびドリフト領域102dを含む第1炭化珪素半導体層102'をエピタキシャル成長によって半導体基板101上に形成してもよい。この場合、第2ボディ領域103Eが、上述した第2ボディ領域103b'と同等の不純物濃度プロファイルを有するように、ボディ領域103Eのエピタキシャル成長中に第2導電型の不純物の濃度を調整する。

[0274] 第1炭化珪素半導体層102'の形成後、図37(a)に示すように、第1導電型の不純物領域104'を形成し、これ以降の工程を上述したように行うことによって、半導体素子314を製造することができる。ただし、第2ボディ領域103Eの不純物は活性化されているため、図38(a)に示す工程において、マスク202を用いて第2ボディ領域103E中に、アルミニウムをイオン注入することによって、第1ボディ領域103a'が形成され、マスク202の下方位置する第2導電型の第2ボディ領域103Eが、後の活性化工程を経て、半導体素子314の第2ボディ領域103bとして画定される。

[0275] また、図37(a')に示すように、第1炭化珪素半導体層102の代わりに、第1導電型の不純物領域104E、第2導電型の第2ボディ領域103Eおよびドリフト領域102dを含む第1炭化珪素半導体層102''をエピタキシャル成長によって半導体基板101上に形成してもよい。第1導電型の不純物領域104Eは、第1導電型の不純物領域104'と同等の不純物濃度プロファイルを有していることが好ましい。第1炭化珪素半導体層102''の形成後、図37(b)に示すように、コンタクト領域105'を形成し、これ以降の工程を上述したように行うことによって、半導体素子314を製造することができる。この場合、図38(b)、(c)に示すよ

うに第1炭化珪素半導体層102' 'にトレンチ102tを形成することによって、不純物領域104Eのうち、コンタクト領域105'以外の領域に不純物領域104が画定される。

[0276] 本実施形態の半導体素子によれば、トレンチを形成する際に、第2ボディ領域を画定したマスクにサイドウォールを形成し、第1ボディ領域をトレンチに対して自己整合的に画定する。このため、トレンチ側面に形成される第1ボディ領域の幅が、対向するトレンチ側面でほぼ等しくなる。これにより、相対するトレンチの両側面の閾値(V_t)は同等になるため、デバイス全体での閾値電圧(V_t)のばらつきを低減することが可能となる。

[0277] (実施形態4-1')

以下、図面を参照しながら、実施形態4-1の他例による半導体素子の製造方法を説明する。図42は、本実施形態の半導体素子314'の断面図である。半導体素子314'は、第1ボディ領域103aが、第2ボディ領域103bの側面103bsを部分的に覆っている点で実施形態4-1と異なる。図42に示すように、第1ボディ領域103aは、ボディ領域103において、深さLで形成されており、ドリフト領域102dとは接していない。このため、第2ボディ領域103bの側面103bsの一部は、第1ボディ領域103aと接しておらず、トレンチ102tの側面に露出しており、第2炭化珪素半導体層106と接している。

[0278] このような構造の半導体素子314'も実施形態4-1と同様、濃度の異なる第1ボディ領域103aおよび第2ボディ領域103bを有する。これにより、素子耐圧に影響を与える第2ボディ領域103bと、トランジスタの閾値電圧 V_{th} およびチャネルダイオードの立ち上がり電圧 V_{f0} に影響を与える第1ボディ領域103aとを独立に制御することで所望の特性を実現できる。特に、図42に示される例では、高い濃度の第1ボディ領域103aがドリフト領域102dと接していないため、実施形態4-1に比べて、さらに効果的にリーク電流を低減することができる。

[0279] 半導体素子314'も実施形態4-1の半導体素子314と同様の工程に

よって製造することができる。例えば、実施形態4-1において、図36および図37を参照して説明したように、図37(b)に示すコンタクト領域105'までの構造を実施形態4-1と同様に形成する。

[0280] その後、図43(a)に示すように、マスク202を第1炭化珪素半導体層102上に形成し、マスク202を用いて第2ボディ領域103b'にAlを注入し、第1ボディ領域103a'を形成する。この際、第1ボディ領域103a'が深さLを有し、ドリフト領域102dに達しないように不純物の注入プロファイルを調整する。その後、図43(b)に示すように、実施形態4-1で説明したようにサイドウォール203をマスク202の側面に形成し、第1炭化珪素半導体層102上に形成し、サイドウォール203付きマスク202をマスクとし、図43(c)に示すように、不純物領域104および第1ボディ領域103a'を貫通し、ドリフト領域102dを露出させるトレンチ102tを形成する。

[0281] 以降、第1の実施形態と同様の工程を用いることによって半導体素子314'を形成することができる。

[0282] (実施形態4-2)

以下、実施形態4-2による半導体素子を説明する。図44(a)に示すように、半導体素子324は、実施形態4-1の半導体素子のユニットセルまたは実施形態4-1'の半導体素子314'のユニットセルを含むユニットセル配置部100u1と、その周囲に配置された周端部100f1とを有している。ユニットセル配置部100u1には、半導体基板101の主面の法線方向から見て、周端部100f1は、例えば、ユニットセル配置部100u1を取り囲むように配置されている。

[0283] 図44(b)は、ユニットセル配置部100u1に配置された複数のユニットセル100uの1個を示す断面図である。図示するユニットセル100uは、図34を参照しながら前述したユニットセルと同様の構成を有するので、説明を省略する。

[0284] 図44(c)は、周端部100f1の構成を示す図であり、図12(a)

に示すE-F線に沿った断面を示している。図示するように、周端部100fは、第1炭化珪素半導体層102に配置された、注入領域115および第2導電型のFLR構造116を含む。また、FLR構造116のさらに外側に配置された、第1導電型の空乏化抑制領域104fを有していてもよい。注入領域115、116は、素子耐圧を確保する目的で設けられており、半導体素子324の周端部100fでの電界集中を緩和する役割を有する。また、これらの注入領域115、116は、ボディ領域103と同じ工程で形成されることが好ましい。これにより、プロセス設計を容易に実現できるだけでなく、素子耐圧の劣化を抑制できるという利点もある。なお、図44(c)に示される本実施形態の周端部100fは、実施形態2-2の図19(c)で説明した周端部と同様の構造を有するので、詳細な説明を省略する。

[0285] (実施形態4-3)

図45および図46は、それぞれ、本発明による他の実施形態の半導体素子314A、314Bを示す断面図である。具体的には、半導体素子314Aは、実施形態4-1の半導体素子314に対して、実施形態2-3の電界緩和層121Aを設けた構造であり、半導体素子314Bは、実施形態4-1の半導体素子314に対して、実施形態2-3の電界緩和層121Bを設けた構造である。電界緩和領域121A、121Bを設けることにより、実施形態2-3と同様に、トレンチ102tの底面に生じる電界強度を低減できる。

[0286] 上述した実施形態では、トレンチ102tの側面が垂直の場合について説明を行ったが、トレンチ溝にテーパ角がついていても、同様の効果を得ることができる。また、上記の方法では、炭化珪素の表面を酸化することによりゲート絶縁膜107を形成しているが、代わりに、CVD法などを用いて形成していてもよい。さらに、上記の方法では、第1および第2ボディ領域103a、103bを、第1炭化珪素半導体層102に対するイオン注入によって形成しているが、例えば第2ボディ領域103bをエピタキシャル成

長によって形成してもよい。ただし、イオン注入によって第2ボディ領域103bを形成すると、そのイオン注入工程で周端構造（例えばリング領域）も同時に形成できるので好ましい。

[0287] このように、実施形態4-1、4-1'、4-2、4-3の半導体素子によれば、ダイオード電流をチャンネルに多く流すことができるので、炭化珪素半導体のpn接合に順方向電流を流すことによる結晶欠陥増加の問題を回避することができる。また、ボディ領域が第1ボディ領域および第2ボディ領域を含み、第1ボディ領域の濃度を調整することによって閾値を決定し、第2ボディ領域の濃度を調整することによって第2ボディ領域とドリフト層とのpn接合による耐圧を決定できる。これらの濃度は独立して制御できるため、閾値を所望の値に制御しつつ、半導体素子の耐圧不良やリーク不良を抑制することができる。

[0288] また、トレンチの対向する一对の側面にそれぞれ接する2つの第1ボディ領域の、基板と平行な方向における幅が等しいため、トレンチの両側面に形成されるチャンネルの閾値電圧を等しくすることが可能であり、閾値の面内ばらつきを抑制することができる。

[0289] なお、実施形態1-1、1-2、1-3、2-1、2-2、2-3、3-1、3-2、3-3、4-1、4-2、4-3では、半導体基板101として4H-SiC基板を用いたが、他の結晶面や他のポリタイプのSiC基板（例えば6H-SiC、3C-SiC、15R-SiCなど）を用いてもよい。また、4H-SiC基板を用いる場合、そのSi面に第1炭化珪素半導体層102を形成し、C面に第2オーミック電極110を形成してもよいし、C面に第1炭化珪素半導体層102、Si面に第2オーミック電極110を形成してもよい。また、半導体基板101の主面として、(0001)面からオフカットした面を用いたが、他の面（(11-20)面や(1-100)面、(000-1)面）およびこれらのオフカット面を主面としてもよい。さらに、101基板としてSi基板などの炭化珪素以外の半導体基板を用い、その主面上に炭化珪素（例えば3C-SiC）によって構成される第

1 炭化珪素半導体層を形成してもよい（ヘテロ接合）。

[0290] また、本発明は縦型MISFETに限定されず、トレンチゲート構造を有する種々の半導体素子に適用され得る。例えば、上記実施形態1-1、1-2、1-3、2-1、2-2、2-3、3-1、3-2、3-3、4-1、4-2、4-3では、ドリフト領域102dと同じ導電型の半導体基板101を用いてMISFETを製造しているが、ドリフト領域102dと異なる導電型の半導体基板101を用いて絶縁ゲートバイポーラトランジスタ（Insulated Gate Bipolar Transistor: IGBT）を製造することもできる。

産業上の利用可能性

[0291] 本願に開示された半導体素子は、トレンチ構造を備えるMISFETなどの半導体素子、およびそれを備えた種々の制御装置や駆動装置に広く適用できる。

符号の説明

[0292] 311、312、313、314 半導体素子
321、322、323、324 半導体素子（半導体チップ）
100u ユニットセル
100ul ユニットセル配置部
100fl 周端部
101 基板
102 第1炭化珪素半導体層
103a 第1ボディ領域
103b 第2ボディ領域
103d 第2導電型領域
103f リング領域
104 不純物領域
104f 空乏化抑制領域
105 コンタクト領域

- 106 第2炭化珪素半導体層（チャネル層）
- 106c チャネル領域
- 107 ゲート絶縁膜
- 108 ゲート電極
- 109 第1オーミック電極
- 110 第2オーミック電極
- 111 層間絶縁膜
- 111c コンタクトホール
- 112 上部配線電極
- 113 裏面配線電極
- 115 注入領域
- 116 FLR構造

請求の範囲

[請求項1]

主面および裏面を有する半導体基板と、

前記半導体基板の前記主面上に位置する第1炭化珪素半導体層であって、第1導電型のドリフト領域と、前記ドリフト領域上に位置する第2導電型のボディ領域と、前記ボディ領域上に位置する第1導電型の不純物領域とを含む第1炭化珪素半導体層と、

前記第1炭化珪素半導体層に設けられ、前記ボディ領域を貫通し、前記ドリフト領域内に達するトレンチと、

少なくとも前記トレンチの側面に位置し、前記ドリフト領域の少なくとも一部および前記不純物領域の少なくとも一部に接している第1導電型の第2炭化珪素半導体層と、

前記第2炭化珪素半導体層上に位置するゲート絶縁膜と、

前記ゲート絶縁膜上に位置するゲート電極と、

前記不純物領域に接触する第1オーミック電極と、

前記半導体基板の前記裏面に位置する第2オーミック電極と

を備え、

前記ボディ領域は、前記トレンチの側面において前記第2炭化珪素半導体層と接する第1ボディ領域と、前記ドリフト領域と接し、前記第1ボディ領域よりも平均不純物濃度が小さい第2ボディ領域とを含み、

前記第1オーミック電極を基準とする前記第2オーミック電極および前記ゲート電極に印加される電位はそれぞれ V_{ds} および V_{gs} であり、ゲート閾値電圧は V_{th} であり、

$V_{gs} \geq V_{th}$ の場合、前記第2炭化珪素半導体層を介して前記第2オーミック電極から前記第1オーミック電極へ電流が流れ、

$0 \text{ボルト} \leq V_{gs} < V_{th}$ の場合、 V_{ds} が0ボルトよりも小さくなるにつれて、前記ボディ領域から前記ドリフト領域へ電流が流れ始める前に前記第1オーミック電極から前記第2炭化珪素半導体層を介

して前記第2オーミック電極へ電流が流れる、半導体素子。

[請求項2] 前記第2ボディ領域は前記不純物領域にさらに接している請求項1に記載の半導体素子。

[請求項3] 前記第1ボディ領域は前記不純物領域および前記ドリフト領域にさらに接している請求項2に記載の半導体素子。

[請求項4] 前記第1ボディ領域は前記不純物領域にさらに接し、前記ドリフト領域に接していない請求項2に記載の半導体素子。

[請求項5] 前記半導体素子は複数のユニットセルを含み、
各ユニットセルは、前記半導体基板と、前記第1炭化珪素半導体層と、前記トレンチと、前記第2炭化珪素半導体層と、前記ゲート絶縁膜と、前記ゲート電極と、前記第1オーミック電極と、前記第2オーミック電極とを備え、

各ユニットセルの前記第1ボディ領域の前記半導体基板と平行な方向における幅は、当該ユニットセルと前記トレンチを挟んで隣接するユニットセルの前記第1ボディ領域の前記半導体基板と平行な方向における幅と等しい、請求項2に記載の半導体素子。

[請求項6] 前記第1ボディ領域は、前記トレンチに対して自己整合的に画定されている請求項2に記載の半導体素子。

[請求項7] 前記第2炭化珪素半導体層は前記トレンチの側面において前記第1ボディ領域および前記第2ボディ領域と接している請求項1に記載の半導体素子。

[請求項8] 前記第1ボディ領域は前記不純物領域にさらに接し、前記ドリフト領域に接していない請求項7に記載の半導体素子。

[請求項9] 前記第2ボディ領域は前記第1ボディ領域の下方に位置し、前記不純物領域と接していない請求項7に記載の半導体素子。

[請求項10] 前記 $0 \text{ ボルト} \leq V_{gs} < V_{th}$ の場合、 V_{ds} が0ボルトよりも小さくなるにつれて、前記ボディ領域から前記ドリフト領域へ電流が流れ始める前に前記第1オーミック電極から前記第2炭化珪素半導体層

を介して前記第 2 オーミック電極へ電流が流れるように前記第 2 炭化珪素半導体層およびボディ領域が構成されている請求項 1 から 9 のいずれかに記載の半導体素子。

[請求項11] 前記第 2 炭化珪素半導体層はエピタキシャル層である請求項 1 から 10 のいずれかに記載の半導体素子。

[請求項12] 前記第 1 ボディ領域の平均不純物濃度は、前記第 2 ボディ領域の平均不純物濃度の 2 倍以上である請求項 1 から 11 のいずれかに記載の半導体素子。

[請求項13] 前記トレンチの底面に設けられた第 2 導電型の電界緩和領域をさらに備える請求項 1 から 12 のいずれかに記載の半導体素子。

[請求項14] 前記不純物領域に隣接し、前記第 2 オーミック電極および前記第 2 ボディ領域と接しているコンタクト領域をさらに備える請求項 1 から 13 のいずれかに記載の半導体素子。

[請求項15] 前記半導体素子は、

前記半導体基板と、前記第 1 炭化珪素半導体層と、前記トレンチと、前記第 2 炭化珪素半導体層と、前記ゲート絶縁膜と、前記ゲート電極と、前記第 1 オーミック電極と、前記第 2 オーミック電極とをそれぞれ含む複数のユニットセルが配列されたユニットセル部と、

前記半導体基板の前記主面の法線方向から見て、前記ユニットセル配列部の外側に配置された周端部と

を備え、

前記周端部は、前記第 1 炭化珪素半導体層において、前記半導体基板の前記主面の法線方向から見て前記ユニットセル配列部を囲むように配置された第 2 導電型のリング領域を有し、前記リング領域における深さ方向の第 2 導電型の不純物濃度プロファイルは、各ユニットセルの前記第 2 ボディ領域における深さ方向の第 2 導電型の不純物濃度プロファイルと同じである請求項 1 から 14 のいずれかに記載の半導体素子。

- [請求項16] 半導体基板上に、第1導電型のドリフト領域及び第2導電型の第2ボディ領域を含む第1炭化珪素半導体層を形成する工程と、
前記第1炭化珪素半導体層の表面の一部領域上にマスクを形成する工程と、
前記マスクを用いて不純物を注入することにより、前記第1炭化珪素半導体層の前記第2ボディ領域中に、第2導電型の第1ボディ領域を形成する工程と、
前記マスクの側面にサイドウォールを形成する工程と、
前記マスクおよびサイドウォールを用いて、前記第1炭化珪素半導体層をエッチングすることにより、前記第1ボディ領域を貫通し、前記ドリフト領域を露出するトレンチを形成する工程と、
を包含する半導体素子の製造方法。
- [請求項17] 前記第1ボディ領域を形成する工程において、前記ドリフト領域に達していない前記第1ボディ領域を形成する請求項16に記載の半導体素子の製造方法。
- [請求項18] 前記第1炭化珪素半導体層を形成する工程と前記マスクを形成する工程の間に、前記第2ボディ領域の表層部に不純物を注入することにより、不純物領域を形成する工程をさらに含み、
前記トレンチを形成する工程では、
前記第1ボディ領域及び前記不純物領域を貫通するトレンチを形成する請求項16または17に記載の半導体素子の製造方法。
- [請求項19] 前記第1炭化珪素半導体層を形成する工程は、
第1導電型の炭化珪素半導体層の表層部に不純物を注入することにより、前記第2ボディ領域を形成するとともに、前記第2ボディ領域以外の部分に前記ドリフト領域を画定する工程を含む請求項16に記載の半導体素子の製造方法。
- [請求項20] 前記マスクを形成する工程の前に、前記不純物領域および前記第2ボディ領域中にコンタクト領域を形成する工程をさらに包含する請求

項 18 に記載の半導体素子の製造方法。

[請求項21]

前記トレンチを形成する工程の後に、

前記第1炭化珪素半導体層を熱処理することにより、前記不純物領域、前記第1ボディ領域及び前記第2ボディ領域を活性化させる工程と、

前記活性化させる工程の後に、

前記トレンチの少なくとも側面を覆うように第2炭化珪素半導体層を形成する工程と、

前記第2炭化珪素半導体層上にゲート絶縁膜を形成する工程と

前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記ソース領域の一部および前記コンタクト領域が露出するように、前記ゲート絶縁膜および前記第2炭化珪素半導体層の一部を除去する工程と、

前記露出した不純物領域の一部および前記コンタクト領域に接するように第1オーミック電極を形成する工程と、

前記基板の前記第1炭化珪素半導体層が接していない面に接するように第2オーミック電極を形成する工程と

をさらに包含する請求項20に記載の半導体素子の製造方法。

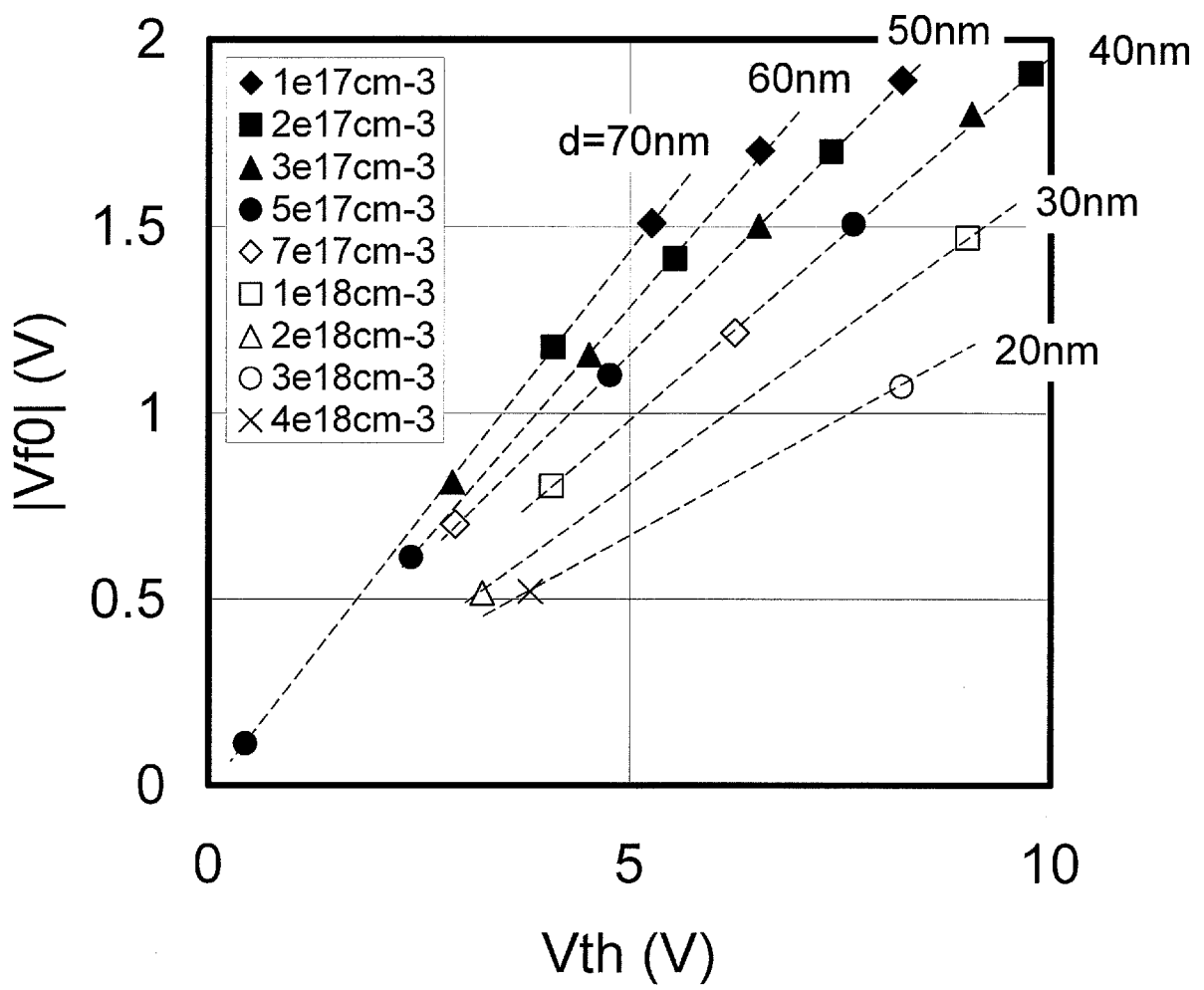
[請求項22]

前記半導体素子は、前記複数のユニットセルが配列されたユニットセル配列部と、前記基板の前記主面の法線方向から見て、前記ユニットセル配列部の外側に配置された周縁部とを有し、

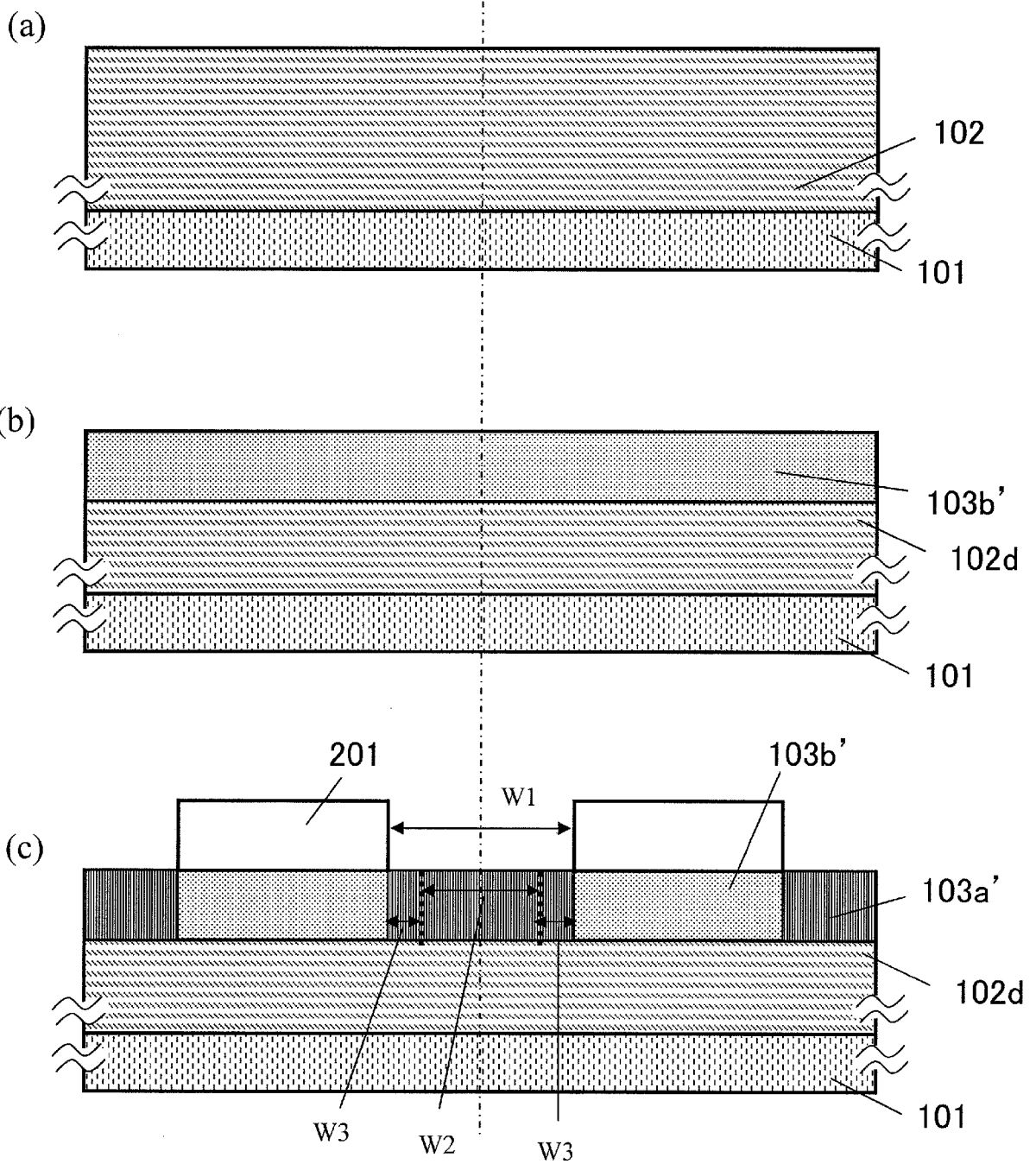
前記周縁部において、前記第1炭化珪素半導体層は、前記基板の前記主面の法線方向から見て前記ユニットセル配列部を囲むように配置された第2導電型のリング領域を有しており、

前記第2ボディ領域と前記リング領域とを同じ工程によって形成する請求項16に記載の半導体素子の製造方法。

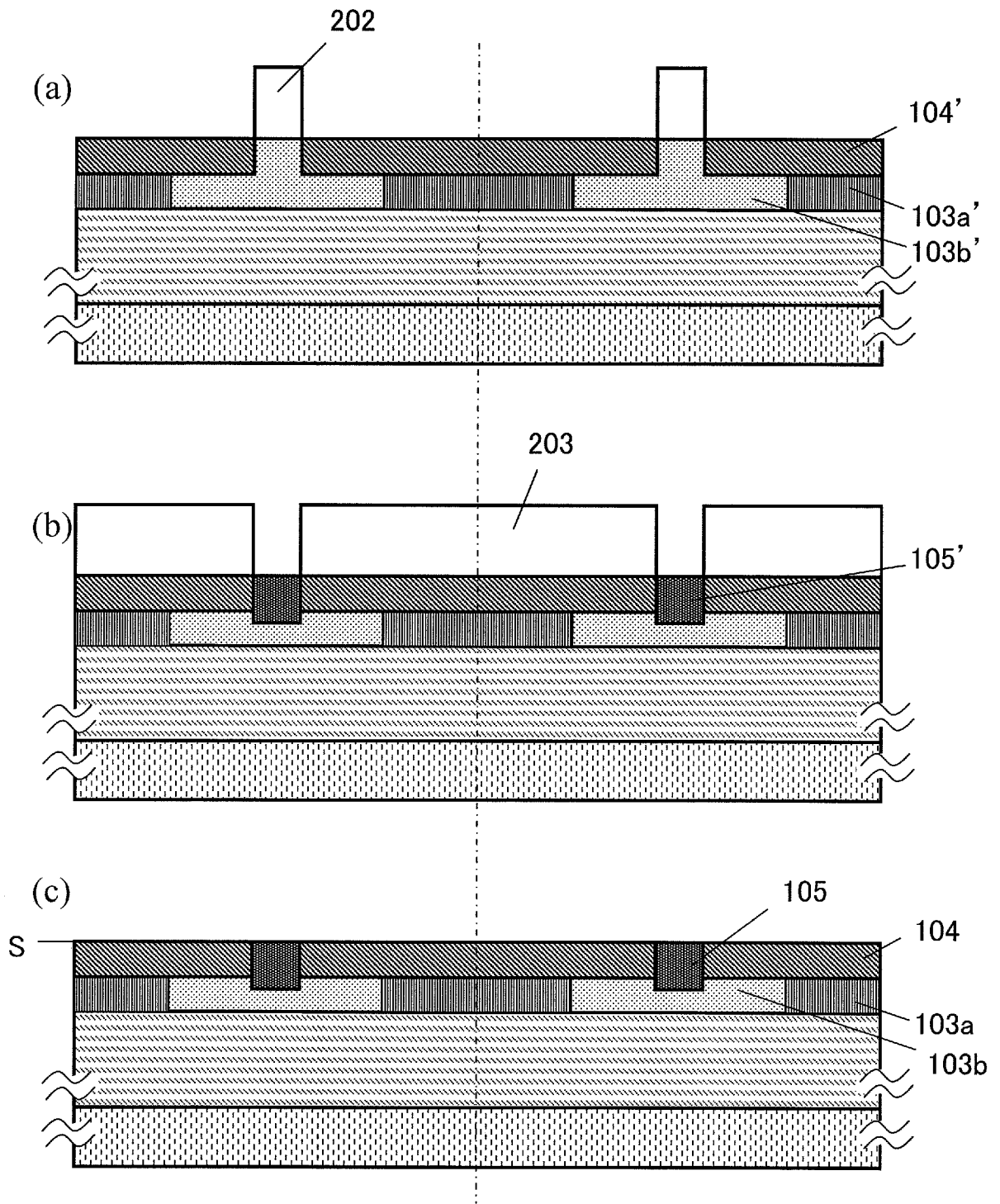
[図2]



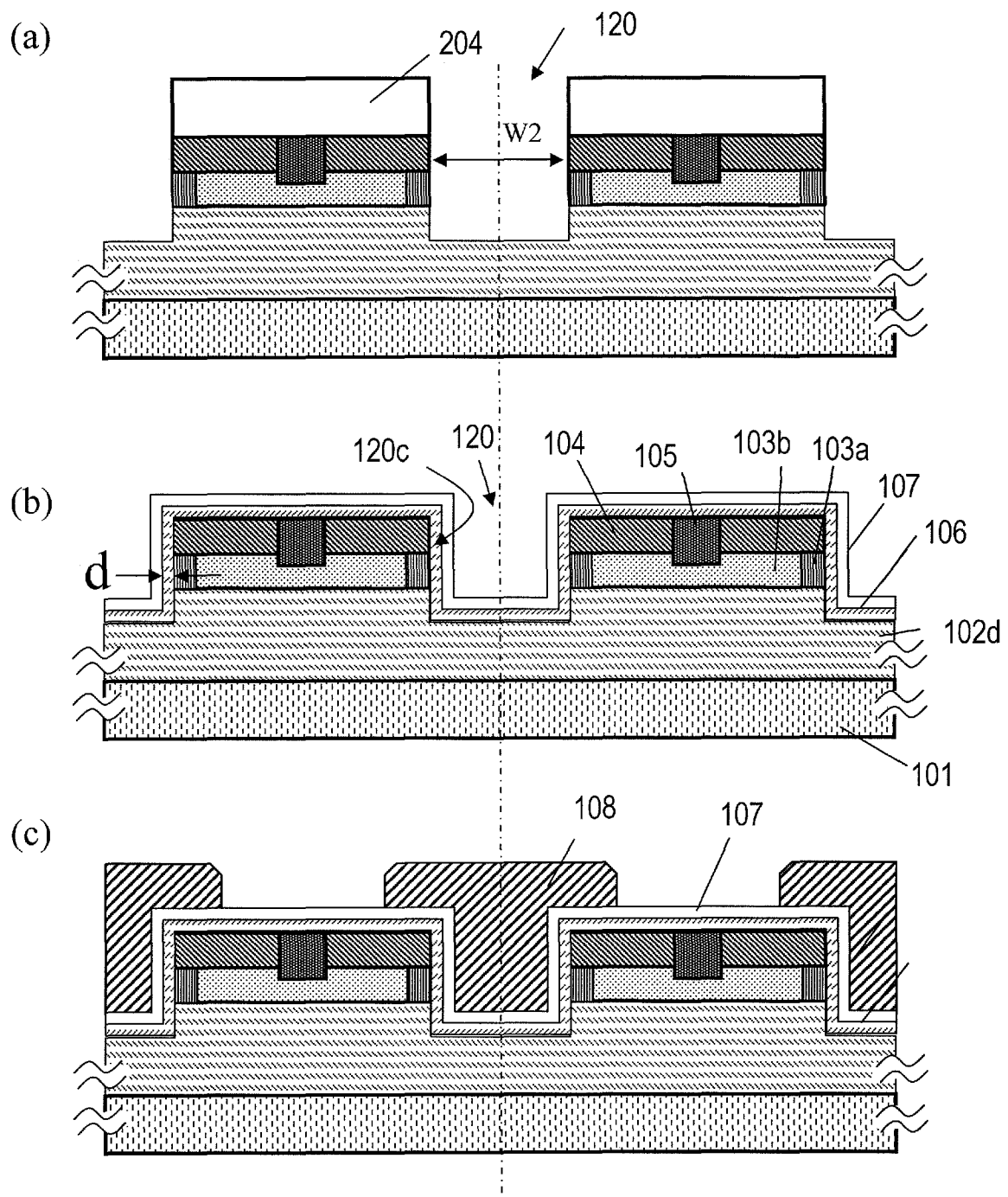
[図3]



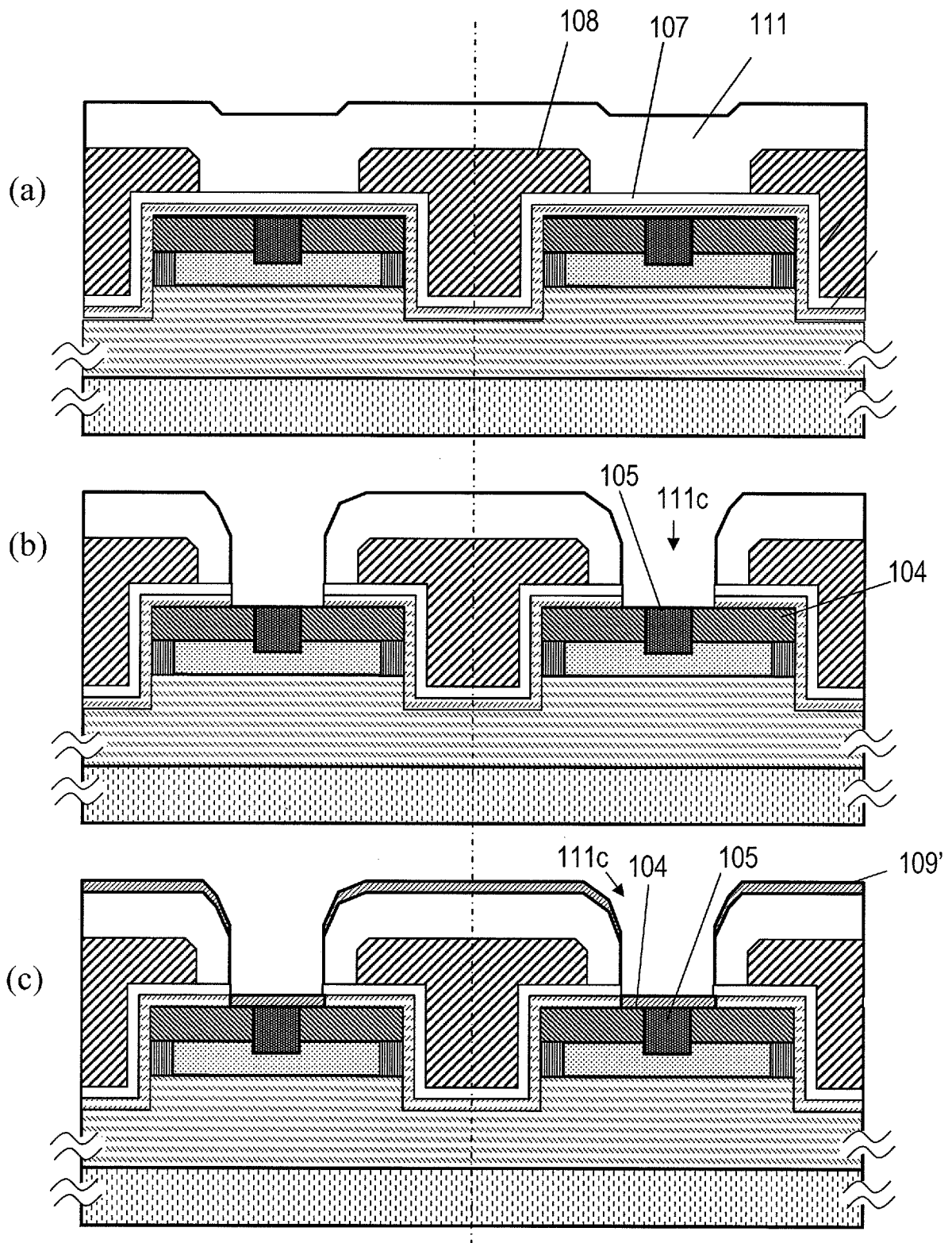
[図4]



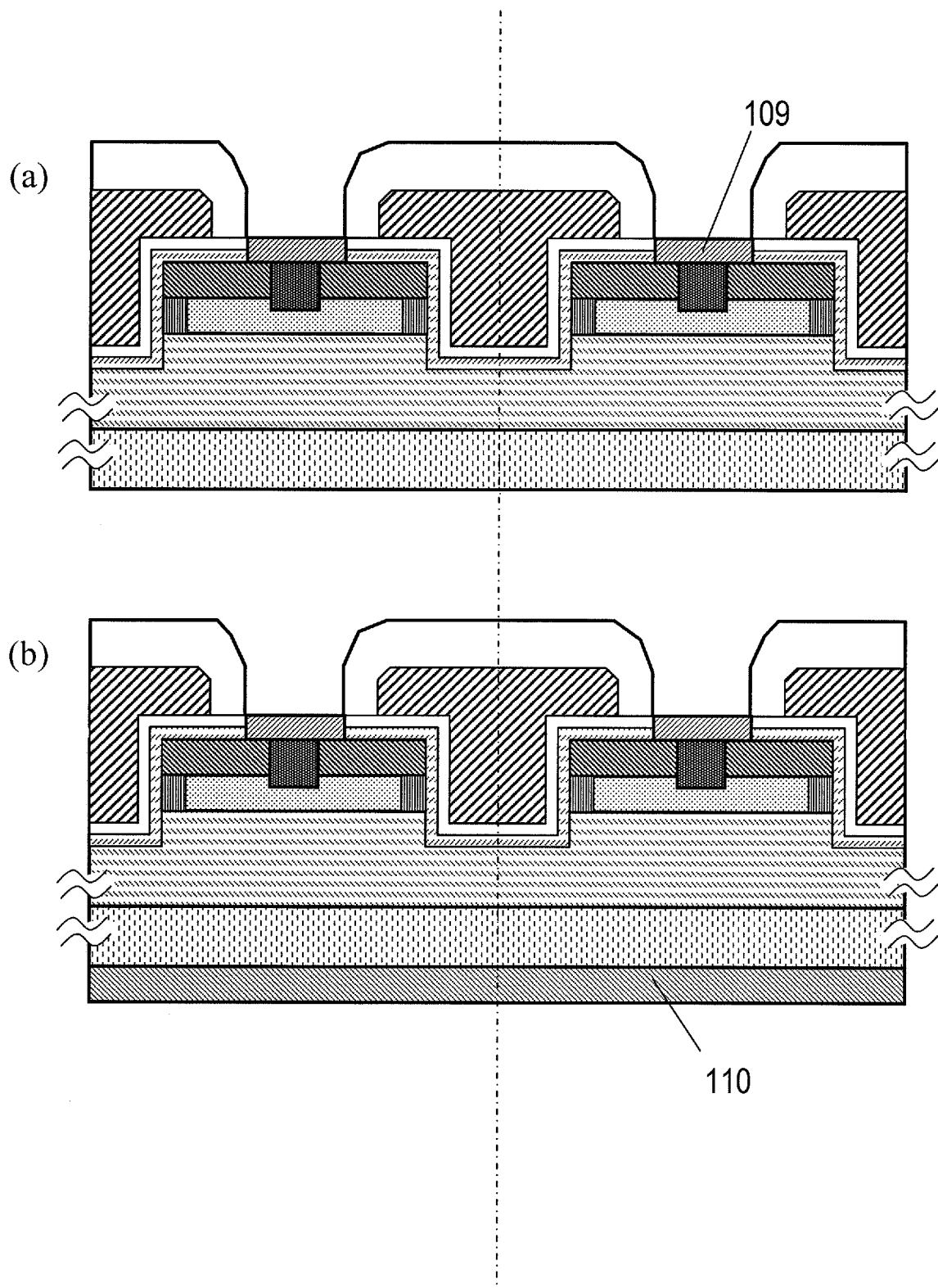
[図5]



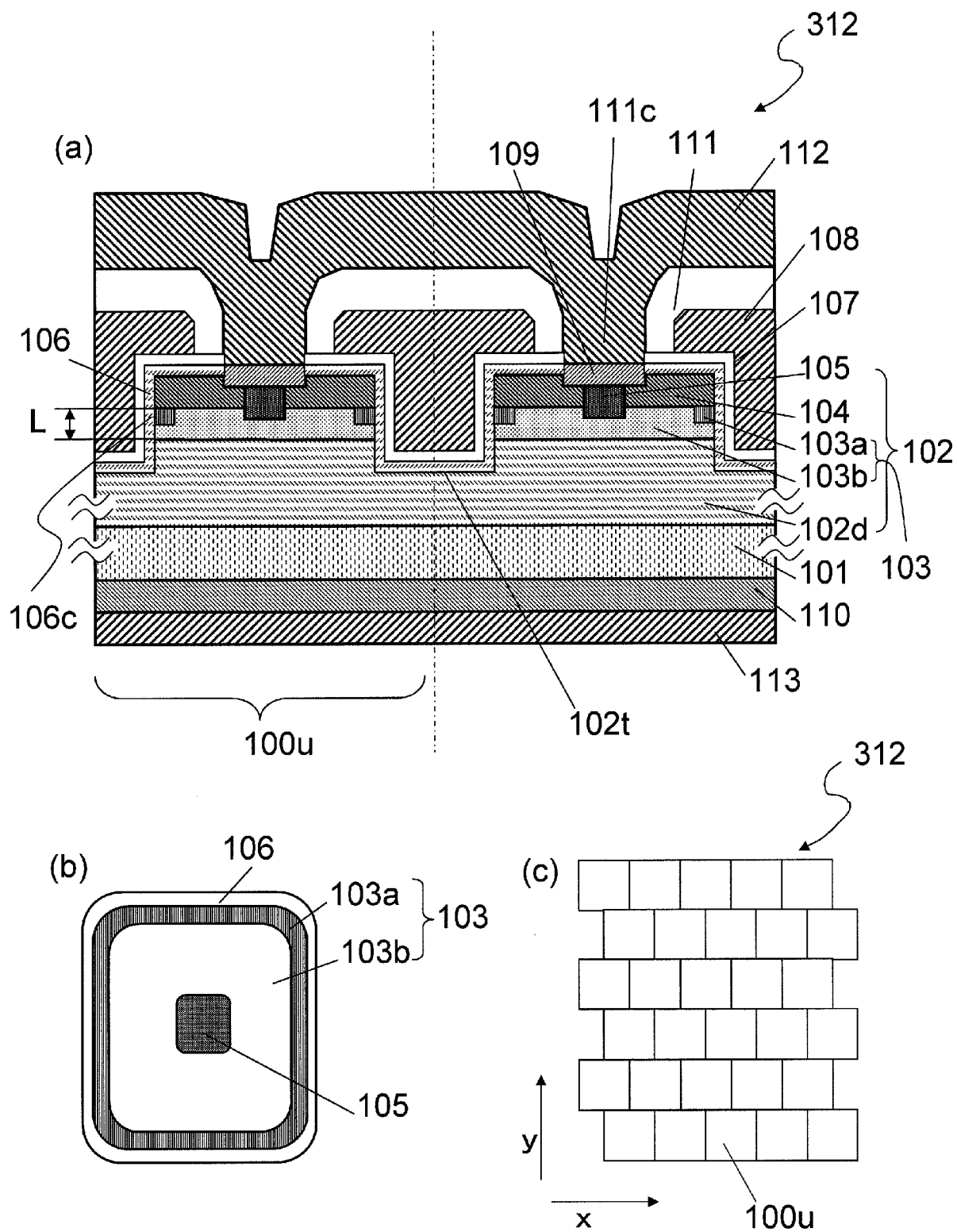
[図6]



[図7]

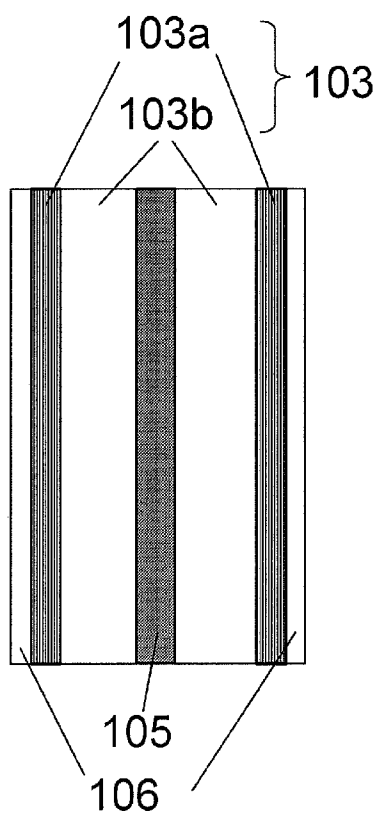


[図12]

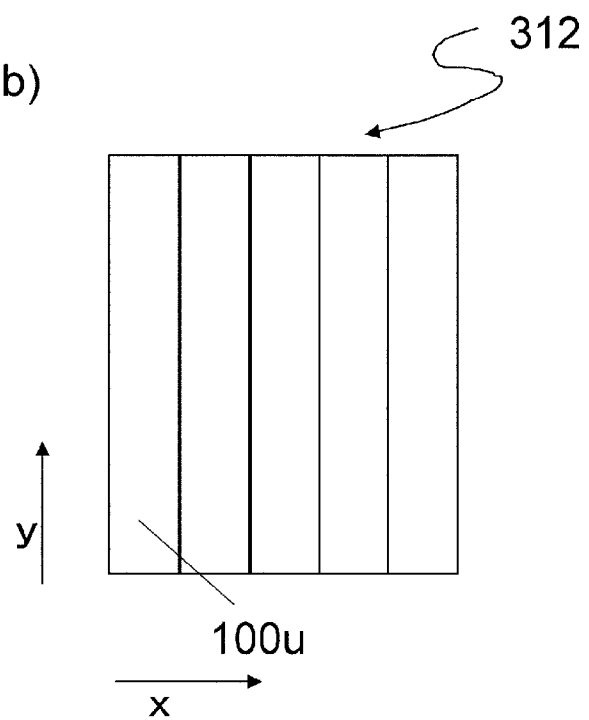


[図13]

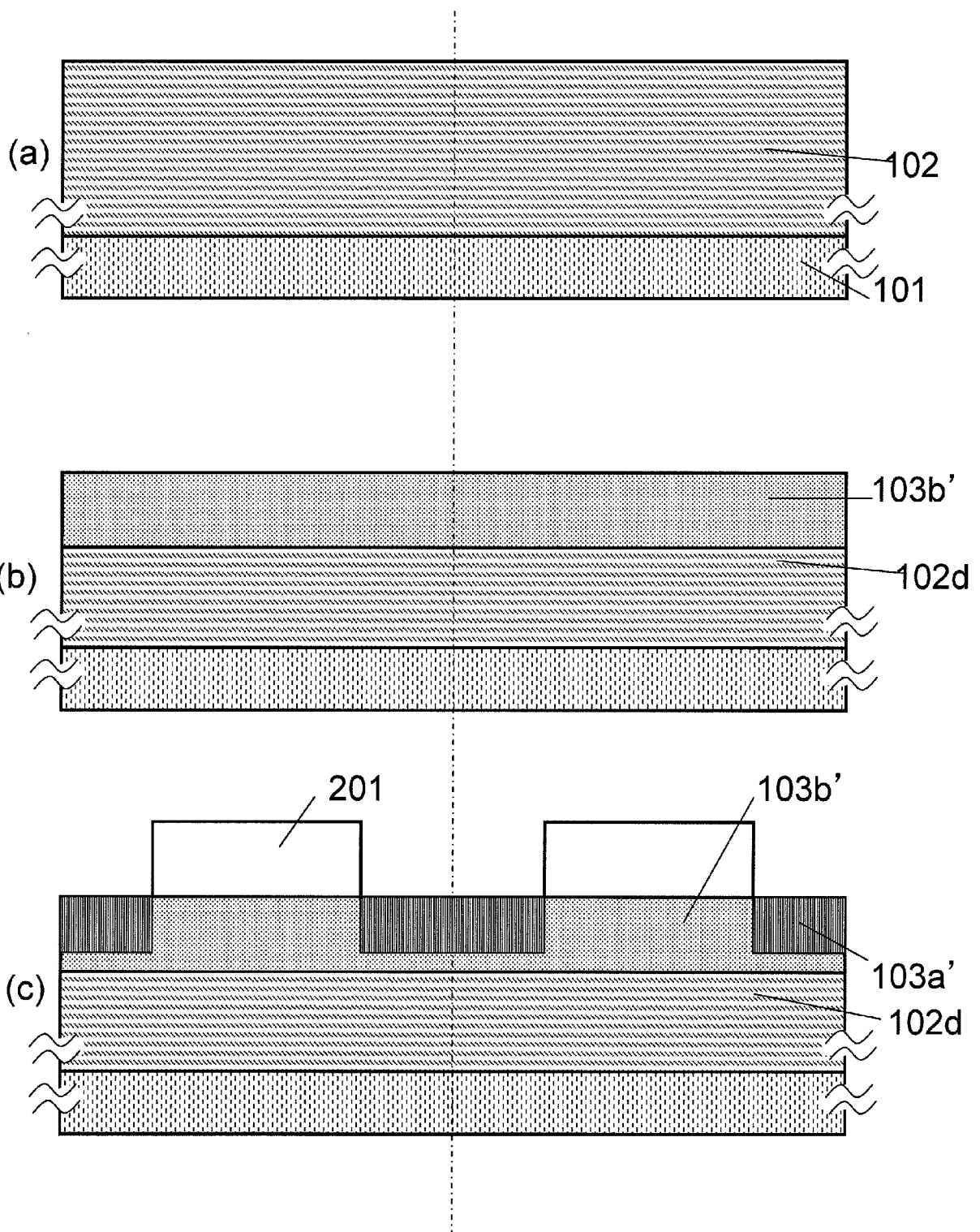
(a)



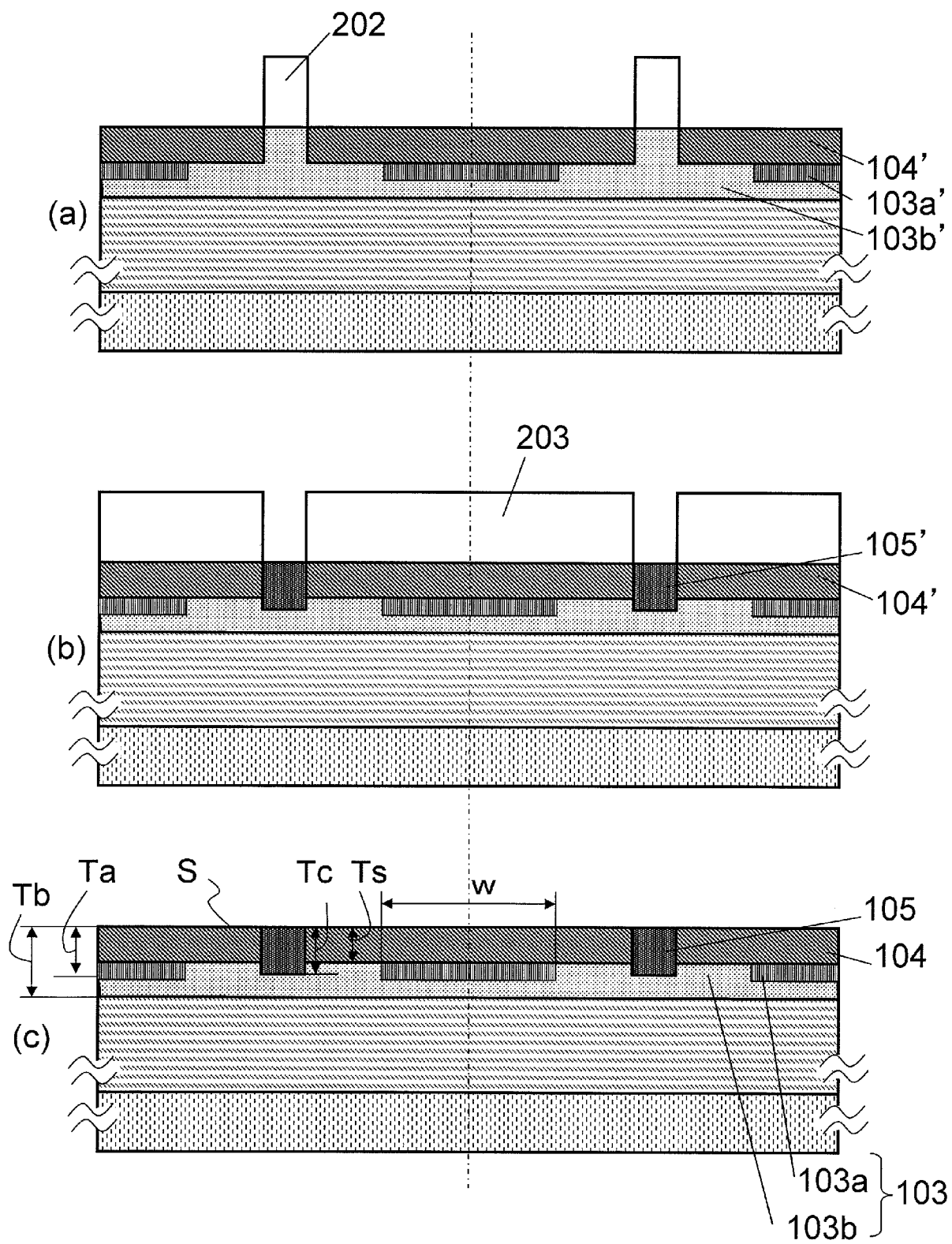
(b)



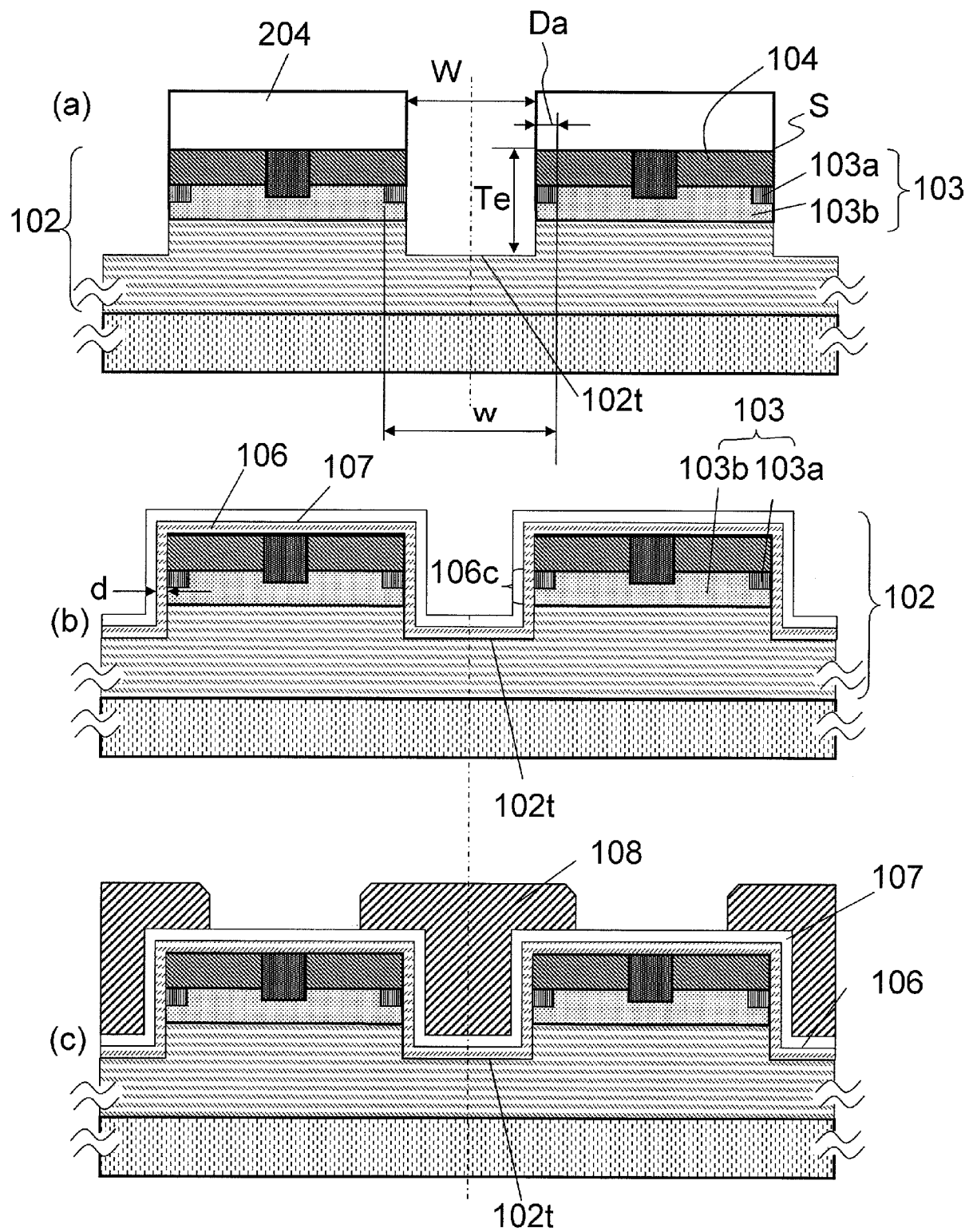
[図14]



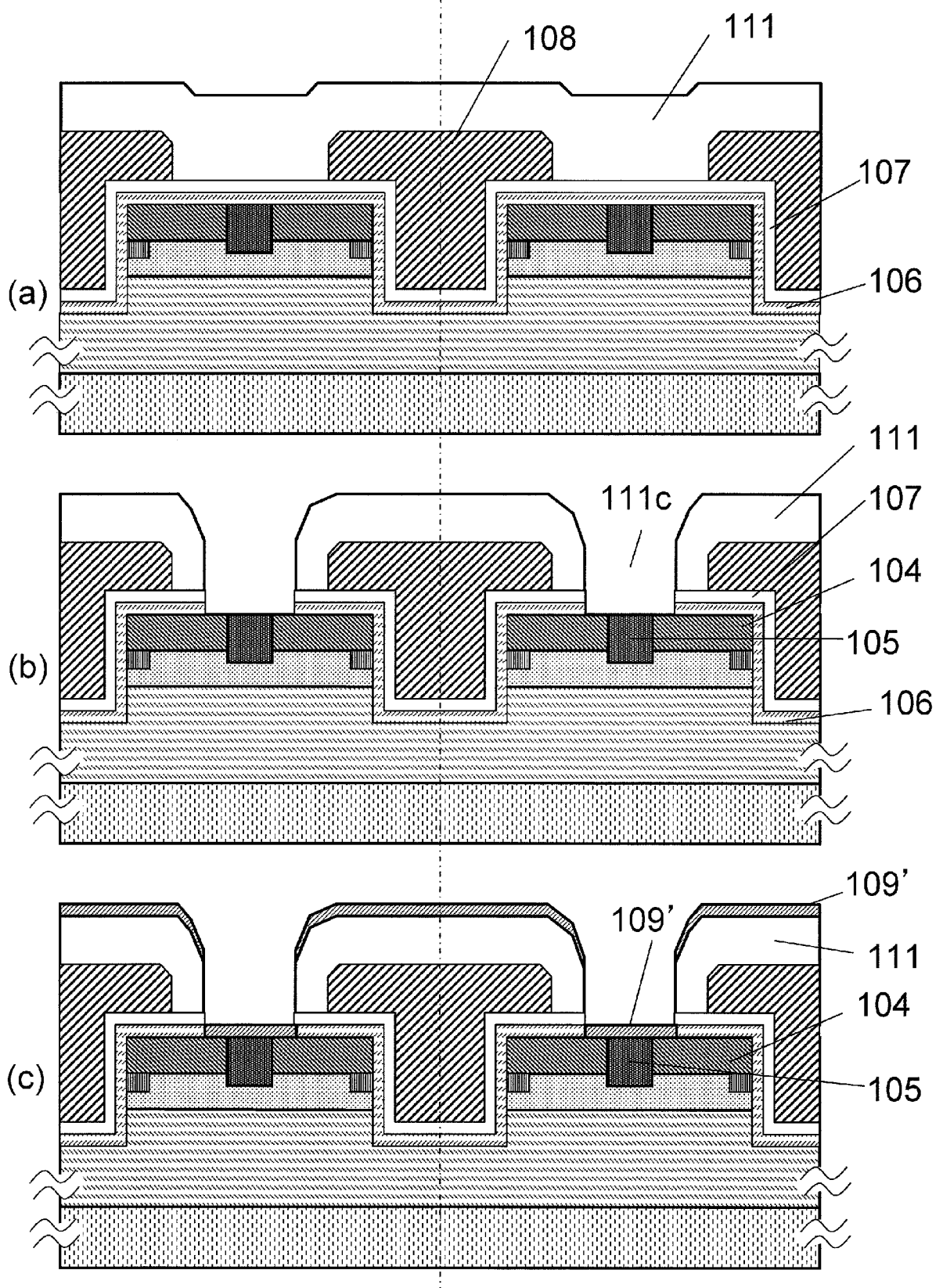
[図15]



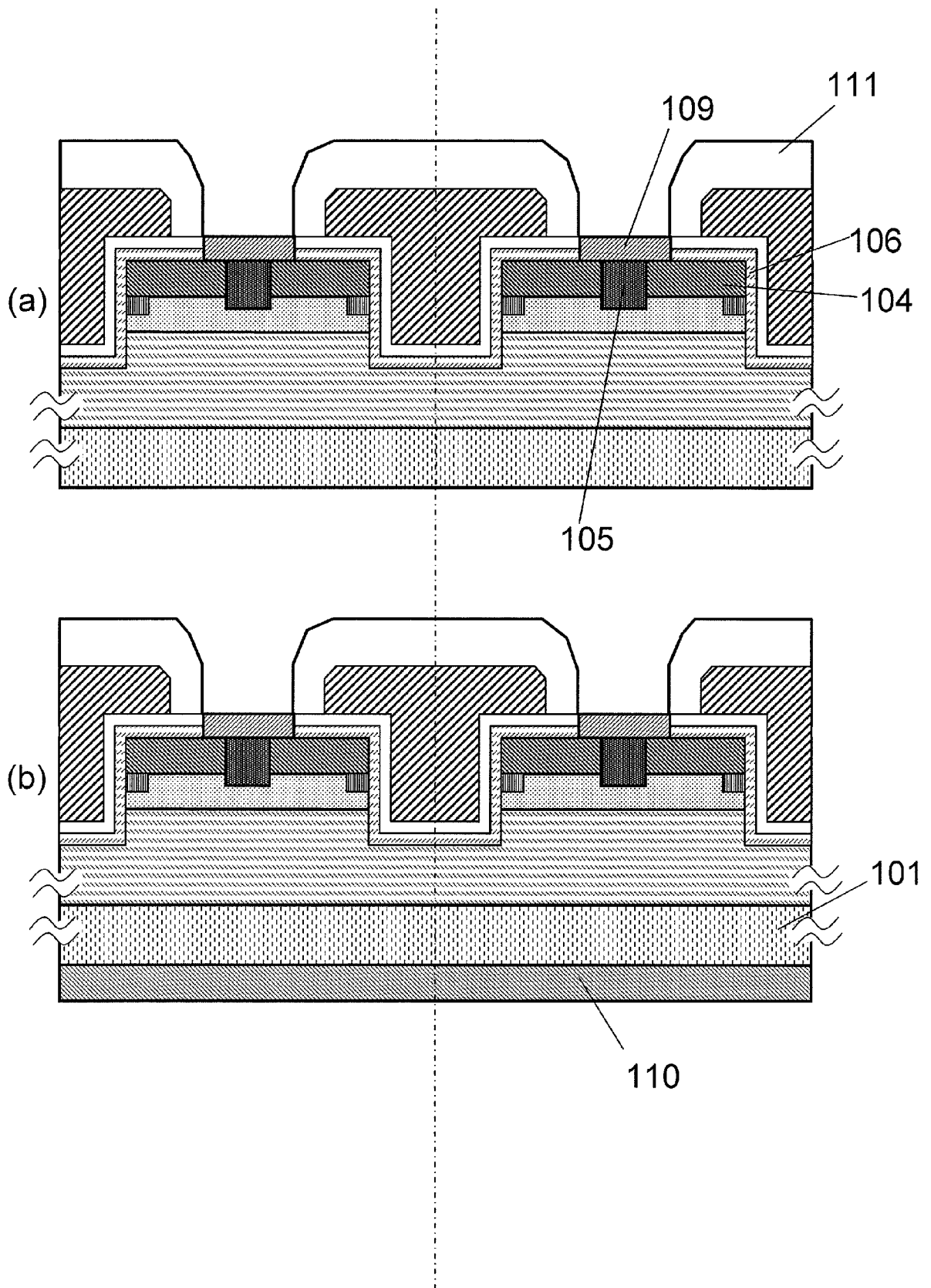
[図16]



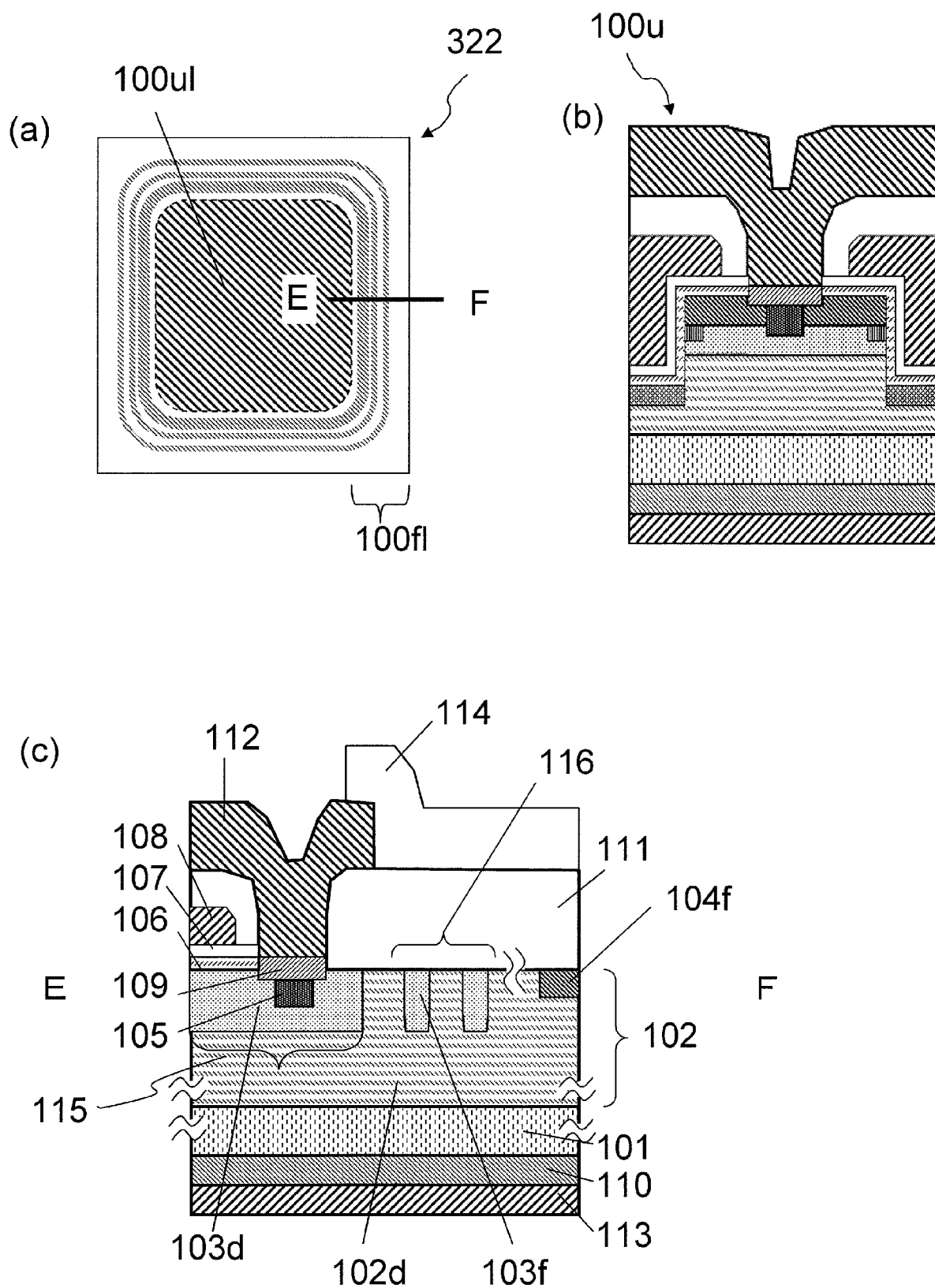
[図17]



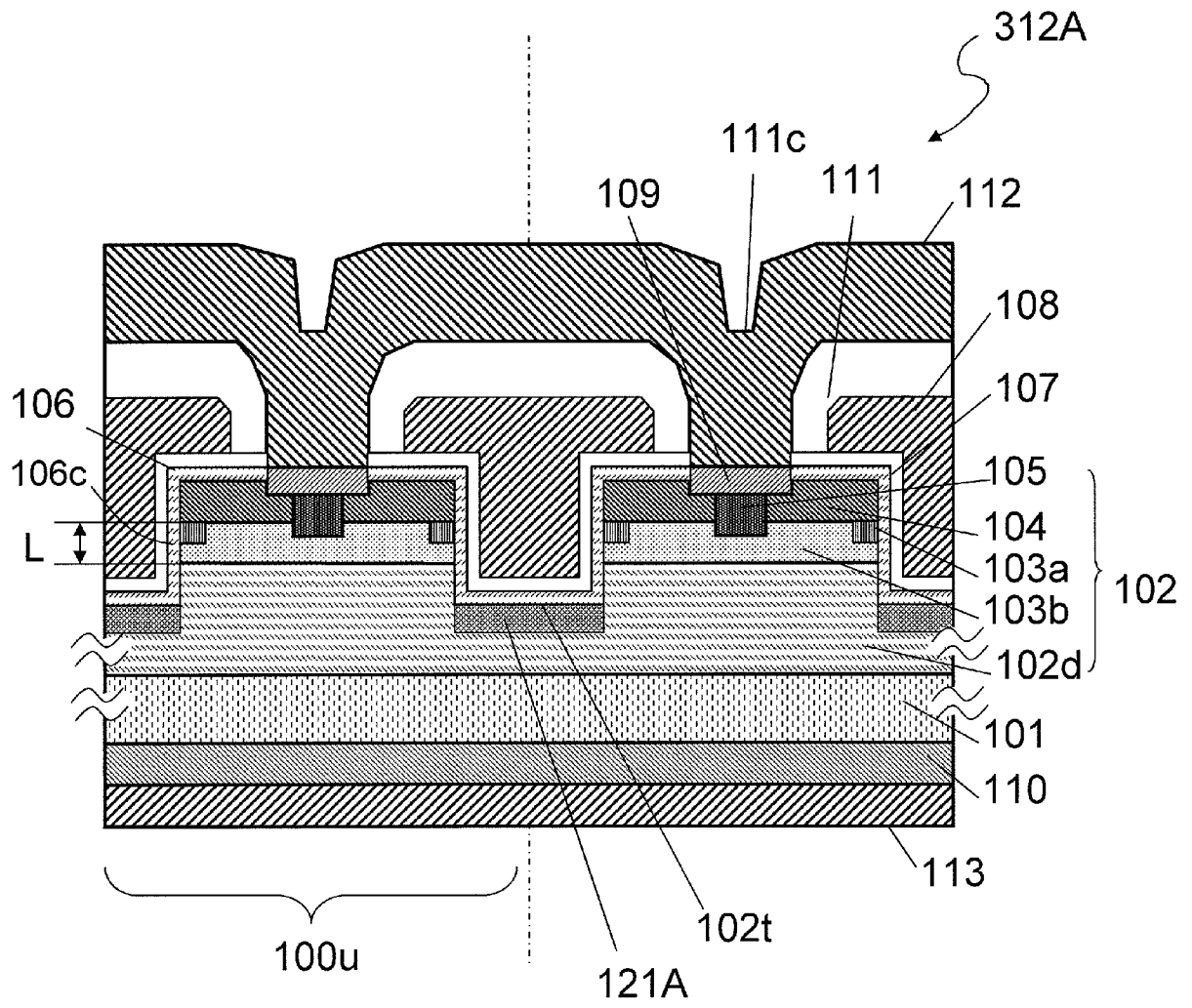
[図18]



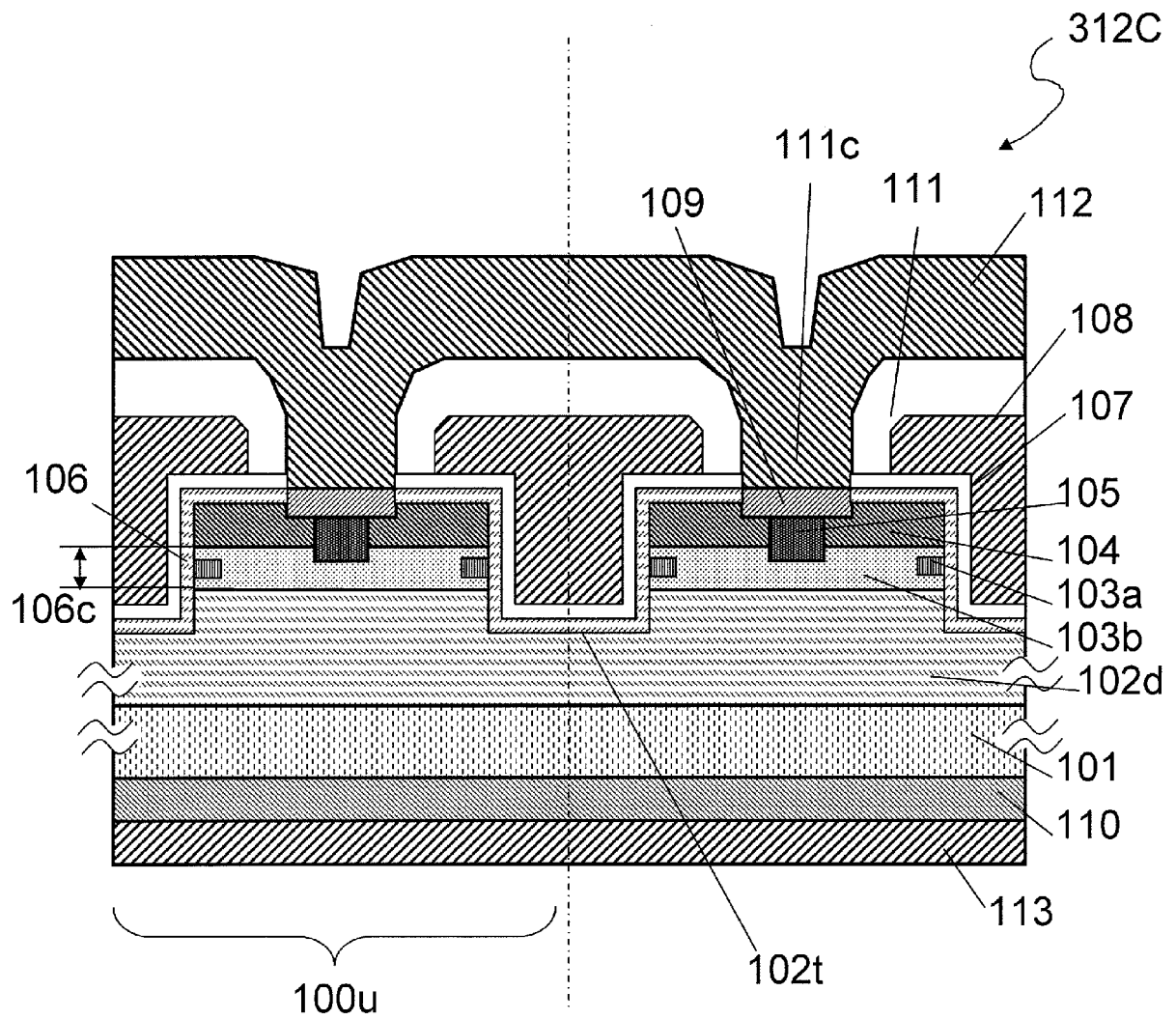
[図19]



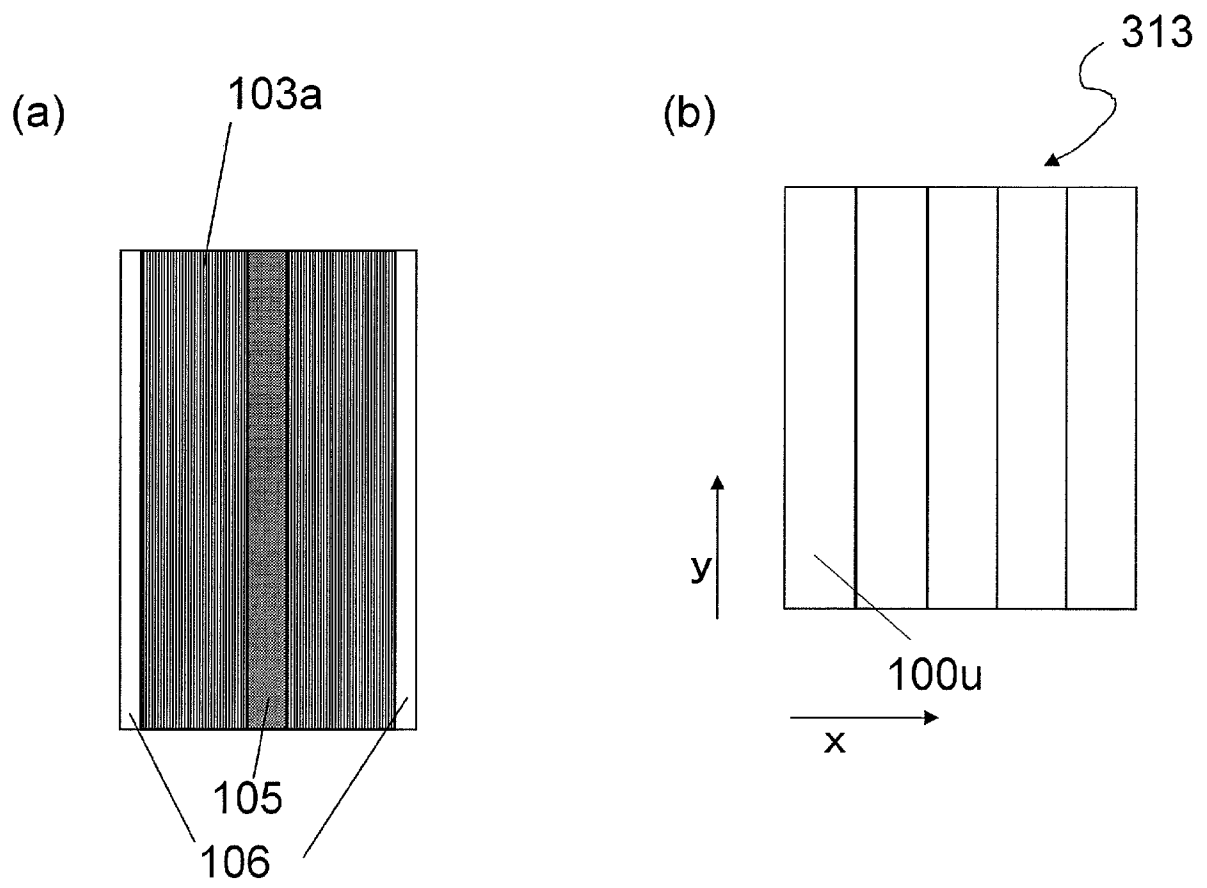
[図20]



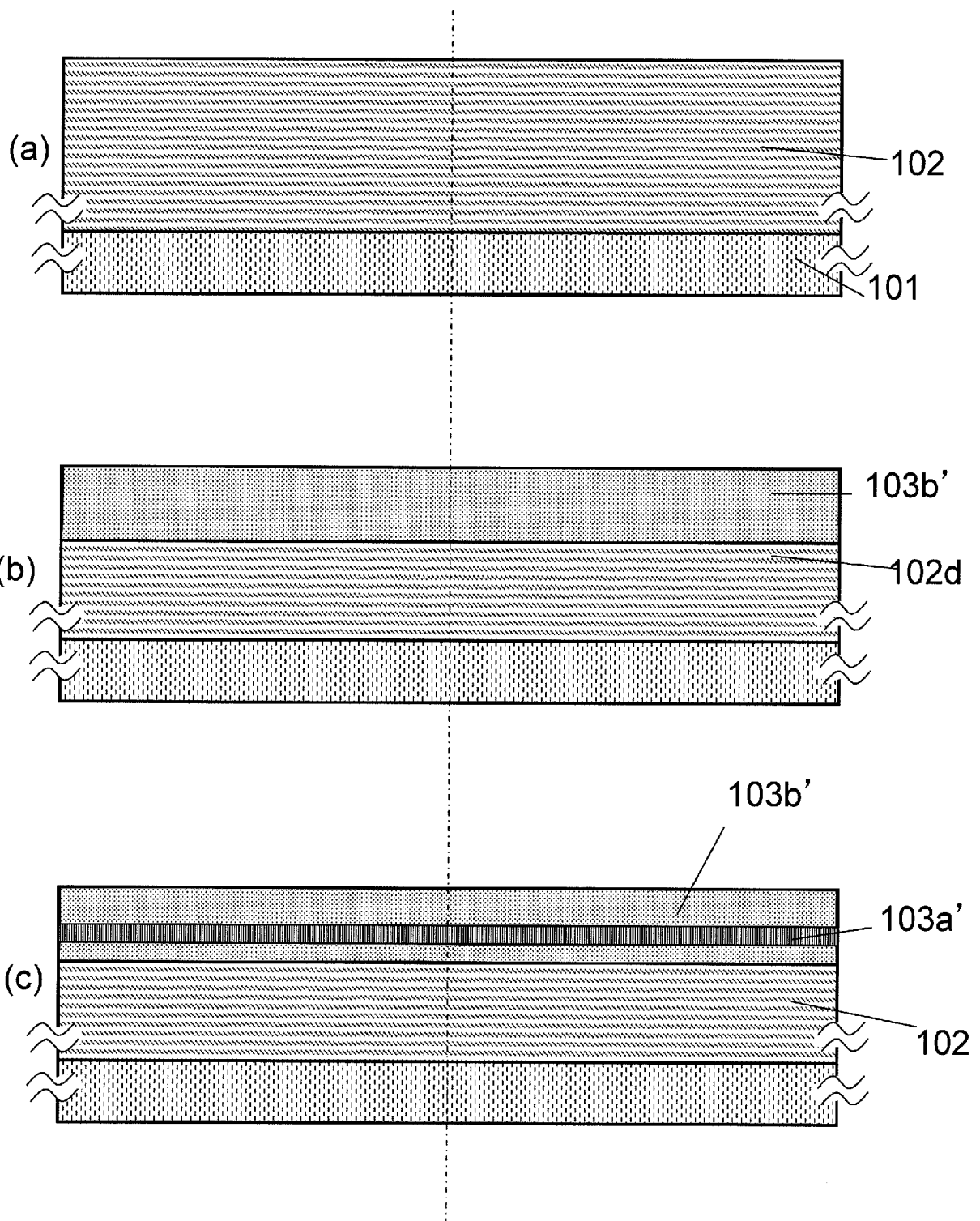
[図22]



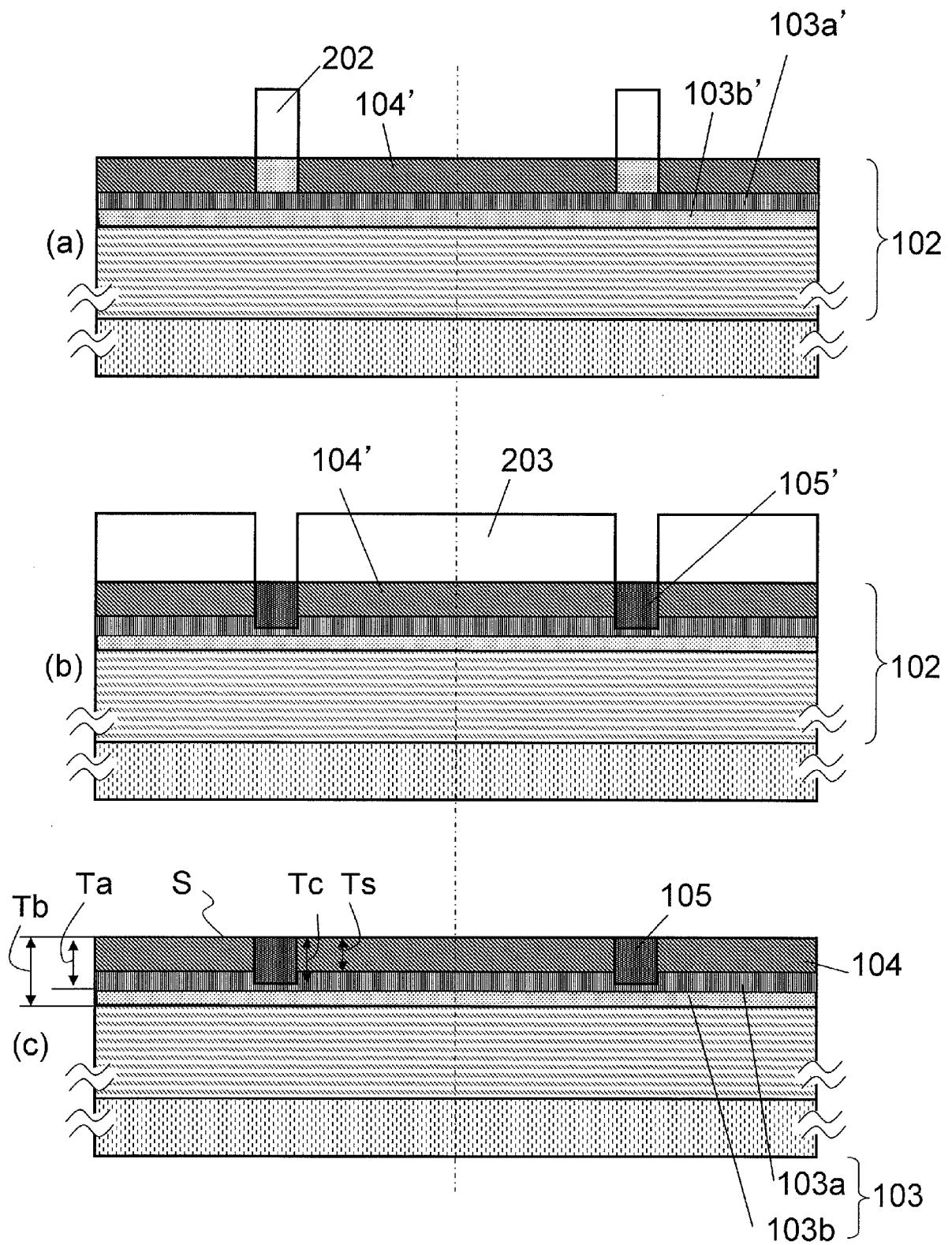
[図24]



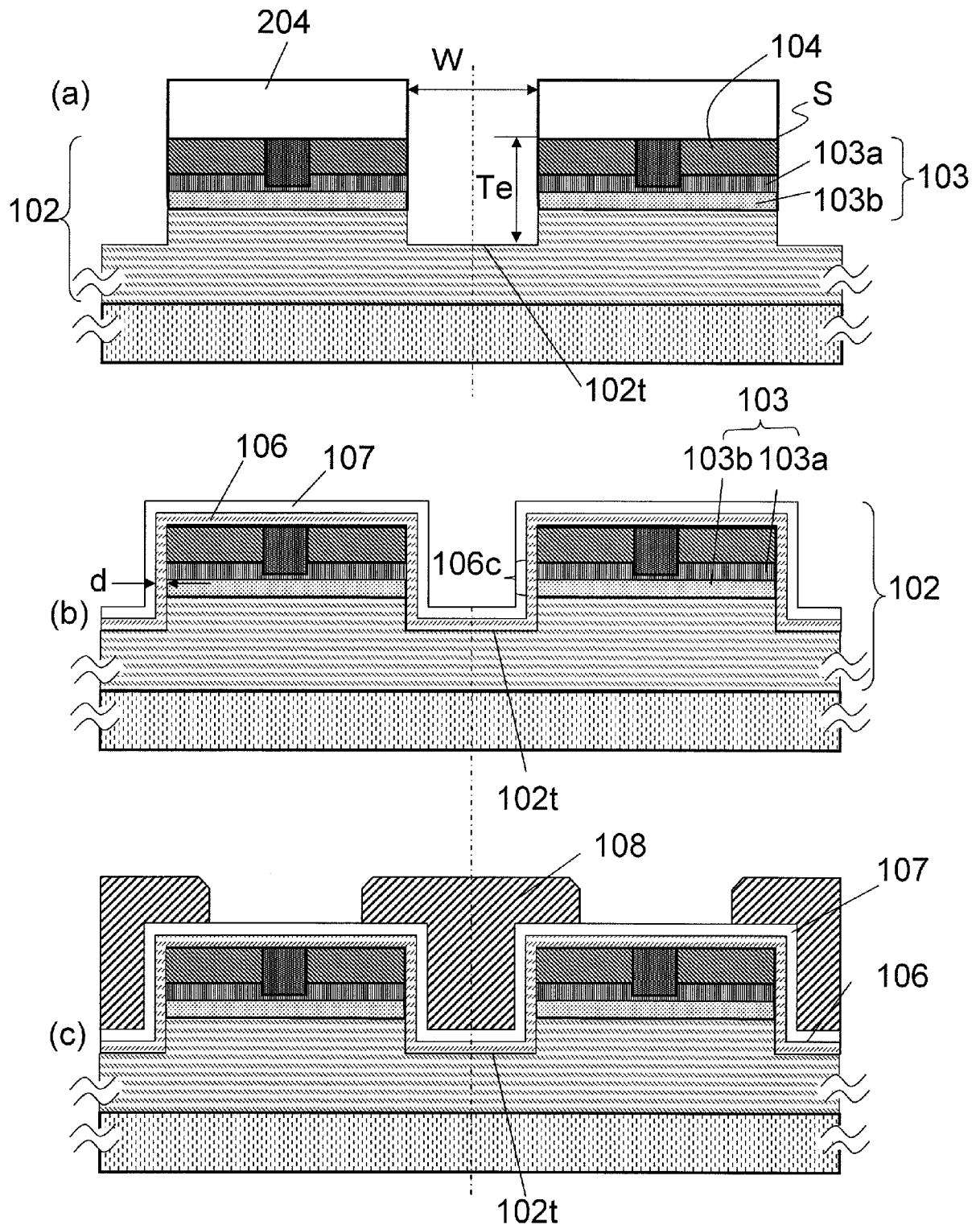
[図25]



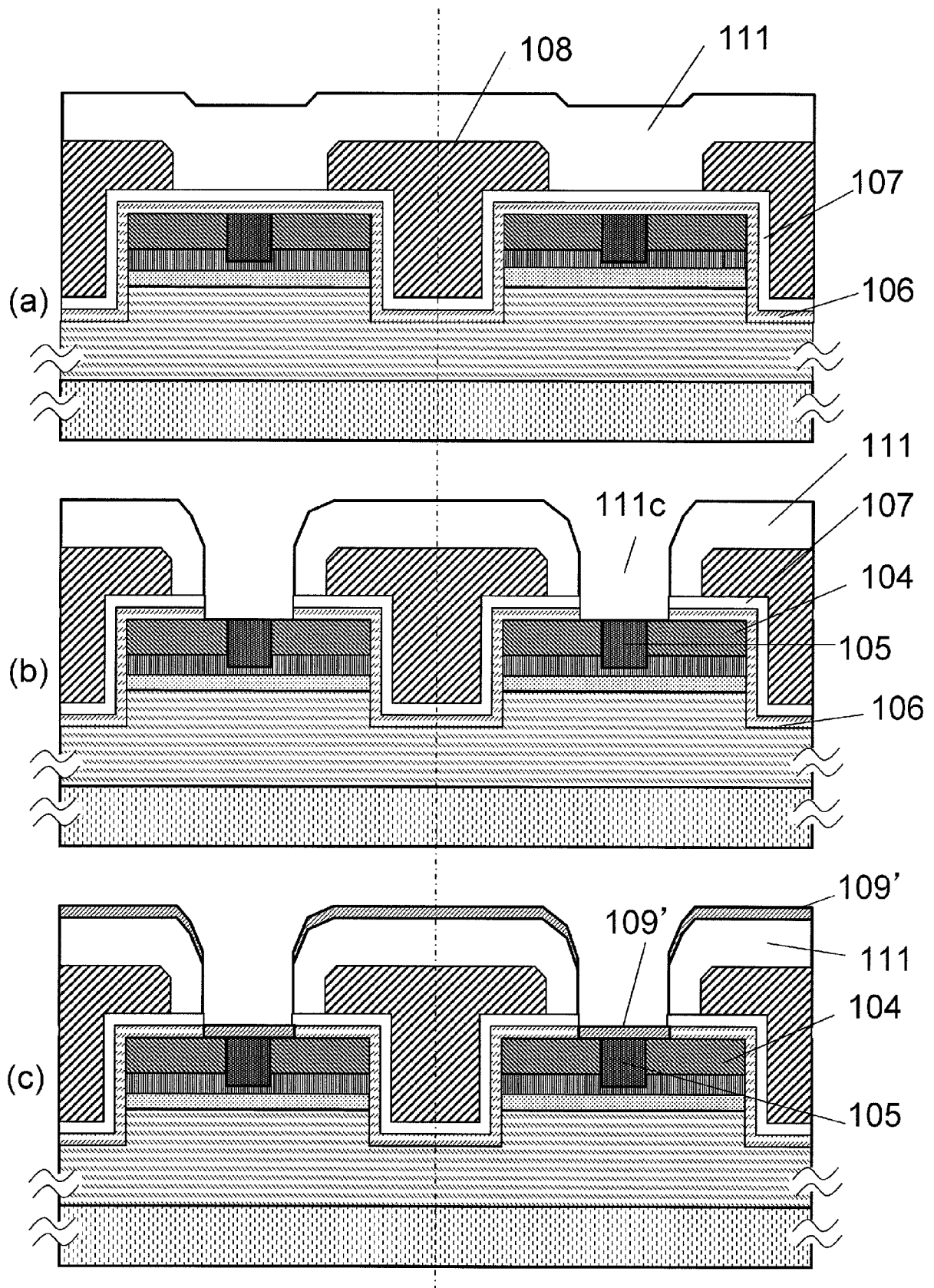
[図26]



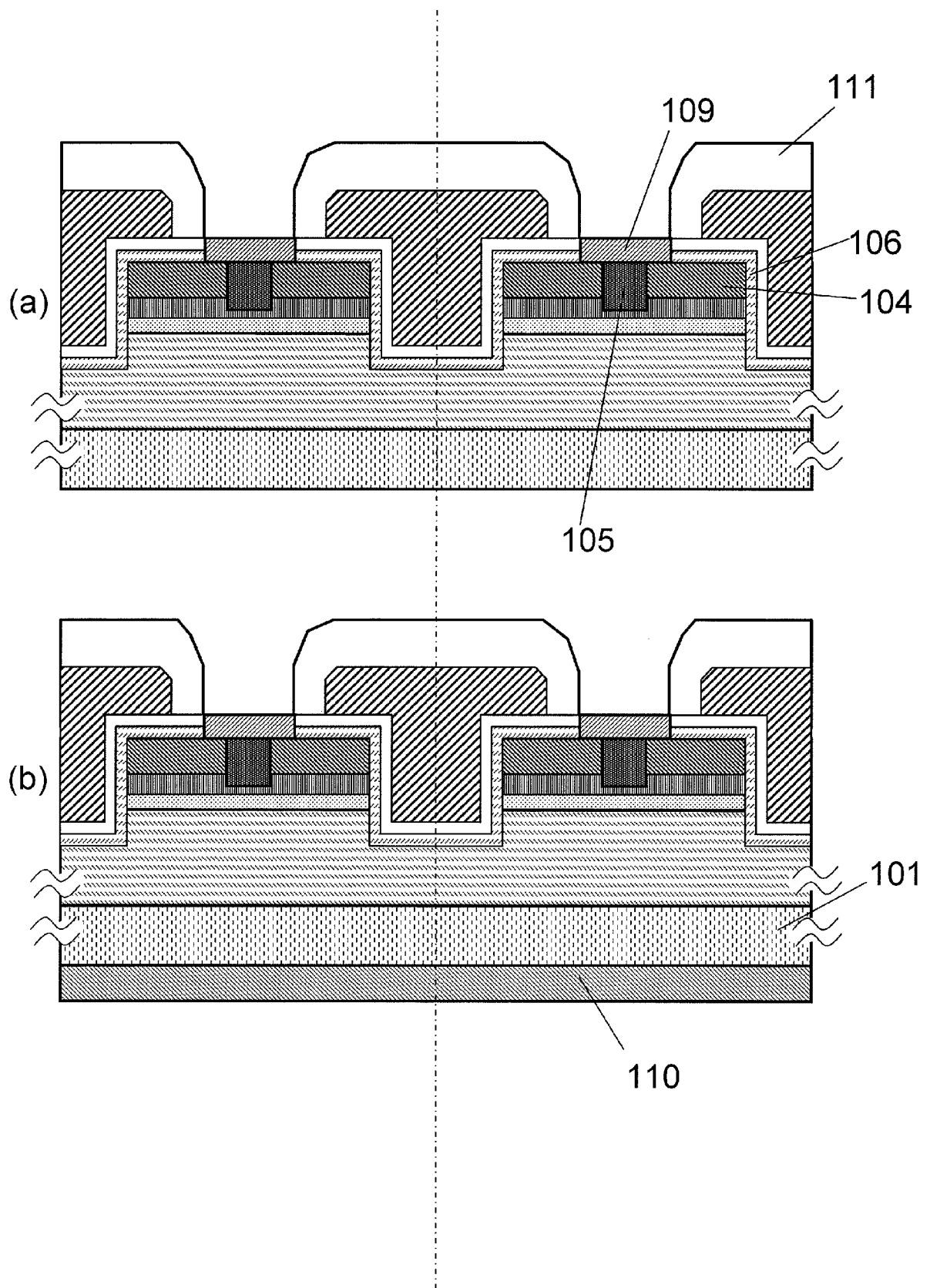
[図27]



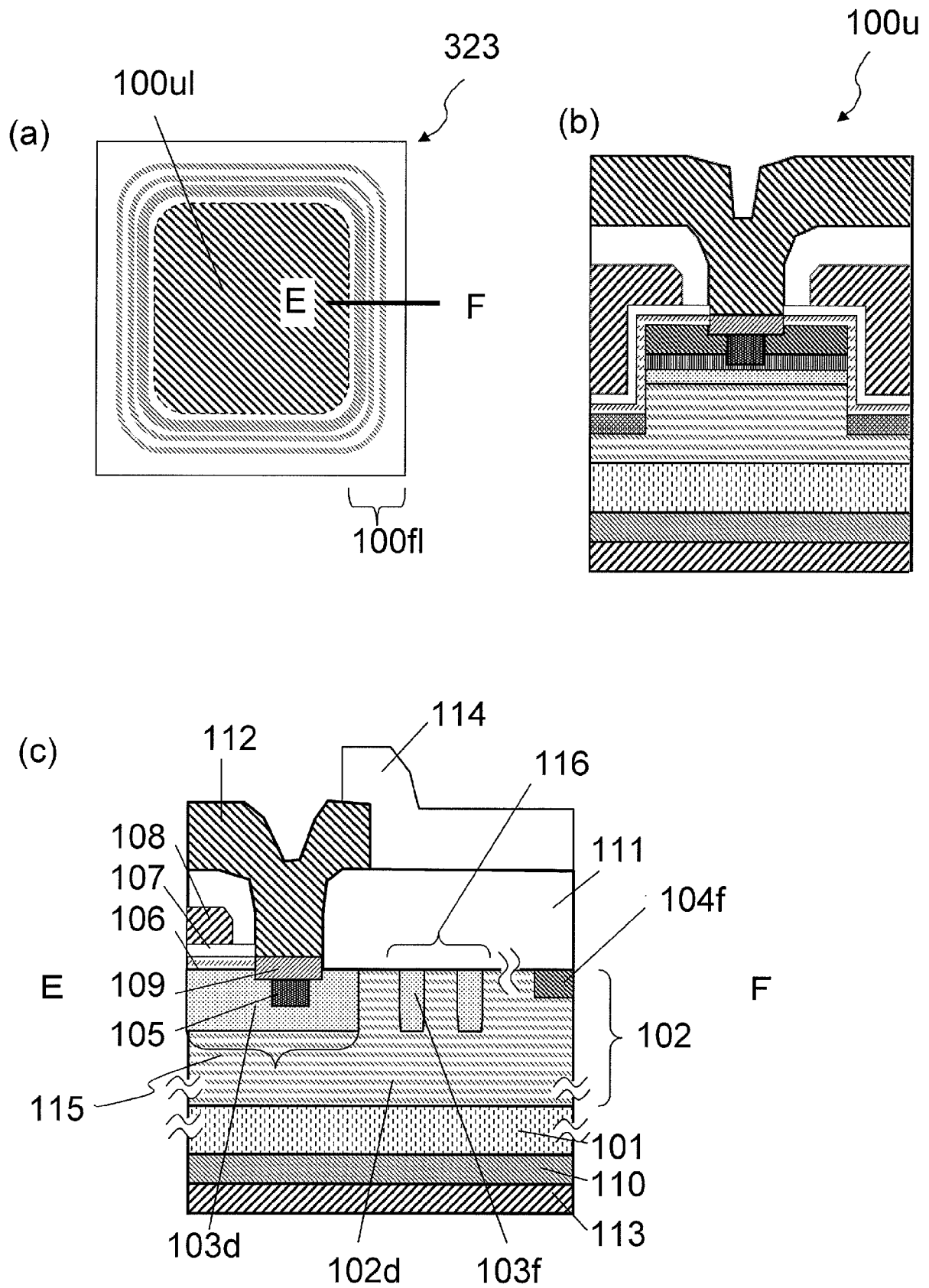
[図28]



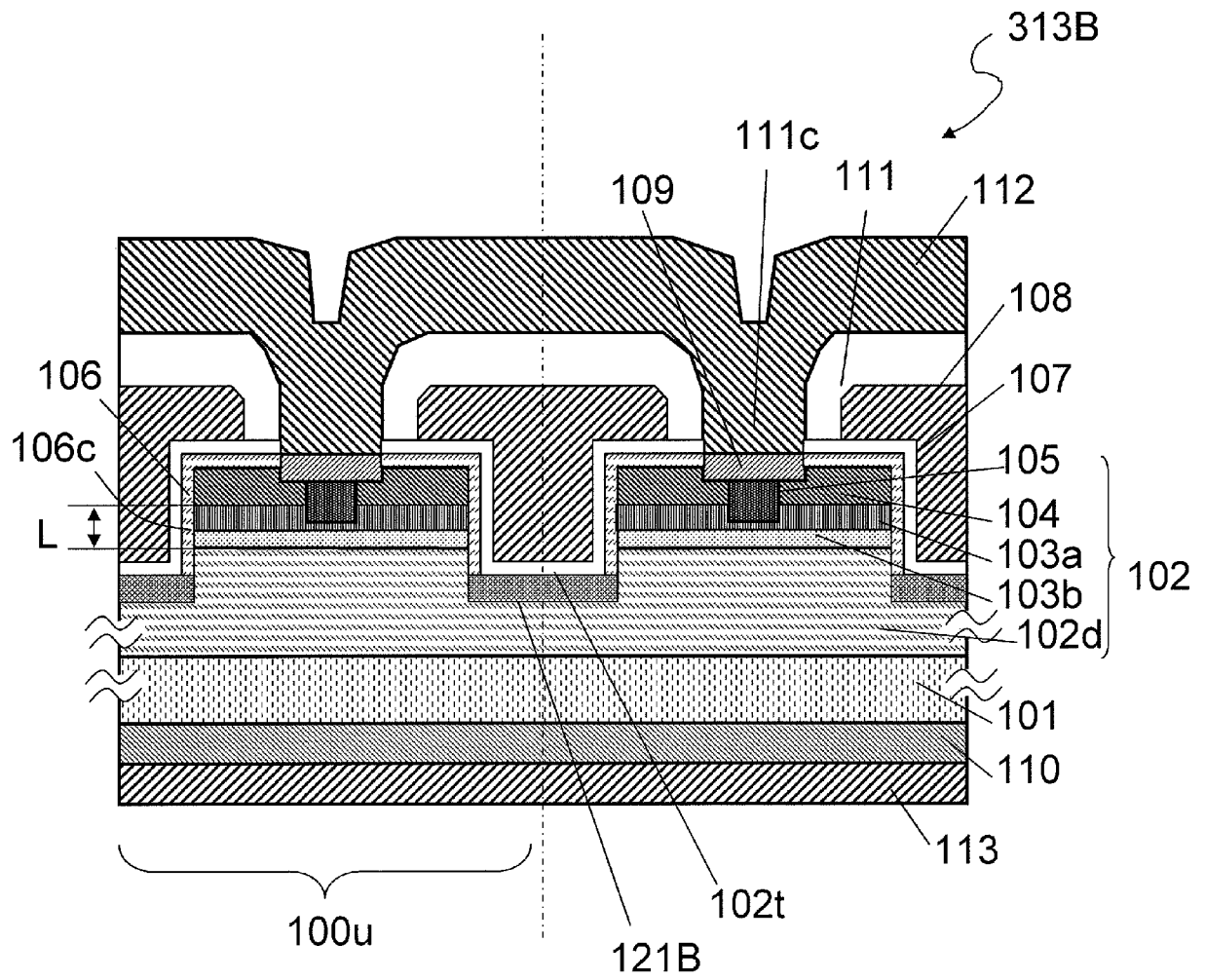
[図29]



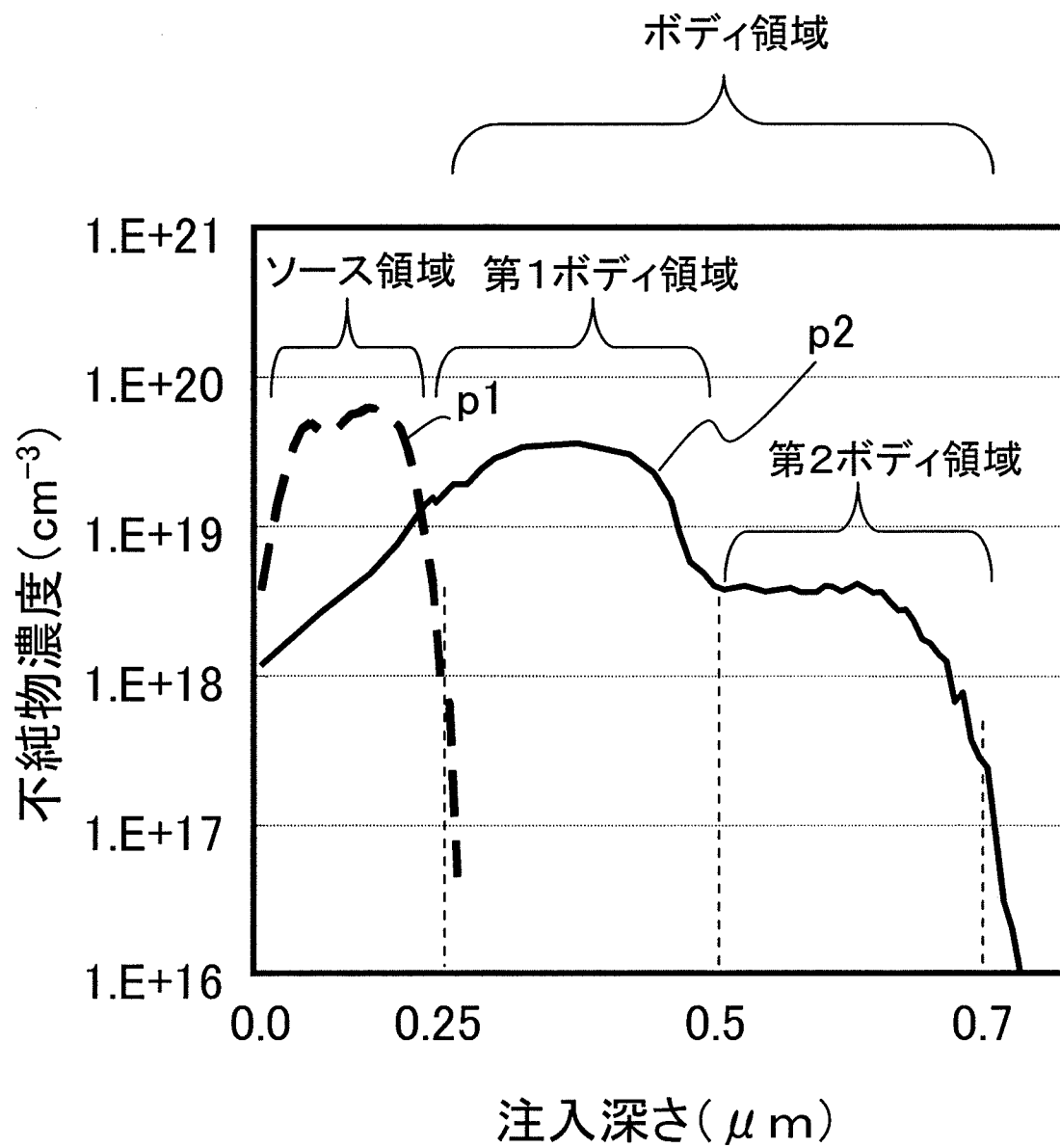
[図30]



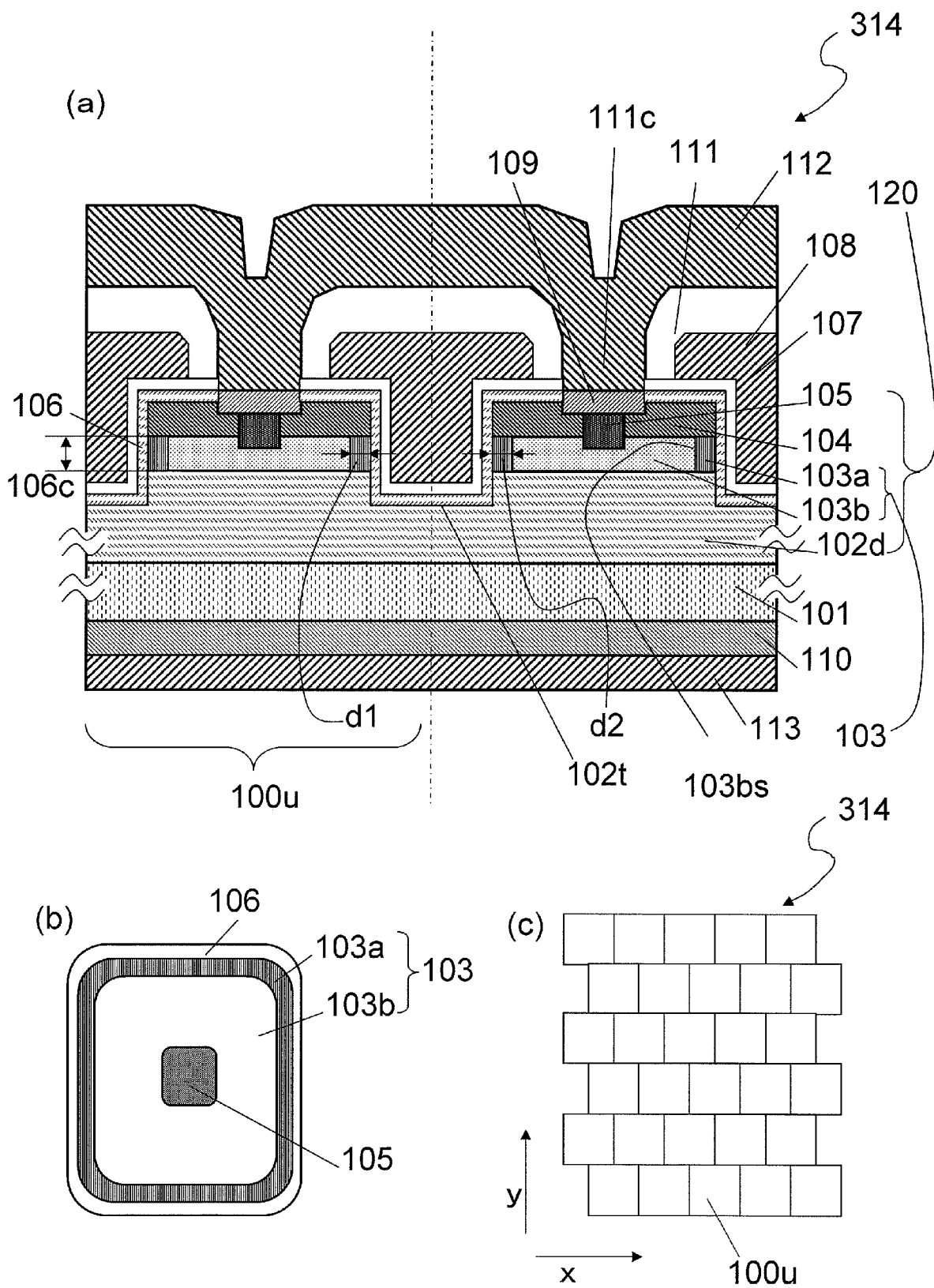
[図32]



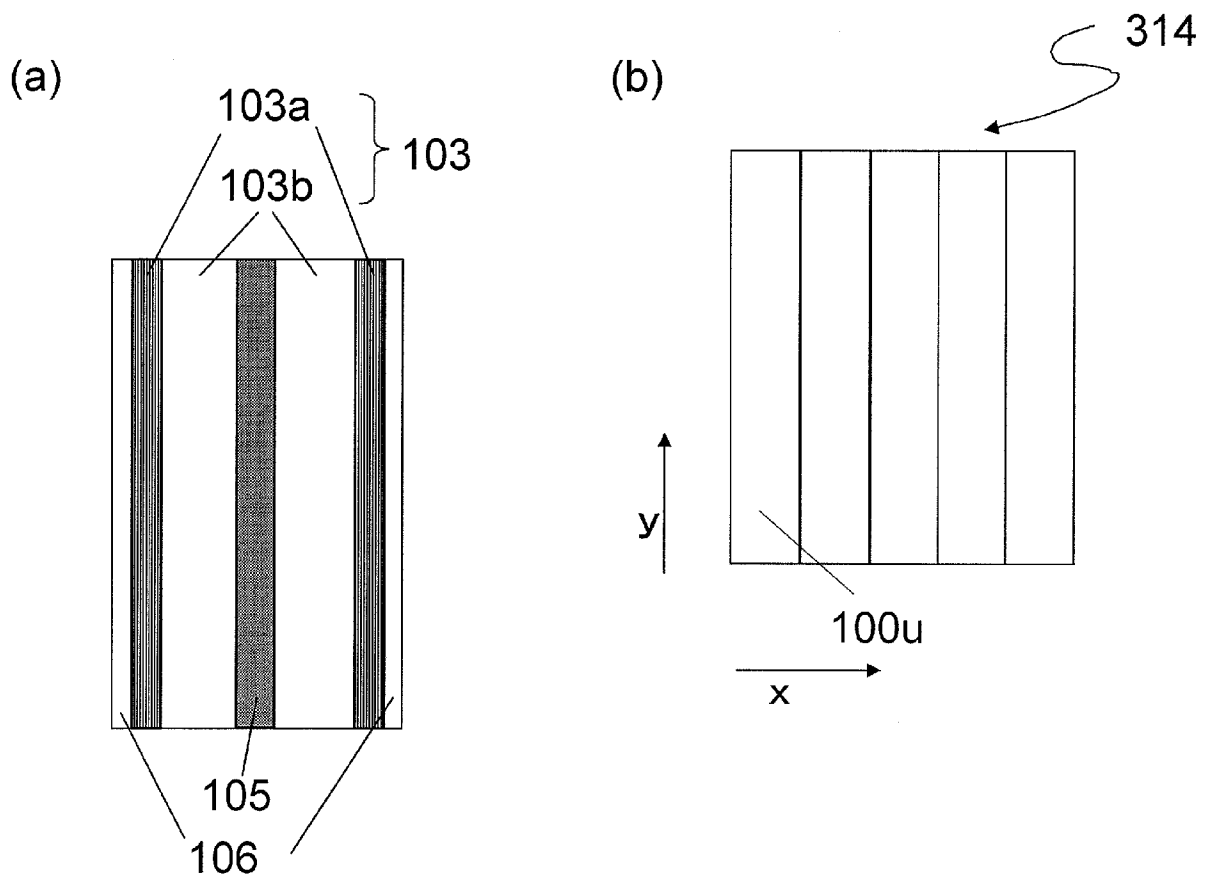
[図33]



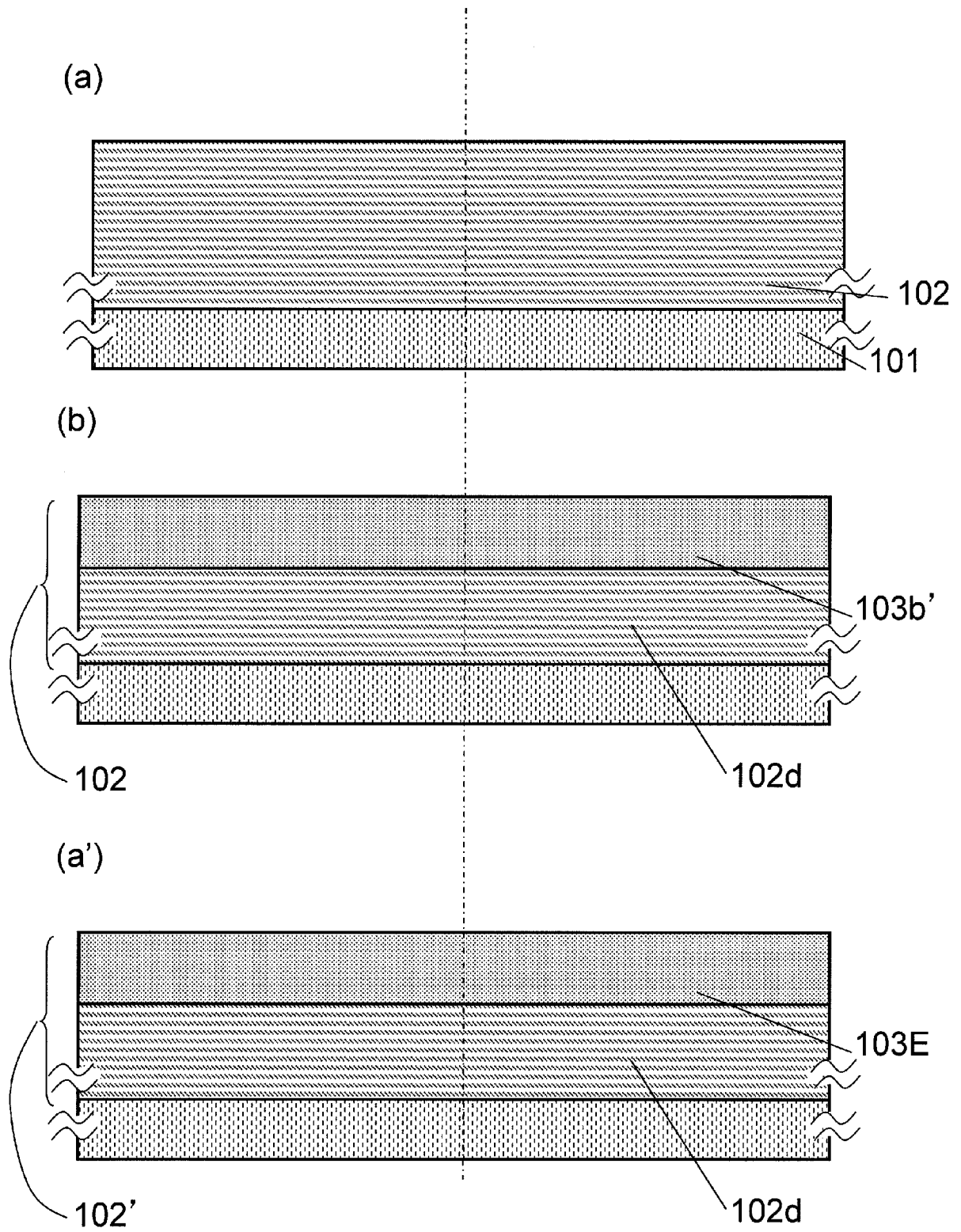
[図34]



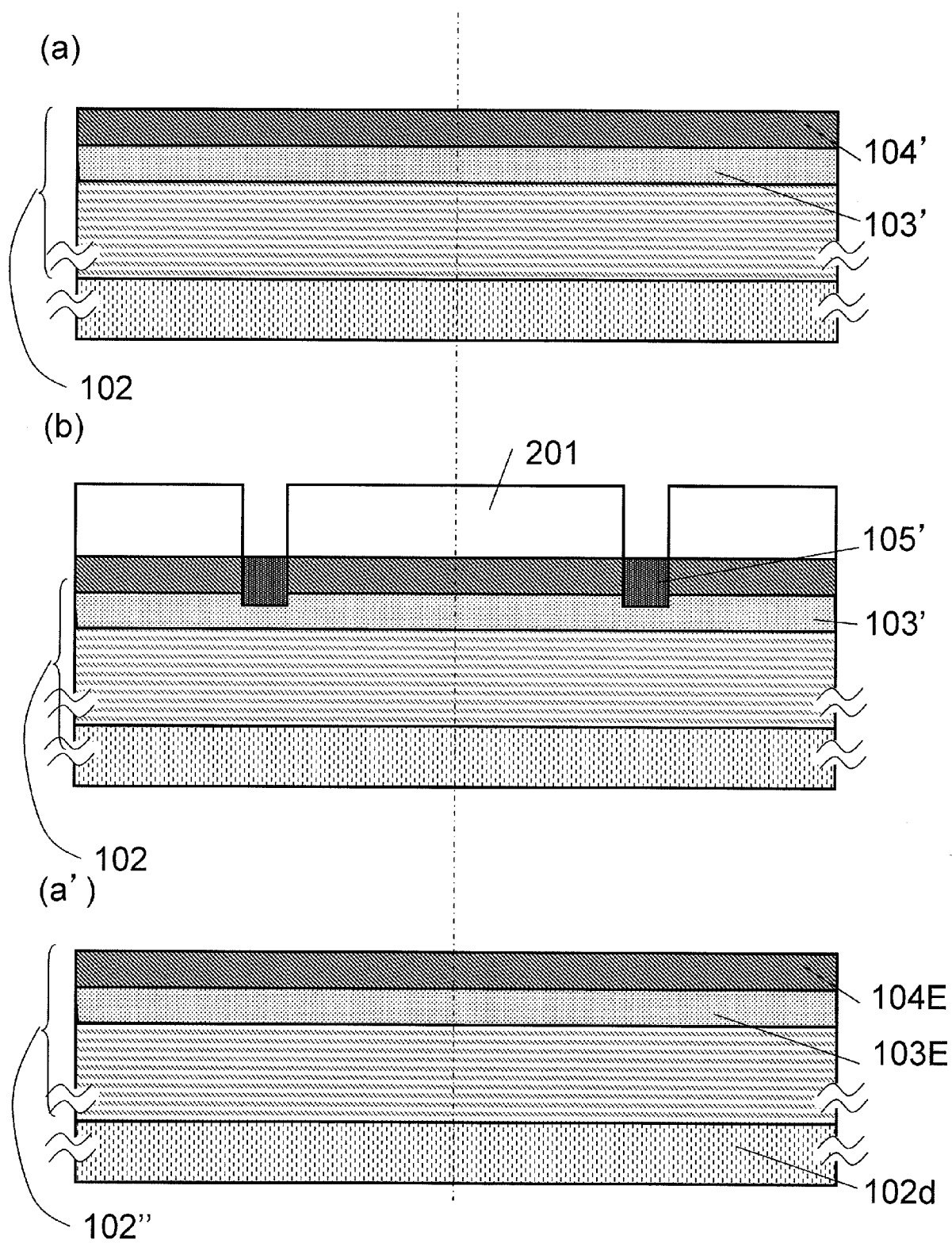
[図35]



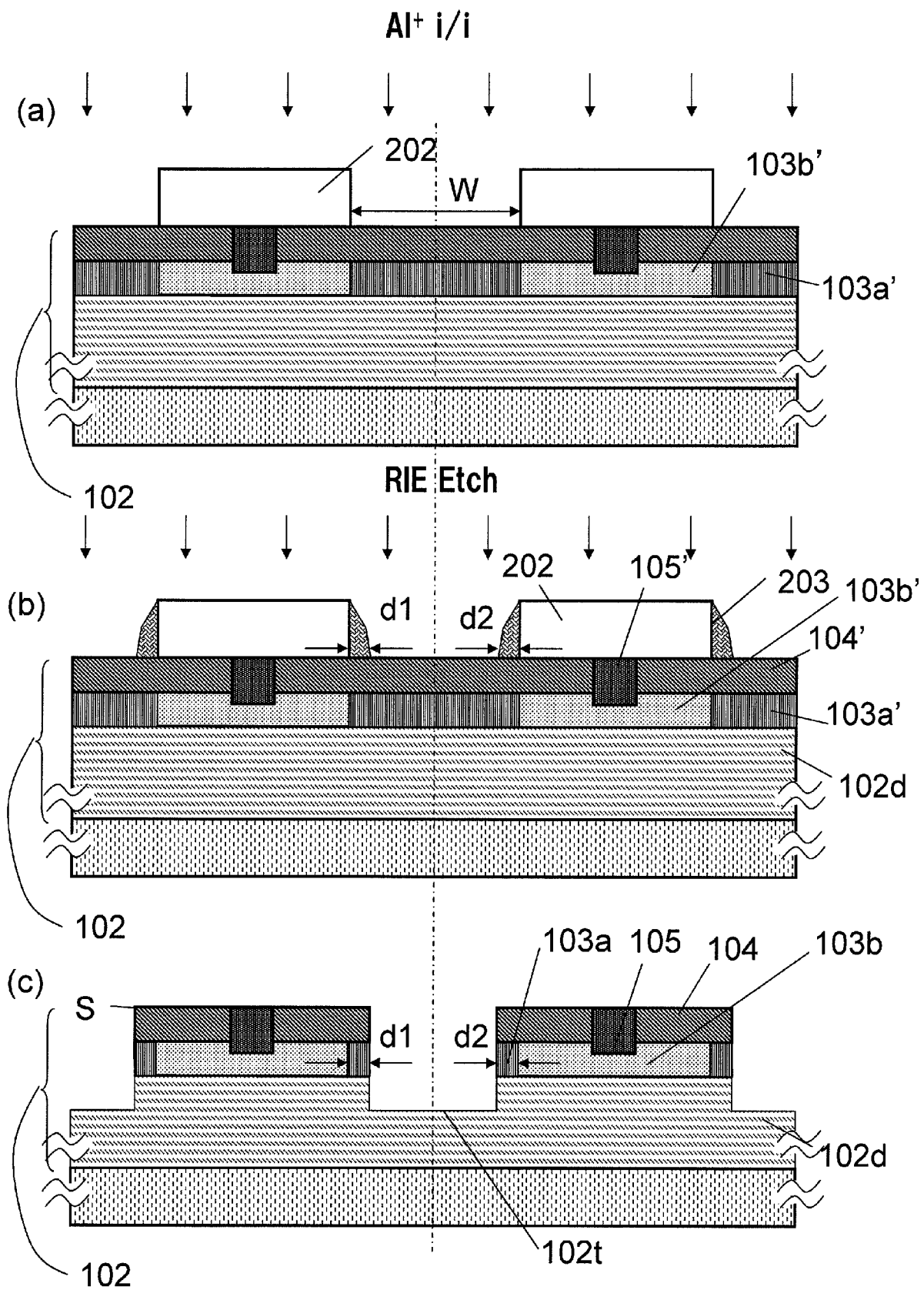
[図36]



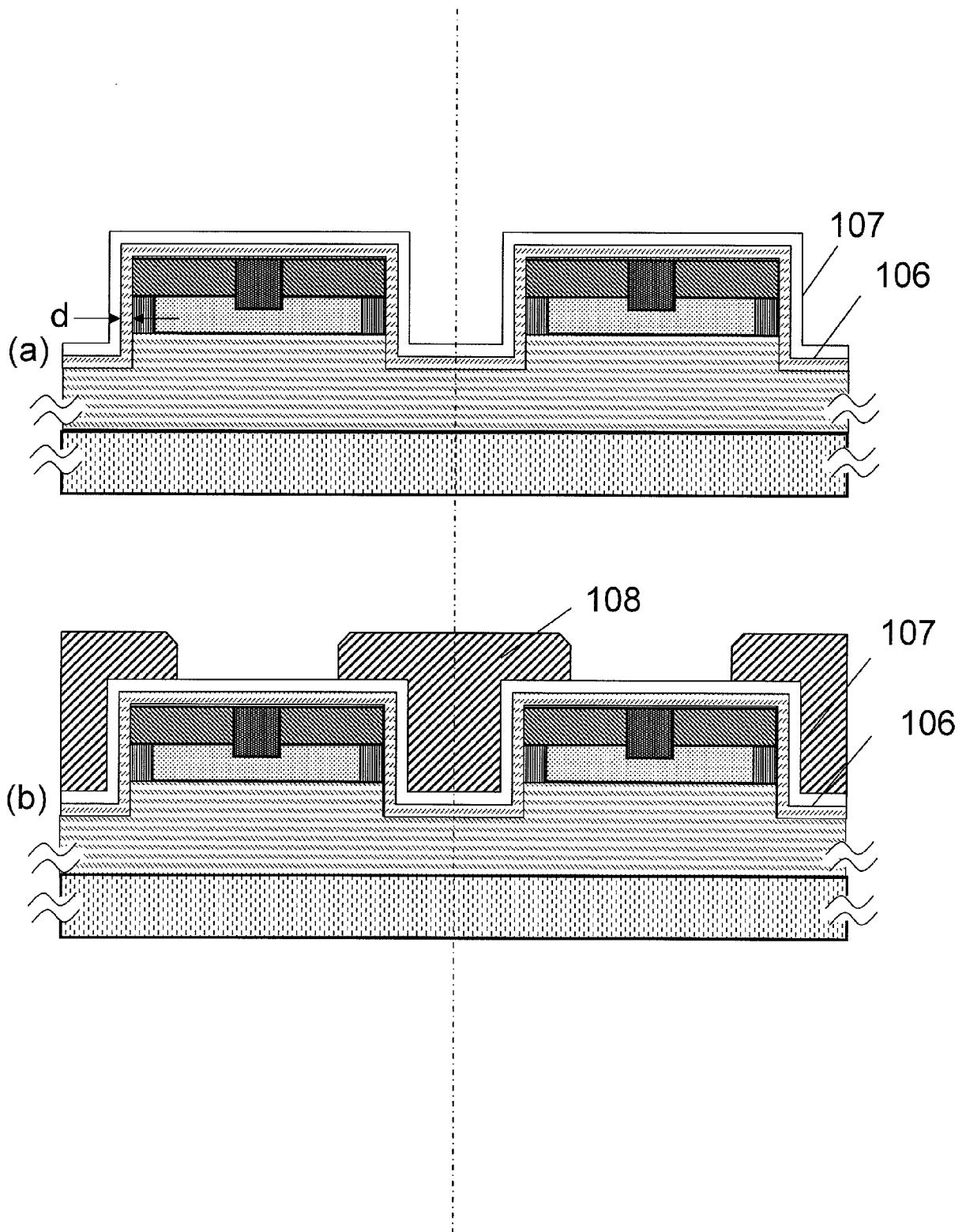
[図37]



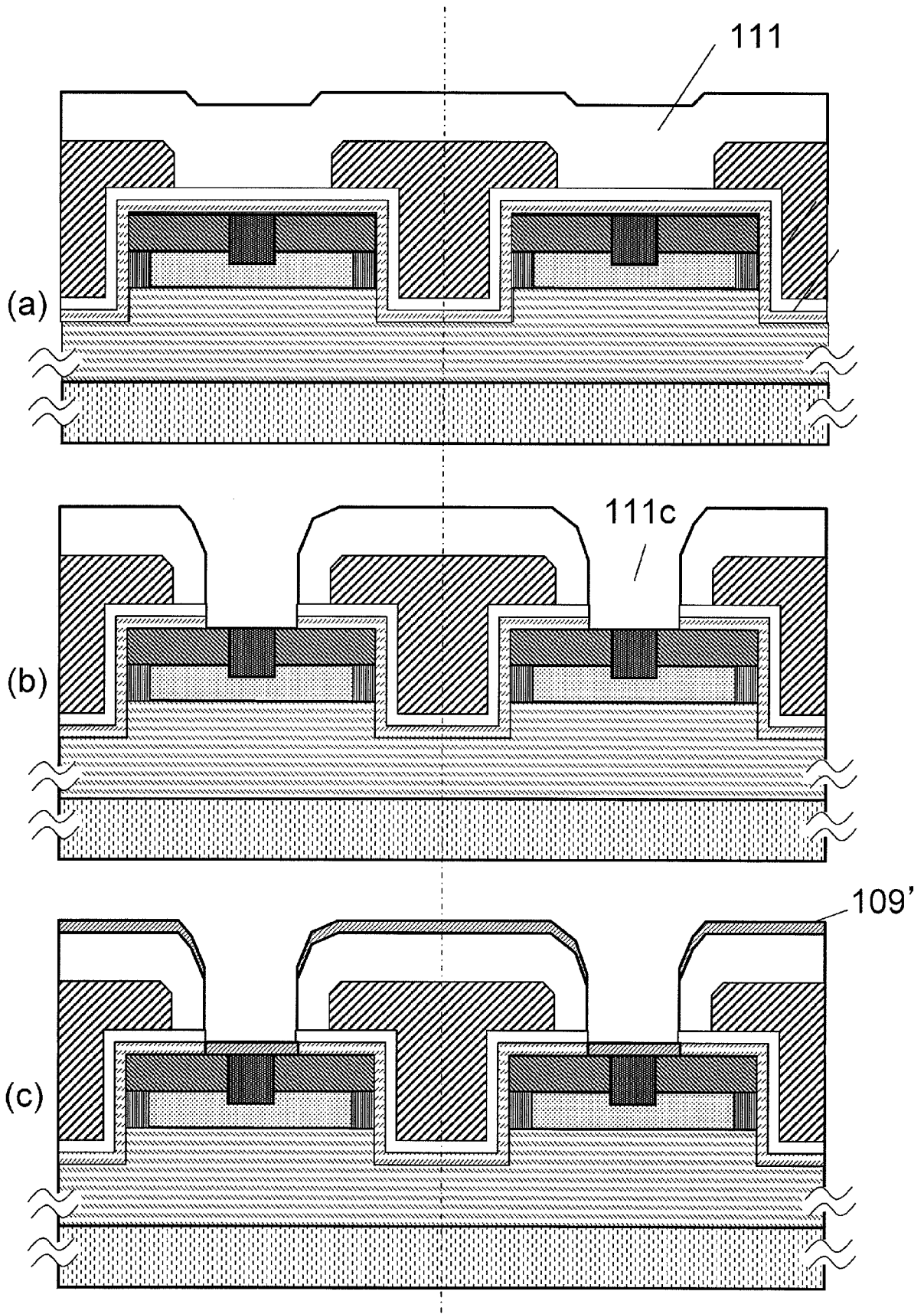
[図38]



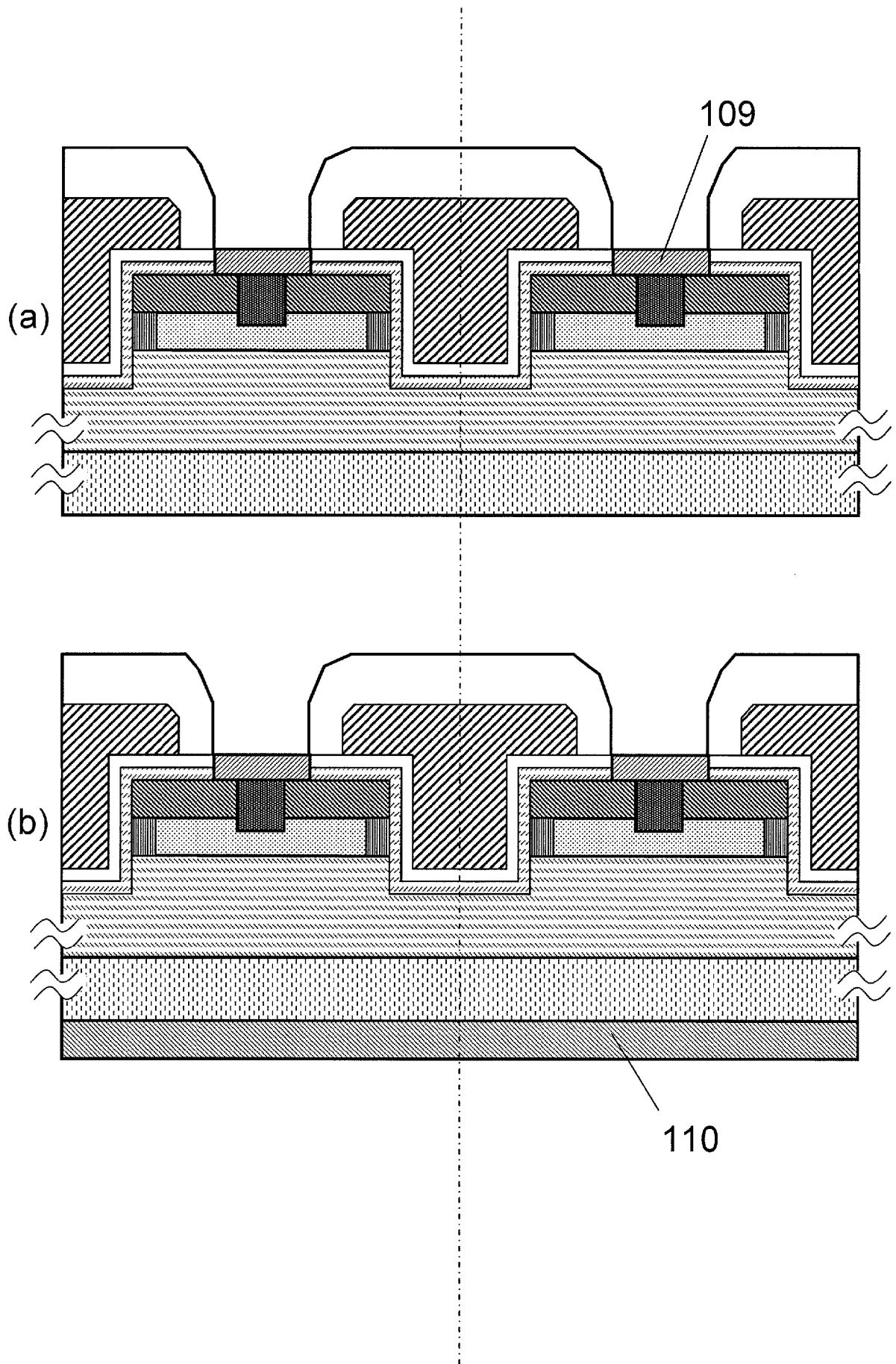
[図39]



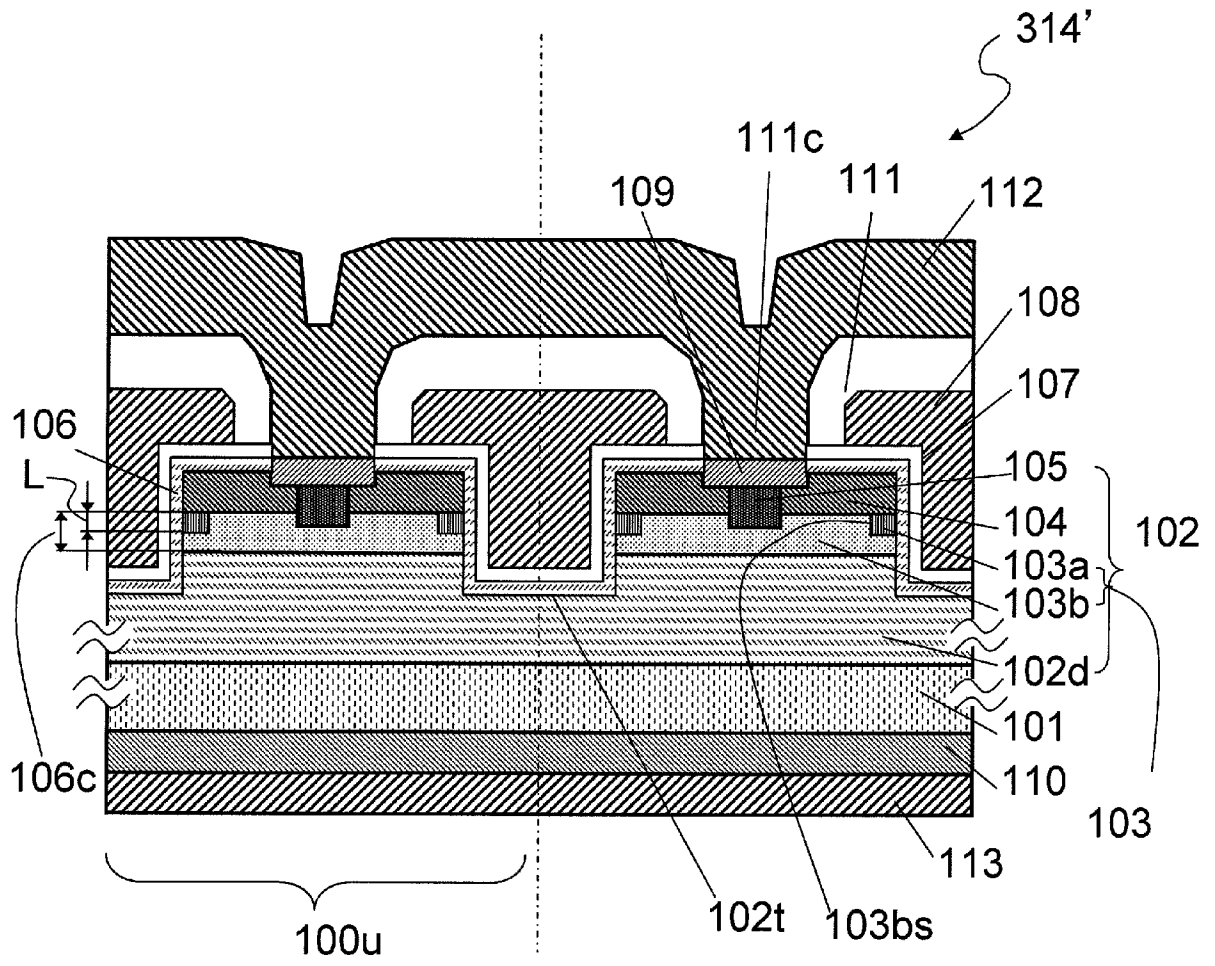
[図40]



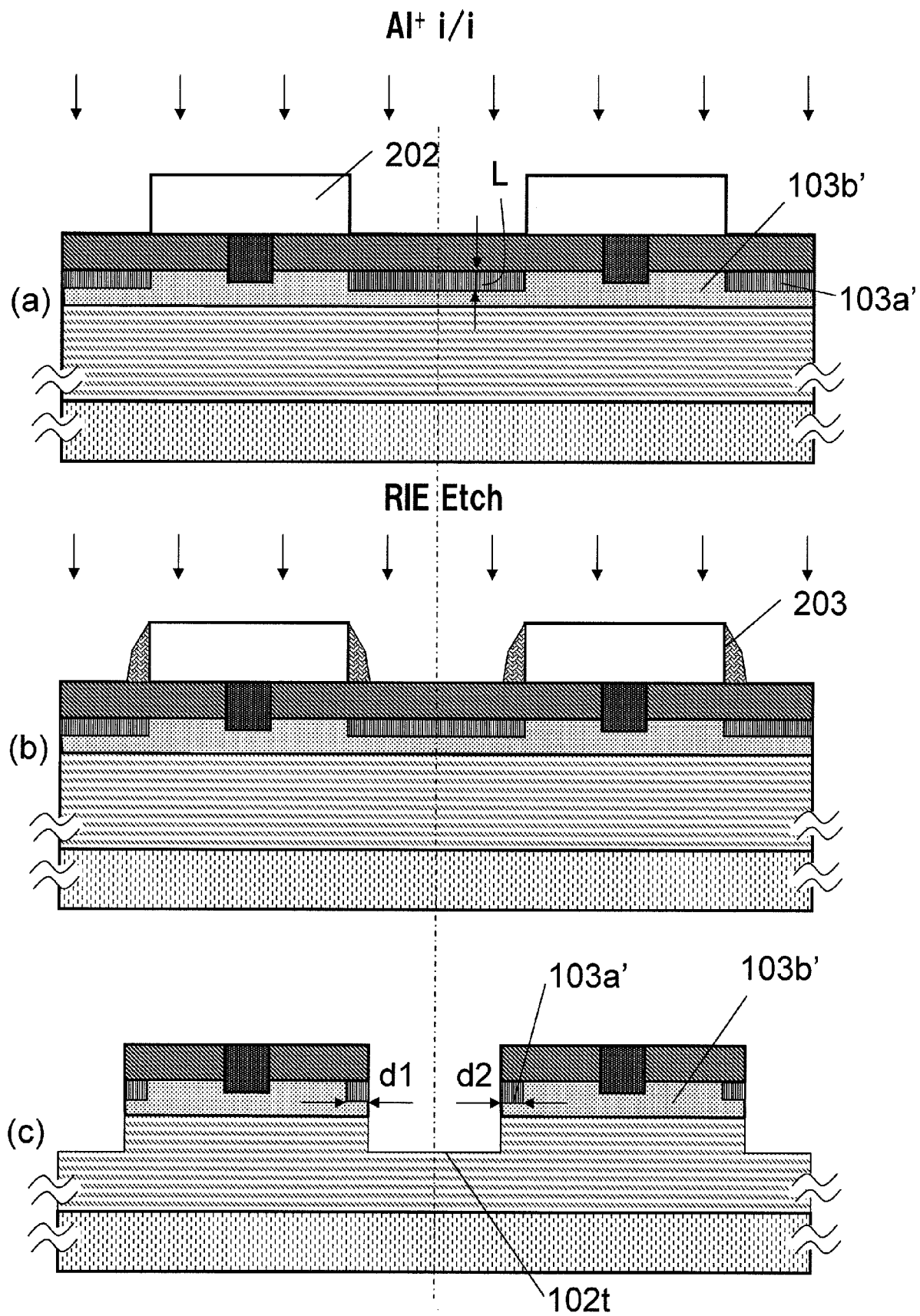
[図41]



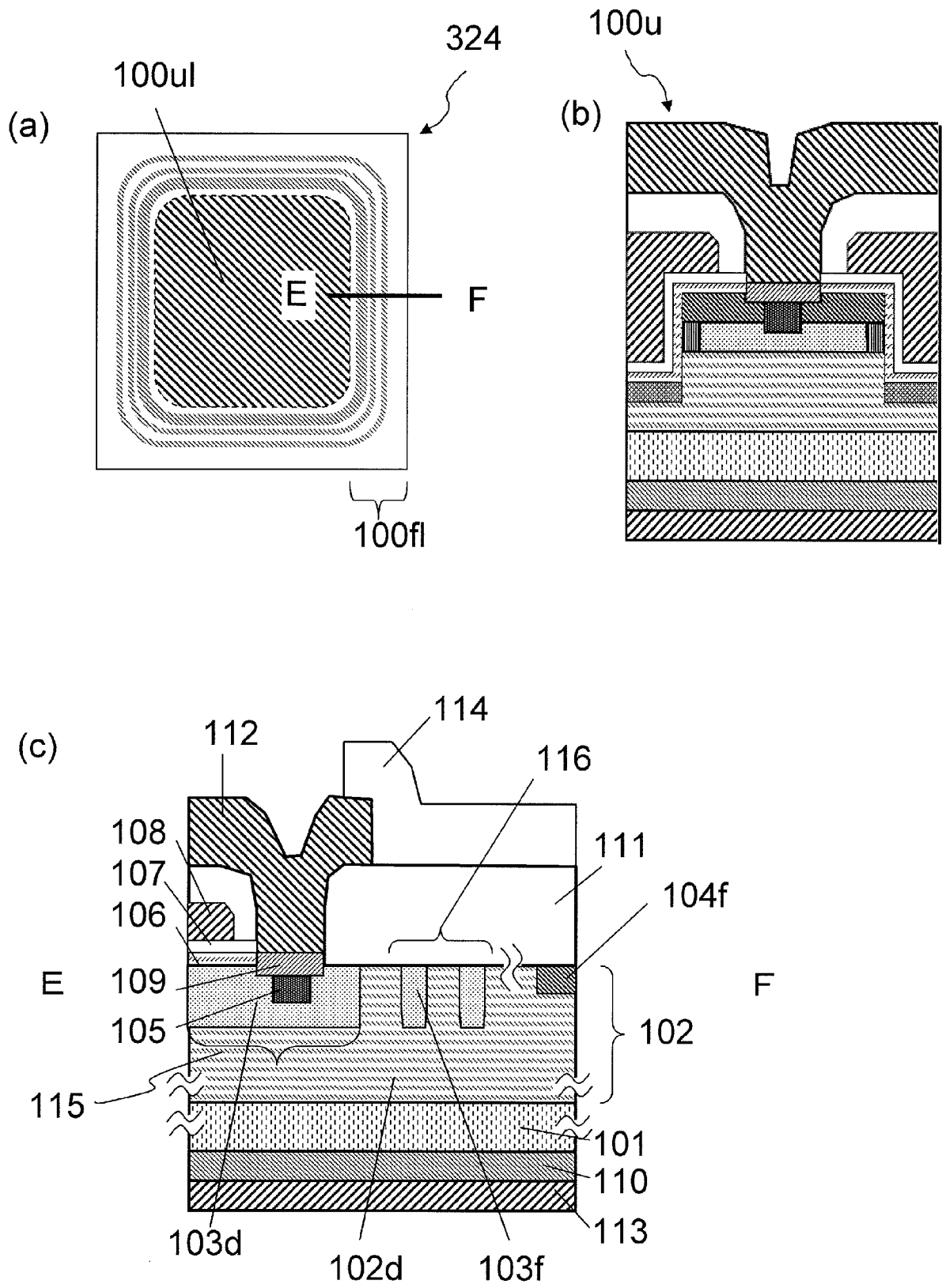
[図42]



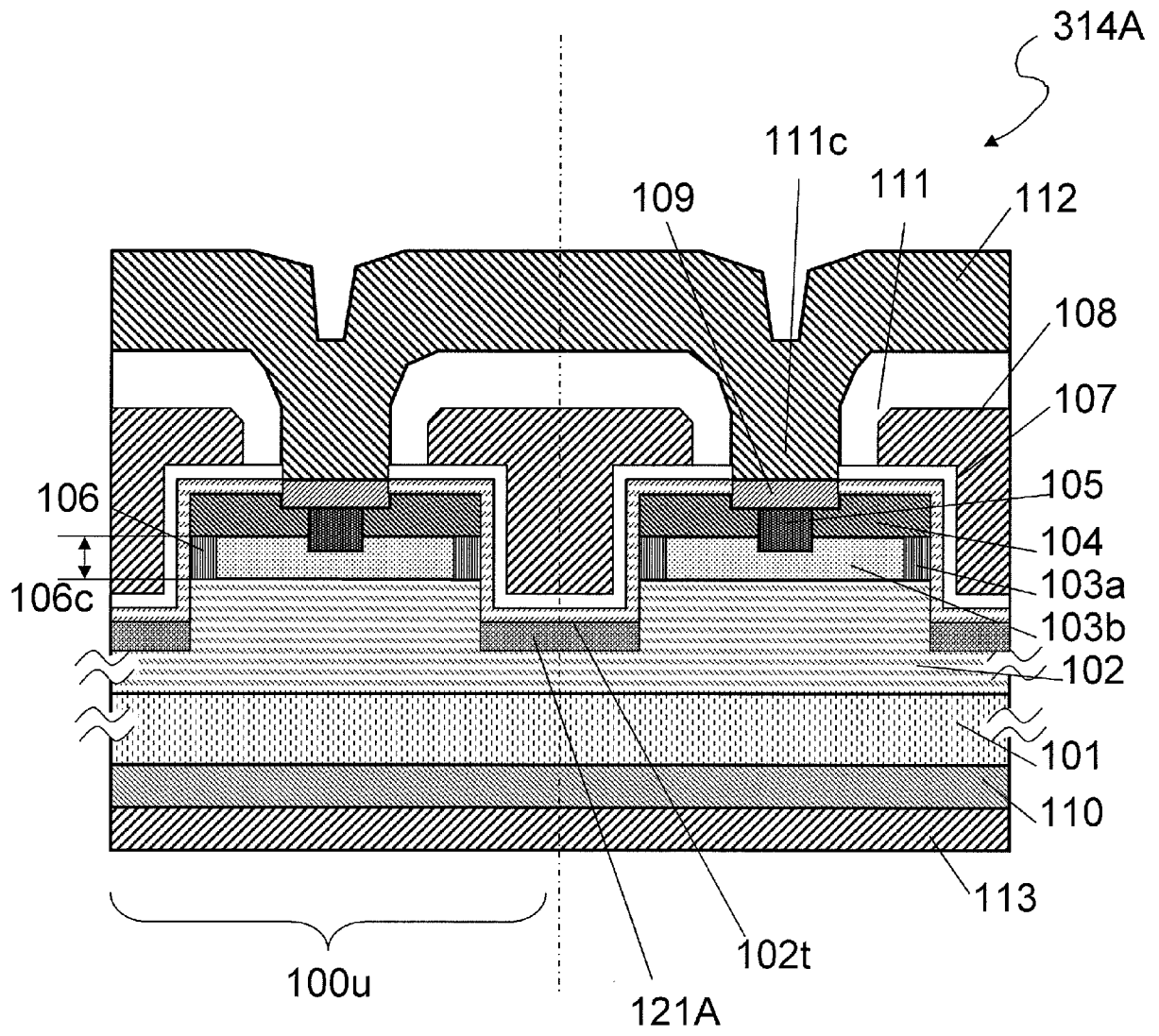
[図43]



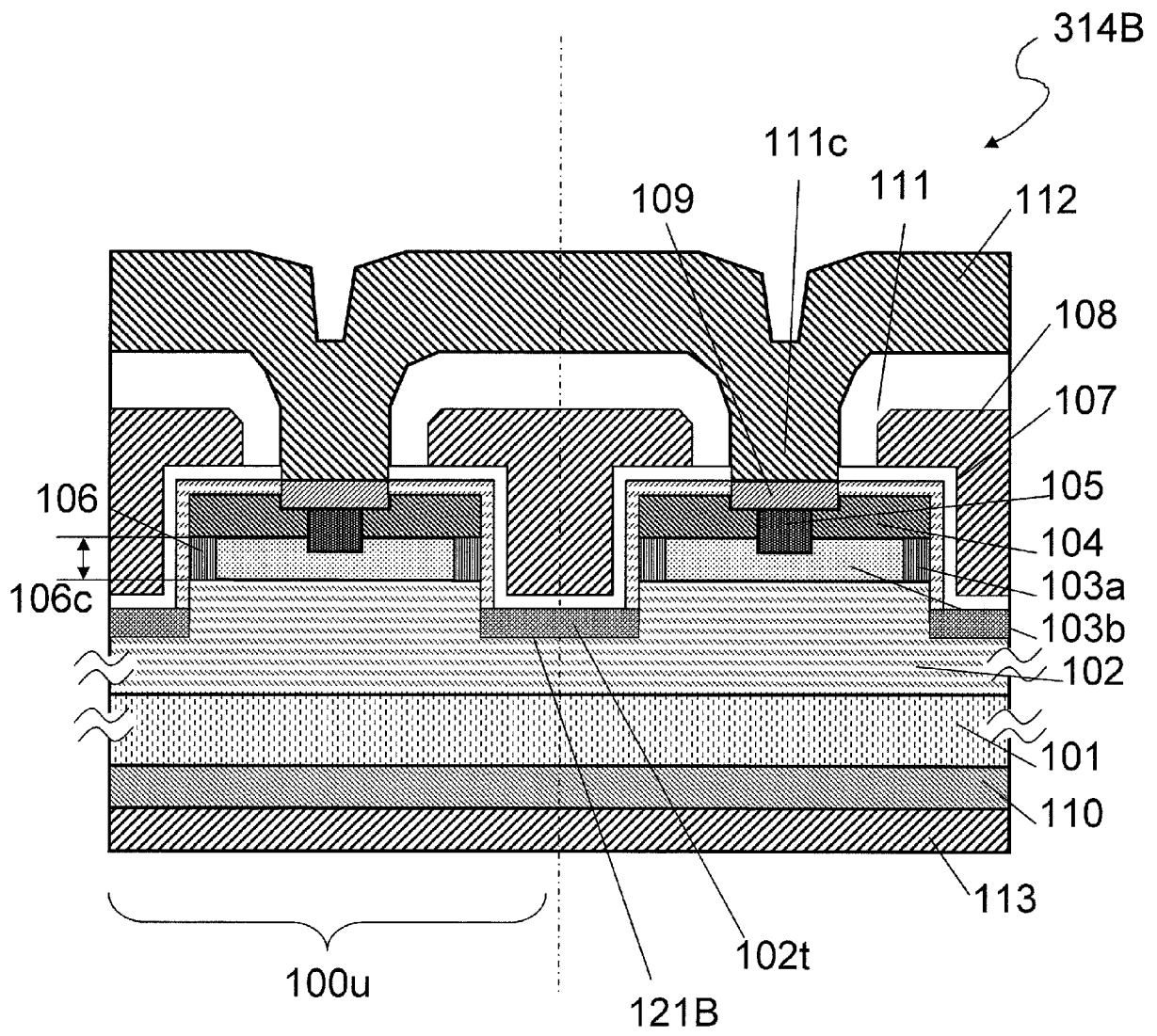
[図44]



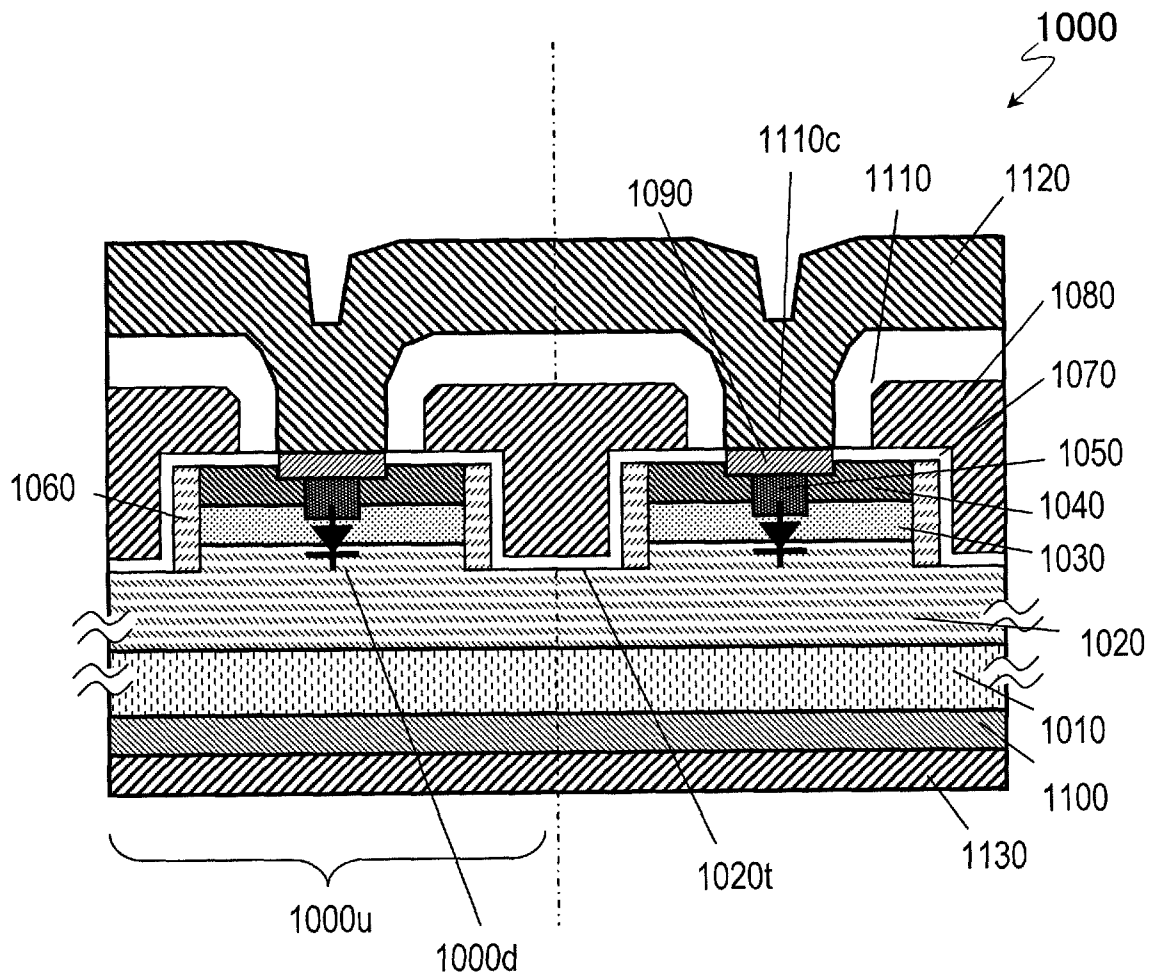
[図45]



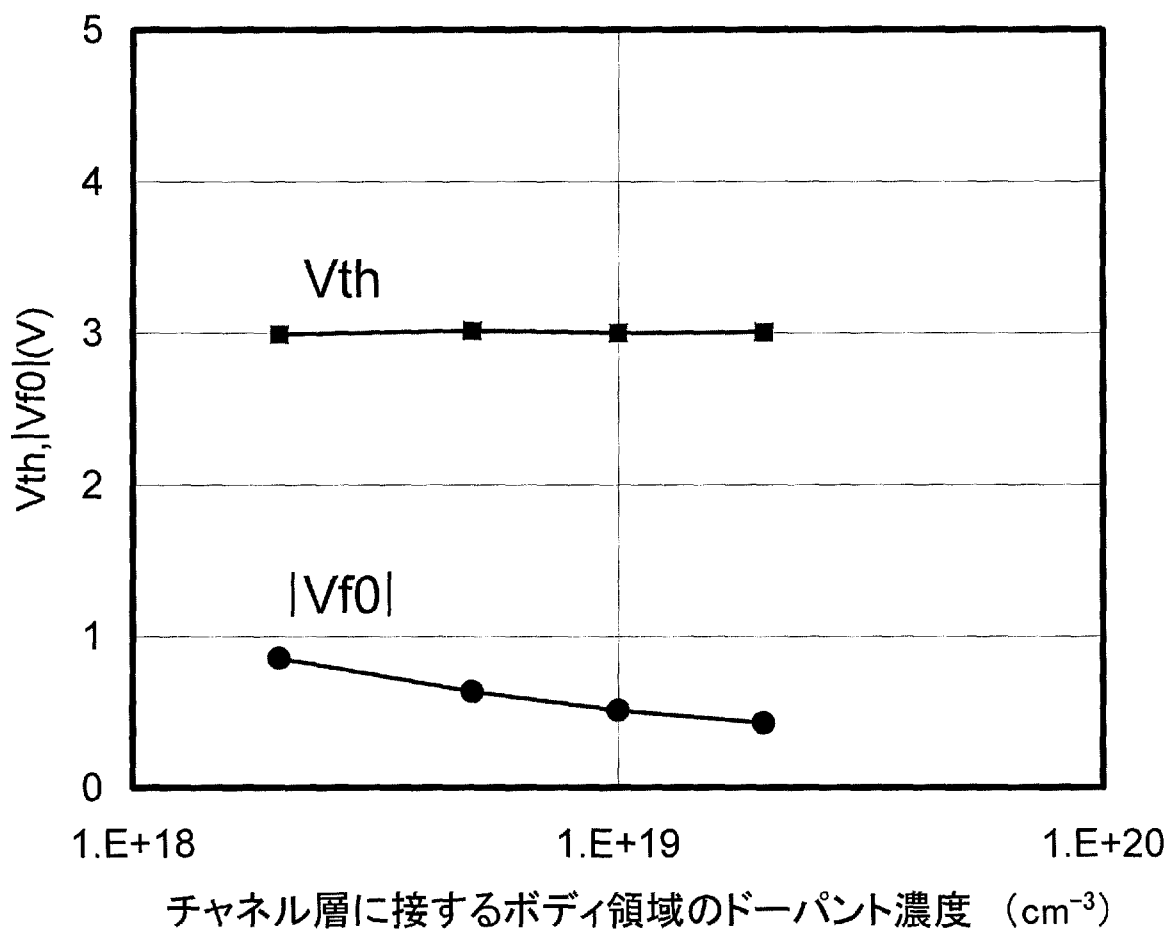
[図46]



[図47]



[図48]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/002783

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L27/04(2006.01)i, H01L29/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/336, H01L27/04, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2010/125819 A1 (Panasonic Corp.), 04 November 2010 (04.11.2010), paragraphs [0095] to [0114], [0163] to [0195]; fig. 27 to 30 (Family: none)	1-22
Y	JP 2001-135817 A (Toyota Motor Corp.), 18 May 2001 (18.05.2001), paragraphs [0016] to [0034]; fig. 5 (Family: none)	1-22
Y	JP 2001-284584 A (Toshiba Corp.), 12 October 2001 (12.10.2001), paragraphs [0009] to [0012]; fig. 1 & US 2001/0025984 A1	1-22

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05 July, 2012 (05.07.12)

Date of mailing of the international search report
17 July, 2012 (17.07.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/002783

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-235546 A (Denso Corp.), 02 October 2008 (02.10.2008), paragraphs [0028] to [0044]; fig. 1 to 2 & US 2008/0230787 A1	13
Y	JP 2009-260064 A (Denso Corp.), 05 November 2009 (05.11.2009), paragraphs [0027] to [0040]; fig. 1 & US 2009/0261350 A1	13
Y	JP 2005-136092 A (Honda Motor Co., Ltd.), 26 May 2005 (26.05.2005), paragraphs [0027] to [0028]; fig. 3 to 4 (Family: none)	15,22
Y	JP 9-266309 A (Toyota Central Research and Development Laboratories, Inc.), 07 October 1997 (07.10.1997), paragraphs [0039] to [0043]; fig. 2 (Family: none)	16-22
A	JP 2007-13058 A (Toshiba Corp.), 18 January 2007 (18.01.2007), paragraphs [0040] to [0050]; fig. 9 to 18 & US 2007/0007537 A1	1-22

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L27/04(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L29/78, H01L21/336, H01L27/04, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2012年
 日本国実用新案登録公報 1996-2012年
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2010/125819 A1 (パナソニック株式会社) 2010.11.04, [0095]-[0114], [0163]-[0195], 図 27-図 30 (ファミリーなし)	1-22
Y	JP 2001-135817 A (トヨタ自動車株式会社) 2001.05.18, [0016]-[0034], 図 5 (ファミリーなし)	1-22

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー</p> <p>「A」特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」口頭による開示、使用、展示等に言及する文献</p> <p>「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献</p> <p>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」同一パテントファミリー文献</p>
---	---

国際調査を完了した日 05.07.2012	国際調査報告の発送日 17.07.2012
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 崎間 伸洋 電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-284584 A (株式会社東芝) 2001. 10. 12, [0009]-[0012], 図 1 & US 2001/0025984 A1	1-22
Y	JP 2008-235546 A (株式会社デンソー) 2008. 10. 02, [0028]-[0044], 図 1-図 2 & US 2008/0230787 A1	13
Y	JP 2009-260064 A (株式会社デンソー) 2009. 11. 05, [0027]-[0040], 図 1 & US 2009/0261350 A1	13
Y	JP 2005-136092 A (本田技研工業株式会社) 2005. 05. 26, [0027]-[0028], 図 3-図 4 (ファミリーなし)	15, 22
Y	JP 9-266309 A (株式会社豊田中央研究所) 1997. 10. 07, [0039]-[0043], 図 2 (ファミリーなし)	16-22
A	JP 2007-13058 A (株式会社東芝) 2007. 01. 18, [0040]-[0050], 図 9-図 18 & US 2007/0007537 A1	1-22