

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-282352

(P2010-282352A)

(43) 公開日 平成22年12月16日(2010.12.16)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 13/362 (2006.01)	G06F 13/362 510E	5B061
G06F 13/28 (2006.01)	G06F 13/28 310B	

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願2009-134126 (P2009-134126)
 (22) 出願日 平成21年6月3日(2009.6.3)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100080816
 弁理士 加藤 朝道
 (72) 発明者 篠原 直子
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 Fターム(参考) 5B061 BA03 BB01 DD00

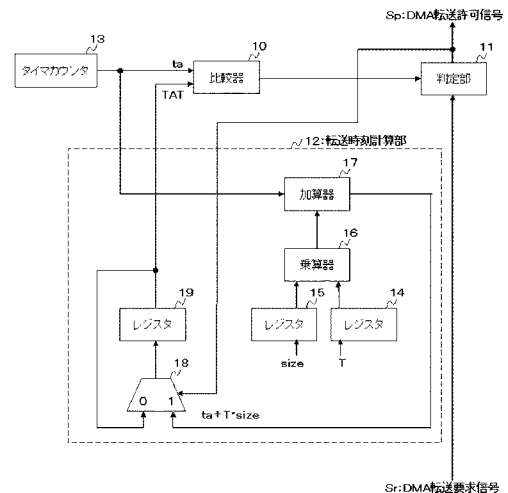
(54) 【発明の名称】 DMA 転送制御装置

(57) 【要約】

【課題】 DMA 転送を動的に制御してデータ転送の効率を高める。

【解決手段】 メモリと複数の入出力デバイスとの組み合わせからなるDMAチャンネル毎にDMA転送を行うDMAアービタと、DMAアービタを制御するDMA制御回路からなるDMA転送制御装置において、判定部11と、DMA転送要求に伴うDMA転送サイズと判定時刻とに基づいて次回のDMA転送予定時刻を算出する転送時刻計算部12と、を備える。単位時間間隔で判定時刻を計時するタイマカウンタ13と、DMA転送要求が到来したときの判定時刻とDMA転送予定時刻とを比較する比較器10と、を備え、判定部11は、判定時刻がDMA転送予定時刻以降であることを比較器10の出力が示す場合にDMAアービタへDMA転送許可として送出する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

メモリと複数の入出力デバイスとの組み合わせからなる D M A チャンネル毎に D M A 転送を行う D M A アービタと、 D M A アービタを制御する D M A 制御回路からなる D M A 転送制御装置であって、

前記入出力デバイスから D M A 転送要求が到来したときの判定時刻が D M A 転送予定時刻以降である場合に前記 D M A アービタへ D M A 転送許可として送出する判定部と、

前記 D M A 転送要求に伴う D M A 転送サイズと前記判定時刻とに基づいて次の前記 D M A 転送予定時刻を算出する転送時刻計算部と、

を備えることを特徴とする D M A 転送制御装置。

10

【請求項 2】

単位時間間隔で前記判定時刻を計時するタイマカウンタと、

前記 D M A 転送要求が到来したときの前記判定時刻と前記 D M A 転送予定時刻とを比較する比較器と、

を備え、

前記判定部は、前記判定時刻が前記 D M A 転送予定時刻以降であることを前記比較器の出力が示す場合に前記 D M A アービタへ D M A 転送許可として送出し、前記判定時刻が前記 D M A 転送予定時刻より早いことを前記比較器の出力が示す場合に前記 D M A アービタへ D M A 不転送許可として送出することを特徴とする請求項 1 記載の D M A 転送制御装置

20

【請求項 3】

前記転送時刻計算部は、

前記 D M A 転送要求に伴う D M A 転送サイズの設定値と前記 D M A 転送サイズあたりの D M A 転送間隔の設定値とを乗算し前記判定時刻を加算する計算部と、

前記計算部の計算結果を次の前記 D M A 転送予定時刻として保持するレジスタと、

を備えることを特徴とする請求項 1 記載の D M A 転送制御装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、 D M A 転送制御装置に関し、特に D M A 転送を動的に制御する D M A 転送制御装置に関する。

30

【背景技術】**【0002】**

コンピュータシステム等において、 C P U に負荷をかけずにデータ転送を行うために、 D M A (ダイレクトメモリアクセス) が一般に用いられる。 D M A によるデータ転送は、 D M A 転送制御装置によって制御され、メモリと入出力デバイスとの間で行われる。入出力デバイスが複数存在し、それぞれの入出力デバイスからのデータ転送要求がある場合、 D M A 転送制御装置も複数設けられる。これらのデータ転送のパスを D M A チャンネルと呼ぶ。

【0003】

40

複数の D M A チャンネルが存在する場合、メモリと複数の入出力デバイスが共通に接続されるシステムバスを利用するために、各データ転送要求間の調停がアービタによって行われる。調停方法としては、回転優先順位法 (ラウンドロビン法) や固定優先順位法が知られている (例えば、特許文献 1 参照)。

【0004】

しかしながら、このような調停方法は、データ転送レートを動的に制御したい場合には向いていない。そこで、 D M A 転送速度を測定し、 D M A 転送速度に基づいて D M A 転送制御を動的に行い、データ転送の効率化を行う方法が知られている (特許文献 2 参照)。

【先行技術文献】**【特許文献】**

50

【 0 0 0 5 】

【 特許文献 1 】 特許第 3 2 0 2 2 7 2 号公報

【 特許文献 2 】 特開 2 0 0 5 4 5 6 3 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

以下の分析は本発明において与えられる。

【 0 0 0 7 】

特許文献 2 で示される従来の D M A 転送制御装置では、D M A 転送データ量を D M A 転送時間で割り算した D M A 転送速度を用い、D M A 転送速度が所定の設定値未満の D M A コントローラの D M A 転送を優先させ、この D M A コントローラ以外の D M A コントローラの D M A 転送を抑制するようにしている。したがって、D M A 転送速度が平均化されて計算されてしまうことになる。すなわち、大量の D M A 転送を行うような場合、転送速度にバラツキがあっても平均化されてしまう。このため、一時的に転送量が集中する場合、動的に D M A 転送を制御することが困難となりデータ転送の効率の低下に繋がってしまう。

10

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明の 1 つのアスペクト (側面) に係る D M A 転送制御装置は、メモリと複数の入出力デバイスとの組み合わせからなる D M A チャンネル毎に D M A 転送を行う D M A アービタと、D M A アービタを制御する D M A 制御回路からなる D M A 転送制御装置であって、入出力デバイスから D M A 転送要求が到来したときの判定時刻が D M A 転送予定時刻以降である場合に D M A アービタへ D M A 転送許可として送出する判定部と、D M A 転送要求に伴う D M A 転送サイズと判定時刻とに基づいて次回の D M A 転送予定時刻を算出する転送時刻計算部と、を備える。

20

【 発明の効果 】

【 0 0 0 9 】

本発明によれば、D M A 転送要求が一時的に集中しても、予め決められた D M A 転送速度を超えないように D M A 転送を動的に制御してデータ転送の効率を高めることができる。

30

【 図面の簡単な説明 】

【 0 0 1 0 】

【 図 1 】 本発明の第 1 の実施例に係るコンピュータシステムの構成を示すブロック図である。

【 図 2 】 本発明の第 1 の実施例に係る D M A 制御回路の構成を示す図である。

【 図 3 】 本発明の第 1 の実施例に係る D M A 転送制御装置の動作を表すフローチャートである。

【 図 4 】 本発明の第 1 の実施例に係る D M A 転送制御装置の動作を表すタイミングチャートである。

【 発明を実施するための形態 】

40

【 0 0 1 1 】

本発明の実施形態に係る D M A 転送制御装置は、メモリ (図 1 の 2 0) と複数の入出力デバイス (図 1 の 3 1 ~ 3 3) との組み合わせからなる D M A チャンネル毎に D M A 転送を行う D M A アービタ (図 1 の 2 3) と、D M A アービタを制御する D M A 制御回路 (図 1 の 2 7 ~ 2 9 に相当) からなる D M A 転送制御装置である。D M A 転送制御装置は、入出力デバイスから D M A 転送要求が到来したときの判定時刻が D M A 転送予定時刻以降である場合に D M A アービタへ D M A 転送許可として送出する判定部 (図 2 の 1 1) と、D M A 転送要求に伴う D M A 転送サイズと判定時刻とに基づいて次回の D M A 転送予定時刻を算出する転送時刻計算部 (図 2 の 1 2) と、を備える。

【 0 0 1 2 】

50

単位時間間隔で判定時刻を計時するタイマカウンタ（図 2 の 13）と、DMA 転送要求が到来したときの判定時刻と DMA 転送予定時刻とを比較する比較器（図 2 の 10）と、を備え、判定部は、判定時刻が DMA 転送予定時刻以降であることを比較器の出力が示す場合に DMA アービタへ DMA 転送許可として送出し、判定時刻が DMA 転送予定時刻より早いことを比較器の出力が示す場合に DMA アービタへ DMA 不転送許可として送出するようにしてもよい。

【0013】

転送時刻計算部は、DMA 転送要求に伴う DMA 転送サイズの設定値と DMA 転送サイズあたりの DMA 転送間隔の設定値とを乗算し判定時刻を加算する計算部（図 2 の 16、17 に相当）と、計算部の計算結果を次の DMA 転送予定時刻として保持するレジスタと（図 2 の 19）、を備えるようにしてもよい。

10

【0014】

このような DMA 転送制御装置によれば、ピークの DMA 転送速度に応じた DMA 転送予定時刻を超えるまでは、DMA 転送要求があっても DMA 転送を待機させる。したがって、DMA チャンネル毎にピークの DMA 転送速度を超えないように、動的に DMA 転送を制御することで、複数の DMA チャンネル全体のデータ転送の効率を高めることができる。

【0015】

以下、実施例に即し、図面を参照して詳しく説明する。

【実施例 1】

【0016】

図 1 は、本発明の第 1 の実施例に係るコンピュータシステムの構成を示すブロック図である。図 1 において、コンピュータシステムは、メモリ 20、メモリ制御回路 21、CPU 22、DMA アービタ 23、入出力デバイス 31～33、DMA 制御回路 27～29 を備える。メモリ 20、メモリ制御回路 21、CPU 22、DMA アービタ 23 は、アドレスバス、データバス、および制御線で構成されるシステムバス 30 でお互いに接続されている。ここでは、DMA チャンネルが 3 チャンネルである例を示している。

20

【0017】

DMA 制御回路 27～29 は、入出力デバイス 31～33 からそれぞれ DMA 転送要求信号 S_r を受け取り、入出力デバイス 31～33 へそれぞれ DMA 転送応答として DMA 転送許可信号 S_p を返すと共に、DMA アービタ 23 へ DMA 転送判定結果として DMA 転送許可信号 S_p を出力する。

30

【0018】

DMA アービタ 23 は、DMA 制御回路 27～29 から受けた DMA 転送判定結果から、複数の DMA 転送許可があれば、そこから 1 つを選び、選んだ DMA チャンネルに対応する入出力デバイスとメモリ間の DMA 転送を行う。

【0019】

図 2 は、本発明の第 1 の実施例に係る DMA 制御回路の構成を示す図である。DMA 転送制御回路 27～29 は、比較器 10、判定部 11、DMA 転送予定時刻 T_{AT} を算出する転送時刻計算部 12、判定時刻 t_a を計時するタイマカウンタ 13 を備える。比較器 10 は、DMA 転送要求信号 S_r が入力されたときの判定時刻 t_a と DMA 転送予定時刻 T_{AT} を比較する。判定部 11 は、比較器 10 の比較結果に応じて DMA アービタ 23 と入出力デバイス 31～33 のいずれか（DMA 転送要求信号 S_r の発行元）とに DMA 転送許可信号 S_p を送出する。転送時刻計算部 12 は、次の DMA 転送予定時刻 T_{AT} を算出し保存する。タイマカウンタ 13 は、単位時間間隔で判定時刻 t_a を計時する。

40

【0020】

転送時刻計算部 12 は、レジスタ 14、15、19、乗算器 16、加算器 17、セレクタ 18 を備える。レジスタ 14 は、単位 DMA 転送サイズあたりの DMA 転送間隔、すなわちピークとなる DMA 転送速度の逆数の設定値 T を保存する。レジスタ 15 は、DMA 転送サイズの設定値 $size$ を保存する。乗算器 16 は、レジスタ 14、15 から取り出した値を乗じてピーク DMA 転送間隔 ($T \cdot size$) を算出する。加算器 17 は、タイ

50

マカウンタ 13 からの判定時刻 t_a を乗算器 16 の出力に加算して次の DMA 転送予定時刻 ($TAT = t_a + T \cdot size$) を算出する。セレクタ 18 は、判定部 11 が DMA 転送許可を出力する場合には加算器 17 から出力された次の DMA 転送予定時刻 TAT を選択し、判定部 11 が DMA 転送許可を出力しない場合にはレジスタ 19 に保持されている元の DMA 転送予定時刻 TAT を選択してレジスタ 19 に出力する。レジスタ 19 は、セレクタ 18 の結果を保存する。

【0021】

転送時刻計算部 12 において、DMA 転送サイズ ($size$) は、CPU 22 等によって DMA 転送毎に設定を更新される。また、DMA 転送間隔 (T) は、DMA チャンネル毎に固定値であってもよく、各 DMA チャンネルの DMA 転送速度比を変更したい場合には、CPU 22 等によって動的に変更してもよい。

10

【0022】

次に、DMA 転送制御装置の動作について説明する。図 3 は、本発明の第 1 の実施例に係る DMA 転送制御装置の動作を表すフローチャートである。図 2 で示す DMA 制御回路 27 ~ 29 内のピーク DMA 転送速度をもとに DMA 転送許可を行う回路の動作を説明する。

【0023】

DMA 転送要求を受け取ると (ステップ S11 の YES)、レジスタ 19、14、15 からそれぞれ読み出した、DMA 転送予定時刻 TAT 、単位あたりの DMA 転送サイズ T 、DMA 転送サイズ $size$ と、タイマカウンタ 13 から読み出した判定時刻 t_a とを用い、下記の判定を行う。

20

【0024】

もし、 $TAT < t_a$ であれば (ステップ S12 の YES)、ピーク DMA 転送速度を超過していないと判断し、DMA 転送を許可 (OK) する (ステップ S15)。そして、次の DMA 転送予定時刻 TAT として、 $TAT = t_a + T \cdot size$ を設定する (ステップ S16)。

【0025】

もし、 $TAT > t_a$ であれば (ステップ S12 の NO)、ピーク DMA 転送速度を超過していると判断し、DMA 転送を許可しない ($wait$) (ステップ S13)。このとき、DMA 転送予定時刻 TAT は更新しない。

30

【0026】

なお、DMA 転送要求を受け取らない場合 (ステップ S11 の NO) も、DMA 転送を許可せず (ステップ S14)、DMA 転送予定時刻 TAT を更新しない。

【0027】

いずれの場合にも、判定時刻 t_a は、 $t_a = t_a + 1$ となるように、タイマカウンタ 13 を更新する (ステップ S17)。

【0028】

DMA 転送制御装置は、上記で決定される、DMA 転送許可する (OK) / 許可しない ($wait$ または DMA 転送要求なし) を、DMA アービタ 23 へ送出し、DMA 転送を動的に制御する。

40

【0029】

図 4 は、本発明の第 1 の実施例に係る DMA 転送制御装置の動作を表すタイミングチャートである。

【0030】

始めに DMA 転送要求信号 $Sr(a)$ を受け取ったとき、 $TAT = 0$ 、 $t_a = 0$ 、 $T = 2$ 、 $size = 1$ とする。ここでは、 $TAT(0) < t_a(0)$ が成立するので、DMA 転送許可 (OK) であり、次の DMA 転送予定時刻 $TAT = 0 + 2 \times 1 = 2$ となる。

【0031】

DMA 転送要求信号 $Sr(b)$ を受け取ったとき、 $TAT = 2$ 、 $t_a = 4$ 、 $T = 2$ 、 $size = 2$ である。 $TAT(2) < t_a(4)$ が成立するので、DMA 転送許可 (OK)

50

であり、次のDMA転送予定時刻 $TAT = 4 + 2 \times 2 = 8$ となる。

【0032】

DMA転送要求信号 $Sr(c)$ を受け取ったとき、 $TAT = 8$ 、 $ta = 7$ 、 $T = 2$ 、 $size = 2$ である。 $TAT(8) > ta(7)$ であるので、DMA転送を待機 ($wait$) する。ここではDMA転送予定時刻を更新しない。

【0033】

次の時刻で、DMA転送要求信号 $Sr(c)$ に対し再度同様のチェックを行う。このときには、 $TAT = 8$ 、 $ta = 8$ 、 $T = 2$ 、 $size = 2$ である。 $TAT(8) = ta(8)$ が成立するので、DMA転送許可 (OK) であり、次のDMA転送予定時刻 $TAT = 8 + 2 \times 2 = 12$ となる。

10

【0034】

以上のように動作するDMA転送制御装置によれば、ピークDMA転送速度に応じたDMA転送予定時刻を越えるまでは、DMA転送要求があってもDMA転送を待機 ($wait$) させる。この結果、DMA転送要求が一時的に集中したとしても、予め決められたDMA転送速度を超えないようにDMA転送を動的に制御することができる。

【0035】

なお、前述の特許文献等の各開示を、本書に引用をもって繰り込むものとする。本発明の全開示 (請求の範囲を含む) の枠内において、さらにその基本的技術思想に基づいて、実施形態ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

20

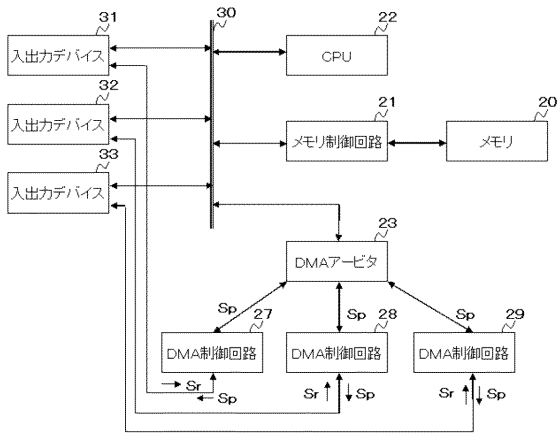
【符号の説明】

【0036】

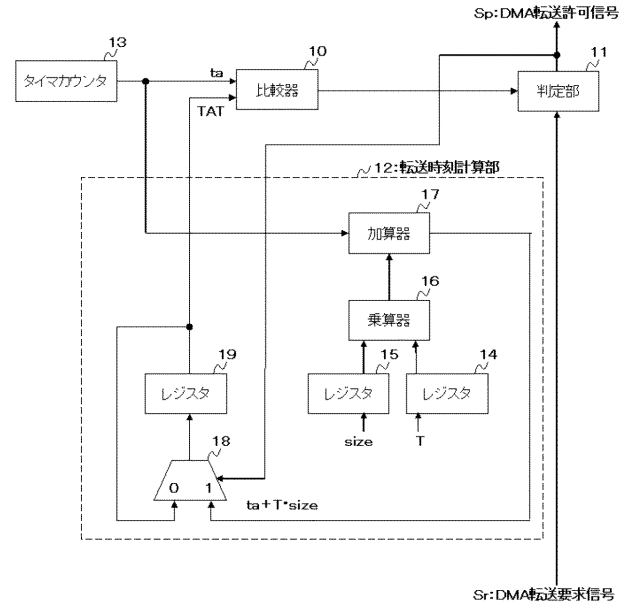
- 10 比較器
- 11 判定部
- 12 転送時刻計算部
- 13 タイマカウンタ
- 14、15、19 レジスタ
- 16 乗算器
- 17 加算器
- 18 セレクタ
- 20 メモリ
- 21 メモリ制御回路
- 22 CPU
- 23 DMAアービタ
- 27 ~ 29 DMA制御回路
- 30 システムバス
- 31 ~ 33 入出力デバイス

30

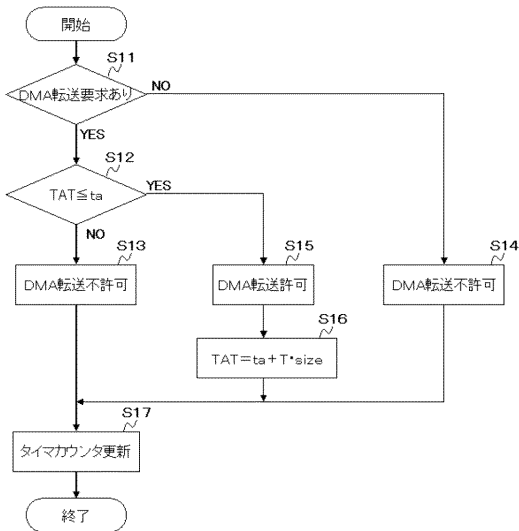
【図1】



【図2】



【図3】



【図4】

