



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. (45) 공고일자 2007년07월02일
H01L 21/66 (2006.01) (11) 등록번호 10-0733815
 (24) 등록일자 2007년06월25일

(21) 출원번호 10-2006-0069707 (65) 공개번호
 (22) 출원일자 2006년07월25일 (43) 공개일자
 심사청구일자 2006년07월25일

(73) 특허권자 주식회사 유니테스트
 경기도 용인시 기흥구 고매동 352-9

(72) 발명자 박범진
 서울 강서구 방화동 492-4 삼성빌라 403호
 김중복
 경기 고양시 일산구 주엽동 강선마을두산아파트 1406-102
 김봉환
 서울 성동구 행당동 347번지 행당대림아파트 105-805
 이치우
 인천 남동구 간석1동547-14 35/2

(74) 대리인 특허법인지명

(56) 선행기술조사문헌 JP06102006 A KR1020040105035 A
 KR1020060058153 A

심사관 : 김동국

전체 청구항 수 : 총 12 항

(54) 프로브 구조물 제조 방법

(57) 요약

본 발명은 2개의 반도체 기판을 접합하여 프로브 구조물을 제조함으로써 한번의 도금 공정만으로 일체형의 프로브 구조물을 형성할 수 있는 프로브 구조물 제조 방법에 관한 것이다. 본 발명에 따른 프로브 구조물 제조 방법은 (a) 제1 반도체 기판의 제1 면을 선택적으로 식각하여 프로브 빔 영역을 형성하는 단계; (b) 상기 프로브 빔 영역에 대응되는 상기 제1 반도체 기판의 제2 면을 선택적으로 식각하여 상기 제1 반도체 기판을 관통하는 프로브 팁 영역을 형성하는 단계; (c) 상기 제1 반도체 기판의 제2 면과 제2 반도체 기판을 접합하는 단계; (d) 상기 프로브 팁 영역에 의해 노출된 제2 반도체 기판을 식각하는 단계; 및 (e) 상기 프로브 빔 영역, 상기 프로브 팁 영역 및 상기 제2 반도체 기판의 식각된 부분을 매립하는 도전층 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

대표도

도 1q

특허청구의 범위

청구항 1.

- (a) 제1 반도체 기판의 제1 면을 선택적으로 식각하여 프로브 빔 영역을 형성하는 단계;
 - (b) 상기 프로브 빔 영역에 대응되는 상기 제1 반도체 기판의 제2 면을 선택적으로 식각하여 상기 제1 반도체 기판을 관통하는 프로브 팁 영역을 형성하는 단계;
 - (c) 상기 제1 반도체 기판의 제2 면과 제2 반도체 기판을 접합하는 단계;
 - (d) 상기 프로브 팁 영역에 의해 노출된 제2 반도체 기판을 식각하는 단계; 및
 - (e) 상기 프로브 빔 영역, 상기 프로브 팁 영역 및 상기 제2 반도체 기판의 식각된 부분을 매립하는 도전층 패턴을 형성하는 단계
- 를 포함하는 것을 특징으로 하는 프로브 구조물 제조 방법.

청구항 2.

제1항에 있어서,

상기 (a) 단계는

- (a-1) 상기 제1 반도체 기판의 제1 면 상부에 제1 산화막을 형성하는 단계;
- (a-2) 상기 제1 산화막 상부에 상기 프로브 빔 영역을 정의하는 제1 감광막 패턴을 형성하는 단계;
- (a-3) 상기 제1 감광막을 식각 마스크로 상기 제1 산화막을 식각하여 제1 산화막 패턴을 형성하는 단계;
- (a-4) 상기 제1 감광막 패턴을 제거하는 단계;
- (a-5) 상기 제1 산화막 패턴을 식각 마스크로 상기 제1 기판의 제1 면을 소정 깊이 식각하는 단계; 및
- (a-6) 상기 제1 산화막 패턴을 제거하는 단계

를 포함하는 것을 특징으로 하는 프로브 구조물 제조 방법.

청구항 3.

제1항에 있어서,

상기 (a) 단계를 수행한 후에 상기 프로브 빔 영역을 포함하는 상기 제1 반도체 기판의 제1 면에 금속층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 프로브 구조물 제조 방법.

청구항 4.

제3항에 있어서,

상기 (b) 단계를 수행한 후에 상기 금속층을 제거하는 단계를 더 포함하는 것을 특징으로 하는 프로브 구조물 제조 방법.

청구항 5.

제1항에 있어서,

상기 (b) 단계는

(b-1) 상기 제1 반도체 기판의 제2 면 상부에 제2 산화막을 형성하는 단계;

(b-2) 상기 제2 산화막 상부에 상기 프로브 팁 영역을 정의하는 제2 감광막 패턴을 형성하는 단계;

(b-3) 상기 제2 감광막을 식각 마스크로 상기 제2 산화막을 식각하여 제2 산화막 패턴을 형성하는 단계;

(b-4) 상기 제2 감광막 패턴을 제거하는 단계;

(b-5) 상기 제2 산화막 패턴을 식각 마스크로 상기 제1 기판의 제2 면을 식각하여 상기 제1 반도체 기판을 관통하는 상기 프로브 팁 영역을 형성하는 단계; 및

(a-6) 상기 제2 산화막 패턴을 제거하는 단계

를 포함하는 것을 특징으로 하는 프로브 구조물 제조 방법.

청구항 6.

제1항에 있어서,

상기 (b) 단계를 수행한 후에 상기 프로브 빔 영역 및 프로브 팁 영역을 포함하는 상기 제1 반도체 기판의 제1 면 및 제2 면에 제3 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 프로브 구조물 제조 방법.

청구항 7.

제6항에 있어서,

상기 (d) 단계를 수행한 후에 노출된 상기 제3 산화막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 프로브 구조물 제조 방법.

청구항 8.

제6항에 있어서,

상기 (b) 단계를 수행한 후에 상기 제2 반도체 기판의 표면에 제4 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 프로브 구조물 제조 방법.

청구항 9.

제1항에 있어서,

상기 (e) 단계는

상기 프로브 빔 영역, 상기 프로브 팁 영역 및 상기 제2 반도체 기관의 식각된 부분을 적어도 매립하는 도전층을 형성하는 단계; 및

상기 제1 반도체 기관의 제1 면이 노출될 때까지 상기 도전층을 평탄화 식각하는 단계를 포함하는 것을 특징으로 하는 프로브 구조물 제조 방법.

청구항 10.

제1항에 있어서,

상기 (e) 단계를 수행하기 전에 상기 프로브 빔 영역, 상기 프로브 팁 영역 및 상기 제2 반도체 기관의 식각된 부분의 표면에 씨드층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 프로브 구조물 제조 방법.

청구항 11.

제10항에 있어서,

상기 (e) 단계는 도금 공정을 포함하는 것을 특징으로 하는 프로브 구조물 제조 방법.

청구항 12.

제1항에 있어서,

상기 (e) 단계를 수행한 후에

상기 도전층 패턴을 스페이스 트랜스포머에 부착하는 단계; 및

상기 제2 반도체 기관 및 제1 반도체 기관을 제거하는 단계를 더 포함하는 것을 특징으로 하는 프로브 구조물 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 프로브 구조물 제조 방법에 관한 것으로, 특히 2개의 반도체 기관을 접합하여 프로브 구조물을 제조함으로써 한번의 도금 공정만으로 일체형의 프로브 구조물을 형성할 수 있는 프로브 구조물 제조 방법에 관한 것이다.

웨이퍼 상에는 각종 공정을 거쳐 복수개의 반도체 소자가 형성된다. 형성된 반도체 소자가 결함이 있는지 여부를 판단하기 위하여 프로브 카드를 이용한 웨이퍼 레벨 테스트가 수행된다.

프로브 카드 상에는 일정하게 배열된 복수개의 프로브 구조물이 형성되고, 상기 프로브 구조물의 팁이 상기 반도체 소자의 패드에 접촉되어 각종 테스트를 수행하게 된다.

반도체 소자의 집적도가 높아지고 웨이퍼 당 제조되는 반도체 소자의 수가 증가하고 있으므로 상기 복수개의 프로브 구조물을 더욱 정밀하게 형성하고 그 밀도를 증가시켜야 하는 요구가 대두되고 있다.

그러나 다양한 프로브 구조물 제조 기술이 제안되고 있으나, 그 정밀도나 밀도가 반도체 소자의 발전 속도를 따라가지 못하고 있는 실정이다.

발명이 이루고자 하는 기술적 과제

본 발명은 2개의 반도체 기판을 접합하여 프로브 구조물을 제조함으로써 한번의 도금 공정만으로 일체형의 프로브 구조물을 형성할 수 있는 프로브 구조물 제조 방법을 제공하는 것을 그 목적으로 한다.

발명의 구성

본 발명에 따른 프로브 구조물 제조 방법은 (a) 제1 반도체 기판의 제1 면을 선택적으로 식각하여 프로브 빔 영역을 형성하는 단계; (b) 상기 프로브 빔 영역에 대응되는 상기 제1 반도체 기판의 제2 면을 선택적으로 식각하여 상기 제1 반도체 기판을 관통하는 프로브 팁 영역을 형성하는 단계; (c) 상기 제1 반도체 기판의 제2 면과 제2 반도체 기판을 접합하는 단계; (d) 상기 프로브 팁 영역에 의해 노출된 제2 반도체 기판을 식각하는 단계; 및 (e) 상기 프로브 빔 영역, 상기 프로브 팁 영역 및 상기 제2 반도체 기판의 식각된 부분을 매립하는 도전층 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 (a) 단계는 (a-1) 상기 제1 반도체 기판의 제1 면 상부에 제1 산화막을 형성하는 단계; (a-2) 상기 제1 산화막 상부에 상기 프로브 빔 영역을 정의하는 제1 감광막 패턴을 형성하는 단계; (a-3) 상기 제1 감광막을 식각 마스크로 상기 제1 산화막을 식각하여 제1 산화막 패턴을 형성하는 단계; (a-4) 상기 제1 감광막 패턴을 제거하는 단계; (a-5) 상기 제1 산화막 패턴을 식각 마스크로 상기 제1 기판의 제1 면을 소정 깊이 식각하는 단계; 및 (a-6) 상기 제1 산화막 패턴을 제거하는 단계를 포함할 수 있다.

또한, 본 발명에 따른 프로브 구조물 제조 방법은 상기 (a) 단계를 수행한 후에 상기 프로브 빔 영역을 포함하는 상기 제1 반도체 기판의 제1 면에 금속층을 형성하는 단계를 더 포함할 수 있으며, 이 경우 상기 (b) 단계를 수행한 후에 상기 금속층을 제거하는 단계를 더 포함할 수 있다.

상기 (b) 단계는 (b-1) 상기 제1 반도체 기판의 제2 면 상부에 제2 산화막을 형성하는 단계; (b-2) 상기 제2 산화막 상부에 상기 프로브 팁 영역을 정의하는 제2 감광막 패턴을 형성하는 단계; (b-3) 상기 제2 감광막을 식각 마스크로 상기 제2 산화막을 식각하여 제2 산화막 패턴을 형성하는 단계; (b-4) 상기 제2 감광막 패턴을 제거하는 단계; (b-5) 상기 제2 산화막 패턴을 식각 마스크로 상기 제1 기판의 제2 면을 식각하여 상기 제1 반도체 기판을 관통하는 상기 프로브 팁 영역을 형성하는 단계; 및 (a-6) 상기 제2 산화막 패턴을 제거하는 단계를 포함하는 것이 바람직하다.

또한, 본 발명에 따른 프로브 구조물 제조 방법은 상기 (b) 단계를 수행한 후에 상기 프로브 빔 영역 및 프로브 팁 영역을 포함하는 상기 제1 반도체 기판의 제1 면 및 제2 면에 제3 산화막을 형성하는 단계를 더 포함할 수 있으며, 이 경우 상기 (d) 단계를 수행한 후에 노출된 상기 제3 산화막을 제거하는 단계를 더 포함할 수 있다.

본 발명에 따른 프로브 구조물 제조 방법은 상기 (b) 단계를 수행한 후에 상기 제2 반도체 기판의 표면에 제4 산화막을 형성하는 단계를 더 포함할 수 있다.

상기 (e) 단계는 상기 프로브 빔 영역, 상기 프로브 팁 영역 및 상기 제2 반도체 기판의 식각된 부분을 적어도 매립하는 도전층을 형성하는 단계; 및 상기 제1 반도체 기판의 제1 면이 노출될 때까지 상기 도전층을 평탄화 식각하는 단계를 포함하는 것이 바람직하다.

본 발명에 따른 프로브 구조물 제조 방법은 상기 (e) 단계를 수행하기 전에 상기 프로브 빔 영역, 상기 프로브 팁 영역 및 상기 제2 반도체 기판의 식각된 부분의 표면에 씨드층을 형성하는 단계를 더 포함할 수 있으며, 이 경우 상기 (e) 단계는 도금 공정을 포함할 수 있다.

본 발명에 따른 프로브 구조물 제조 방법은 상기 (e) 단계를 수행한 후에 상기 도전층 패턴을 스페이스 트랜스포머에 부착하는 단계; 및 상기 제2 반도체 기판 및 제1 반도체 기판을 제거하는 단계를 더 포함할 수 있다.

이하에서는, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.

도 1a 내지 도 1q는 발명에 따른 프로브 구조물 제조 방법을 도시한 단면도들이다.

도 1a를 참조하면, 제1 반도체 기판(100)의 제1 면에 제1 산화막(110)을 형성한다.

도 1b를 참조하면, 제1 산화막(110) 상부에 프로브 빔(probe beam) 영역(130)을 정의하는 제1 감광막 패턴(120)을 형성한다.

도 1c를 참조하면, 제1 감광막 패턴(120)을 마스크로 제1 산화막(110)을 식각하여 제1 산화막 패턴(110a) 및 제1 감광막 패턴(120)의 적층 구조(125)를 형성한다.

도 1d를 참조하면, 제1 감광막 패턴(120)을 제거한 후 제1 산화막 패턴(110a)을 식각 마스크로 제1 반도체 기판(100)의 제1 면을 선택적으로 소정 깊이 식각하여 프로브 빔 영역(130)을 형성한다.

도 1e를 참조하면, 남아 있는 제1 산화막 패턴(110a)을 제거한다.

도 1f를 참조하면, 프로브 빔 영역(130)을 포함하는 제1 반도체 기판(100)의 제1 면에 금속층(140)을 형성한다.

도 1g를 참조하면, 제1 반도체 기판(100)의 제2 면에 제2 산화막(150)을 형성한 후 제2 산화막(150) 상부에 프로브 빔 영역(130)에 대응되는 프로브 팁(probe tip) 영역(170)을 정의하는 제2 감광막 패턴(160)을 형성한다.

도 1h를 참조하면, 제2 감광막 패턴(160)을 마스크로 제2 산화막(150)을 식각하여 제2 산화막 패턴(150a) 및 제2 감광막 패턴(160)의 적층 구조(155)를 형성한다.

도 1i를 참조하면, 제2 감광막 패턴(160)을 제거한 후 제2 산화막 패턴(150a)을 식각 마스크로 제1 반도체 기판(100)의 제2 면을 선택적으로 식각하여 제1 반도체 기판(100)을 관통하는 프로브 팁 영역(170)을 형성한다.

도 1j를 참조하면, 제2 산화막 패턴(150a)을 제거한다.

도 1k를 참조하면, 금속층(140)을 제거한다.

도 1l을 참조하면, 프로브 빔 영역(130) 및 프로브 팁 영역(170)을 포함하는 제1 반도체 기판(100)의 제1 면 및 제2 면에 제3 산화막(180)을 형성한다.

도 1m을 참조하면, 제2 반도체 기판(200)의 표면에 제4 산화막(210)을 형성한다.

도 1n을 참조하면, 제1 반도체 기판(100)의 제2 면과 제2 반도체 기판(200)을 접합한다.

도 1o를 참조하면, 프로브 팁 영역(170) 하부의 제4 산화막(210) 및 제2 반도체 기판(200)을 순차적으로 식각하여 리세스 영역을 형성한다.

도 1p를 참조하면, 제3 산화막(180)을 제거한다.

도 1q를 참조하면, 프로브 빔 영역(130), 프로브 팁 영역(170) 및 제2 반도체 기판(200)의 리세스 영역을 매립하는 도전층 패턴(190)을 형성한다.

도전층 패턴(190) 형성 방법의 일례를 설명하면 다음과 같다.

먼저, 프로브 빔 영역(130), 프로브 팁 영역(170) 및 제2 반도체 기판(200)의 리세스 영역을 적어도 매립하는 도전층(미도시)을 형성한다. 다음에는, 제1 반도체 기판(100)의 제1 면이 노출될 때까지 상기 도전층을 CMP(Chemical Mechanical Polishing) 등의 공정을 이용하여 평탄화 식각한다. 여기서, 상기 도전층은 프로브 빔 영역(130), 프로브 팁 영역(170) 및 제2 반도체 기판(200)의 리세스 영역의 표면에 씨드층을 형성한 후 도금 공정을 수행하여 형성할 수 있다.

상기 도 1a 내지 도 q에 도시된 공정에 의해 프로브 카드에 사용되는 프로브 구조물을 형성할 수 있다.

후속 공정으로서, 도전층 패턴(190)을 스페이스 트랜스포머에 부착한 후 제2 반도체 기판(200) 및 제1 반도체 기판(100)을 제거하여 프로브 카드를 제조할 수 있다.

발명의 효과

본 발명에 따른 프로브 구조물 제조 방법은 한쪽 웨이퍼에 프로브 팁과 프로브 빔을 모두 가지고 있어서 종래 기술에 따른 프로브 구조물보다도 더 큰 오버드라이브(overdrive)를 줄 수 있다는 장점이 있다. 또한, 접합 후에 제2 웨이퍼에 프로브 팁을 형성할 수 있으므로 프로브 빔과 프로브 팁을 각각 만들어서 금속 접합을 하는 방법에 비하여 한번의 도금 공정만으로 일체형의 프로브 구조물을 형성할 수 있다는 장점이 있다.

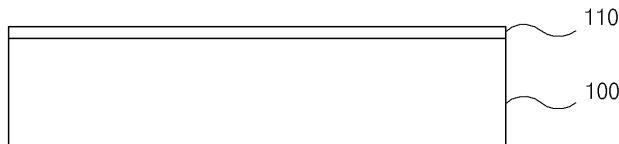
본 발명에 따른 프로브 구조물 제조 방법은 프로브 팁을 자기정렬(self-align) 방법으로 형성하므로 공정이 용이하고, 추가적인 마스크 비용을 필요로 하지 않아 제조 비용을 절감할 수 있으며, 정확한 위치에 프로브 팁 형성이 가능하다는 장점이 있다.

도면의 간단한 설명

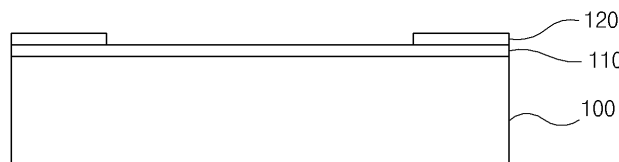
도 1a 내지 도 1q는 본 발명에 따른 프로브 구조물 제조 방법을 도시한 단면도들.

도면

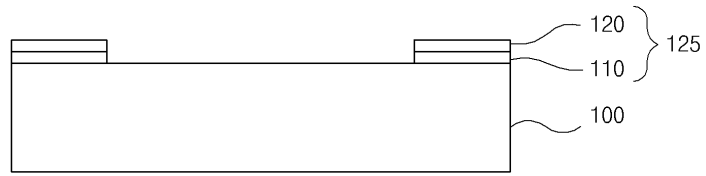
도면 1a



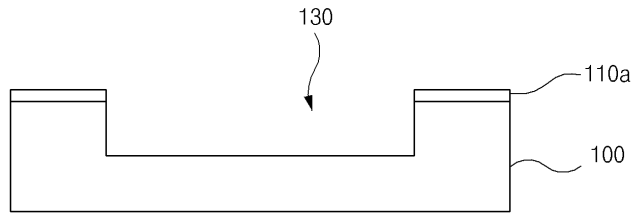
도면 1b



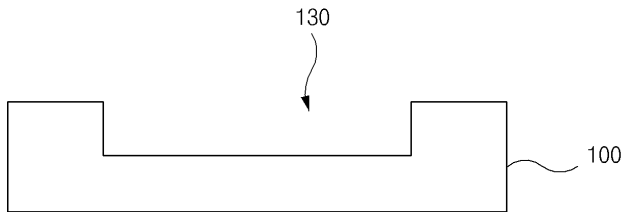
도면1c



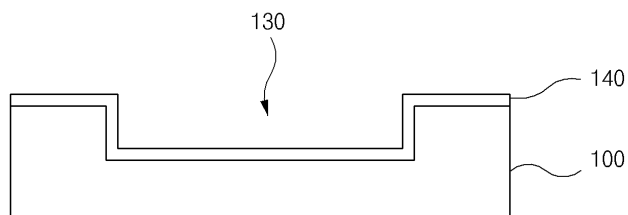
도면1d



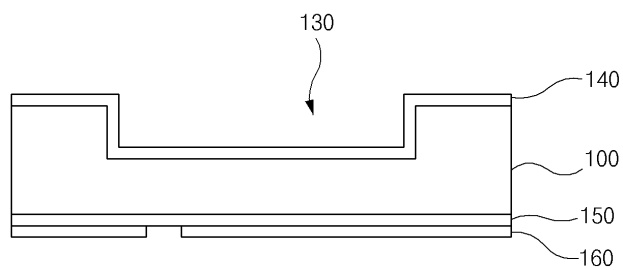
도면1e



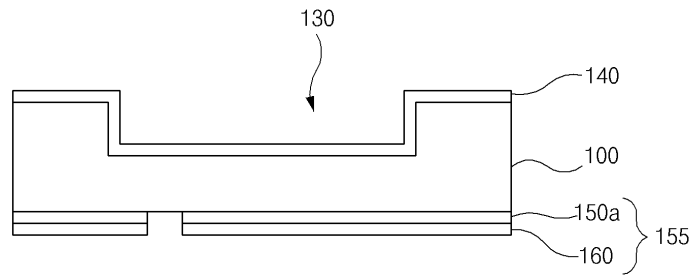
도면1f



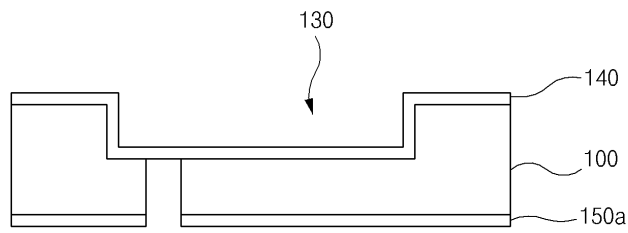
도면1g



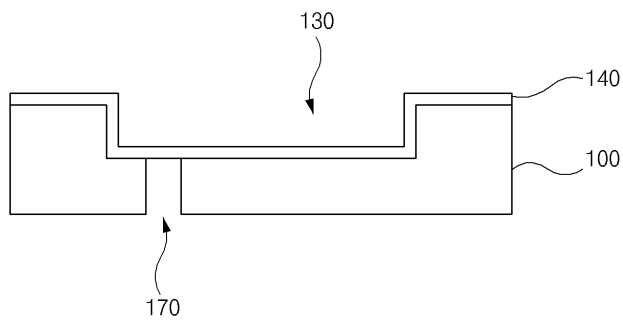
도면1h



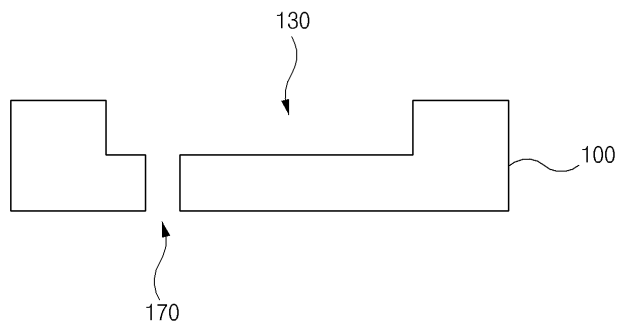
도면1i



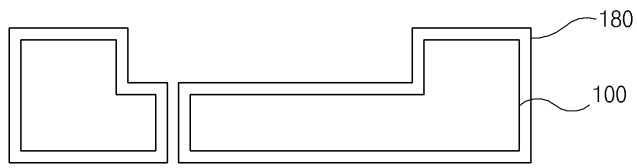
도면1j



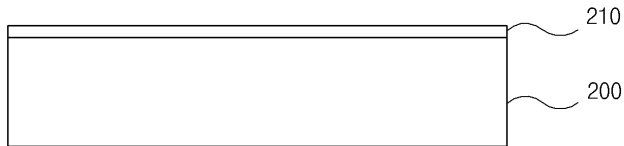
도면1k



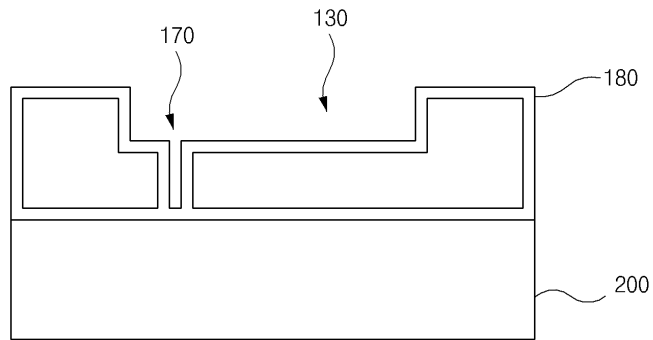
도면11



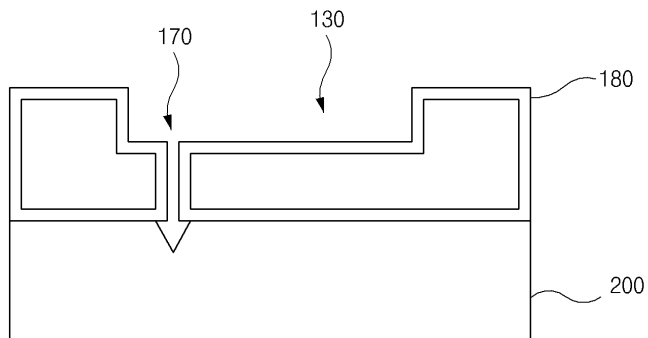
도면1m



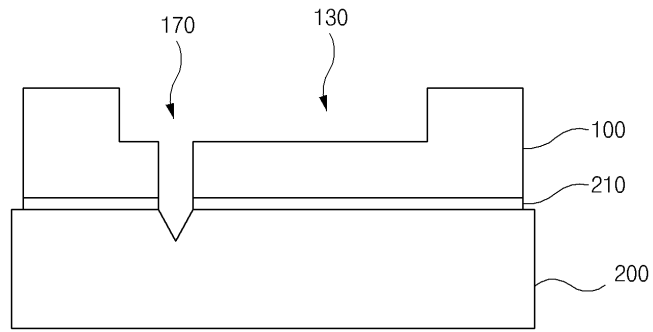
도면1n



도면1o



도면1p



도면1q

