



(12) 发明专利申请

(10) 申请公布号 CN 116661232 A

(43) 申请公布日 2023. 08. 29

(21) 申请号 202211496299.5

(22) 申请日 2022.11.24

(30) 优先权数据

10-2022-0025512 2022.02.25 KR

(71) 申请人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 李在镒 罗暻朝

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

专利代理师 赵南 肖学蕊

(51) Int. Cl.

G03F 1/22 (2012.01)

G03F 1/56 (2012.01)

G03F 7/20 (2006.01)

H10B 99/00 (2023.01)

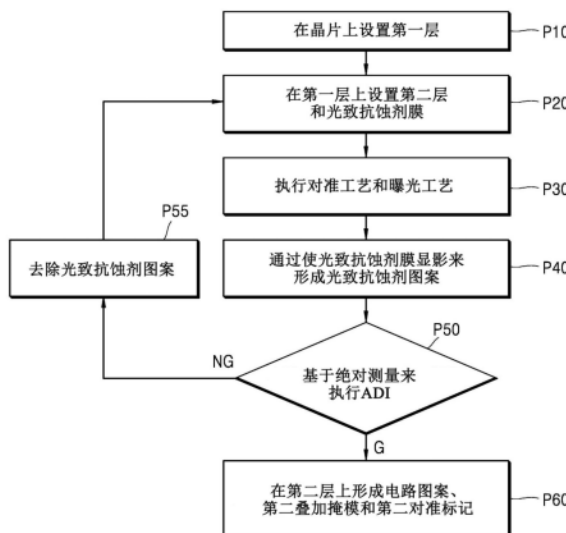
权利要求书3页 说明书13页 附图8页

(54) 发明名称

制造半导体装置的方法

(57) 摘要

一种制造半导体装置的方法可以使用半导体层的显影后检查(ADI)来确定光致抗蚀剂图案的返工。返工可以包括叠加函数的单至双转换(SDC)。



1. 一种制造半导体装置的方法,所述方法包括:

通过单个拍摄区曝光在晶片上形成第一层,所述第一层的单个拍摄区包括第一叠加标记;

在所述第一层上形成第二层和第一光致抗蚀剂膜;以及

以基于所述第一叠加标记的绝对测量生成的所述第一层的单个拍摄区的第一叠加函数为基础对所述第一光致抗蚀剂膜执行上拍摄区曝光和下拍摄区曝光,

其中,由所述上拍摄区曝光转移的上拍摄区和由所述下拍摄区曝光转移的下拍摄区彼此等同,并且所述上拍摄区和所述下拍摄区中的每一个的面积小于所述第一层的单个拍摄区的面积。

2. 根据权利要求1所述的方法,其中,

通过使用深紫外辐射束和相对低数值孔径极紫外辐射束中的至少一种来执行所述单个拍摄区曝光,并且

通过使用相对高数值孔径极紫外辐射束来执行所述上拍摄区曝光和所述下拍摄区曝光。

3. 根据权利要求1所述的方法,其中,

所述上拍摄区曝光和所述下拍摄区曝光在与所述晶片的上表面平行的第一方向上具有 $1/4$ 的缩减比率,并且在垂直于所述第一方向的第二方向上具有 $1/N$ 的缩减比率,其中, N 为大于4的整数。

4. 根据权利要求1所述的方法,还包括:

基于所述第一叠加函数计算第一上叠加函数和第一下叠加函数,所述第一上叠加函数表示与所述上拍摄区对应的部分的叠加,所述第一下叠加函数表示与所述下拍摄区对应的部分的叠加。

5. 根据权利要求4所述的方法,其中,

在所述上拍摄区中,所述第一叠加函数的值等于所述第一上叠加函数的值,并且

在所述下拍摄区中,所述第一叠加函数的值等于所述第一下叠加函数的值。

6. 根据权利要求4所述的方法,其中,

所述第一叠加函数基于将所述上拍摄区和所述下拍摄区视为单个拍摄区的坐标系统,

所述第一上叠加函数基于限制在所述上拍摄区内的坐标系统,并且

所述第一下叠加函数基于限制在所述下拍摄区内的坐标系统。

7. 根据权利要求1所述的方法,还包括:

通过使所述第一光致抗蚀剂膜显影来形成第一光致抗蚀剂图案;

通过所述第一光致抗蚀剂图案和所述第一叠加标记的绝对测量来计算表示所述上拍摄区和所述下拍摄区的叠加的第二叠加函数;

响应于所述第二叠加函数超出范围来去除所述第一光致抗蚀剂图案;

在所述第二层上形成第二光致抗蚀剂膜;以及

基于所述第二叠加函数来计算第二上叠加函数和第二下叠加函数,所述第二上叠加函数表示所述第一光致抗蚀剂膜的上拍摄区的叠加,所述第二下叠加函数表示所述第一光致抗蚀剂膜的下拍摄区的叠加。

8. 根据权利要求7所述的方法,还包括:

基于所述第二上叠加函数将所述第二光致抗蚀剂膜曝光于所述上拍摄区;以及
基于所述第二下叠加函数将所述第二光致抗蚀剂膜曝光于所述下拍摄区。

9. 一种制造半导体装置的方法,所述方法包括:

通过扫描将第一批的晶片中的每一个的第一光致抗蚀剂膜曝光于上拍摄区和下拍摄区,所述上拍摄区和所述下拍摄区彼此等同,所述上拍摄区和所述下拍摄区中的每一个在第一方向上的长度大于所述上拍摄区和所述下拍摄区中的每一个在第二方向上的长度,所述第二方向是扫描方向,所述第一方向和所述第二方向彼此垂直;

测量所述第一批的晶片中的每一个的上拍摄区和下拍摄区的叠加值;

并且通过经测量的叠加值的回归分析来生成表示所述上拍摄区和所述下拍摄区的叠加的叠加函数;以及

基于所述叠加函数,通过扫描将第二批的晶片中的每一个的第二光致抗蚀剂膜曝光于所述上拍摄区和所述下拍摄区。

10. 根据权利要求9所述的方法,还包括:

基于所述叠加函数生成上叠加函数和下叠加函数,所述上叠加函数表示所述上拍摄区的叠加,所述下叠加函数表示所述下拍摄区的叠加。

11. 根据权利要求10所述的方法,其中,所述叠加函数、所述上叠加函数和所述下叠加函数中的每一个基于不同的坐标系统。

12. 根据权利要求9所述的方法,其中,从通过使所述第一光致抗蚀剂膜显影而形成的第一光致抗蚀剂图案测量所述上拍摄区和所述下拍摄区的叠加值。

13. 根据权利要求9所述的方法,还包括:

通过使所述第一光致抗蚀剂膜显影来形成第一光致抗蚀剂图案;以及

通过使用所述第一光致抗蚀剂图案来蚀刻所述第一批的晶片,

其中,从通过使用所述第一光致抗蚀剂图案蚀刻所述晶片而形成的图案测量所述上拍摄区和所述下拍摄区的叠加值。

14. 一种制造半导体装置的方法,所述方法包括:

在晶片上形成第一层,所述第一层包括第一叠加标记;

在所述第一层上形成第二层和第一光致抗蚀剂膜;

将所述第一光致抗蚀剂膜曝光于上拍摄区和下拍摄区,所述上拍摄区和所述下拍摄区彼此等同;

通过使所述第一光致抗蚀剂膜显影来形成第一光致抗蚀剂图案;

通过测量所述第一光致抗蚀剂图案与所述第一叠加标记之间的叠加来计算表示所述上拍摄区和所述下拍摄区的叠加的叠加函数;

响应于所述叠加函数超出范围来去除所述第一光致抗蚀剂图案;

在所述第二层上形成第二光致抗蚀剂膜;以及

基于所述叠加函数将所述第二光致抗蚀剂膜曝光于所述上拍摄区和所述下拍摄区,

其中,所述第一光致抗蚀剂膜和所述第二光致抗蚀剂膜通过变形缩减投影曝光。

15. 根据权利要求14所述的方法,还包括:

基于所述叠加函数来计算上叠加函数和下叠加函数,所述上叠加函数表示所述第一光致抗蚀剂图案的上拍摄区的叠加,所述下叠加函数表示所述第一光致抗蚀剂图案的下拍摄

区的叠加。

16. 根据权利要求15所述的方法, 其中,

基于所述上叠加函数来校正所述第二光致抗蚀剂膜曝光于所述上拍摄区, 并且
基于所述下叠加函数来校正所述第二光致抗蚀剂膜曝光于所述下拍摄区。

17. 根据权利要求15所述的方法, 其中, 基于所述叠加函数来计算所述上叠加函数和所述下叠加函数包括:

确定所述上叠加函数的参数, 使得所述上叠加函数和所述叠加函数在所述上拍摄区中的位置中具有相同的值; 以及

确定所述下叠加函数的参数, 使得所述下叠加函数和所述叠加函数在所述下拍摄区中的位置中具有相同的值。

18. 根据权利要求14所述的方法, 其中, 以绝对方式测量所述第一光致抗蚀剂图案与所述第一叠加标记之间的叠加。

19. 根据权利要求18所述的方法, 其中, 基于从叠加测量装置的视场的参考点的位移来确定所述第一光致抗蚀剂图案与所述第一叠加标记之间的叠加。

20. 根据权利要求14所述的方法, 其中, 基于所述第一层的绝对叠加值将所述第一光致抗蚀剂膜曝光于所述上拍摄区和所述下拍摄区。

制造半导体装置的方法

[0001] 相关申请的交叉引用

[0002] 本申请基于并要求于2022年2月25日在韩国知识产权局提交的韩国专利申请 No.10-2022-0025512的优先权,该申请的公开内容以引用方式全部并入本文中。

技术领域

[0003] 本发明构思涉及一种制造半导体装置的方法,并且更具体地,涉及一种制造具有提高的可靠性和良率的半导体装置的方法。

背景技术

[0004] 根据近来为了信息和通信装置的更高集成度而减小存储器单元的尺寸的 trends,包括在存储器装置中的用于半导体装置的操作和电连接的操作电路和/或布线结构已经变得复杂。因此,极紫外(EUV)光刻工艺越来越多地应用于半导体装置的制造。EUV光刻工艺是使用波长范围从大约4nm至大约124nm(例如,13.5nm的波长)的光的光刻技术,并且便于处理小于或等于20nm(亚20nm)的超微尺度尺寸,这是使用现有的ArF准分子激光束通过光刻技术难以实现的。

[0005] 通过高度可靠且准确的叠加测量和分析的反馈过程是确保EUV光刻工艺的可靠性的关键组成部分之一。因此,已经进行了各种研究来提高叠加测量的准确度和可靠性。

发明内容

[0006] 本发明构思的一些示例实施例提供制造具有提高的可靠性和良率的半导体装置的方法。

[0007] 根据本发明构思的一方面,制造半导体装置的方法包括:通过单个拍摄区曝光在晶片上形成第一层,第一层的单个拍摄区包括第一叠加标记;在第一层上形成第二层和第一光致抗蚀剂膜;以及以基于第一叠加标记的绝对测量生成的第一层的单个拍摄区的第一叠加函数为基础对第一光致抗蚀剂膜执行上拍摄区曝光和下拍摄区曝光,其中,由上拍摄区曝光转移的上拍摄区和由下拍摄区曝光转移的下拍摄区彼此等同,并且上拍摄区和下拍摄区中的每一个的面积小于第一层的单个拍摄区的面积。

[0008] 根据本发明构思的另一方面,制造半导体装置的方法包括:通过扫描将第一批的晶片中的每一个的第一光致抗蚀剂膜曝光于上拍摄区和下拍摄区,上拍摄区和下拍摄区彼此等同,上拍摄区和下拍摄区中的每一个在第一方向上的长度大于上拍摄区和下拍摄区中的每一个在第二方向上的长度,第二方向是扫描方向,第一方向和第二方向彼此垂直;测量第一批的晶片中的每一个的上拍摄区和下拍摄区的叠加值;并且通过经测量的叠加值的回归分析来生成表示上拍摄区和下拍摄区的叠加的叠加函数;以及基于叠加函数,通过扫描将第二批的晶片中的每一个的第二光致抗蚀剂膜曝光于上拍摄区和下拍摄区。

[0009] 根据本发明构思的又一方面,制造半导体装置的方法包括:在晶片上形成第一层,第一层包括第一叠加标记;在第一层上形成第二层和第一光致抗蚀剂膜;将第一光致抗蚀

剂膜曝光于上拍摄区和下拍摄区,上拍摄区和下拍摄区彼此等同;通过使第一光致抗蚀剂膜显影来形成第一光致抗蚀剂图案;通过测量第一光致抗蚀剂图案与第一叠加标记之间的叠加来计算表示上拍摄区和下拍摄区的叠加的叠加函数;响应于叠加函数超出范围来去除第一光致抗蚀剂图案;在第二层上形成第二光致抗蚀剂膜;以及基于叠加函数将第二光致抗蚀剂膜曝光于上拍摄区和下拍摄区,其中,第一光致抗蚀剂膜和第二光致抗蚀剂膜通过变形缩减投影曝光。

附图说明

[0010] 从以下结合附图的详细描述将更加清楚地理解本发明构思的一些示例实施例,在附图中:

[0011] 图1是用于解释根据示例实施例的制造半导体装置的方法的流程图;

[0012] 图2A至图6B是用于解释根据示例实施例的制造半导体装置的方法的示意图;

[0013] 图7是用于解释根据另一示例实施例的制造半导体装置的方法的示意图;

[0014] 图8是用于解释根据又一示例实施例的制造半导体装置的方法的流程图;

[0015] 图9是用于解释根据再一示例实施例的制造半导体装置的方法的流程图;以及

[0016] 图10是用于解释根据再一示例实施例的制造半导体装置的方法的流程图。

具体实施方式

[0017] 在下文中,将参照附图详细地描述本发明构思的一些示例实施例。在附图中,同样的附图标记表示同样的部件,并且将省略对其的任何冗余描述。

[0018] 尽管在示例实施例的描述中使用术语“相同”、“相等”或“等同”,但是应理解可能存在一些不精确。因此,当一个元件被称作与另一元件相同时,应理解,在期望的制造或操作公差范围(例如,

[0019] $\pm 10\%$)内,元件或值与另一元件相同。

[0020] 当术语“大约”或“基本上”在该说明书中结合数值使用时,其意图是关联的数值包括在所陈述的数值周围的制造公差或操作公差(例如, $\pm 10\%$)。此外,当词语“大约”或“基本上”结合几何形状使用时,其意图是几何形状的准确度不是必需的,但是形状的自由度在本公开的范围之内。此外,无论数值或形状是否被修饰为“大约”或“基本上”,都将理解,这些值和形状应被解释为包括在所陈述的数值或形状周围的制造公差或操作公差(例如, $\pm 10\%$)。

[0021] 如在本文中使用的,术语“和/或”包括关联的所列项的一个或多个的任何组合和所有组合。当诸如“……中的至少一个(种、者)”和“……中的任何一个(种、者)”的表述在一列元件之后时,修饰整个元件列表,而不是修饰该列的个别元件。因此,例如,“A、B和C中的至少一个(种、者)”和“A、B和/或C”两者都表示A、B、C或者它们的任何组合。

[0022] 图1是用于解释根据示例实施例的制造半导体装置的方法的流程图。

[0023] 图2A至图6B是用于解释根据示例实施例的制造半导体装置的方法的示意图。

[0024] 更具体地,图2A是示出形成在晶片W上的第一层L1的平面图,并且图2B是沿着图2A的线2B-2B' 截取的截面图。图3示出与图2B对应的部分。图4A是示出形成在晶片W上的光致抗蚀剂图案PP的平面图,并且图4B是沿着图4A的线4B-4B' 截取的截面图。图5是示意性地示

出绝对叠加测量的各方面的示图。图6A是示出其上的第二叠加标记OVM2形成在晶片W上的第二层L2的平面图,并且图6B是沿着图6A的线6B-6B' 截取的截面图。

[0025] 参照图1至图2B,在操作P10中,可以在晶片W上形成第一层L1。

[0026] 第一层L1的形成可以包括设置光致抗蚀剂、对光致抗蚀剂执行包括曝光工艺和显影工艺的光刻工艺、通过使用光致抗蚀剂图案将第一层L1图案化、以及形成第一叠加标记OVM1和电路图案。

[0027] 光致抗蚀剂的设置可以包括对晶片执行粘合促进工艺和旋涂工艺。粘合促进工艺指将光致抗蚀剂附接到晶片W或者形成在晶片W上的绝缘层和电路图案的工艺。光致抗蚀剂材料可以相对于硅或包括硅的材料的表面具有低粘合强度。因此,在晶片W上设置光致抗蚀剂材料之前,可以对晶片W的表面(或形成在晶片W上的材料层的表面)执行粘合促进工艺。例如,用六甲基二硅氮烷(HMDS)处理晶片W的表面是示例粘合促进工艺中的一种。由于HMDS可以使晶片W的表面疏水,因此可以改善光致抗蚀剂材料与晶片W之间的粘合强度。

[0028] 旋涂工艺指在晶片W上设置光致抗蚀剂的工艺。光致抗蚀剂可以包括有机聚合物。为了用光致抗蚀剂涂覆晶片W,可以以高速旋转其上设置有处于溶液状态的光致抗蚀剂的晶片W。由于晶片W的旋转,可以形成具有均匀厚度的光致抗蚀剂膜。

[0029] 在旋涂工艺之后,可以选择性地执行软烘烤工艺。在一些情况下,涂覆在晶片W上的光致抗蚀剂材料层的密度可能不够高,以至于无法进行后续工艺。通过软烘烤工艺,可以将光致抗蚀剂材料层致密化,并且可以去除光致抗蚀剂材料层上的剩余溶剂。可以由曝光装置的烘烤盘执行软烘烤工艺。对其执行软烘烤工艺的晶片W可以选择性地布置在冷却板上并且将其冷却。

[0030] 然后,可以执行将预先形成在光刻掩模上的电路图案、第一叠加标记OVM1和第一对准标记AGNM1转移至晶片W的曝光工艺。曝光工艺可以使用深紫外(DUV)辐射束和/或低数值孔径极紫外(EUV)辐射束中的一种。当通过使用低数值孔径EUV辐射束执行曝光工艺时,与随后要描述的操作P30的曝光工艺不同,该曝光工艺在X方向上的缩减比率和该曝光工艺在Y方向上的缩减比率可以各自为1/4。这里,低数值孔径可以指小于大约0.35的数值孔径的值,而高数值孔径可以指等于或大于大约0.35的数值孔径的值。

[0031] 在曝光工艺之后,可以在显影工艺之前选择性地执行曝光后烘烤工艺。可以由烘烤盘执行曝光后烘烤工艺。曝光后烘烤工艺可以指用于通过光致抗蚀剂膜中的特定组分的化学反应或扩散引起光致抗蚀剂膜的均匀性的改善的可选工艺。

[0032] 之后,可以执行用于去除光致抗蚀剂的曝光部分或未曝光部分的显影工艺。可以通过显影工艺来形成光致抗蚀剂图案。

[0033] 通过使用光致抗蚀剂图案,可以将第一层L1图案化,并且可以在图案化的第一层L1上形成电路图案(未示出)、第一叠加标记OVM1和第一对准标记AGNM1。可以通过干法蚀刻或湿法蚀刻来将第一层L1图案化。当第一层L1的厚度(例如,在Z方向上的长度)比特定值厚时,还可以在光致抗蚀剂与第一层L1之间设置用于蚀刻第一层L1的硬掩模层。

[0034] 图2A是与单个完整拍摄区(shot)对应的第一层L1的平面图。完整拍摄区可以指晶片W上的一部分,形成在诸如光刻掩模的图案化装置上的整个图案被转移到该部分。多个芯片区域CHP可以限定在一个完整拍摄区中。多个芯片区域CHP各自可以是其中通过将用于形成半导体装置的多个电路布局叠加而形成半导体芯片的区域。根据一些示例实施例,完整

拍摄区可以具有沿着x轴的大约26mm的尺寸和沿着y轴的大约33mm的尺寸。然而,本发明构思不限于此。根据要形成的装置的类型和规格,各种数量和尺寸的芯片区域CHP可以包括在一个完整拍摄区中。例如,完整拍摄区可以仅包括一个芯片区域。

[0035] 根据一些示例实施例,可以在芯片区域CHP中形成存储器装置。根据一些示例实施例,可以在芯片区域CHP中形成非易失性存储器装置。根据一些示例实施例,非易失性存储器装置可以是非易失性NAND型闪速存储器。根据一些示例实施例,非易失性存储器装置可以是相变随机存取存储器 (PRAM)、磁性随机存取存储器 (MRAM)、电阻随机存取存储器 (ReRAM)、铁电随机存取存储器 (FRAM) 和NOR闪速存储器中的一种。此外,可以在芯片区域CHP中形成当断电时丢失数据的易失性存储器装置 (诸如动态随机存取存储器 (DRAM) 或静态随机存取存储器 (SRAM))。

[0036] 根据一些示例实施例,可以在芯片区域CHP中形成逻辑芯片、测量装置、通信装置、数字信号处理器 (DSP) 和片上系统 (SoC) 中的一个。

[0037] 尽管芯片区域CHP被描述为具有正方形或基本上正方形的轮廓,但是本发明构思不限于此。例如,芯片可以是驱动器集成电路 (IC) 芯片,并且在这样的情况下,IC芯片的一对边缘可以比另一对边缘长。

[0038] 划线SL可以在芯片区域CHP之间延伸,并且将芯片区域CHP彼此水平地 (例如,在X方向和Y方向中的任何一个上) 分离。划线SL可以是在分离工艺中将形成在芯片区域CHP上的半导体芯片分离成单个装置的区域。

[0039] 可以在划线SL上布置第一对准标记AGNM1和第一叠加标记OVM1。尽管图2A示出仅在划线SL上形成第一对准标记AGNM1和第一叠加标记OVM1,但是本发明构思不限于此。例如,可以在芯片区域CHP中形成第一对准标记AGNM1和第一叠加标记OVM1中的一些。

[0040] 根据一些示例实施例,第一对准标记AGNM1可以是用于准确地设定晶片W的在曝光工艺期间要曝光的部分的图案。根据一些示例实施例,第一叠加标记OVM1可以是用于测量叠加的图案。根据一些示例实施例,可以以比第一对准标记AGNM1的密度高的密度布置第一叠加标记OVM1。

[0041] 还可以在划线SL上设置具有各种功能的其它标记。例如,还可以在在第一层L1设置用于电测试最终半导体装置的特性的标记、用于测量化学机械抛光 (CMP) 工艺之后的最上层的厚度的标记、用于测量光学阈值尺寸或内部厚度的标记等。

[0042] 这里,第一叠加标记OVM1和第一对准标记AGNM1可以包括盒中盒结构和光栅结构中的任何一种。具有盒中盒结构的第一叠加标记OVM1和第一对准标记AGNM1可能需要围绕其不形成其它图案 (诸如第一叠加标记OVM1和第一对准标记AGNM1) 的专属区域。具有光栅结构的叠加标记可能不需要专属区域并且可以以比具有盒中盒结构的叠加标记的密度高的密度设置。

[0043] 在下文中,为了便于解释,集中于其中第一叠加标记OVM1和叠加模具OVM (参见图4A) 具有盒中盒结构的示例来描述一些示例实施例。然而,本领域技术人员可以基于本文中提供的描述容易地得到其中第一叠加标记OVM1和叠加模具OVM (参见图4A) 中的每一个具有光栅结构的示例。

[0044] 参照图1和图3,在操作P20中,可以在第一层上设置光致抗蚀剂膜PR。

[0045] 与在操作P10中一样,光致抗蚀剂膜PR的设置可以包括执行粘合促进工艺和旋涂

工艺。光致抗蚀剂膜PR可以是用于EUV的光致抗蚀剂。在EUV曝光工艺的情况下,由于光子的数量小于DUV曝光工艺时的光子的数量等,因此可能期望具有高EUV吸收率的材料。因此,光致抗蚀剂膜PR可以包括作为聚合物的例如羟基苯乙烯。在一些示例实施例中,碘苯酚可以被提供到光致抗蚀剂膜PR作为添加剂。

[0046] 根据一些示例实施例,光致抗蚀剂膜PR的厚度可以在大约0.1 μm 至大约2 μm 的范围内。根据一些示例实施例,光致抗蚀剂膜PR的厚度可以在大约200nm至大约600nm的范围内。在用于EUV的光致抗蚀剂膜PR的情况下,可以用低浓度光致抗蚀剂溶液以薄厚度通过旋涂光致抗蚀剂膜PR来提供用于EUV的光致抗蚀剂膜PR。

[0047] 在一些情况下,光致抗蚀剂膜PR可以包括诸如氧化锡的无机材料。在这样的情况下,即使在通过光刻工艺和其它后续工艺之后的剥离工艺去除光致抗蚀剂膜PR之后,无机材料也可以以小于或等于大约 $1 \times 10^{11}/\text{cm}^3$ 的浓度保留在光致抗蚀剂膜PR的下层(例如,第一层L1)。当光致抗蚀剂膜PR包括无机材料时,其可以容易地使光致抗蚀剂膜PR的厚度薄,这导致较高的蚀刻选择性,以具有在蚀刻工艺期间在光致抗蚀剂膜PR下方提供具有薄厚度的硬掩模的效果。

[0048] 当蚀刻目标层具有大于特定阈值厚度的厚度时,还可以在光致抗蚀剂膜PR下方设置包括非晶碳的硬掩模层。根据一些示例实施例,硬掩模层还可以包括氟。当硬掩模层包括氟时,可以改善光致抗蚀剂膜PR的EUV灵敏度。此外,还可以在硬掩模层与光致抗蚀剂膜PR之间设置抗反射层。

[0049] 在操作P30中,可以执行对准工艺和曝光工艺。

[0050] 曝光工艺可以指部分地改变光致抗蚀剂膜PR的特性以形成用于形成半导体电路的光致抗蚀剂图案PP(参见图4B)的工艺。光致抗蚀剂指当暴露于光时引起光化学反应的材料。光致抗蚀剂膜PR可以通过诸如光掩模的图案化装置被部分地曝光。通过在光致抗蚀剂膜PR上投射经由图案化装置传输的光,构成半导体装置的单层电路图案可以被转移到晶片W上的光致抗蚀剂膜PR。

[0051] 可以基于形成在第一层L1上的第一对准标记AGNM1的测量(例如,对准工艺)来执行曝光工艺。在曝光之前,通过识别第一对准标记AGNM1的位置,可以确定形成在第一层L1上的第一对准标记AGNM1的设计位置与第一对准标记AGNM1的识别位置之间的差异。通过从遍及晶片W的多个位置识别第一对准标记AGNM1的位置并且执行关于第一对准标记AGNM1的位置的回归分析,可以确定代表第一层L1上的部件的设计位置与该部件的识别位置之间的差异的模型函数。

[0052] 根据一些示例实施例,可以由不同波长的多条光线识别对准标记AGNM的位置。例如,当由四个不同波长的光识别对准标记AGNM的位置时,可以提供分别与四个不同波长的光对应的四个模型函数,并且可以基于组合模型函数来执行曝光工艺,该组合模型函数基于四个模型函数的加权和(或简单和)来生成。

[0053] 由于通过对在垂直方向上堆叠的多个材料层执行的一系列图案化工艺来制造半导体装置,因此,对于用于先前形成的电路图案(例如,形成在第一层L1的图案),新图案(例如,转移到光致抗蚀剂膜PR的图案和由此转移到第二层L2的图案)的对准可能是提高制造半导体装置的良率的重要因素。

[0054] 这里,与晶片W的上表面平行并且彼此垂直的两个方向可以分别被称为X方向和Y

方向。此外,与晶片W的上表面基本上垂直的方向可以被称为Z方向。X方向可以与Y方向区分开。更具体地,Y方向可以是在使用扫描方法的曝光期间执行扫描的方向。X方向可以是与执行扫描的方向基本上垂直的方向,并且这同样应用于所有附图。

[0055] 尽管在附图中没有明确地描述,但是可以在第一层L1与晶片W之间布置包括电路图案、叠加标记和对准标记的附加层。在此情况下,可以基于第一层L1的第一叠加标记OVM1和附加层的叠加标记来生成叠加函数,并且可以基于模型函数和叠加函数来曝光光致抗蚀剂膜PR。

[0056] 根据一些示例实施例,如参照图5描述的,可以通过绝对测量来执行第一层L1与第一层L1的下层之间的叠加。通过叠加的绝对测量,即使当在第一层L1下方布置多层时,也可以在不需要多层的相应相对函数的历史计算的情况下识别代表第一层L1的绝对叠加量的叠加函数。

[0057] 在传统的叠加测量的情况下,由于基于在拍摄区的边缘测量的叠加值来计算直接在晶片上形成的电路层的叠加函数,因此,可能无法校正高次参数。此外,当将多个下层的相对叠加函数的累加和相加时,由于包括在每个层的相对叠加函数中的每一个中的累加误差,根据累加和计算的绝对叠加可能具有不准确的值。

[0058] 根据一些示例实施例,通过以下更详细地描述的单至双转换(SDC),通过叠加的绝对测量计算的第一层L1的叠加函数可以被转换为上拍摄区PU(参见图4A)的上叠加函数和下拍摄区PL(参见图4A)的下叠加函数。因此,在通过使用由第一层L1的第一对准标记AGNM1生成的模型函数曝光光致抗蚀剂膜PR时,可以便于上拍摄区PU(参见图4A)和下拍摄区PL(参见图4A)中的每一个的叠加的校正。如此,基于目标层(例如,光致抗蚀剂膜PR)的下层(例如,第一层L1)的叠加函数调整目标层的曝光可以被称为前馈。

[0059] 在该说明书中,第一层L1的叠加函数可以可替换地被称为第一叠加函数,并且通过第一层L1的叠加函数的SDC计算的上拍摄区PU(参见图4A)的上叠加函数和下拍摄区PL(参见图4A)的下叠加函数可以分别可替换地被称为第一上叠加函数和第一下叠加函数。

[0060] 如参照图4A和图4B描述的,操作P40中转移的上拍摄区PU和下拍摄区PL中的每一个的面积可以小于操作P20中的转移的完整拍摄区的面积。例如,如参照图4A和图4B描述的,操作P20中的转移的完整拍摄区的面积可以与操作P40中的转移的上拍摄区PU和转移的下拍摄区PL的面积之和基本上等同。例如,如参照图4A和图4B描述的,操作P20中的转移的完整拍摄区的面积可以是操作P40中的转移的上拍摄区PU和转移的下拍摄区PL中的每一个的面积的大约两倍。

[0061] 在曝光工艺中,可以使用EUV辐射束。根据一些示例实施例,EUV辐射束的波长可以在大约4nm至大约124nm的范围内。根据一些示例实施例,EUV辐射束的波长可以在大约5nm至大约20nm的范围内。根据一些示例实施例,EUV辐射束的波长可以在大约13nm至大约14nm的范围内。根据一些示例实施例,EUV辐射束的波长可以为大约13.5nm。

[0062] 用于生成EUV辐射的辐射系统可以包括被配置为激发等离子体源的激光器和被配置为存储等离子体源的源收集模块。等离子体源可以包括锡颗粒、Xe气体或Li蒸汽。通过将激光束照射到等离子体源,可以生成等离子体。使用等离子体源的辐射系统可以被称为激光生成的等离子体源。火花等离子体源或基于同步加速器辐射的源可以由电子存储环提供。

[0063] 包括由EUV辐射束转移的电路图案的EUV光掩模可以包括硅衬底以及在硅衬底上交替地堆叠的多个硅层和钼层。还可以在交替堆叠的硅钼层上设置含钌(Ru)层。在含Ru层上,可以形成包括含氮化钼钼层和含钨层的布局图案。本说明书中公开的关于EUV光掩模各种材料和层仅作为示例提供,而本发明构思不限于此。

[0064] 根据一些示例实施例,在曝光晶片W期间,可以驱动支撑晶片W的晶片台,使得辐射束聚焦在晶片W上的设定位置上。可以通过模型函数确定晶片W上的设定位置。

[0065] 可以通过扫描方法执行EUV曝光。可以在EUV曝光中使用将EUV辐射束限制到掩模上的部分区域的狭缝。当控制光通过狭缝并照射到掩模的部分区域时,光刻掩模可以在垂直于狭缝的延伸方向的方向上移动,并且EUV辐射束可以连续地照射到光刻掩模。如此,通过遍及掩模的整个区域的扫描而将光照射到的晶片W上的区域可以是如上所述的完整拍摄区。附图中所示的X方向是狭缝的延伸方向,并且Y方向是扫描方向。

[0066] 在操作P40中,EUV曝光工艺可以包括变形缩减投影(anamorphic reduction projection)。在EUV曝光工艺中在X方向上的缩减比率可以不同于在Y方向上的缩减比率。例如,在EUV曝光中在狭缝方向(例如,X方向)上的缩减比率可以为1/4,并且在扫描方向(例如,Y方向)上的缩减比率可以为1/8。即,在晶片W上转移的图案在X方向上的长度可以为EUV掩模上的对应的图案在X方向上的长度的大约1/4,并且在晶片W上转移的图案在Y方向上的长度可以为EUV掩模上的对应的图案在Y方向上的长度的大约1/8。

[0067] 因此,由于形成在EUV光掩模上的图案具有比实际转移到晶片W的图案大的临界尺寸,因此形成在EUV光掩模上的图案可以具有改善的图案准确度,并且也可以改善使用EUV光掩模的光刻工艺的可靠性。

[0068] 根据一些示例实施例,在曝光工艺期间,可以用具有高折射率的液体(诸如水)填充晶片W上方的空间。因此,可以用液体覆盖晶片W的至少一部分。液体可以被称为浸没溶液,并且当晶片W被浸没时,可以被解释为意味着不仅晶片W浸入液体中,而且浸没溶液放置在用于执行曝光的辐射束的路径上。

[0069] 参照图1、图4A和图4B,在操作P40中,通过使光致抗蚀剂膜PR(参见图3)显影,可以形成光致抗蚀剂图案PP。

[0070] 图4A中所示的光致抗蚀剂图案PP的布局可以包括上拍摄区PU和下拍摄区PL。根据一些示例实施例,上拍摄区PU和下拍摄区PL可以基本上相同。可以通过将同一光刻掩模曝光于EUV来形成上拍摄区PU和下拍摄区PL。

[0071] 上拍摄区PU和下拍摄区PL可以水平地划分光致抗蚀剂图案PP。上拍摄区PU和下拍摄区PL中的每一个在X方向上的长度可以与第一层L1的完整拍摄区在X方向上的长度基本上等同。上拍摄区PU和下拍摄区PL中的每一个在Y方向上的长度可以小于第一层L1的完整拍摄区在Y方向上的长度。上拍摄区PU和下拍摄区PL中的每一个在X方向上的长度可以大于上拍摄区PU和下拍摄区PL中的每一个在Y方向上的长度。上拍摄区PU和下拍摄区PL中的每一个在X方向上的长度可以为大约26mm,并且上拍摄区PU和下拍摄区PL中的每一个在Y方向上的长度可以为大约16.5mm。

[0072] 在操作P50中,可以执行基于绝对测量的显影后检查(ADI)。

[0073] ADI是检查和测量晶片W上的光致抗蚀剂图案PP的各种特性的工艺。根据一些示例实施例,检查或测量的光致抗蚀剂图案PP的特性可以包括形成在光致抗蚀剂图案PP处的特

征的尺寸、形状和轮廓、前一层(例如,第一层L1)和光致抗蚀剂图案PP的叠加、可能在光致抗蚀剂图案PP中发现的缺陷等。

[0074] 根据一些示例实施例,ADI可以包括通过测量整个上拍摄区PU和下拍摄区PL的第一叠加标记OVM1以及形成在光致抗蚀剂图案上的叠加模具OVM来获得用于第一叠加标记OVM1和叠加模具OVM的每个位置的叠加值。根据一些示例实施例,ADI可以包括通过将测量的叠加值回归来计算表示上拍摄区PU和下拍摄区PL上方的任何要素(例如,形成在光致抗蚀剂图案PP中的特征)的叠加量的叠加函数。

[0075] 根据一些示例实施例,可以通过基于图像的光学系统和散射光学系统中的任何一种来测量叠加。根据一些示例实施例,可以通过绝对叠加测量来执行ADI。在下文中,参照图5描述绝对叠加测量的各方面。

[0076] 图5示出测量第一叠加标记OVM1中的一个和与其对应的叠加模具OVM中的一个之间的叠加的检查装置的视场FOV。

[0077] 第一叠加标记OVM1中的每一个可以是主尺,并且叠加模具OVM中的每一个可以是游标尺。第一叠加标记OVM1中的每一个可以是外盒,并且叠加模具OVM中的每一个可以是具有比第一叠加标记OVM1中的每一个小的尺寸的内盒。

[0078] 根据一些示例实施例,通过确定第一叠加标记OVM1中的每一个的中心OVM1C与视场FOV的参考位置RP之间的位移向量,可以测量第一叠加标记OVM1的绝对叠加,并且通过确定叠加模具OVM中的每一个的中心OVMC与视场FOV的参考位置RP之间的位移向量,可以测量叠加模具OVM的绝对叠加。

[0079] 例如,当参考位置RP的坐标被定义为(0,0)时,第一叠加标记OVM1的中心OVM1C可以为作为第一叠加标记OVM1的绝对叠加向量的 (x_1, y_1) 。相似地,当参考位置RP的坐标为(0,0)时,叠加模具OVM的中心OVMC可以为作为叠加模具OVM的绝对叠加向量的 (x_2, y_2) 。根据一些示例实施例,检查装置需要提供视场FOV的准确参考点以用于叠加的绝对测量。因此,可能需要使用具有良好的准确度的晶片台来准确地确定晶片W的位置。

[0080] 根据一些示例实施例,根据第一叠加标记OVM1和叠加模具OVM的绝对测量,可以将第一叠加标记OVM1与叠加模具OVM之间的相对叠加确定为 $(x_2 - x_1, y_2 - y_1)$ 。

[0081] 参照图1、图4A和图4B,在ADI之后,当叠加超过临界范围(NG)时,可以通过使用化学品等的剥离工艺来去除光致抗蚀剂图案PP,并且随后可以在操作P20中再次设置光致抗蚀剂膜PR(参见图3)。在操作P30中,可以执行对准工艺和曝光工艺以补偿在操作P50中生成的叠加函数。

[0082] 在本说明书中,为了便于解释,操作P55中去除的光致抗蚀剂图案PP和对应的光致抗蚀剂膜PR(参见图3)可以分别可替换地被称为第一光致抗蚀剂图案和光致抗蚀剂图案膜,并且在操作P55中去除光致抗蚀剂图案PP之后,返工工艺中再次设置的光致抗蚀剂膜PR(参见图3)可以可替换地被称为第二光致抗蚀剂膜。

[0083] 这里,当通过单独的曝光工艺来转移上拍摄区PU和下拍摄区PL时,可以针对上拍摄区PU和下拍摄区PL两者计算叠加函数。因此,可以执行SDC以补偿在操作P50中计算的叠加函数,相对于单个拍摄区计算的叠加函数通过SDC被转换为用于两个不同拍摄区(例如,上拍摄区PU和下拍摄区PL)的叠加函数。

[0084] 根据一些示例实施例,可以根据以下转换等式来执行SDC。

[0085] $SSO=USO+LSO$

$$[0086] \quad SSO = \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$$

$$[0087] \quad USO = A_x \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y}),$$

$$[0088] \quad LSO = B_y \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$$

[0089] $n=h+i+j+k,$

[0090] $j+k=1$ 或 $2, j=0$ 或 $1, k=0$ 或 $2,$

[0091] $0 \leq h+i \leq 3h=0, 1, 2$ 或 $3, i=0, 1, 2$ 或 3

[0092] 这里, $\sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$ 是通过上拍摄区PU和下拍摄区PL两者的回归分析计算的叠加函数, $A_x \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$ 是表示上拍摄区PU的叠加的上拍摄区PU的叠加函数, $B_y \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$ 是表示下拍摄区PL的叠加的下拍摄区PL的叠加函数。

[0093] A_x 是取决于 h, i, j 和 k 的加权函数, 并且 B_y 是取决于 h, i, j 和 k 的加权函数。 \hat{x} 是在X方向上的单位向量, 并且 \hat{y} 是在Y方向上的单位向量。在一些情况下, 曝光装置可能无法校正X方向上的 y^3 分量, 在这样的情况下, 可以计算在RK20为0的约束下通过回归分析同时确定上拍摄区PU和下拍摄区PL两者的叠加函数。

[0094] 根据一些示例实施例, 可以基于多项式函数对叠加函数进行回归分析。例如, RK1是在X方向上的平行过渡参数(即, 常数 $\cdot \hat{x}$ 分量), RK2是在Y方向上的平行过渡参数(即, 常数 $\cdot \hat{y}$ 分量), RK3是在X方向上的各向同性膨胀参数(即, $x\hat{x}$ 的系数), RK4是在Y方向上的各向同性膨胀参数(即, $y\hat{y}$ 的系数), RK5是在X方向上的旋转参数(即, $y\hat{x}$ 的系数), 并且RK6是在Y方向上的旋转参数(即, $x\hat{y}$ 的系数)。

[0095] RK7至RK12可以是二阶非线性分量。RK7是作为 $x^2\hat{x}$ 的系数的参数, RK8是作为 $y^2\hat{y}$ 的系数的参数, RK9是作为 $x\cdot y\hat{x}$ 的系数的参数, RK10是作为 $y\cdot x\hat{y}$ 的系数的参数, RK11是作为 $y^2\hat{x}$ 的系数的参数, 并且RK12是作为 $x^2\hat{y}$ 的系数的参数。

[0096] RK13至RK20可以是三阶非线性分量。RK13是作为 $x^3\hat{x}$ 的系数的参数, RK14是作为 $y^3\hat{y}$ 的系数的参数, RK15是作为 $x^2\cdot y\hat{x}$ 的系数的参数, RK16是作为 $y^2\cdot x\hat{y}$ 的系数的参数, RK17是作为 $x\cdot y^2\hat{x}$ 的系数的参数, RK18是作为 $y\cdot x^2\hat{y}$ 的系数的参数, RK19是作为 $x^3\hat{y}$ 的系数的参数, 并且RK20是作为 $y^3\hat{x}$ 的系数的参数。

[0097] 在上拍摄区PU区域中, 表示所有的上拍摄区PU和下拍摄区PL的单个拍摄区SSO的叠加函数的值可以与仅表示上拍摄区PU的上叠加函数USO的值等同或基本上相似。相似地, 在下拍摄区PL区域中, 表示所有的下拍摄区PL和上拍摄区PU的单个拍摄区SSO的叠加函数

的值可以与下仅表示下拍摄区PL的叠加函数LS0的值等同或基本上相似。

[0098] 此时,单个拍摄区SS0的叠加函数可以基于将上拍摄区PU和下拍摄区PL视为单个拍摄区的坐标系统,上叠加函数US0可以基于限制在上拍摄区PU内的坐标系统,下叠加函数LS0可以基于限制在上拍摄区PU内的坐标系统。

[0099] 根据一些示例实施例,高级过程控制器或高级过程控制系统可以被配置为通过对作为单个拍摄区的上拍摄区PU和下拍摄区PL的回归分析以及单个拍摄区的叠加函数的转换来计算上拍摄区PU的叠加函数和下拍摄区PL的叠加函数。根据一些示例实施例,高级过程控制器或高级过程控制系统可以被配置为在操作P40中基于上拍摄区PU的叠加函数和下拍摄区PL的叠加函数来生成用于曝光光致抗蚀剂膜PR(参见图3)的馈送信号。

[0100] 在该说明书中,光致抗蚀剂图案PP的叠加函数可以可替换地被称为第二叠加函数,通过光致抗蚀剂图案PP的叠加函数的SDC计算的上拍摄区PU(参见图4A)的上叠加函数和下拍摄区PL(参见图4A)的下叠加函数可以分别可替换地被称为第二上叠加函数和第二下叠加函数。

[0101] 如上所述,根据一些示例实施例,为了在ADI之后的返工期间校正曝光工艺,可以基于通过同时测量上拍摄区PU和下拍摄区PL而计算的单个叠加函数SS0来计算上拍摄区PU的叠加函数US0和下拍摄区PL的叠加函数LS0。

[0102] 因此,与当分开测量上拍摄区PU和下拍摄区PL时相比,可以减少用于测量所需的时间,并且还可以减少半导体装置的周转时间,这导致制造半导体装置时的改善的良率。

[0103] 此外,当基于上拍摄区PU和下拍摄区PL中的仅一个的测量来计算叠加函数时,用于回归分析的叠加的测量位置的数量可能不足,并且所得叠加函数可能由于过度拟合而不准确。根据一些示例实施例,由于基于叠加的测量值从上拍摄区PU和下拍摄区PL的第一叠加标记OVM1和叠加模具OVM计算叠加函数,因此可以提供足够数量的叠加测量,并且可以改善叠加函数的可靠性。叠加函数的改善的可靠性可能导致制造半导体装置时的提高的良率。

[0104] 此外,即使在变形缩减投影在高数值孔径环境下在Y方向上具有1/8的缩减比率的情况下,由于同时测量上拍摄区PU和下拍摄区PL的叠加,因此,也可以使用现有的高级处理器控制器或高级控制系统,并且可能不需要附加的资本支出(CAPEX)。

[0105] 如此,描述了关于基于多项式函数的叠加回归分析的一些非限制性示例实施例。基于前述描述,本领域技术人员可以容易地想到使用函数空间的完整基集的叠加的回归分析(诸如不连续切比雪夫多项式、泽尼克多项式等)以及回归分析的叠加函数的SDC。在这样的情况下,构成完整基集的基中的每一个可以是有限或无限离散正交多项式。

[0106] 参照图1、图6A和图6B,当在操作P50中确定叠加在临界范围内时,可以在操作P60中通过使用诸如蚀刻、沉积、平面化等的工艺在第二层L2处形成电路图案、第二对准标记AGNM2和第二叠加标记OVM2。

[0107] 图7是用于解释根据另一示例实施例的制造半导体装置的方法的示图。更具体地,图7示出与图4A对应的部分。

[0108] 在下文中,省略参照图1至图6B描述的任何冗余解释,并且为了便于解释,集中于差异来描述示例实施例。

[0109] 参照图7,光致抗蚀剂图案PP可以包括第一拍摄区P1、第二拍摄区P2、第三拍摄区

P3和第四拍摄区P4。第一拍摄区至第四拍摄区P1、P2、P3和P4可以等同或通过反向而变得彼此等同。例如，第一拍摄区P1可以与第四拍摄区P4等同，第二拍摄区P2可以与第三拍摄区P3等同。第一拍摄区P1和第二拍摄区P2可以相对于与X方向平行的轴彼此对称。因此，相对于与X方向平行的轴反向的第一拍摄区P1可以与第二拍摄区P2等同。相似地，相对于与X方向平行的轴反向的第三拍摄区P3可以与第四拍摄区P4等同。作为非限制性示例，第一拍摄区至第四拍摄区P1、P2、P3和P4可以彼此等同或基本上等同。

[0110] 根据一些示例实施例，在ADI中，可以同时测量形成在第一拍摄区至第四拍摄区P1、P2、P3和P4的叠加模具OVM。因此，可以计算定义第一拍摄区至第四拍摄区P1、P2、P3和P4中的要素的叠加的叠加函数。

[0111] 根据一些示例实施例，如参照图1至图6B描述的，当叠加值超过临界范围时，可以去光致抗蚀剂图案PP，并且可以进行返工工艺。

[0112] 根据一些示例实施例，返工工艺可以包括通过叠加函数的单至四转换(SQC)来生成第一拍摄区P1的叠加函数、第二拍摄区P2的叠加函数、第三拍摄区P3的叠加函数和第四拍摄区P4的叠加函数。

[0113] 根据一些示例实施例，可以根据以下转换等式来执行SQC。

$$[0114] \quad SSO = S01 + S02 + S03 + S04$$

$$[0115] \quad SSO = \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$$

$$[0116] \quad S01 = A_w \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y}),$$

$$[0117] \quad S02 = B_x \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y}),$$

$$[0118] \quad S03 = C_y \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y}),$$

$$[0119] \quad S04 = D_z \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$$

$$[0120] \quad n = h + i + j + k,$$

$$[0121] \quad j + k = 1 \text{ 或 } 2, j = 0 \text{ 或 } 1, k = 0 \text{ 或 } 2,$$

$$[0122] \quad 0 \leq h + i \leq 3, h = 0, 1, 2 \text{ 或 } 3, i = 0, 1, 2 \text{ 或 } 3$$

[0123] 这里， $\sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$ 是通过所有的第一拍摄区至第四拍摄区P1、P2、P3和P4的回归分析计算的叠加函数， $A_x \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$ 是仅表示第一拍摄区P1的叠加的第一拍摄区P1的叠加函数， $B_y \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$ 是仅表示第二拍摄区P2的叠加的第二拍摄区P2的叠加函数， $C_x \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$ 是仅表示第三拍摄区P3的叠加的第三拍摄区P3的叠加函数，并且 $D_y \sum_{n=1}^{20} RK_n(x^h y^i)(j\hat{x} + k\hat{y})$ 是仅表示第四拍摄区P4的叠加的第四拍摄区P4的叠加函数。

[0124] A_w 是取决于h、i、j和k的加权函数， B_x 是取决于h、i、j和k的加权函数， C_y 是取决于h、

i、j和k的加权函数,并且 D_z 是取决于h、i、j和k的加权函数。在一些情况下,曝光装置可能无法校正X方向上的 y^3 分量,并且在这样的情况下,可以计算在RK20为0的约束下通过回归分析的单个拍摄区的叠加函数。

[0125] 在图7的示例实施例中,EUV曝光在X方向上的缩减比率可以为1/4,在Y方向上的缩减比率可以为1/16,并且因此,除了将一个叠加函数转换为四个拍摄区的叠加函数之外,图7的实施例与以上参照图1至图6B提供的描述相同或基本上相似。

[0126] 此外,基于该描述,本领域技术人员可以容易地想到其中EUV曝光在Y方向上的缩减比率为1/32并且单个叠加函数被转换为八个拍摄区的叠加函数的示例实施例、以及其中EUV曝光在Y方向上的缩减比率为 $1/(4 \cdot n)$ 并且单个叠加函数被转换为n(n为大于或等于3的整数)个拍摄区的叠加函数的实施例。

[0127] 图8是用于解释根据又一示例实施例的制造半导体装置的方法的流程图。

[0128] 在下文中,省略以上参照图1至图6B提供的任何冗余描述,并且为了便于解释,集中于差异来描述实施例。

[0129] 参照图8,操作P210至P240可以与参照图1描述的相应操作P10至P40等同或基本上等同。

[0130] 参照图8和图4B,在操作P250中,可以通过使用光致抗蚀剂图案PP来蚀刻第二层L2。因此,光致抗蚀剂图案PP转移的EUV光刻掩模的图案可以被转移到第二层L2。

[0131] 参照图8和图6B,在操作P260中,可以执行基于绝对测量的蚀刻后检查(AEI)。这里,绝对测量可以指以上参照图5描述的测量叠加的方法。除了使用转移到第二层L2的第二叠加标记OVM2(参见图6B)的差异之外,操作P260的AEI可以与操作P50的晶片检查等同或基本上等同。

[0132] 在操作P260中,当叠加在阈值内(G)时,可以在操作P271中执行后续工艺。在操作P260中,当叠加超过阈值(NG)时,已经执行蚀刻,并且可以在操作P275中丢弃晶片W。因此,可以减少可能由于对故障晶片W的附加工艺而已经发生的不期望的费用。

[0133] 图9是用于解释根据再一示例实施例的制造半导体装置的方法的流程图。

[0134] 参照图9,通过与参照图1、图8和图9描述的方法相似的方法,可以在操作P310中对例如第一批中的多个晶片的组执行光刻工艺。

[0135] 然后,在操作P320中,可以基于通过对第一批的单个拍摄区的叠加函数执行SDC而生成的上拍摄区PU(参见图4A)的叠加函数和下拍摄区PL(参见图4A)的叠加函数对第二批执行光刻工艺。

[0136] 根据一些示例实施例,可以基于从对准标记生成的模型函数、上拍摄区PU(参见图4A)的叠加函数和下拍摄区PL(参见图4A)的叠加函数对第二批执行光刻工艺。根据一些示例实施例,从对准标记生成的模型函数可以被修改为在操作P320的光刻工艺中补偿上拍摄区PU(参见图4A)的叠加函数和下拍摄区PL(参见图4A)的叠加函数。根据一些示例实施例,光刻工艺中的修改可以包括调整光的强度、扫描速度、扫描方向、偏移、旋转、尺寸等。

[0137] 图9中所示的制造半导体装置的方法可以被称为批至批反馈工艺。批至批反馈工艺可以基于图1的ADI和图8的AEI中的至少一种。

[0138] 图10是用于解释根据再一示例实施例的制造半导体装置的方法的流程图。

[0139] 参照图10,在操作P410中,可以对第一晶片执行光刻工艺。操作P410的光刻工艺可

以与以上参照图1描述的光刻工艺等同或基本上等同。因此,可以计算光致抗蚀剂图案PP的单个拍摄区的叠加函数。

[0140] 然后,可以通过对相对于第一晶片测量的单个拍摄区的叠加函数执行SDC来对第二晶片执行光刻工艺。根据一些示例实施例,对第二晶片执行的光刻工艺可以是通过经由对第一晶片的单个拍摄区的叠加函数执行SDC而生成的上拍摄区PU(参见图4A)的叠加函数和下拍摄区PL(参见图4A)的叠加函数修改的光刻工艺。根据一些示例实施例,操作P420的光刻工艺可以被修改为补偿上拍摄区PU(参见图4A)的叠加函数和下拍摄区PL(参见图4A)的叠加函数。

[0141] 参照图10描述的制造半导体装置的方法可以被称为晶片至晶片反馈工艺。晶片至晶片反馈工艺可以基于图1的ADI和图8的AEI中的至少一种。

[0142] 尽管已经参照本发明构思的一些示例实施例具体示出和描述了本发明构思,但是将理解,在不脱离所附权利要求的精神和范围的情况下,可以在本文中做出形式和细节上的各种改变。

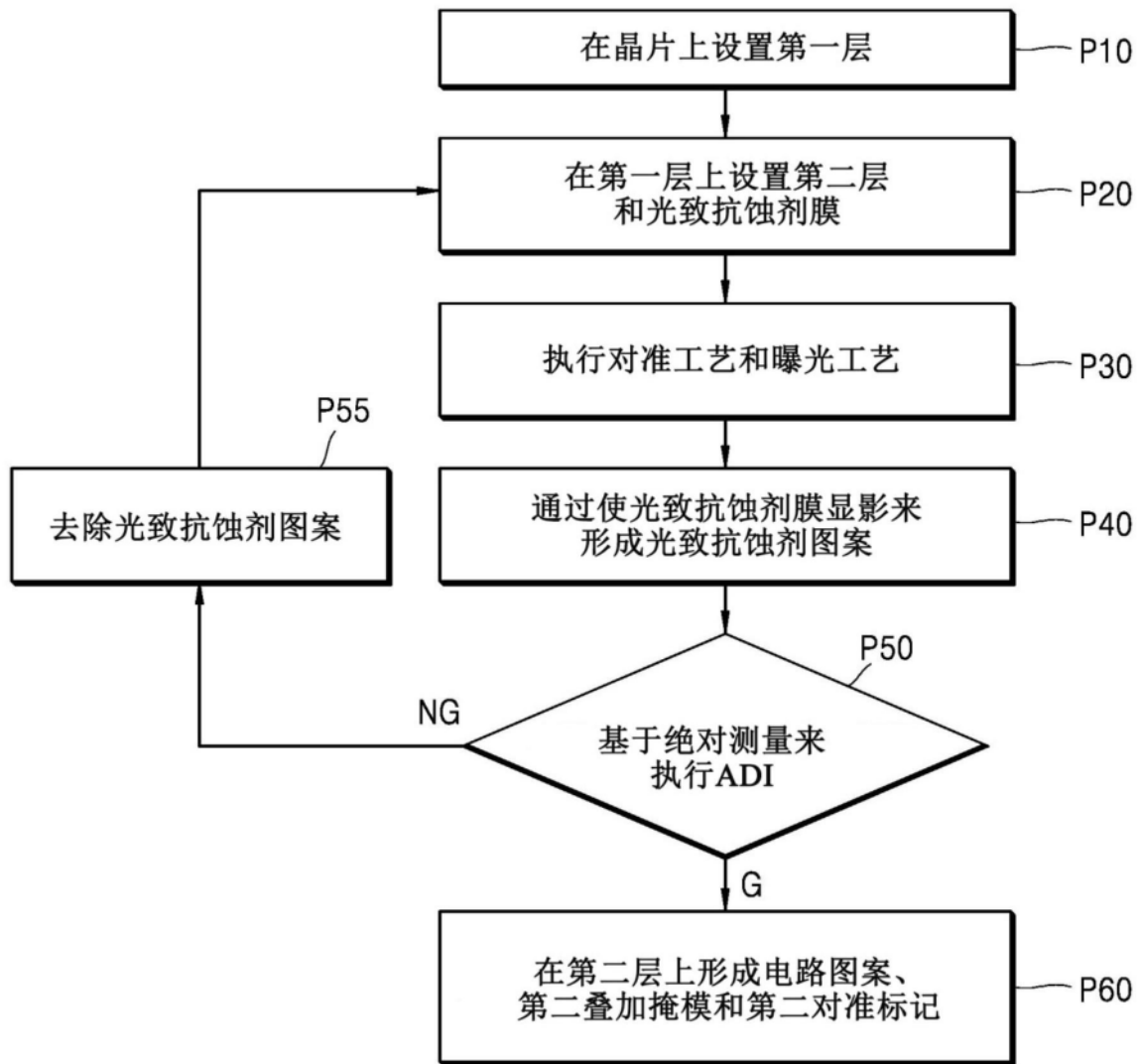


图1

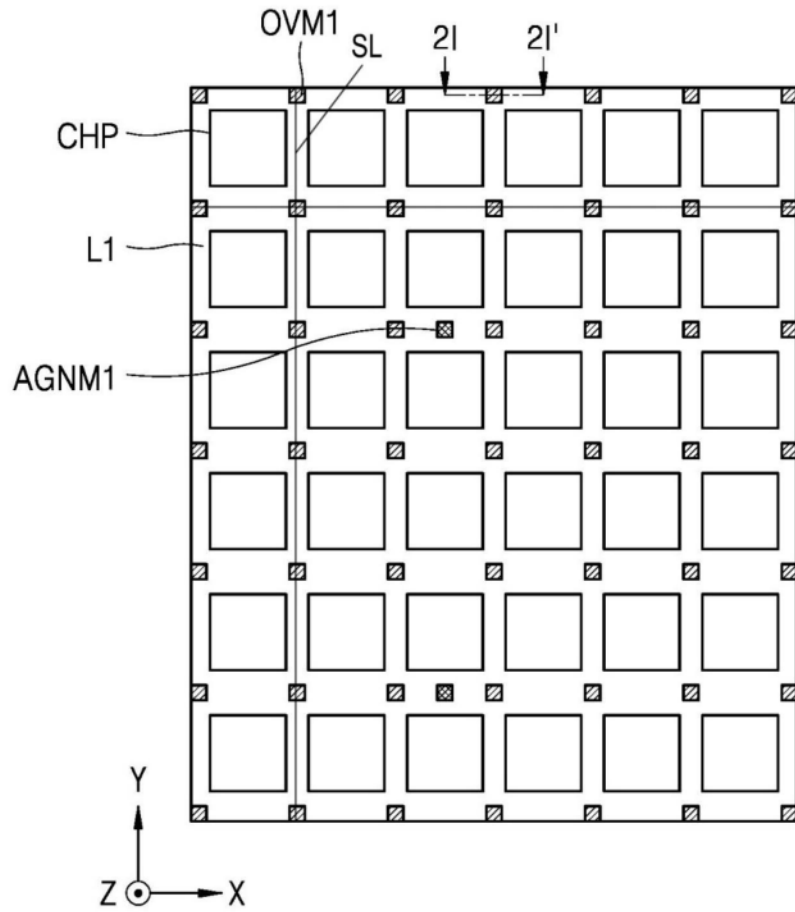


图2A

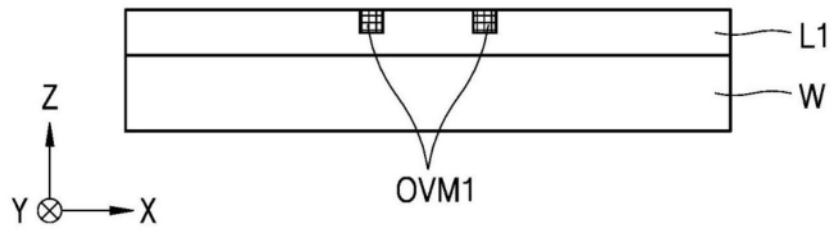


图2B

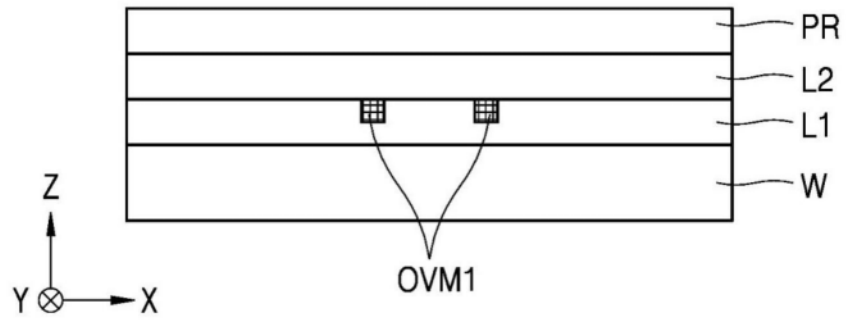


图3

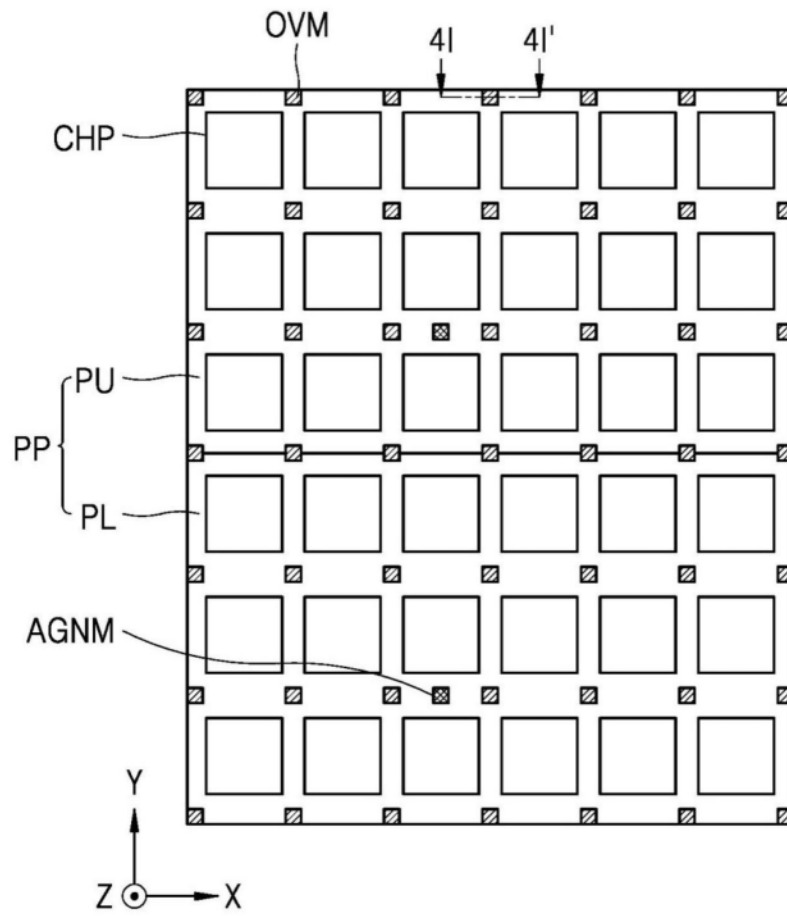


图4A

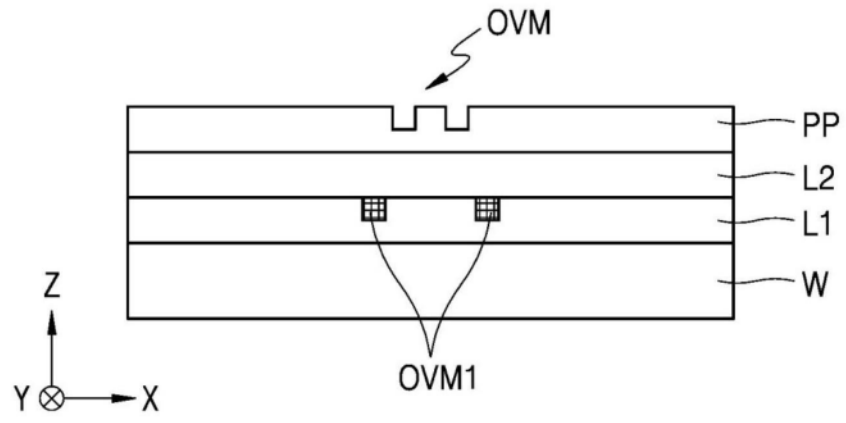


图4B

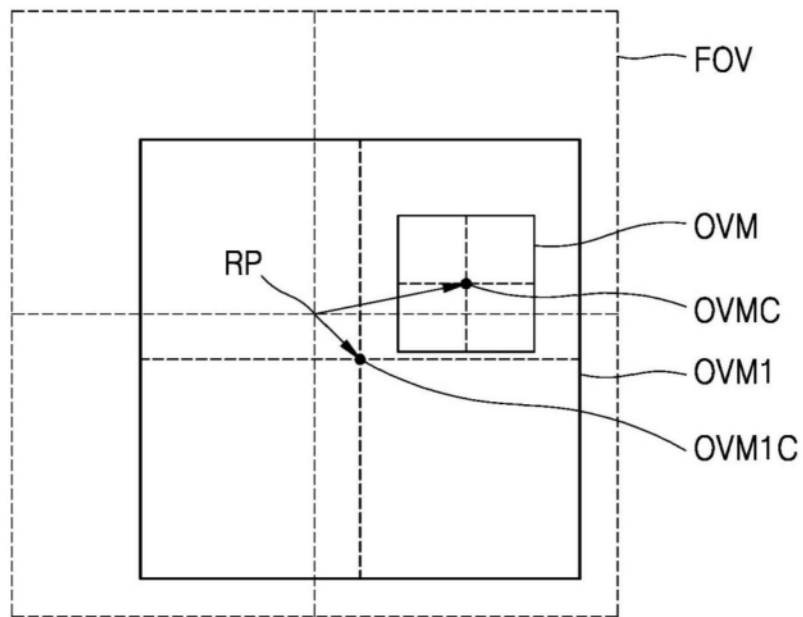


图5

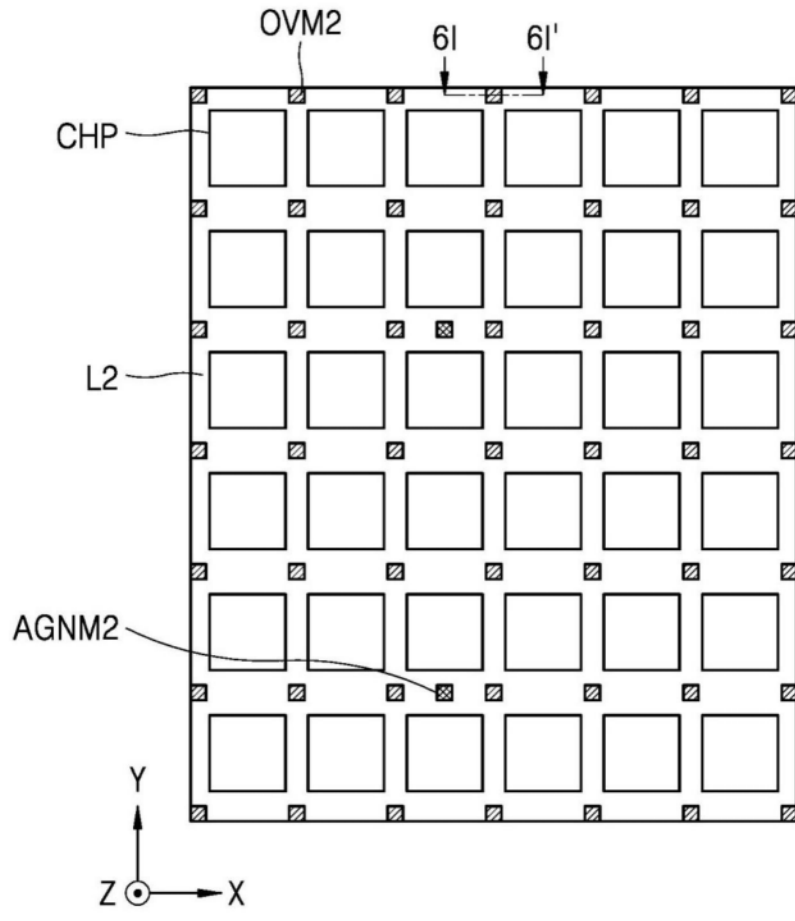


图6A

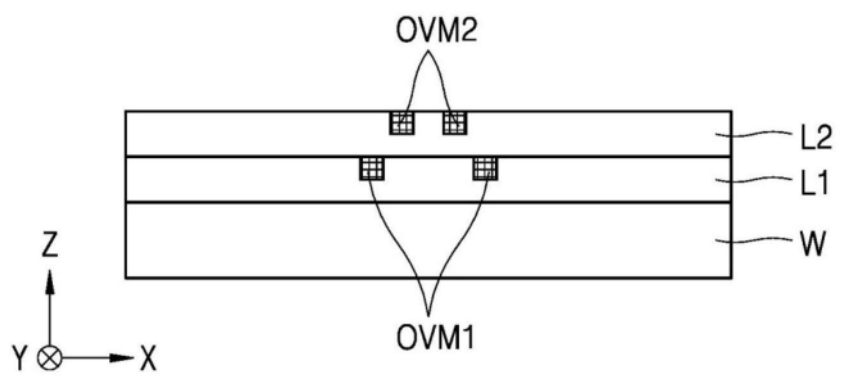


图6B

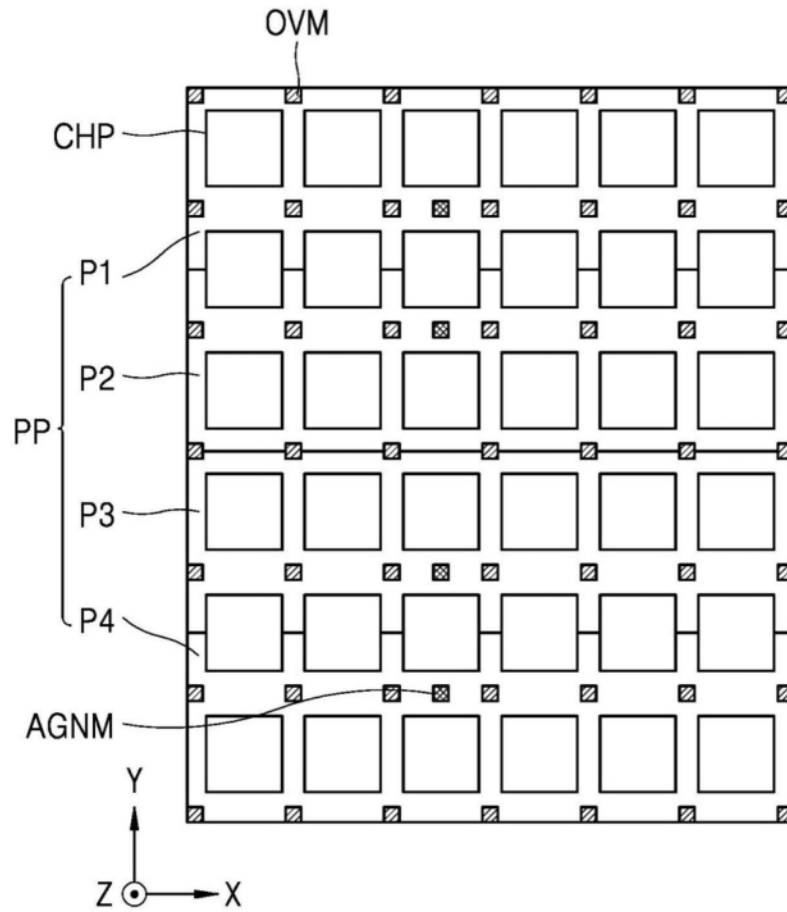


图7

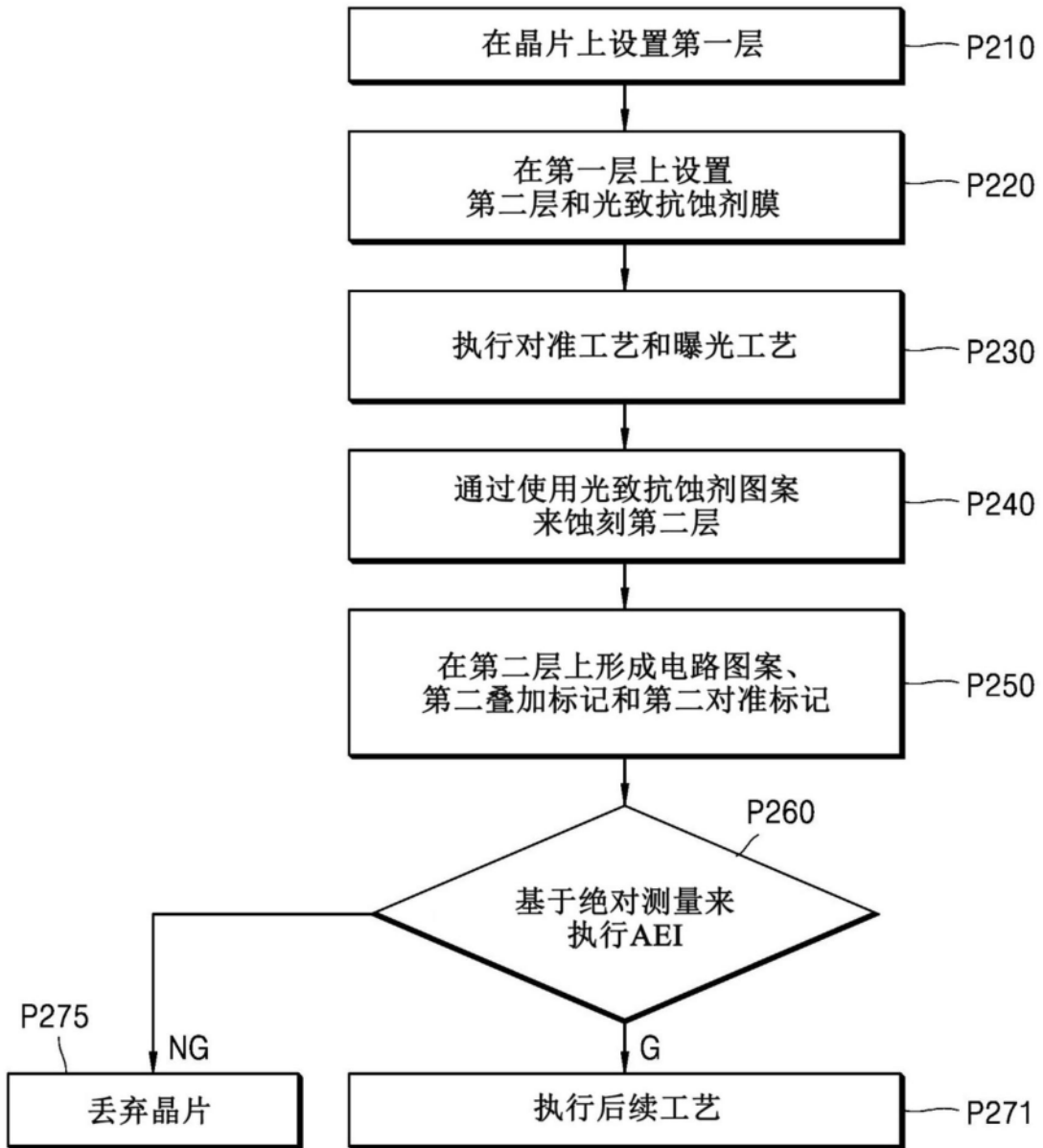


图8

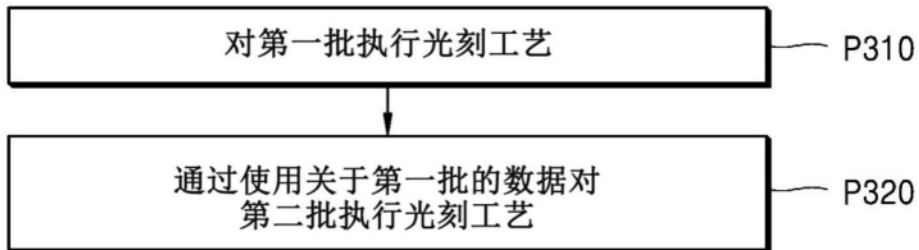


图9

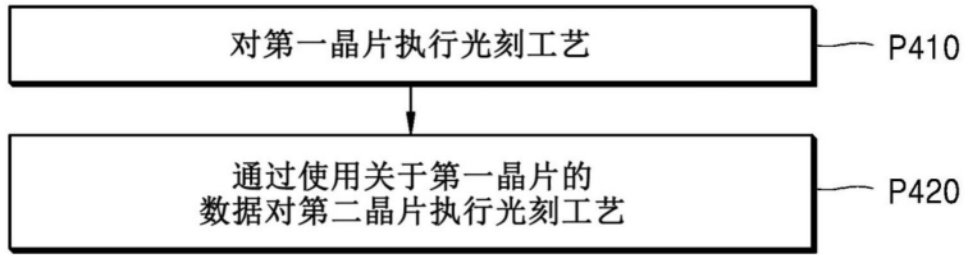


图10