

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4345676号  
(P4345676)

(45) 発行日 平成21年10月14日(2009.10.14)

(24) 登録日 平成21年7月24日(2009.7.24)

(51) Int.Cl.		F I		
HO 1 L 27/105	(2006.01)	HO 1 L 27/10	4 4 8	
HO 1 L 27/10	(2006.01)	HO 1 L 27/10	4 8 1	
HO 1 L 45/00	(2006.01)	HO 1 L 45/00	A	

請求項の数 3 (全 20 頁)

(21) 出願番号	特願2005-5310 (P2005-5310)	(73) 特許権者	500174247
(22) 出願日	平成17年1月12日(2005.1.12)		エルピーダメモリ株式会社
(65) 公開番号	特開2006-196594 (P2006-196594A)		東京都中央区八重洲2-2-1
(43) 公開日	平成18年7月27日(2006.7.27)	(74) 代理人	100096231
審査請求日	平成18年2月6日(2006.2.6)		弁理士 稲垣 清
		(72) 発明者	浅野 勇
			東京都中央区八重洲2-2-1 エルピー
			ダメモリ株式会社内
		(72) 発明者	川越 剛
			東京都中央区八重洲2-2-1 エルピー
			ダメモリ株式会社内
		(72) 発明者	藤 幸雄
			東京都中央区八重洲2-2-1 エルピー
			ダメモリ株式会社内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に、相互に平行に延びる複数のビット線と、該ビット線と交差し且つ相互に平行に延びる複数の選択線と、前記ビット線と前記選択線との各交差部分にそれぞれ配設される複数の相変化型のメモリセルとを備え、前記メモリセルが、対応するビット線と対応する選択線との間に接続される半導体記憶装置において、

前記メモリセルと前記ビット線とを接続するビット線コンタクトプラグを有し、

前記メモリセルが、相変化メモリ素子と該相変化メモリ素子と直列に接続されるダイオードとを備え、該ダイオードは、前記半導体基板の内部に形成され前記ビット線コンタクトプラグに電気的に接続されたn型半導体層と該n型半導体層の上に形成されたp型半導体層とで形成されており、

前記ビット線コンタクトプラグが、隣接する2つのメモリセルで共用されていることを特徴とする半導体記憶装置。

【請求項2】

前記隣接する2つのメモリセルのダイオードが、素子分離領域で区画された別の活性領域内に形成され、前記ビット線コンタクトプラグを介して前記隣接するメモリセルの双方のn型半導体層が相互に接続されている、請求項1に記載の半導体記憶装置。

【請求項3】

前記ビット線コンタクトプラグは、前記p型半導体層及びn型半導体層と絶縁されて前記半導体基板中に埋め込まれており、前記n型半導体層の下部に配設された別のn型半導

体層に直接に接触する、請求項 1 に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に関し、更に詳しくは、相変化メモリ素子を用いたメモリセル（PCRAMセル）を有する半導体記憶素子に関する。

【背景技術】

【0002】

半導体記憶装置として、相変化材料（カルコゲナイド）をメモリ素子として用いた PCRAM（phase-change random-access-memory）装置が知られている。PCRAM装置は、記憶が不揮発性であること、高速作動が可能であること、及び、大容量化が可能であることから特に最近になって注目されている。特許文献 1 には、従来の PCRAMセルを有する半導体装置が記載されている。図 30（a）及び（b）はそれぞれ、特許文献 1 に記載された半導体装置の回路構成及び構造を示している。

10

【0003】

図 30（a）において、半導体記憶装置 200 は、行方向に延びる複数のビット線 BL（BL<sub>0</sub>、BL<sub>1</sub>、...、BL<sub>n</sub>）と、列方向に延びる複数の選択線 SL（SL<sub>0</sub>、SL<sub>1</sub>、...、SL<sub>m</sub>）と、各ビット線 BL と各選択線 SL との交点に配設されたメモリセル（PCRAMセル）51 とを有する。各 PCRAMセル 51 は、相変化材料から形成された相変化メモリ素子（カルコゲナイド素子）52 と、相変化メモリ素子 52 に直列に接続された、pn 接合を有するダイオード（整流素子）53 とから構成される。PCRAMセル 51 は、対応するビット線 BL と対応する選択線 SL との間に、ダイオード 53 の極性が選択線 SL 側からビット線 BL 側に順方向となるように接続されている。

20

【0004】

カルコゲナイド素子 52 は、熱を加える態様によって、アモルファス状態又は結晶状態の何れかの状態をとり、アモルファス状態又は結晶状態に対応させて、たとえば“1”又は“0”のデータを記憶する。ダイオード 53 は、同じビット線 BL に接続されている他の選択セルが書き換えられる際に流れる電流によって非選択セルが書き換えられることを防止する、いわゆるディスターブ防止の目的で挿入される。なお、ダイオードに代えて MOSFET 等の選択スイッチを用いることもできる。

30

【0005】

記憶の読出しにあたっては、選択されたメモリセル 51 に、選択線 SL からビット線 BL に向かって順方向となるような電圧を印加する。相変化メモリ素子 52 は、結晶状態又はアモルファス状態の何れかによって、抵抗値が異なり、従って、電圧印加時に流れる電流値が異なる。この電流値をセンスアンプ（SA）54 で増幅して読み取ることで、メモリセル 51 の記憶が読み出される。

【0006】

図 30（b）において、半導体基板 110 上に、絶縁膜 120 を介してシリコン層が堆積されて SOI 基板 201 を構成している。シリコン層は、素子分離溝（浅溝）130 によって各活性領域 250 に区画されており、各活性領域 250 には、n 型半導体領域 150 と p 型半導体領域 160 とが形成され、これらは、ダイオード 53 の pn 接合を構成している。

40

【0007】

p 型半導体領域 160 の上には、コンタクト領域 260 を介してカルコゲナイド膜 290 が形成されており、カルコゲナイド膜 290 の上には、バリアメタル層 300、310 を介して選択線 315 が形成されている。一方、n 型半導体領域 150 の上には、コンタクト領域 360 を介してビット線コンタクトプラグ 350 が形成されており、ビット線コンタクトプラグ 350 は、その上部のビット線 140 に接続されている。同様な形式の PCRAM装置は、特許文献 2 にも記載がある。

【特許文献 1】USP 6,531,373 号

50

【特許文献2】特開平5 - 21740号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

上記特許文献1に記載のPCRAM装置では、ダイオードのpn接合を構成するp型半導体領域160とn型半導体領域150とが横方向に並んで配置されている。また、各メモリセル毎にビット線コンタクトプラグ350を1つずつ配置している。従って、半導体記憶装置の更なる高密度化の観点からは、このような配置を見直すことが望まれる。

【0009】

本発明は、上記従来のPCRAM装置のメモリセルを改良し、もって更に高密度化が可能な相変化メモリセルを有する半導体記憶装置を提供することを目的とする。

10

【課題を解決するための手段】

【0010】

上記目的を達成するために、本発明の半導体記憶装置は、半導体基板上に、相互に平行に延びる複数のビット線と、該ビット線と交差し且つ相互に平行に延びる複数の選択線と、前記ビット線と前記選択線との各交差部分にそれぞれ配設される複数の相変化型のメモリセルとを備え、前記メモリセルが、対応するビット線と対応する選択線との間に接続される半導体記憶装置において、

前記メモリセルと前記ビット線とを接続するビット線コンタクトプラグが、隣接する2つのメモリセルで共用されていることを特徴とする。

20

【0011】

また、本発明の第1の視点に係る半導体記憶装置の製造方法は、半導体基板上に、相互に平行に延びる複数のビット線と、該ビット線と交差し且つ相互に平行に延びる複数の選択線と、前記ビット線と前記選択線との各交差部分にそれぞれ配設される複数の相変化型のメモリセルとを備え、前記メモリセルが、対応するビット線と対応する選択線との間に接続される半導体記憶装置の製造法において、

半導体基板上に素子分離領域を形成して、前記半導体基板を複数の活性領域に区画する工程と、

前記活性領域内に、n型コンタクト層と、n型半導体層及びp型半導体層を有するダイオードとを順次に形成する工程と、

30

底部が前記n型コンタクト層に接続し側壁絶縁膜を有するコンタクトプラグを前記活性領域内に形成し、該活性領域内のダイオードを2つに分割する工程と、

一方の電極が前記p型半導体層に接続する相変化素子を形成する工程と、

前記コンタクトプラグに接続するビット線と、前記相変化素子の他方の電極に接続する選択線とを形成する工程とを備えることを特徴とする。

【0012】

更に、本発明の第2の視点に係る半導体記憶装置の製造方法は、半導体基板上に、相互に平行に延びる複数のビット線と、該ビット線と交差し且つ相互に平行に延びる複数の選択線と、前記ビット線と前記選択線との各交差部分にそれぞれ配設される複数の相変化型のメモリセルとを備え、前記メモリセルが、対応するビット線と対応する選択線との間に接続される半導体記憶装置の製造法において、

40

半導体基板上に素子分離領域を形成して、前記半導体基板を複数の活性領域に区画する工程と、

前記活性領域内に、n型コンタクト層と、n型半導体層及びp型半導体層を有するダイオードとを順次に形成する工程と、

側壁絶縁膜を有し、隣接する2つの活性領域にまたがり、該2つの活性領域の双方のn型コンタクト層に接続するコンタクトプラグを前記素子分離領域に形成する工程と、

一方の電極が前記p型半導体層に接続する相変化素子を形成する工程と、

前記コンタクトプラグに接続するビット線と、前記相変化素子の他方の電極に接続する選択線とを形成する工程とを備えることを特徴とする。

50

**【発明の効果】****【0013】**

本発明の半導体記憶装置によると、隣接する2つのメモリセルとビット線とを接続するビット線コンタクトプラグを1つのコンタクトプラグで共用することにより、メモリセルの高集積化が可能になる。

**【0014】**

本発明の半導体記憶装置の好ましい態様では、前記メモリセルが、相変化メモリ素子と該相変化メモリ素子と直列に接続されるダイオードとを備え、該ダイオードは、前記半導体基板の内部に形成され前記ビット線コンタクトプラグに電氣的に接続されたn型半導体層と該n型半導体層の上に形成されたp型半導体層とで形成されるpn接合を有する。pn接合を積層されるp型半導体層及びn型半導体層で構成することにより、更にメモリセルの高集積化が可能になる。

10

**【0015】**

前記隣接する2つのメモリセルのダイオードが、共通の半導体活性領域内に配設されたp型半導体層及びn型半導体層によって構成され、且つ、前記ビット線コンタクトプラグを被覆する絶縁膜によって、相互に区画されている構成も本発明の好ましい態様である。2つのメモリセルのダイオードを1つの活性領域に形成することにより、更なる高集積化が可能になる。

**【0016】**

上記に代えて、前記隣接する2つのメモリセルのダイオードが、素子分離領域で区画された別の活性領域内に形成され、前記ビット線コンタクトプラグを介して前記隣接するメモリセルの双方のn型半導体層が相互に接続されている構成を採用することも出来る。ビット線コンタクトプラグを、2つの活性領域にまたがらせて素子分離領域内に形成することにより、同様に高集積化が可能である。

20

**【0017】**

更に上記に代えて、前記ビット線コンタクトプラグが、前記pn接合を形成するp型半導体層及びn型半導体層と絶縁されて前記半導体基板中に埋め込まれており、前記pn接合を形成するn型半導体層の下部に配設された別のn型半導体層に直接に接触する態様を採用することも出来る。同様に高集積化が可能である。

**【0018】**

前記ビット線を、前記相変化メモリ素子及び選択線の上方に配設する構成、或いは、前記選択線を、前記ビット線の上方に配設する構成の何れも採用可能である。選択線をビット線よりも上方に配設する場合には、前記ビット線が側壁絶縁膜を有し、前記選択線と前記相変化素子とを接続するコンタクトプラグが、前記ビット線の側壁絶縁膜と自己整合的に形成される構成が採用できる。更なる高集積化が可能である。

30

**【0019】**

本発明の半導体記憶装置の製造方法によると、ビット線コンタクトプラグを隣接する2つのメモリセルに共用する構成により、半導体記憶装置を高集積化して製造可能である。

**【0020】**

本発明の好ましい態様の半導体記憶装置では、隣接する2つの相変化メモリ素子とその下部電極の直下に、縦方向に配列されたp型半導体領域及びn型半導体領域からなるダイオードを有し、かつ、隣接する2つの相変化メモリ素子が、両者の間に配置された1つのビット線コンタクトプラグを共有する。ビット線コンタクトプラグは、少なくともその一部が半導体基板内にp型半導体領域及びn型半導体領域を貫通して形成され、半導体基板内にてダイオードの一方の電極部分と接続される。

40

**【発明を実施するための最良の形態】****【0021】**

以下、図面を参照し、本発明の半導体記憶装置を、その好適な実施形態に基づいて説明する。図1は、本発明の一実施形態に係る半導体記憶装置として構成されるPCRAM装置の構成を示す回路図である。PCRAM装置100のメモリアレイは、列方向(Y方向

50

に延びる複数の選択線  $SL$  ( $SL_0$ 、 $SL_1$ 、 $\dots$ 、 $SL_n$ )と、行方向 ( $X$ 方向)に延びる複数のビット線  $BL$  ( $BL_0$ 、 $BL_1$ 、 $\dots$ 、 $BL_m$ )とがマトリクス状に配置され、各ビット線  $BL$ と各選択線  $SL$ との交点には、1つの相変化メモリセル (PCRAMセル) 41が配設される。各相変化メモリセル 41は、1個の相変化メモリ素子 (カルコゲナイド素子) 42と、この相変化メモリ素子 42と直列に接続された、 $pn$ 接合からなるダイオード (整流素子) 43とで構成される。各メモリセル 41は、対応する選択線  $SL$ と対応するビット線  $BL$ との間に、ビット線  $BL$ がダイオード 43の  $n$ 極側に接続されるように、挿入されている。PCRAM装置 100のビット線  $BL$ は、センスアンプ (SA) 44に接続され、選択線  $SL$ の一端は、ワードドライバー (WD) 45に接続される。

10

#### 【0022】

図2は、図1のPCRAMメモリアレイのパターンの一部を拡大して示す平面図である。なお、この平面図を含む添付の平面図は、部材を構成するパターンの模式的形状を示すものであり、実際の部材の形状を示すものではない。例えば、図示するパターンは正方形あるいは長方形によって描画されているが、実際の部材では頂角が丸くあるいは鈍角に形成されている。

#### 【0023】

PCRAMメモリアレイでは、複数の選択線  $SL$ が  $Y$ 方向 (列方向)に延び、複数のビット線  $BL$ が  $X$ 方向 (行方向)に延びるように配置されている。選択線  $SL$ とビット線  $BL$ とが重なる領域を列方向につないで、カルコゲナイド素子 42が配置される。カルコゲナイド素子 42は、相変化材料 (カルコゲナイド)を、上部電極及び下部電極を構成する上下2層の電極間に挟んだ構造を有する。下部電極は、ダイオード 43の  $pn$ 接合を構成する  $p$ 型半導体層に接続され、 $pn$ 接合を構成する  $n$ 型半導体層は、ビット線コンタクト孔 25を介して、上方のビット線  $BL$ に接続される。一方、上部電極は、カルコゲナイド素子 42と同一形状のパターンに形成され、上部電極を構成するメタルが選択線  $SL$ となる。各活性領域 48には、2つのメモリセルの下部電極コンタクト孔 18が開口し、これらに共通のビット線コンタクトプラグ孔が配置される。

20

#### 【0024】

図3は、図1のPCRAM装置の完成断面の一部を示す。向かって右にPCRAMアレイ領域 47の部分を、左に周辺回路領域 46の部分を示す。なお、図2を含む添付の断面図は、断りが無い限り、図2に示すPCRAMアレイの  $A-A'$ 線を通る断面を示している。半導体基板 1の表面近傍には、素子分離領域 6が形成されており、素子分離領域 6は、半導体基板 1を複数の活性領域 48に区分する。PCRAMアレイ領域 47の各活性領域 48には、下から順次に高濃度  $n$ 型半導体領域 7、低濃度  $n$ 型半導体領域 8及び高濃度  $p$ 型半導体領域 9が、活性領域 48全体に形成されている。低濃度半導体領域 8と  $p$ 型高濃度半導体領域 9とにより、ダイオード 43の  $pn$ 接合が形成される。高濃度  $n$ 型半導体領域 7は、シリコン窒化膜 (サイドウォール膜) 26によって側部が被覆されたビット線コンタクトプラグ 27bを経由して、上部のビット線 30aに接続されている。ビット線コンタクトプラグ 27bの底面には、高濃度  $n$ 型半導体層 7とのコンタクトを良好にするために、シリサイド層 27aが形成されている。

30

40

#### 【0025】

高濃度  $p$ 型半導体領域 9の上には、層間絶縁膜 17を貫通する2本の下部電極コンタクトプラグ 21が、ビット線コンタクトプラグ 27bを挟んで形成されている。各コンタクトプラグ 21の頂部には、カルコゲナイド膜 22及び上部電極 23が形成されている。上部電極 23はそのまま  $Y$ 方向に延びて選択線  $SL$ を構成する。本構成により、PCRAMアレイ領域 47の各活性領域 48には、2つのメモリセルが形成され、この2つのメモリセルに、共通のビット線コンタクトプラグ 27bが配置される。2つのメモリセルの双方のダイオード 43は、ビット線コンタクトプラグ 27bの側壁表面に形成されたサイドウォール膜 26によって相互に区画、絶縁されている。

#### 【0026】

50

半導体基板 1 の周辺回路領域 4 6 の各活性領域 4 8 には、周辺回路を構成する p 型及び n 型 M I S F E T が形成されている。周辺回路領域 4 6 から P C R A M アレイ領域 4 7 には、第 2 層配線を構成する上部配線 3 3 が延びて、上部配線 3 3 が双方の領域間 4 6 , 4 7 で信号を伝達している。

【 0 0 2 7 】

以下、図 4 から図 1 2 を参照し、上記実施形態に係る P C R A M 装置の製造方法を説明する。まず、図 4 ( a ) に示すように、たとえば  $10 \text{ cm}$  の抵抗率を有する p 形シリコン単結晶からなる半導体基板 1 の主面に、素子分離領域 6 を形成する。素子分離領域 6 は、例えば、半導体基板 1 の主面に浅溝 5 を形成し、浅溝 5 内にシリコン酸化膜を埋設することで形成される。浅溝 5 は、たとえば、 $0.3 \mu\text{m}$  の深さを有し、予めその内壁にシリコン酸化膜を熱酸化法で形成していてもよい。浅溝 5 内にシリコン酸化膜を堆積し、これを C M P (Chemical Mechanical Polishing) 法により研磨する。これによって、浅溝 5 内にのみシリコン酸化膜を残し、素子分離領域 6 を形成する。素子分離領域 6 により囲まれる P C R A M アレイ領域 4 7 内の活性領域 4 8 のパターンは、図 2 に示すように、例えば矩形状の平面形状を有する。

【 0 0 2 8 】

次に、周辺回路領域 4 6 に、フォトレジストをマスクとし、リン ( P ) をイオン注入して n 型ウエル 4 を形成する。さらに、フォトレジストをマスクにし、ボロン ( B ) をイオン注入して、p 型ウエル 3 を形成する。次いで、P C R A M アレイ領域 4 7 に、フォトレジストをマスクにしたイオン注入法により、ダイオード 4 3 の p n 接合となる部分の下部に、ビット線コンタクトプラグとの接続のための高濃度 n 型半導体領域 7 を形成する。続いて、ダイオード 4 3 の p n 接合を構成する低濃度 n 型半導体領域 8 、及び、高濃度 p 型半導体領域 9 を順次に形成する。低濃度 n 型半導体領域 8 の濃度は、例えば、 $1 \text{ E } 1 7 \sim 1 \text{ E } 1 8 \text{ atoms/cm}^3$  程度とし、高濃度 p 型半導体領域 9 の濃度は、例えば  $1 \text{ E } 1 9 \sim 1 \text{ E } 2 0 \text{ atoms/cm}^3$  程度とする。これらのイオン注入に引き続き、活性化アニールを行うことにより、ダイオード 4 3 の p n 接合が形成される。

【 0 0 2 9 】

次に、図 4 ( b ) に示すように、p 型ウエル 3 及び n 型ウエル 4 が形成された周辺回路領域 4 6 内の活性領域 4 8 に、熱酸化法により周辺回路の M I S F E T のゲート絶縁膜 1 0 を形成する。引き続き、半導体基板 1 の全面に、たとえば不純物としてリン ( P ) を  $3 \times 1 0^{12} \text{ atoms/cm}^3$  の濃度で導入された多結晶シリコン膜 1 1 を  $50 \text{ nm}$  の膜厚で堆積し、その上に、例えば  $100 \text{ nm}$  の膜厚のタンゲステン膜 1 2 を堆積する。このとき、タンゲステン膜 1 2 と多結晶シリコン膜 1 1 との間には双方の反応を防止する目的で、たとえば、窒化タンゲステン ( W N ) 膜 ( 図示せず ) を挿入することが望ましい。多結晶シリコン膜 1 1 は C V D (Chemical Vapor Deposition) 法により、タンゲステン膜 1 2 および窒化タンゲステン膜はスパッタ法により、それぞれ形成することができる。その後、シリコン窒化膜をたとえば  $200 \text{ nm}$  厚みに堆積する。更に、フォトリソグラフィ技術およびドライエッチング技術を用いてパターンニングを行い、M I S F E T のゲート電極 1 3 とその上のキャップ絶縁膜 1 4 とを形成する。

【 0 0 3 0 】

次に、キャップ絶縁膜 1 4 およびゲート電極 1 3 と、フォトレジスト ( 図示せず ) とをマスクとし、周辺回路領域 4 6 の n チャネル M I S F E T が形成される領域に、たとえばヒ素 ( A s ) またはリン ( P ) を不純物としてイオン注入し、n チャネル M I S F E T のための低濃度不純物領域 1 5 a を形成する。その後、周辺回路領域 4 6 の p チャネル M I S F E T が形成される領域に、たとえば不純物としてボロン ( B ) をイオン注入して、p チャネル M I S F E T のための低濃度不純物領域 1 5 a を形成する。

【 0 0 3 1 】

次に、半導体基板 1 の全面に、シリコン窒化膜をたとえば  $30 \text{ nm}$  厚みに堆積する。その後、図 5 ( a ) に示すように、シリコン窒化膜を、異方性ドライエッチングしてキャップ絶縁膜 1 4 およびゲート電極 1 3 の側壁に残し、サイドウォール膜 1 6 とする。さらに

10

20

30

40

50

、半導体基板 1 の全面に、シリコン窒化膜（図示せず）をたとえば 20 nm 厚みに堆積する。このシリコン窒化膜は、図 5（b）を参照して説明する下部電極コンタクト孔 18 を開口するとき、その一部が素子分離領域 6 にかかる場合に、その削れを最小限に抑える目的で形成される。

#### 【0032】

次に、周辺回路領域 46 の n チャネル MISFET が形成される領域にフォトレジスト膜を形成し、このフォトレジスト膜とサイドウォール膜 16 とをマスクにして、不純物としてたとえばボロン（B）をイオン注入し、p チャネル MISFET のソース・ドレイン領域となる高濃度不純物領域 15b を形成する。さらに、周辺回路領域 46 の p チャネル MISFET が形成される領域にフォトレジスト膜を形成し、このフォトレジスト膜とサイドウォール膜 16 とをマスクにして、不純物としてたとえばリン（P）をイオン注入し、n チャネル MISFET のソース・ドレイン領域となる高濃度不純物領域 15b を形成する。

10

#### 【0033】

次に、たとえば膜厚が 400 nm のシリコン酸化膜を CVD 法により形成し、図 5（b）に示すように、この表面を CMP（Chemical Mechanical Polishing）法により研磨して平坦化し、層間絶縁膜 17 を形成する。このとき、たとえば、シリコン酸化膜としては、TEOS（Tetra Methoxy Silane）を原料ガスとした CVD 法により形成されたシリコン酸化膜を用いてもよい。また、これを堆積する際に、所定量のボロン（B）およびリン（P）をシリコン酸化膜中に導入したのち、熱処理を加えることでシリコン酸化膜をリフローさせることも可能である。しかるのちに、CMP 法を併用して平坦性を向上させ、層間絶縁膜 17 を形成することができる。

20

#### 【0034】

次に、PCRAM アレイ領域 47 の下部電極コンタクト孔 18 をフォトリソグラフィ技術とドライエッチング技術とを用い開口する。下部電極コンタクト孔 18 は、図 2 に示すように、平面的には、活性領域 48 上の X 方向両端部近傍に形成される。このとき、先に述べたように、下部電極コンタクト孔 18 と素子分離領域 6 との合わせずれにより、万一、双方の一部が重なり合うと、下部電極コンタクト孔 18 をドライエッチングする際に、素子分離領域 6 が削られることになる。この部分で、メタルプラグを形成すると、半導体基板 1 内に形成された pn 接合 8、9 とコンタクトプラグとが接触することになり、所望の回路を形成することができなくなる。これを防止するために、図 5（a）を参照して説明したように、半導体基板 1 の全面にシリコン窒化膜が形成されている。本構造は、双方間のマスクマージンが確保できなくなるような、微細化されたメモリセルの形成に、特に有益な構造である。

30

#### 【0035】

その後、図 6（a）に示すように、開口された下部電極コンタクト孔 18 の中には、CVD 法などによりタングステンを堆積した後、CMP 法などにより研磨することでコンタクトプラグ 21 を形成する。プラグ材料としては、タングステンのほかに、銅膜などを用いてもよい。ただし、半導体基板 1 への金属原子の熱拡散による信頼性の低下を考慮すれば、金属膜は高融点金属であることが好ましい。この金属膜としては、モリブデン（Mo）、タンタル（Ta）、ニオブ（Nb）等、あるいは、窒化チタン（TiN）、窒化タンタル（Ta<sub>2</sub>N）、窒化タングステン（WN）、窒化チタンアルミ（TiAlN）等の高融点金属窒化膜が例示できる。

40

#### 【0036】

金属膜の形成に先立ち、半導体基板 1 の表面に形成した高濃度 p 型半導体領域 9 との良好な接続を確保する目的で、p 型半導体領域 9 の表面にメタルシリサイド膜 19 を形成する。このメタルシリサイド膜としては、たとえば、コバルト（Co）、チタン（Ti）、タンタル（Ta）、タングステン（W）等のシリサイド膜が好ましい。なお、メタルシリサイド膜 19 とコンタクトプラグ 21 との間には、両者の反応を防止し良好な接触抵抗を維持する目的で、バリアメタル 20 が設けられる。バリアメタル 20 には、たとえば、C

50

V D法により窒化チタン膜を堆積する。バリアメタル20及びコンタクトプラグ21は、相変化材料(カルコゲナイド)と接触することになり、相変化メモリ素子42の下部電極を構成する。

【0037】

次に、図6(b)に示すように、PCRAMアレイ領域47に相変化材料として、たとえば、カルコゲナイド膜22と上部電極膜23とをそれぞれ成膜する。カルコゲナイド膜22としては、たとえば $Ge_2Sb_2Te_5$ を膜厚50nmから200nmの範囲でスパッタ法により堆積し、上部電極膜23としては、たとえばタングステン膜を膜厚100nmでスパッタ法により堆積する。次に、フォトリソグラフィ技術とドライエッチング技術とを用い、これら2層の膜をパターニングすることで、図2に示したようなカルコゲナイド素子42が形成される。カルコゲナイド膜22には、たとえば、ゲルマニウム(Ge)、アンチモン(Sb)、テルル(Te)、セレン(Se)等の元素のうち、いずれか2つ、あるいは3つ以上を含む材料を用いてもよい。

10

【0038】

また、上部電極23には、タングステンの他に下部電極の候補として先に挙げた材料を用いてもよい。上部電極23をそのまま選択線SLとする場合には、選択線SLとしてのシート抵抗を低減する目的で、上部電極膜23の上に第2のメタル材料を積層することが望ましい。この第2のメタル材料には、上部電極膜23よりも抵抗率の小さい材料が望ましい。

【0039】

20

次に、図7に示すように、PCRAMアレイ領域47のビット線コンタクト孔25を、フォトリソグラフィ技術とドライエッチング技術とを用いて開口する。このとき、まず、フォトレジストをマスクにして、層間絶縁膜17および層間絶縁膜24を開口する。続いて、先に開口した層間絶縁膜17、24をマスクとして、半導体基板1内に形成されている、pn接合を構成する高濃度p型半導体領域9および低濃度n型半導体領域8を開口し、さらに、pn接合の下部に位置する高濃度n型半導体領域7の一部をエッチングする。

【0040】

次に、後に形成するビット線コンタクトプラグ27bと、pn接合を構成する高濃度p型半導体領域9および低濃度n型半導体領域8とを電氣的に絶縁する目的で、ビット線コンタクト孔25の内部に、たとえば熱CVD法によりシリコン窒化膜26を形成し、異方性ドライエッチングによりビット線コンタクト孔25の側壁に残す。

30

【0041】

その後、半導体基板1の全面に、CVD法などによりタングステン膜を成膜し、CMP法などにより研磨することにより、ビット線コンタクト孔25内にこれを残し、ビット線コンタクトプラグ27bを形成する。このとき、ビット線コンタクトプラグ27bと、高濃度n型半導体領域7との良好な電氣的接触を確保する目的で、あらかじめ、コバルト(Co)、チタン(Ti)、タンタル(Ta)、タングステン(W)等のシリサイド膜27aを形成することが好ましい。

【0042】

図8は、図7と同じ工程における図7の断面と直交方向の断面を示す。ビット線コンタクトプラグ27bは、素子分離領域6で区分された活性領域48の幅全体に形成される。

40

【0043】

次に、図9に示すように、周辺回路領域46のコンタクト孔29を、フォトリソグラフィ技術とドライエッチング技術とを用いて開口する。このとき、フォトレジスト28をマスクにして、層間絶縁膜24および層間絶縁膜17をドライエッチングにより除去する。フォトレジスト28は、PCRAMアレイ領域47を覆っていることから、先に形成したPCRAMアレイ領域47のビット線コンタクトプラグ27bがこのエッチングから保護される。

【0044】

次に、図10に示すように、ビット線を形成するために、半導体基板1の全面にたとえ

50

ばタングステン膜30を、たとえばCVD法により堆積する。ここで、メタルプラグが接触する各種下地、すなわち、周辺回路領域47におけるMISFETのソース、ドレイン領域である高濃度不純物領域15bとの間で良好な電氣的導通を確保することを目的として、あらかじめ、コバルト(Co)、チタン(Ti)、タンタル(Ta)、タングステン(W)等のシリサイド膜27aを形成することが好ましい。

#### 【0045】

次に、図11に示すように、フォトリソグラフィ技術とドライエッチング技術とを用い、所望のビット線となるようにタングステン膜30をパターニングする。この配線は、PCRAMアレイ領域47ではビット線30aとなり、周辺回路領域46では局所配線30bとなる。続いて、層間絶縁膜31として、たとえば、シリコン酸化膜をプラズマCVD法により堆積する。次に、フォトレジストをマスクにして層間絶縁膜31をドライエッチングすることで、所望の接続孔を形成する。

10

#### 【0046】

次に、図12に示すように、第2層配線33を形成する。第2層配線33と第1層配線30a、30bとの間は、コンタクトプラグ32を介して接続される。第2層配線33は、たとえば窒化チタン(TiN)、アルミニウム(Al)および窒化チタンの積層とすることができ、コンタクトプラグ32は、チタン(Ti)、窒化チタンおよびタングステンの積層とすることができる。第2層配線33の上には、さらに層間絶縁膜を介して第3層配線あるいはそれ以上の配線層を有してもよいが、ここでは説明を省略する。

#### 【0047】

20

図13から図15は、本発明の第2の実施形態に係る半導体記憶装置を製造する工程を示す断面図である。本実施形態に係る半導体装置の製造方法では、PCRAMアレイ領域47のビット線30aおよびビット線コンタクトプラグ27bを、カルコゲナイド膜よりも先に形成する点において、第1の実施形態に係る半導体記憶装置の製造方法とは異なる。

#### 【0048】

まず、第1の実施形態に係る製造方法で説明した図5(a)の工程までと同様な工程の後に、層間絶縁膜17を形成する。続いて、第1の実施形態の図6を参照して説明した手順と同様の手順により、ビット線コンタクト孔25、側壁絶縁膜26、シリサイド膜27a、およびビット線コンタクトプラグ27bを形成する(図13)。

30

#### 【0049】

次に、第1の実施形態の図10および図11を参照して説明したと手順と同様の手順により、周辺回路領域のコンタクト孔29と局所配線30b、およびPCRAMアレイ部のビット線30aを形成する(図14)。その後、PCRAM下部電極コンタクト孔18を形成し、次いで、第1の実施形態の図12を参照して説明した手順と同様な手順で、上部電極23を形成する(図15)。このとき、PCRAMアレイ領域47の下部電極コンタクト孔18は、層間絶縁膜17、24をエッチングすることで半導体基板1の表面を露出させる。下部電極コンタクト孔18内に下部電極コンタクトプラグ21を形成した後に、カルコゲナイド膜22が、その頂部に形成され、更に、その上に上部電極23が形成されて相変化メモリ素子42が形成される。

40

#### 【0050】

第2の実施形態に係る半導体記憶装置では、ビット線コンタクト孔25の長さを短くすることで、その長さの制御性が向上する。また、カルコゲナイド膜22を含む相変化メモリ素子42を後から形成することで、相変化材料に加えられるプロセス中の熱処理を低減することが可能になり、素子特性の劣化を防止することができる。

#### 【0051】

図16から図19は、本発明の第3の実施形態に係る半導体記憶装置の製造方法を示す断面図である。本実施形態では、PCRAMアレイ領域47のビット線コンタクト孔25と周辺回路領域46のコンタクト孔29とを同時に開口することで、プロセス工程を短縮するものである。また、ビット線30aを先に形成し、このビット線30aにシリコン窒

50

化膜からなるキャップ絶縁膜 35 および側壁絶縁膜 36 を設けることで、後から形成する P C R A M 下部電極コンタクト孔 18 が、ビット線構造に対し自己整合的に形成され、セル面積の縮小が可能になる。

【 0 0 5 2 】

まず、図 16 に示すように、フォトリソグラフィ技術とドライエッチング技術とを適用して P C R A M アレイ領域 47 のビット線コンタクト孔 25 と周辺回路領域 46 のコンタクト孔 29 とを同時に開口する。このとき、P C R A M アレイ領域 47 のビット線コンタクト孔 25 は、層間絶縁膜 17 をエッチングしてコンタクト孔 25 a を開口することで半導体基板 1 の表面を露出させる第 1 のドライエッチング工程と、層間絶縁膜 17 に開口したコンタクト孔 25 a をマスクにして半導体基板 1 の高濃度 n 型半導体領域 7 の半ばまでをエッチングして下部コンタクト孔 25 b を開口する第 2 のドライエッチング工程とからなる。第 2 のドライエッチング工程では、先に開口した周辺回路領域 47 のコンタクト孔 29 は、フォトレジスト 28 により被覆されていることから、この部分において半導体基板 1 はエッチングされない。

10

【 0 0 5 3 】

次に、図 17 に示すように、P C R A M アレイ領域 47 のビット線コンタクト孔 25、および周辺回路領域 46 のコンタクト孔 29 にメタルプラグ 27 b を埋設する。このステップは、図 13 を参照して説明した第 2 の実施形態の手順と同様に行われる。その後、同じく図 17 に示すように、P C R A M アレイ領域 47 のビット線 30 a、および周辺回路領域 46 の局所配線 30 b を形成する。このとき、半導体基板 1 の全面に、たとえば、タングステン膜をスパッタ法により堆積し、フォトリソグラフィ技術とドライエッチング技術とを適用してパターニングする。

20

【 0 0 5 4 】

続いて、図 18 に示すように、たとえばシリコン窒化膜をプラズマ C V D 法により堆積し、これをパターニングすることにより、ビット線 30 a 及び局所配線 30 b 上にキャップ絶縁膜 35 を形成する。これらを、フォトリソグラフィ技術とドライエッチング技術とを適用してパターニングする。次に、たとえばシリコン窒化膜をプラズマ C V D 法により堆積し、たとえば異方性ドライエッチング技術により、P C R A M アレイ領域 47 のビット線 30 a と、周辺回路領域 46 の局所配線 30 b との側部に、キャップ絶縁膜 35 に連続する側壁絶縁膜 36 として残す。なお、キャップ絶縁膜 35 及び側壁絶縁膜 36 は、省略してもよい。

30

【 0 0 5 5 】

その後、P C R A M 下部電極コンタクト孔 18 を、第 2 の実施形態と同様な手順で形成する。キャップ絶縁膜 35 及び側壁絶縁膜 36 をなすシリコン窒化膜は、P C R A M 下部電極コンタクト孔 18 を開口するときのドライエッチングストッパーとして機能し、P C R A M 下部電極コンタクト孔 18 をビット線 30 a に対して自己整合的に形成することが可能になる。

【 0 0 5 6 】

図 20 から図 23 は、本発明の第 1 の実施形態に係る半導体記憶装置について、その平面構造を、製造工程に従って順次に示す平面図である。図 20 は、活性領域 48、及び、下部電極コンタクト孔 18 を形成する工程を示し、下部電極コンタクト孔 18 が、活性領域 48 の X 方向の両端部近傍に形成される旨を示している。図 21 は、カルコゲナイド素子 42 を形成する工程を示し、カルコゲナイド素子 42 が、下部電極コンタクト孔 18 内に形成された下部電極コンタクトプラグ 21 の頂部に形成され、且つ、Y 方向に並ぶ上部コンタクトプラグ 21 に沿って延びるように形成される旨を示している。図 22 は、ビット線コンタクト孔 25 を形成する工程を示し、ビット線コンタクト孔 25 が、2 つのメモリセルの下部電極コンタクト孔 18 の中央に形成され、2 つのメモリセルにビット線コンタクトプラグ 27 b が共用される旨を示している。図 23 は、ビット線 30 a を形成する工程を示し、ビット線 30 a が X 方向に並ぶコンタクト孔 25 上にこれらと整列して延びる旨を示している。

40

50

## 【 0 0 5 7 】

図 2 4 および図 2 5 は、第 1 の実施形態に係る半導体記憶装置の変形例について示すもので、図 2 2 及び図 2 3 にそれぞれ対応する平面図である。本変形例では、ビット線コンタクトプラグ孔 2 5 の幅を、下部電極コンタクト孔 1 8 の幅よりも広く形成し、ビット線 3 0 a を下部電極コンタクト孔 1 8 から離れた位置に配置している。

## 【 0 0 5 8 】

図 2 6 から図 2 9 は、第 1 の実施形態に係る半導体記憶装置の別の変形例について示すもので、図 2 0 から図 2 3 にそれぞれ対応する平面図である。まず、半導体基板 1 上には、素子分離膜が形成され、P C R A M アレイ領域 4 7 の各メモリセル毎に個別の活性領域 4 8 が形成される。各活性領域 4 8 には、第 1 実施形態と同様な高濃度 n 型半導体層 7、低濃度 n 型半導体層 8、及び、高濃度 p 型半導体層 9 が形成され、また、1 つの P C R A M 下部電極コンタクト孔 1 8 が形成される(図 2 6)。次いで、図 2 7 に示すように、それぞれの列の活性領域 4 8 に対応してカルコゲナイド素子 4 2 を形成する。次いで、図 2 8 に示すように、行方向に隣接する活性領域 4 8 間にまたがるように、素子分離膜を貫通してビット線コンタクト孔 2 5 を形成し、そのコンタクト孔 2 5 に絶縁膜で被覆されたビット線コンタクトプラグを埋め込む。ビット線コンタクトプラグには、その底面にシリサイド膜(図 3 の 2 7 a に相当する)が形成され、シリサイド膜を介して隣接する双方の高濃度 n 型半導体層に接続している。引き続き、図 2 9 に示すように、下部電極コンタクトプラグ、カルコゲナイド素子 4 2 及びビット線コンタクトプラグの上部に、X 方向に延びるビット線 3 0 a を形成する。

## 【 0 0 5 9 】

本変形例では、1 つの活性領域には 1 つのカルコゲナイド素子を形成し、X 方向に隣接するメモリセルに、1 つの共用ビット線コンタクトプラグを配設している。

## 【 0 0 6 0 】

以上、本発明をその好適な実施態様に基づいて説明したが、本発明の半導体記憶装置は、上記実施態様の構成にのみ限定されるものではなく、上記実施態様の構成から種々の修正及び変更を施したものも、本発明の範囲に含まれる。また、本発明の好適な態様として記載した各構成や実施形態で記載した各構成については、本発明の必須の構成と共に用いることが好ましいが、単独であっても有益な効果を奏する構成については、必ずしも本発明の必須の構成として説明した全ての構成と共に用いる必要はない。

## 【 産業上の利用可能性 】

## 【 0 0 6 1 】

本発明の半導体記憶装置は、相変化メモリ素子を用いる不揮発性半導体記憶装置として、各種電子機器に用いられる。

## 【 図面の簡単な説明 】

## 【 0 0 6 2 】

【 図 1 】 本発明の第 1 の実施形態に係る半導体記憶装置の回路図。

【 図 2 】 第 1 の実施形態に係る半導体記憶装置の要部平面パターンを示す平面図。

【 図 3 】 第 1 の実施形態に係る半導体記憶装置を示す、図 2 の A - A ' 線に沿う断面図。

【 図 4 】 ( a ) 及び ( b ) はそれぞれ、第 1 の実施形態に係る半導体記憶装置の製造段階の断面図。

【 図 5 】 ( a ) 及び ( b ) はそれぞれ、第 1 の実施形態に係る半導体記憶装置の図 4 に後続する製造段階の断面図。

【 図 6 】 ( a ) 及び ( b ) はそれぞれ、第 1 の実施形態に係る半導体記憶装置の図 5 に後続する製造段階の断面図。

【 図 7 】 第 1 の実施形態に係る半導体記憶装置の、図 6 に後続する製造段階の断面図。

【 図 8 】 第 1 の実施形態に係る半導体記憶装置の、図 7 と同じ製造段階の、図 7 と直交方向の断面図。

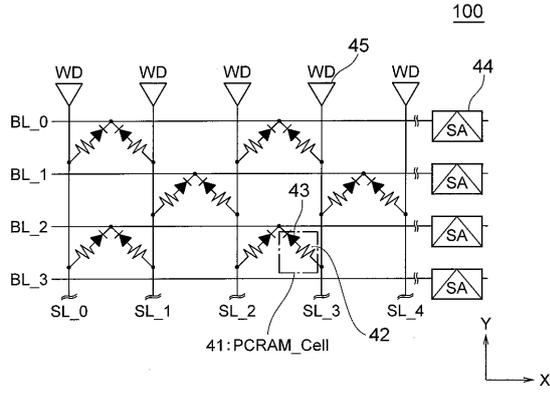
【 図 9 】 第 1 の実施形態に係る半導体記憶装置の、図 7 に後続する製造段階の断面図。

【 図 1 0 】 第 1 の実施形態に係る半導体記憶装置の、図 9 に後続する製造段階の断面図。

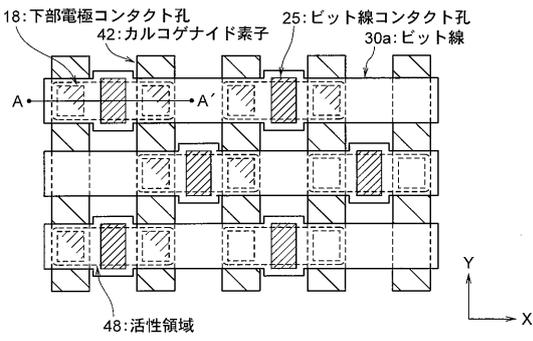
- 【図 1 1】第 1 の実施形態に係る半導体記憶装置の、図 1 0 に後続する製造段階の断面図。  
 【図 1 2】第 1 の実施形態に係る半導体記憶装置の、図 1 1 に後続する最終製造段階の断面図。  
 【図 1 3】本発明の第 2 の実施形態に係る半導体記憶装置の製造段階の断面図。  
 【図 1 4】第 2 の実施形態に係る半導体記憶装置の、図 1 3 に後続する製造段階の断面図。  
 【図 1 5】第 2 の実施形態に係る半導体記憶装置の、図 1 4 に後続する製造段階の断面図。  
 【図 1 6】第 3 の実施形態に係る半導体記憶装置の製造段階の断面図。 10  
 【図 1 7】第 3 の実施形態に係る半導体記憶装置の、図 1 6 に後続する製造段階の断面図。  
 【図 1 8】第 3 の実施形態に係る半導体記憶装置の、図 1 7 に後続する製造段階の断面図。  
 【図 1 9】第 3 の実施形態に係る半導体記憶装置の、図 1 8 に後続する製造段階の断面図。  
 【図 2 0】第 1 の実施形態に係る半導体記憶装置の製造段階の平面図。  
 【図 2 1】第 1 の実施形態に係る半導体記憶装置の、図 2 0 に後続する製造段階の平面図。  
 【図 2 2】第 1 の実施形態に係る半導体記憶装置の、図 2 1 に後続する製造段階の平面図 20  
 【図 2 3】第 1 の実施形態に係る半導体記憶装置の、図 2 2 に係る製造段階の平面図。  
 【図 2 4】第 1 の実施形態に係る半導体記憶装置の変形例の製造段階の平面図。  
 【図 2 5】第 1 の実施形態に係る半導体記憶装置の変形例の、図 2 4 に後続する製造段階の平面図。  
 【図 2 6】第 1 の実施形態に係る半導体記憶装置の別の変形例の製造段階の平面図。  
 【図 2 7】第 1 の実施形態に係る半導体記憶装置の別の変形例の、図 2 6 に後続する製造段階の平面図。  
 【図 2 8】第 1 の実施形態に係る半導体記憶装置の別の変形例の、図 2 7 に後続する製造段階の平面図。 30  
 【図 2 9】第 1 の実施形態に係る半導体記憶装置の別の変形例の、図 2 8 に後続する製造段階の平面図。  
 【図 3 0】( a ) 及び ( b ) はそれぞれ、従来の相変化メモリ素子を備える半導体記憶装置の回路図及び断面図。  
 【符号の説明】  
 【 0 0 6 3 】  
 1 : 半導体基板  
 3 : p 型ウエル  
 4 : n 型ウエル  
 5 : 浅溝 40  
 6 : 素子分離領域  
 7 : 高濃度 n 型半導体領域  
 8 : 低濃度 n 型半導体領域  
 9 : 高濃度 p 型半導体領域  
 1 0 : ゲート絶縁膜  
 1 1 : 多結晶シリコン膜  
 1 2 : タングステン膜  
 1 3 : ゲート電極  
 1 4 : キャップ絶縁膜  
 1 5 a : 低濃度不純物領域 50

1 5 b : 高濃度不純物領域	
1 6 : シリコン窒化膜 ( サイドウオール膜 )	
1 7 : 層間絶縁膜	
1 8 : 下部電極コンタクト孔	
1 9 : メタルシリサイド膜	
2 0 : バリアメタル	
2 1 : コンタクトプラグ	
2 2 : カルコゲナイド膜	
2 3 : 上部電極	
2 4 : 層間絶縁膜	10
2 5 : ビット線コンタクト孔	
2 5 a : コンタクト孔	
2 5 b : コンタクト孔	
2 6 : シリコン窒化膜 ( サイドウオール膜 )	
2 7 a : シリサイド膜	
2 7 b : ビット線コンタクトプラグ	
2 8 : フォトレジスト	
2 9 : 周辺回路領域コンタクト孔	
2 9 : コンタクト孔	
3 0 : タングステン膜	20
3 0 a : ビット線	
3 0 b : 局所配線	
3 1 : 層間絶縁膜	
3 2 : コンタクトプラグ	
3 3 : 上部配線	
4 1 : P C R A Mセル	
4 2 : カルコゲナイド素子 ( 相変化メモリ素子 )	
4 3 : ダイオード	
4 4 : センスアンプ	
4 5 : ワードドライバ	30
4 6 : 周辺回路領域	
4 7 : P C R A Mアレイ領域	
4 8 : 活性領域	
5 1 : P C R A Mセル	
5 2 : カルコゲナイド素子 ( 相変化メモリ素子 )	
5 3 : ダイオード	
5 4 : センスアンプ	

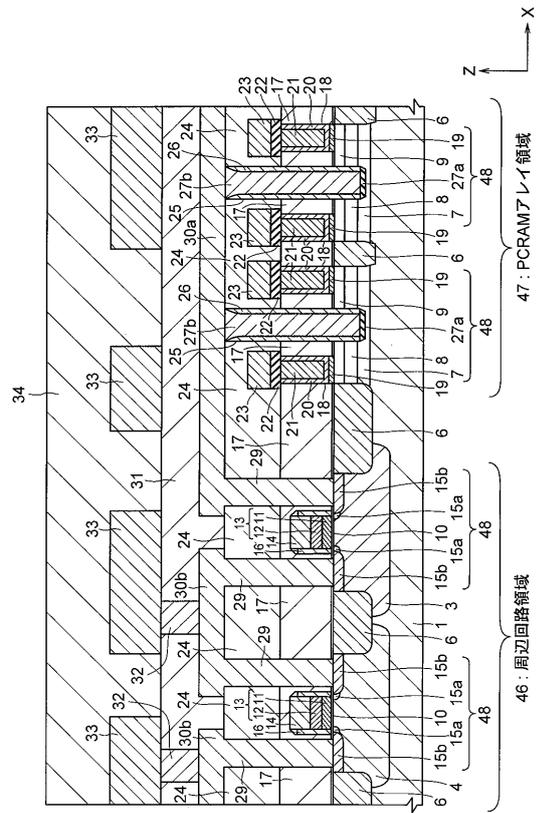
【図1】



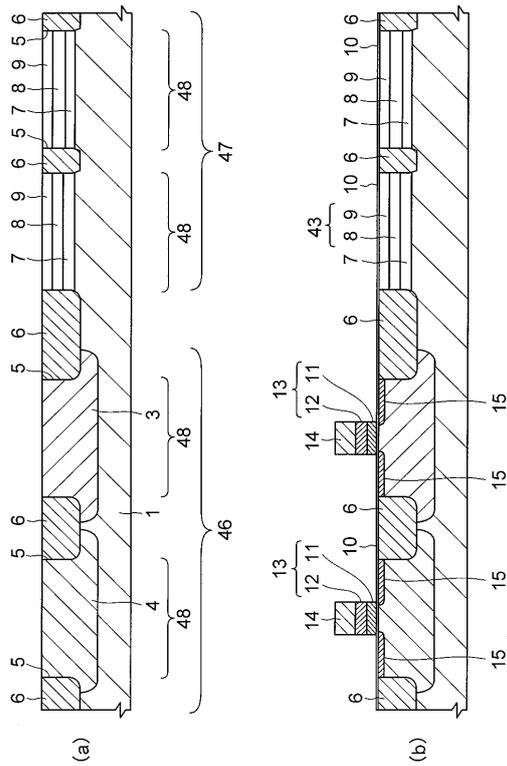
【図2】



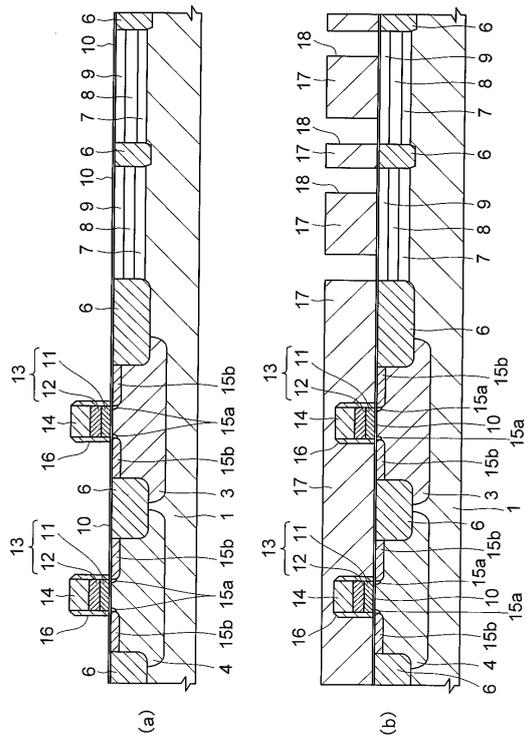
【図3】



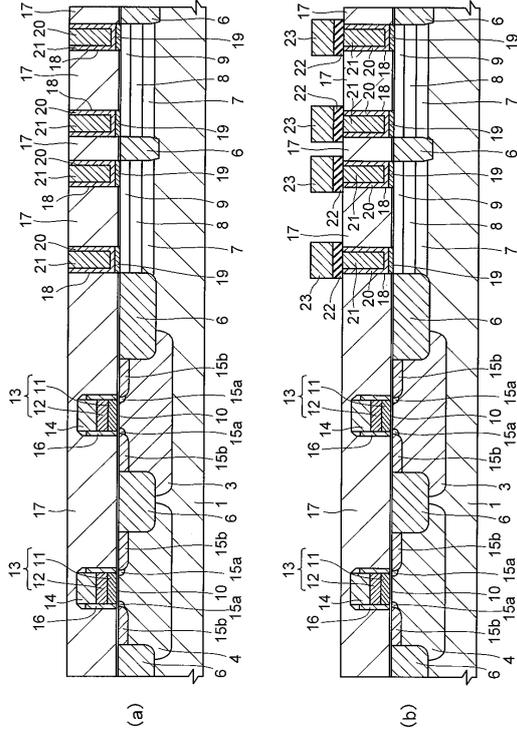
【図4】



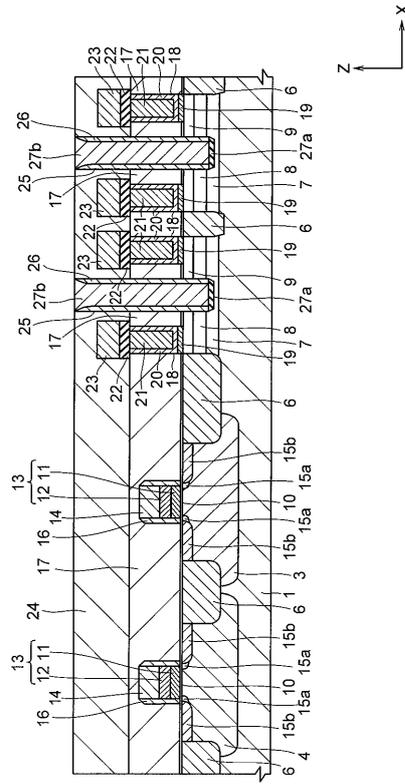
【図5】



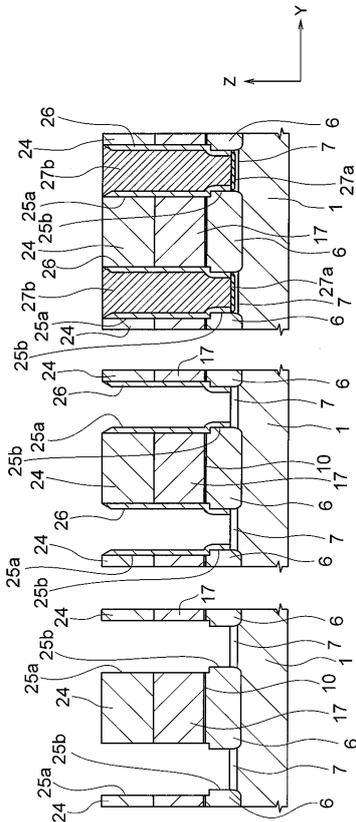
【図6】



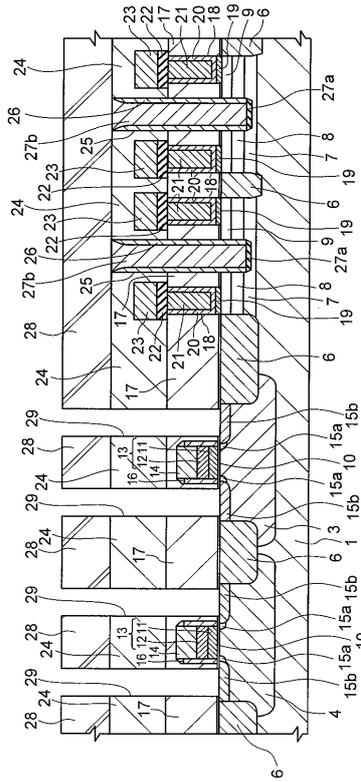
【図7】



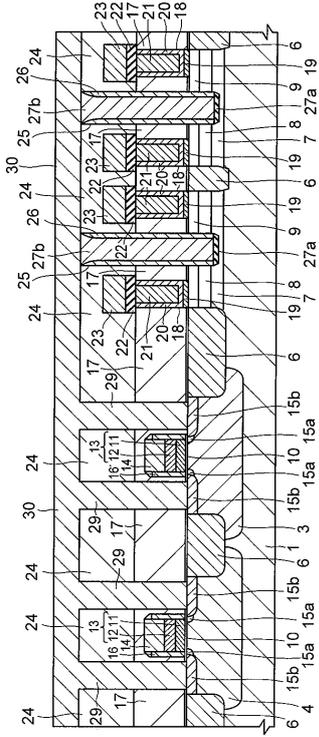
【図8】



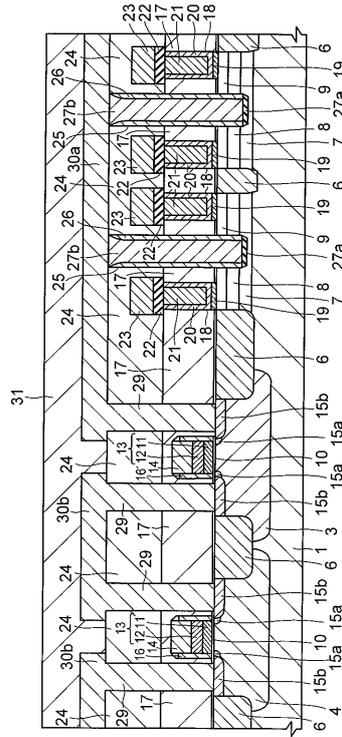
【図9】



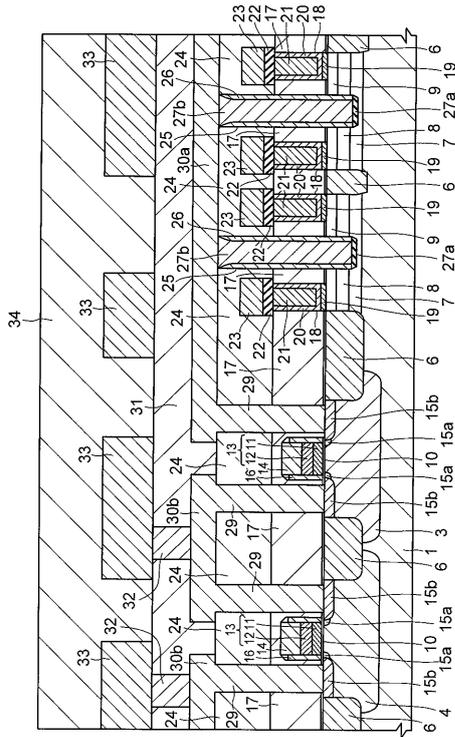
【図 10】



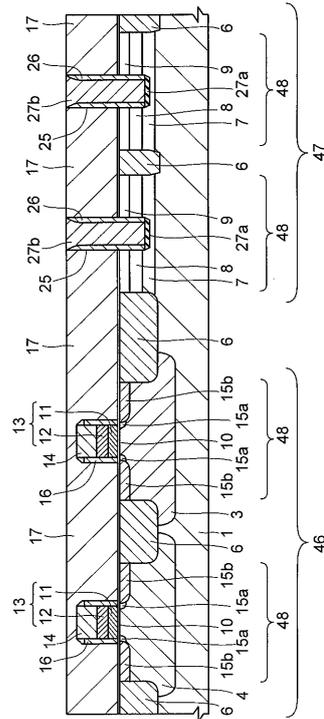
【図 11】



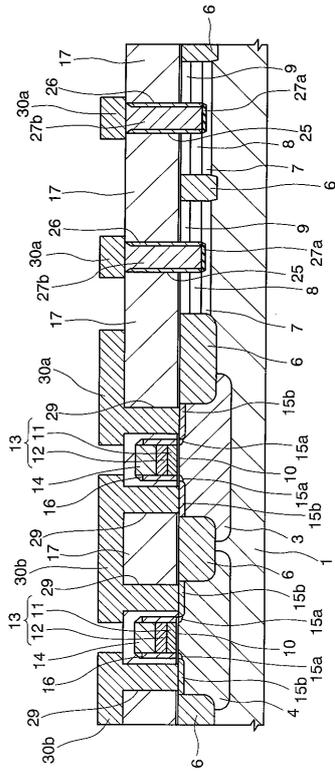
【図 12】



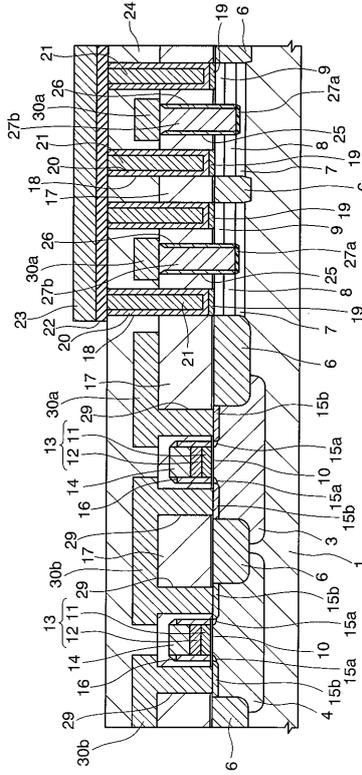
【図 13】



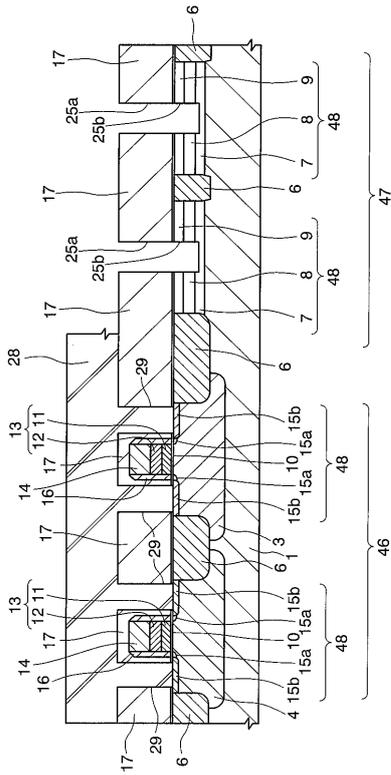
【図14】



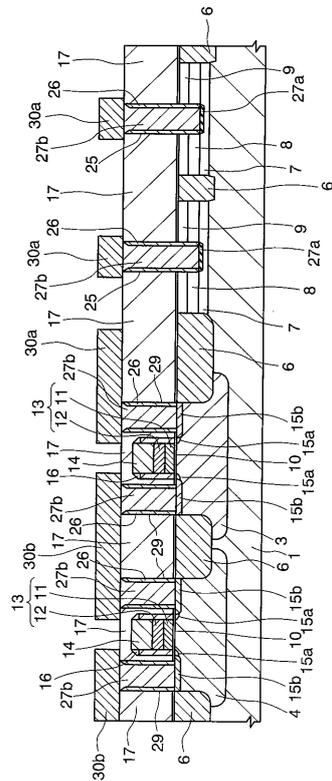
【図15】



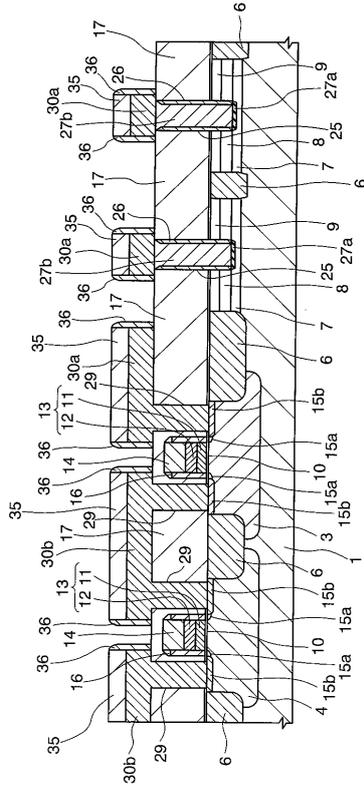
【図16】



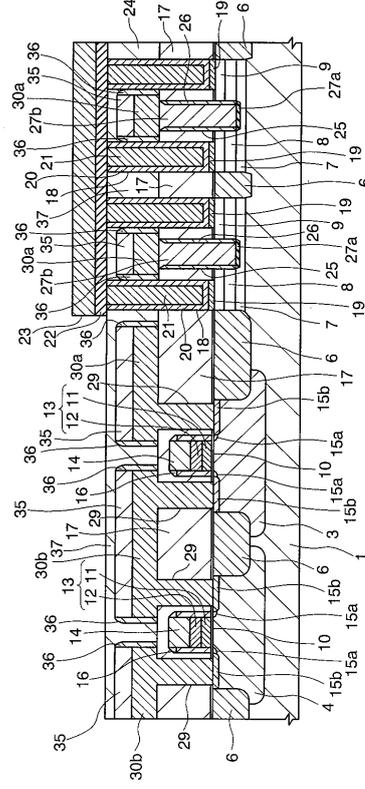
【図17】



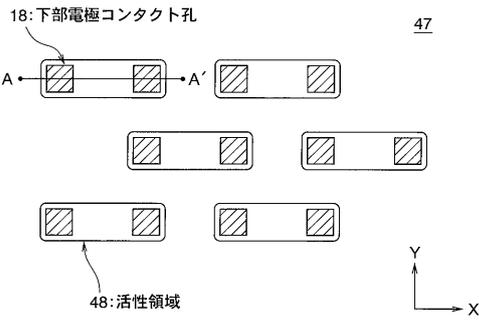
【図18】



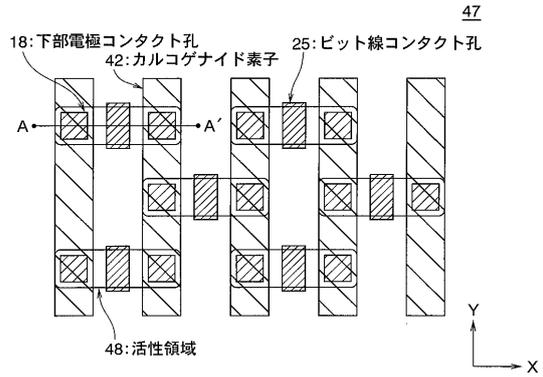
【図19】



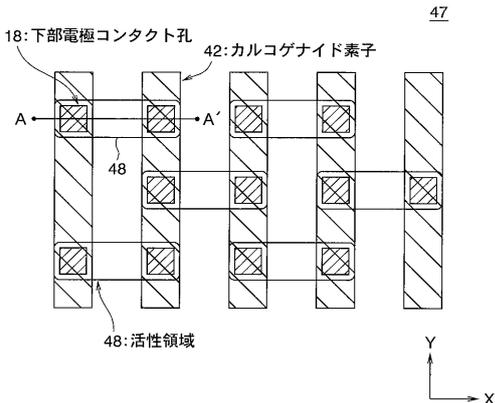
【図20】



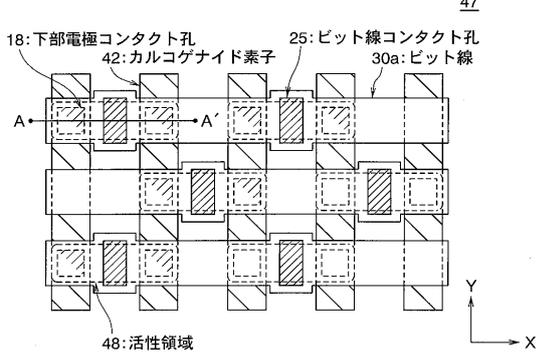
【図22】



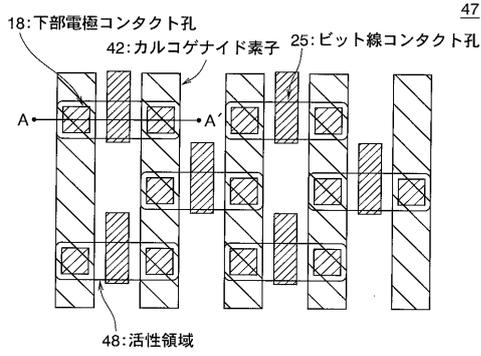
【図21】



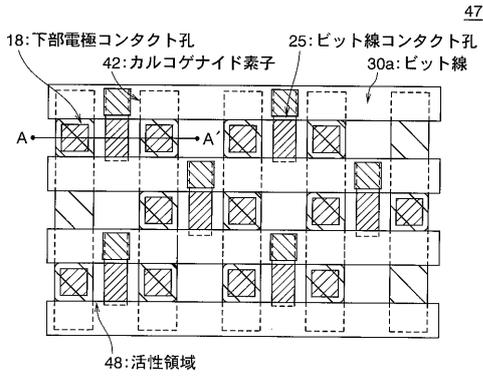
【図23】



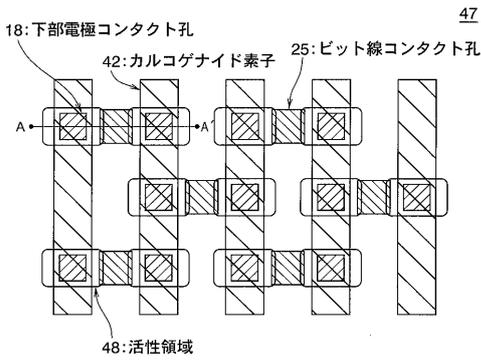
【図24】



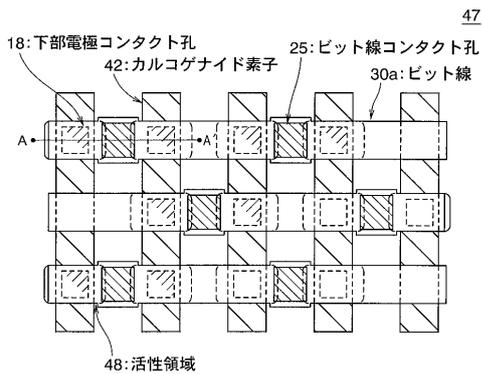
【図25】



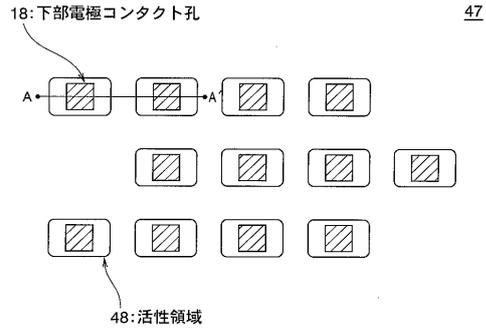
【図28】



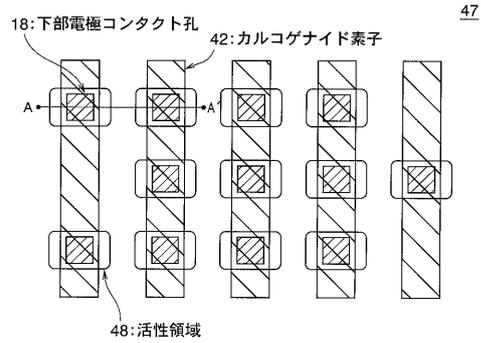
【図29】



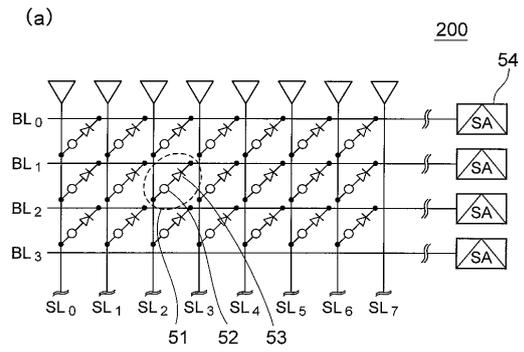
【図26】



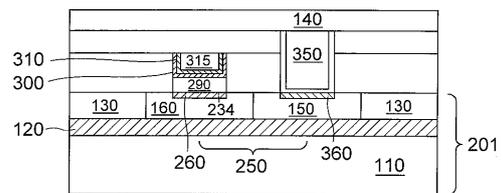
【図27】



【図30】



(b)



---

フロントページの続き

- (72)発明者 中井 潔  
東京都中央区八重洲2 - 2 - 1 エルピーダメモリ株式会社内
- (72)発明者 梶谷 一彦  
東京都中央区八重洲2 - 2 - 1 エルピーダメモリ株式会社内

審査官 柴山 将隆

(56)参考文献 特開2004 - 349504 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L	27/105
H01L	27/10
H01L	45/00