



(12)发明专利

(10)授权公告号 CN 105448897 B

(45)授权公告日 2018.12.21

(21)申请号 201410438975.2

(22)申请日 2014.08.29

(65)同一申请的已公布的文献号
申请公布号 CN 105448897 A

(43)申请公布日 2016.03.30

(73)专利权人 展讯通信(上海)有限公司
地址 201203 上海市浦东新区张江高科技
园区祖冲之路2288弄展讯中心1号楼

(72)发明人 樊茂 朱小荣

(74)专利代理机构 上海申新律师事务所 31272
代理人 俞涤炯

(51)Int.Cl.
H01L 23/64(2006.01)

(56)对比文件

CN 1630946 A,2005.06.22,
CN 103489852 A,2014.01.01,
CN 103681539 A,2014.03.26,

审查员 刘玮德

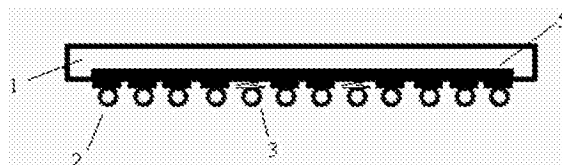
权利要求书1页 说明书3页 附图2页

(54)发明名称

减小芯片外电感占用空间的集成封装结构

(57)摘要

本发明涉及电子技术领域,具体涉及一种封装结构。减小芯片外电感占用空间的集成封装结构,用于芯片与电路板的连接,所述芯片上分布多个焊盘,预定位置的所述焊盘上连接一电感单元,其余位置的焊盘上连接一金属垫块。本发明在芯片的设定位置的焊盘上连接电感单元,以代替外部电路中的电感,在不增加封装结构工艺复杂度的情况下,简化了外围电路设计并为客户的实际应用提供了便利,满足低功耗高集成度的要求。



1. 减小芯片外电感占用空间的集成封装结构,用于芯片与电路板的连接,其特征在于,所述芯片上分布多个焊盘,预定位置的所述焊盘上连接一电感单元,其余位置的焊盘上连接一金属垫块;

所述金属垫块及所述电感单元通过焊球与所述电路板连接;

所述电感单元包括电感、金属连接板,所述电感的一端连接所述焊盘,所述电感的另一端连接所述金属连接板,所述金属连接板的底部设置所述焊球。

2. 根据权利要求1所述的减小芯片外电感占用空间的集成封装结构,其特征在于,所述金属垫块与所述电感单元的高度相等。

3. 根据权利要求1所述的减小芯片外电感占用空间的集成封装结构,其特征在于,所述焊盘与所述金属连接板之间填充绝缘介质。

4. 根据权利要求2所述的减小芯片外电感占用空间的集成封装结构,其特征在于,所述绝缘介质采用聚乙烯。

5. 根据权利要求2所述的减小芯片外电感占用空间的集成封装结构,其特征在于,所述电感采用金属互连线绕制形成。

6. 根据权利要求5所述的减小芯片外电感占用空间的集成封装结构,其特征在于,所述电感绕制的轴线方向垂直于所述芯片。

7. 根据权利要求5所述的减小芯片外电感占用空间的集成封装结构,其特征在于,所述电感采用螺旋状的电感。

减小芯片外电感占用空间的集成封装结构

技术领域

[0001] 本发明涉及电子技术领域,具体涉及一种封装结构。

背景技术

[0002] 芯片外围电路常常需要设置电感,以实现滤波、抑制瞬间电流、降低电磁干扰(Electromagnetic Interference,EMI)及功率转换等功能,然而上述电感的设置常常会过多地占用印制电路板的空间,而将电感设置于芯片上也往往会占用芯片的面积,同时造成芯片的生产工艺过于复杂,在轻小型便携式电子设备快速发展的今天,传统的电感布局往往不能满足使用要求,并且不合理的布局还会影响电路性能并对电路的稳定性产生干扰。

发明内容

[0003] 本发明的目的在于,提供一种减小芯片外电感占用空间的集成封装结构,解决以上技术问题。

[0004] 本发明所解决的技术问题可以采用以下技术方案来实现:

[0005] 减小芯片外电感占用空间的集成封装结构,用于芯片与电路板的连接,其特征在于,所述芯片上分布多个焊盘,预定位置的所述焊盘上连接一电感单元,其余位置的焊盘上连接一金属垫块。

[0006] 本发明的减小芯片外电感占用空间的集成封装结构,所述金属垫块与所述电感单元的高度相等。

[0007] 本发明的减小芯片外电感占用空间的集成封装结构,所述金属垫块及所述电感单元通过焊球与所述电路板连接。

[0008] 本发明的减小芯片外电感占用空间的集成封装结构,所述电感单元包括电感、金属连接板,所述电感的一端连接所述焊盘,所述电感的另一端连接所述金属连接板,所述金属连接板的底部设置所述焊球。

[0009] 本发明的减小芯片外电感占用空间的集成封装结构,所述焊盘与所述金属连接板之间填充绝缘介质。

[0010] 本发明的减小芯片外电感占用空间的集成封装结构,所述绝缘介质采用聚乙烯。

[0011] 本发明的减小芯片外电感占用空间的集成封装结构,所述电感采用金属互连线绕制成的电感。

[0012] 本发明的减小芯片外电感占用空间的集成封装结构,所述电感绕制的轴线方向垂直于所述芯片。

[0013] 本发明的减小芯片外电感占用空间的集成封装结构,所述电感采用螺旋状的电感。

[0014] 有益效果:由于采用以上技术方案,本发明在芯片的设定位置的焊盘上连接电感单元,以代替外部电路中的电感,在不增加封装结构工艺复杂度的情况下,简化了外围电路设计并为客户的实际应用提供了便利,满足低功耗高集成度的要求。

附图说明

- [0015] 图1为本发明的集成封装结构的剖视图；
[0016] 图2为本发明的设定位置的连接结构放大图；
[0017] 图3为本发明的图2的俯视图；
[0018] 图4为本发明的芯片封装结构的主体结构示意图。

具体实施方式

[0019] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0020] 需要说明的是,在不冲突的情况下,本发明中的实施例及实施例中的特征可以相互组合。

[0021] 下面结合附图和具体实施例对本发明作进一步说明,但不作为本发明的限定。

[0022] 参照图1、图2、图3、图4,减小芯片外电感占用空间的集成封装结构,用于芯片1与电路板的连接,其中,芯片1上分布多个焊盘,设定位置的焊盘上连接一电感单元3,其余位置的焊盘上连接一金属垫块2。

[0023] 本发明在芯片的设定位置的焊盘上连接电感单元,以代替外部电路中的电感,在不增加封装结构工艺复杂度的情况下,简化了外围电路设计并为客户的实际应用提供了便利,满足低功耗高集成度的要求。

[0024] 本发明的减小芯片外电感占用空间的集成封装结构,金属垫块2与电感单元3的高度相等。以保证芯片1与电路板连接时的平整度,及可靠性,降低虚焊等连接不可靠的缺陷。

[0025] 本发明的减小芯片外电感占用空间的集成封装结构,金属垫块2及电感单元3通过焊球4与电路板连接。焊球4使得芯片1与电路板连接时,引脚可以很短,缩短了信号的传输路径,减小了引线电感、电阻,因而可改善电路的性能。

[0026] 本发明的减小芯片外电感占用空间的集成封装结构,参照图2,电感单元3包括电感31、金属连接板32,电感31的一端连接焊盘,电感31的另一端连接金属连接板32,金属连接板32的底部设置焊球4,通过焊球与外部电路板连接。

[0027] 本发明的减小芯片外电感占用空间的集成封装结构,芯片1可以包括基板5,基板5上阵列排布多个焊盘。焊盘与芯片1的电路引出端相对应连接。

[0028] 本发明的减小芯片外电感占用空间的集成封装结构,设定位置的焊盘与金属连接板32之间填充绝缘介质,用以固定电感31,防止芯片1与外部电路板连接中电感31移动。绝缘介质可以采用聚乙烯及其他类似的材料。

[0029] 本发明的减小芯片外电感占用空间的集成封装结构,电感31采用金属互连线绕制的电感。电感31绕制的轴线方向可以垂直于芯片1。优选,电感31采用螺旋状的电感3,能够最大程度节约空间。

[0030] 以上仅为本发明较佳的实施例,并非因此限制本发明的实施方式及保护范围,对于本领域技术人员而言,应当能够意识到凡运用本发明说明书及图示内容所作出的等同替

换和显而易见的变化所得到的方案,均应当包含在本发明的保护范围内。

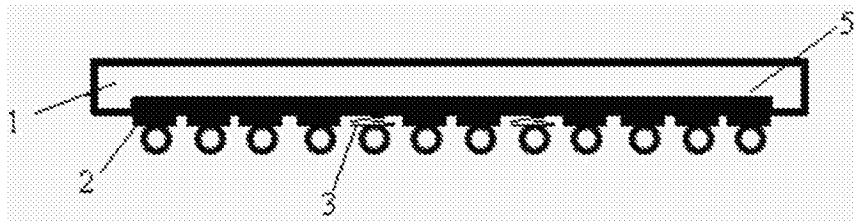


图1

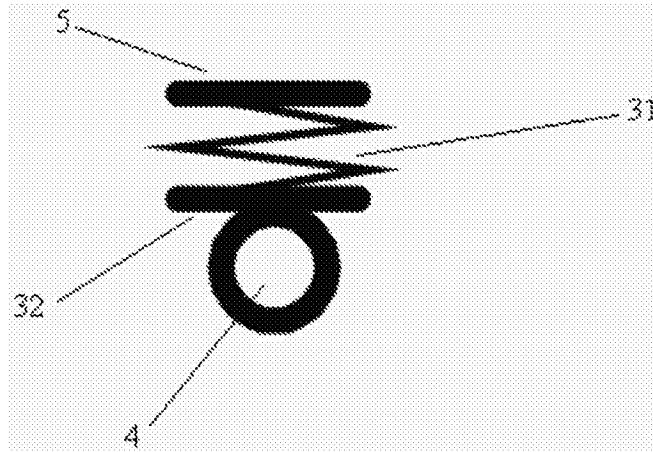


图2

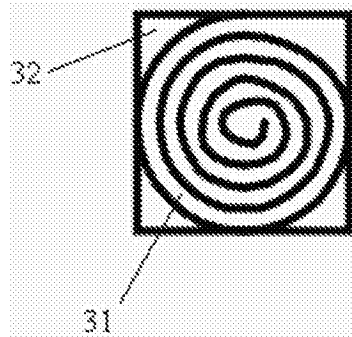


图3

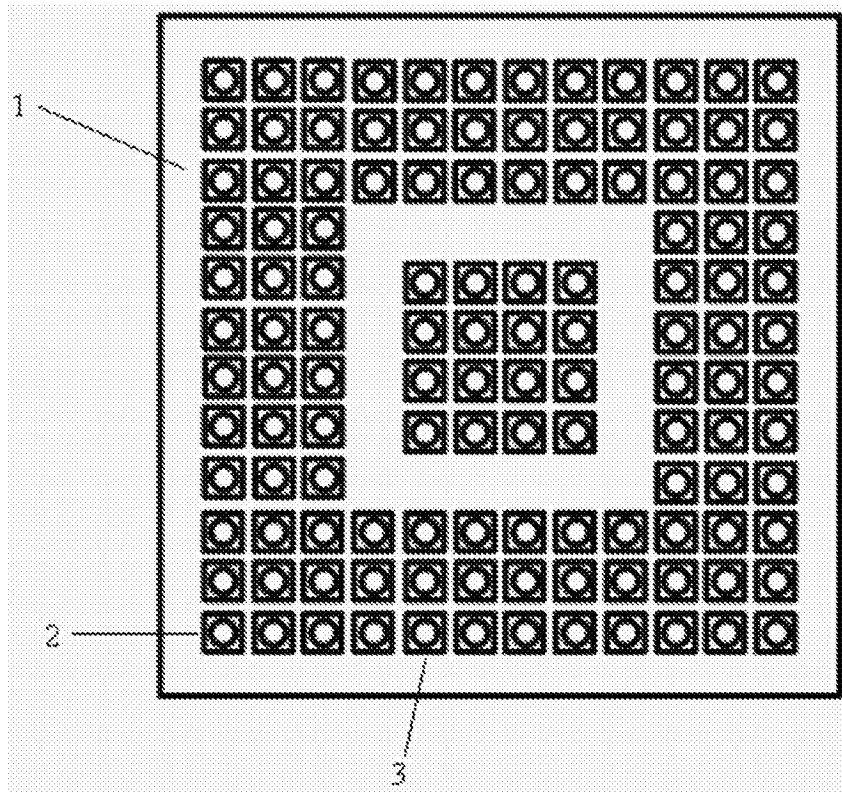


图4