



(12)发明专利申请

(10)申请公布号 CN 105868134 A

(43)申请公布日 2016.08.17

(21)申请号 201610231074.5

(22)申请日 2016.04.14

(71)申请人 烽火通信科技股份有限公司
地址 430074 湖北省武汉市东湖开发区光谷创业街67号

(72)发明人 韩震

(74)专利代理机构 武汉智权专利代理事务所
(特殊普通合伙) 42225

代理人 沈林华

(51)Int.Cl.

G06F 13/16(2006.01)

G06F 13/18(2006.01)

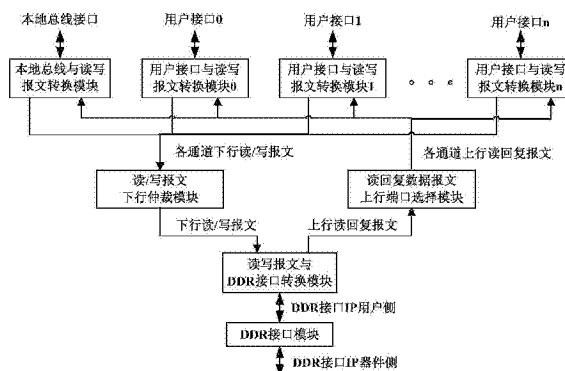
权利要求书3页 说明书8页 附图1页

(54)发明名称

高性能多口DDR控制器及其实现方法

(57)摘要

本发明公开了一种高性能多口DDR控制器及其实现方法,涉及数据通信领域。该高性能多口DDR控制器包括本地总线与读写报文转换模块、用户接口与读写报文转换模块、读/写报文下行仲裁模块、读回复数据报文上行端口选择模块、读写报文与DDR接口转换模块、DDR接口模块。本发明中多用户口共享DDR接口的架构更具经济性与灵活性,极大节省了管脚资源和逻辑资源,简化了设计难度。



1. 一种高性能多口DDR控制器,其特征在于:该控制器包括本地总线与读写报文转换模块、用户接口与读写报文转换模块、读/写报文下行仲裁模块、读回复数据报文上行端口选择模块、读写报文与DDR接口转换模块、双倍速率同步动态随机存储器DDR接口模块,其中:

本地总线与读写报文转换模块用于:将本地总线写转换为下行的写报文,将本地总线读转换为下行的读报文,并提取相应上行的读回复数据报文中的数据;

用户接口与读写报文转换模块用于:将用户接口写请求转换为下行的写报文,将用户接口读请求转换为下行的读报文,并提取相应上行的读回复数据报文中的数据;

读/写报文下行仲裁模块用于:对来自本地总线接口的读写报文或来自用户接口的读写报文进行下行仲裁,按照优先级顺序通过,同时为等待通行的报文提供缓存;

读回复数据报文上行端口选择模块用于:对DDR接口读回复数据报文去往本地总线接口或用户接口的上行进行选择;

读写报文与DDR接口转换模块用于:下行方向,实现读写报文与DDR接口模块用户侧接口转换;上行方向,提取读回复数据组成读回复报文;

DDR接口模块用于:实现DDR接口的底层协议,驱动FPGA与DDR颗粒之间的硬件连线。

2. 如权利要求1所述的高性能多口DDR控制器,其特征在于:所述本地总线与读写报文转换模块提供一个通用的本地总线接口,工作于从端回复模式;本地总线接口由片选信号、读写使能信号、地址信号、数据信号、操作完成指示信号组成;所述控制器作为本地总线的从端,响应用户通过该接口提供的读/写操作,完成写操作并提供操作完成指示信号,或者完成读操作并返回读数据以及操作完成指示信号;用户作为本地总线的主端,在收到上一次读/写操作完成指示信号后,才能再次发起读/写操作。

3. 如权利要求1所述的高性能多口DDR控制器,其特征在于:所述用户接口与读写报文转换模块提供一个自定义的用户接口,工作于从端回复模式;用户接口由请求开始信号、请求读写指示信号、请求起地址信号、请求长度信号、请求写数据信号、请求读回复数据信号、请求结束回复信号组成;所述控制器作为该接口的从端,响应用户通过该接口提供的读/写请求,完成写请求并提供请求结束回复信号,或者完成读请求并返回读回复数据以及请求结束回复信号;用户作为该接口的主端,在收到上一次读/写请求完成回复信号后,才能再次发起读/写请求。

4. 如权利要求1所述的高性能多口DDR控制器,其特征在于:所述本地总线接口只支持一次操作执行一拍数据的读写,用户接口一次操作支持1至1024任意拍数据的连续读写;用户作为主端发起1至1024任意拍数据的读/写请求后,所述控制器参照直接内存存取DMA方式执行:用户接口与读写报文转换模块将该请求按照底层DDR接口的突发长度切割成小粒度的读/写请求并下发,当所有小粒度读/写请求完成后,产生请求结束回复信号,提示主端请求已完成;

用户作为主端发起1至1024任意拍数据的读/写请求后,按照DDR接口模块设置的突发长度进行切包操作,将用户接口所支持的大数据请求切分为底层DDR接口模块支持的小数据请求;

对于用户写请求,用户接口与读写报文转换模块监测DDR接口处的执行情况,当最后一个写操作在DDR接口处完成即结束本次用户写请求,返回请求结束回复信号;

对于用户读请求,检测用户接口与读写报文转换模块收到切包时,读回复报文;

对于用户接口,收到的读回复报文如果不是最后一个切包读回复报文,则将数据缓存,当收到最后一个读回复报文后,即将缓存数据整体上报后,回复用户读请求完成指示信号,以完成本次读请求。

5. 如权利要求1所述的高性能多口DDR控制器,其特征在于:所述本地总线接口或用户接口所转换的读写报文分为写报文、读报文、读回复报文三种类型,三种类型的报文均由64比特帧头加数据域组成,数据域最小数据单位为32比特;帧头信息包括报文类型、端口号、切包标号、切包起地址、切包长度;报文类型指示本报文是写报文、读报文或读回复报文;端口号指示本报文来自本地总线接口或哪一个用户接口;切包标号标记本报文携带本次大数据请求中的第几段数据,切包标号指示本次读写请求切包后的编号;切包数据域最小数据单位为32比特,是以切包起地址开始的连续数据,切包长度指示该数据域有多少个32比特有效数据;切包起地址标记本报文携带数据的起地址,切包长度标记本报文携带数据的长度。

6. 如权利要求1所述的高性能多口DDR控制器,其特征在于:所述读/写报文下行仲裁模块为各上游用户端口设置了独立的通道缓存,用于流量控制;对于先后到达上行端口读/写报文,读/写报文下行仲裁模块按照先后顺序依次放行;对于同时到达的上行端口读/写报文,读/写报文下行仲裁模块按照配置的优先级顺序执行,保证带宽均匀分配;读/写报文下行仲裁模块的缓存大小为一次写请求的最大数据量,通过本地总线接口/用户接口与上游的握手机制保证缓存不溢出;通过切包机制与调度机制,同时通过流水线调度机制以及下游模块的快速执行,保证DDR的带宽利用率。

7. 如权利要求1所述的高性能多口DDR控制器,其特征在于:所述读回复数据报文上行端口选择模块上游与所例化的各用户端口与读写报文转换模块相连,下游与读写报文与DDR接口转换模块相连,实现对DDR接口读回复数据去往本地总线接口或用户接口的上行选择;读回复数据报文上行端口选择模块收到下游读回复报文后,解析读回复报文帧头,根据帧头信息获知该报文的端口号,根据端口号与用户端口的对应关系将读回复报文转发至相应的端口;读回复数据报文上行端口选择模块是解复用机制,且上下游端口速率一致,无需设置缓存。

8. 如权利要求1所述的高性能多口DDR控制器,其特征在于:所述读写报文与DDR接口转换模块与DDR接口模块完成了常见的单口DDR控制器功能,将仲裁后的读/写报文顺序执行;对于用户写请求,最后一个切包写报文完成,读写报文与DDR接口转换模块通知用户接口与读写报文转换模块,由其回复用户写请求完成指示信号以完成本次写请求;对于用户读请求,读写报文与DDR接口转换模块将读回复数据按照读报文的帧头信息重新组帧成读回复报文并上送。

9. 如权利要求1所述的高性能多口DDR控制器,其特征在于:所述DDR接口模块通过调用FPGA器件厂家提供的DDR IP核实现,该IP核将内部逻辑的数据总线转化为符合DDR标准规范的DDR总线操作,实现FPGA片内逻辑与DDR颗粒的连通,该IP核以硬核方式提供。

10. 权利要求1所述的高性能多口DDR控制器的实现方法,其特征在于,包括以下步骤:

S1、FPGA内部逻辑通过本地总线接口或用户接口发起读/写命令,FPGA内部逻辑作为本地总线接口或用户接口的主端,均需要等待回复当前操作完成指示信号,才能发起下一次操作;

S2、将读/写命令转换为自定义格式读/写报文,其中对于用户接口与读写报文转换模块,按照DDR接口的突发长度进行切包操作,将用户接口所支持的大数据请求切分为底层DDR接口模块支持的小数据请求;

S3、为各上游端口设置独立的通道缓存并对并发进行仲裁,按上行多端口读/写报文到达的先后顺序依次执行,对于同时到达的上行多端口读/写报文则按照可配置的优先级顺序执行;通过握手机制保证缓存不溢出,通过流水线调度机制以及下游模块的快速执行,保证DDR的带宽利用率;

S4、将仲裁后的读/写报文顺序执行:对于用户写请求,最后一个切包写报文完成,即通知用户接口与读写报文转换模块,由其回复用户写请求完成指示信号以完成本次写请求;对于用户读请求,将读回复数据按照读报文的帧头信息重新组帧成读回复报文并上送;

S5、解析读回复报文帧头,根据帧头信息将读回复报文中送至相应的用户接口;

S6、对本地总线接口,收到读回复报文即结束本次读操作;对于用户接口,收到的读回复报文如果不是最后一个切包读回复报文,则将数据缓存,当收到最后一个读回复报文后,即将缓存数据整体上报后,回复用户读请求完成指示信号,以完成本次读请求。

高性能多口DDR控制器及其实现方法

技术领域

[0001] 本发明涉及数据通信领域,具体是涉及一种高性能多口DDR控制器及其实现方法。

背景技术

[0002] 随着基于IP(Internet Protocol,网际协议)化的传送网络不断发展,基于FPGA(Field Programmable Gate Array,现场可编程门阵列)芯片实现的网络协议功能对于大容量、高速的数据缓存的需求越来越迫切。传统的数据缓存方案基于FPGA片内block RAM(块状随机存储器)实现。该方案拥有高速、配置灵活、使用方便等优点,但是成本高昂、且容量小的缺点使其越来越不适用于大条目数的协议数据缓存。

[0003] DDR(Double Data Rate,双倍速率同步动态随机存储器)是JEDEC(电子设备工程联合委员会)于2004年发布,经历了DDR、DDR2、DDR3、DDR4的发展,由于各代DDR系统原理相似,下文中以“DDR”统述。DDR因其成本低廉、容量大、高速的优点被广泛用于存储需求高的数据通信领域。DDR系统通常由DDR控制器和DDR存储器组成。DDR控制器根据用户的请求,按照DDR规范中定义的时序向DDR存储器发起初始化、读、写等指令;DDR存储器实现数据的存储和对DDR控制器指令的响应。

[0004] 在一般的基于FPGA的DDR控制器设计中,容量与带宽的提升可以通过DDR存储器的叠加实现,缺点是一个DDR控制器只有一个用户口。对于多用户的应用场景,需要为每个用户例化一个DDR控制器,对于FPGA的管脚和逻辑资源是一种极大的浪费。

发明内容

[0005] 本发明的目的是为了克服上述背景技术的不足,提供一种高性能多口DDR控制器及其实现方法,多用户口共享DDR接口的架构更具经济性与灵活性,极大节省了管脚资源和逻辑资源,简化了设计难度。

[0006] 本发明提供一种高性能多口DDR控制器,该控制器包括本地总线与读写报文转换模块、用户接口与读写报文转换模块、读/写报文下行仲裁模块、读回复数据报文上行端口选择模块、读写报文与DDR接口转换模块、双倍速率同步动态随机存储器DDR接口模块,其中:

[0007] 本地总线与读写报文转换模块用于:将本地总线写转换为下行的写报文,将本地总线读转换为下行的读报文,并提取相应上行的读回复数据报文中的数据;

[0008] 用户接口与读写报文转换模块用于:将用户接口写请求转换为下行的写报文,将用户接口读请求转换为下行的读报文,并提取相应上行的读回复数据报文中的数据;

[0009] 读/写报文下行仲裁模块用于:对来自本地总线接口的读写报文或来自用户接口的读写报文进行下行仲裁,按照优先级顺序通过,同时为等待通行的报文提供缓存;

[0010] 读回复数据报文上行端口选择模块用于:对DDR接口读回复数据报文去往本地总线接口或用户接口的上行进行选择;

[0011] 读写报文与DDR接口转换模块用于:下行方向,实现读写报文与DDR接口模块用户

侧接口转换;上行方向,提取读回复数据组成读回复报文;

[0012] DDR接口模块用于:实现DDR接口的底层协议,驱动FPGA与DDR颗粒之间的硬件连线。

[0013] 在上述技术方案的基础上,所述本地总线与读写报文转换模块提供一个通用的本地总线接口,工作于从端回复模式;本地总线接口由片选信号、读写使能信号、地址信号、数据信号、操作完成指示信号组成;所述控制器作为本地总线的从端,响应用户通过该接口提供的读/写操作,完成写操作并提供操作完成指示信号,或者完成读操作并返回读数据以及操作完成指示信号;用户作为本地总线的主端,在收到上一次读/写操作完成指示信号后,才能再次发起读/写操作。

[0014] 在上述技术方案的基础上,所述用户接口与读写报文转换模块提供一个自定义的用户接口,工作于从端回复模式;用户接口由请求开始信号、请求读写指示信号、请求起地址信号、请求长度信号、请求写数据信号、请求读回复数据信号、请求结束回复信号组成;所述控制器作为该接口的从端,响应用户通过该接口提供的读/写请求,完成写请求并提供请求结束回复信号,或者完成读请求并返回读回复数据以及请求结束回复信号;用户作为该接口的主端,在收到上一次读/写请求完成回复信号后,才能再次发起读/写请求。

[0015] 在上述技术方案的基础上,所述本地总线接口只支持一次操作执行一拍数据的读写,用户接口一次操作支持1至1024任意拍数据的连续读写;用户作为主端发起1至1024任意拍数据的读/写请求后,所述控制器参照直接内存存取DMA方式执行:用户接口与读写报文转换模块将该请求按照底层DDR接口的突发长度切割成小粒度的读/写请求并下发,当所有小粒度读/写请求完成后,产生请求结束回复信号,提示主端请求已完成;

[0016] 用户作为主端发起1至1024任意拍数据的读/写请求后,按照DDR接口模块设置的突发长度进行切包操作,将用户接口所支持的大数据请求切分为底层DDR接口模块支持的小数据请求;

[0017] 对于用户写请求,用户接口与读写报文转换模块监测DDR接口处的执行情况,当最后一个写操作在DDR接口处完成即结束本次用户写请求,返回请求结束回复信号;

[0018] 对于用户读请求,检测用户接口与读写报文转换模块收到切包时,读回复报文;

[0019] 对于用户接口,收到的读回复报文如果不是最后一个切包读回复报文,则将数据缓存,当收到最后一个读回复报文后,即将缓存数据整体上报后,回复用户读请求完成指示信号,以完成本次读请求。

[0020] 在上述技术方案的基础上,所述本地总线接口或用户接口所转换的读写报文分为写报文、读报文、读回复报文三种类型,三种类型的报文均由64比特帧头加数据域组成,数据域最小数据单位为32比特;帧头信息包括报文类型、端口号、切包标号、切包起地址、切包长度;报文类型指示本报文是写报文、读报文或读回复报文;端口号指示本报文来自本地总线接口或哪一个用户接口;切包标号标记本报文携带本次大数据请求中的第几段数据,切包标号指示本次读写请求切包后的编号;切包数据域最小数据单位为32比特,是以切包起地址开始的连续数据,切包长度指示该数据域有多少个32比特有效数据;切包起地址标记本报文携带数据的起地址,切包长度标记本报文携带数据的长度。

[0021] 在上述技术方案的基础上,所述读/写报文下行仲裁模块为各上游用户端口设置了独立的通道缓存,用于流量控制;对于先后到达上行端口读/写报文,读/写报文下行仲裁

模块按照先后顺序依次放行;对于同时到达的上行端口读/写报文,读/写报文下行仲裁模块按照配置的优先级顺序执行,保证带宽均匀分配;读/写报文下行仲裁模块的缓存大小为一次写请求的最大数据量,通过本地总线接口/用户接口与上游的握手机制保证缓存不溢出;通过切包机制与调度机制,同时通过流水线调度机制以及下游模块的快速执行,保证DDR的带宽利用率。

[0022] 在上述技术方案的基础上,所述读回复数据报文上行端口选择模块上游与所例化的各用户端口与读写报文转换模块相连,下游与读写报文与DDR接口转换模块相连,实现对DDR接口读回复数据去往本地总线接口或用户接口的上行选择;读回复数据报文上行端口选择模块收到下游读回复报文后,解析读回复报文帧头,根据帧头信息获知该报文的端口号,根据端口号与用户端口的对应关系将读回复报文转发至相应的端口;读回复数据报文上行端口选择模块是解复用机制,且上下游端口速率一致,无需设置缓存。

[0023] 在上述技术方案的基础上,所述读写报文与DDR接口转换模块与DDR接口模块完成了常见的单口DDR控制器功能,将仲裁后的读/写报文顺序执行;对于用户写请求,最后一个切包写报文完成,读写报文与DDR接口转换模块通知用户接口与读写报文转换模块,由其回复用户写请求完成指示信号以完成本次写请求;对于用户读请求,读写报文与DDR接口转换模块将读回复数据按照读报文的帧头信息重新组帧成读回复报文并上送。

[0024] 在上述技术方案的基础上,所述DDR接口模块通过调用FPGA器件厂家提供的DDR IP核实现,该IP核将内部逻辑的数据总线转化为符合DDR标准规范的DDR总线操作,实现FPGA片内逻辑与DDR颗粒的连通,该IP核以硬核方式提供。

[0025] 本发明还提供上述高性能多口DDR控制器的实现方法,包括以下步骤:

[0026] S1、FPGA内部逻辑通过本地总线接口或用户接口发起读/写命令,FPGA内部逻辑作为本地总线接口或用户接口的主端,均需要等待回复当前操作完成指示信号,才能发起下一次操作;

[0027] S2、将读/写命令转换为自定义格式读/写报文,其中对于用户接口与读写报文转换模块,按照DDR接口的突发长度进行切包操作,将用户接口所支持的大数据请求切分为底层DDR接口模块支持的小数据请求;

[0028] S3、为各上游端口设置独立的通道缓存并对并发进行仲裁,按上行多端口读/写报文到达的先后顺序依次执行,对于同时到达的上行多端口读/写报文则按照可配置的优先级顺序执行;通过握手机制保证缓存不溢出,通过流水线调度机制以及下游模块的快速执行,保证DDR的带宽利用率;

[0029] S4、将仲裁后的读/写报文顺序执行;对于用户写请求,最后一个切包写报文完成,即通知用户接口与读写报文转换模块,由其回复用户写请求完成指示信号以完成本次写请求;对于用户读请求,将读回复数据按照读报文的帧头信息重新组帧成读回复报文并上送;

[0030] S5、解析读回复报文帧头,根据帧头信息将读回复报文中送至相应的用户接口;

[0031] S6、对本地总线接口,收到读回复报文即结束本次读操作;对于用户接口,收到的读回复报文如果不是最后一个切包读回复报文,则将数据缓存,当收到最后一个读回复报文后,即将缓存数据整体上报后,回复用户读请求完成指示信号,以完成本次读请求。

[0032] 与现有技术相比,本发明的优点如下:

[0033] (1)本发明为用户提供了简化但灵活的访问DDR外设的接口,用户既可以使用传统

的本地总线接口,也可以使用高效率类DMA的用户接口。本发明在一组DDR总线基础上实现多个用户对DDR外设的同时访问,多用户共享DDR接口的架构更具经济性与灵活性,极大节省了管脚资源和逻辑资源,简化了设计难度。

[0034] (2)本发明对DDR接口带宽利用率高,多用户同时读写时均可以分配到较高的带宽。

[0035] (3)本发明充分利用DDR器件大容量、高速率的特点,简化了应用难度,可以在许多应用场合代替昂贵的FPGA片内块RAM的使用。

附图说明

[0036] 图1是本发明实施例中高性能多口DDR控制器的结构框图。

[0037] 图2是本发明实施例中高性能多口DDR控制器的实现方法的流程图。

具体实施方式

[0038] 下面结合附图及具体实施例对本发明作进一步的详细描述。

[0039] 为了满足多个用户同时访问同一个DDR接口的需求,除了需要为用户提供使用方便的接口,支持用户进行本地总线读写或类似DMA(Directional Memory Access,直接内存存取)的大块数据传输;同时需要合理分配DDR接口的带宽(只为工作状态的接口平均分配带宽),提升带宽利用率。

[0040] 参见图1所示,本发明实施例提供一种高性能多口DDR控制器,该控制器包括本地总线与读写报文转换模块、用户接口与读写报文转换模块、读/写报文下行仲裁模块、读回复数据报文上行端口选择模块、读写报文与DDR接口转换模块、DDR接口模块,其中:

[0041] 本地总线与读写报文转换模块用于:将本地总线写转换为下行的写报文,将本地总线读转换为下行的读报文,并提取相应上行的读回复数据报文中的数据;

[0042] 用户接口与读写报文转换模块用于:将用户接口写请求转换为下行的写报文,将用户接口读请求转换为下行的读报文,并提取相应上行的读回复数据报文中的数据;

[0043] 读/写报文下行仲裁模块用于:对来自本地总线接口的读写报文或来自用户接口的读写报文进行下行仲裁,按照优先级顺序通过,同时为等待通行的报文提供缓存;

[0044] 读回复数据报文上行端口选择模块用于:对DDR接口读回复数据报文去往本地总线接口或用户接口的上行进行选择;

[0045] 读写报文与DDR接口转换模块用于:下行方向,实现读写报文与DDR接口模块用户侧接口转换;上行方向,提取读回复数据组成读回复报文;

[0046] DDR接口模块用于:实现DDR接口的底层协议,驱动FPGA与DDR颗粒之间的硬件连线。

[0047] 本地总线与读写报文转换模块提供一个通用的本地总线接口,工作于从端回复模式。本地总线接口由片选信号、读写使能信号、地址信号、数据信号、操作完成指示信号组成。本发明实施例中的控制器作为本地总线的从端,响应用户通过该接口提供的读/写操作,完成写操作并提供操作完成指示信号,或者完成读操作并返回读数据以及操作完成指示信号。用户作为本地总线的主端,需要在收到上一次读/写操作完成指示信号后,才能再次发起读/写操作。

[0048] 用户接口与读写报文转换模块提供一个自定义的用户接口,工作于从端回复模式。用户接口由请求开始信号、请求读写指示信号、请求起地址信号、请求长度信号、请求写数据信号、请求读回复数据信号、请求结束回复信号组成。本发明实施例中的控制器作为该接口的从端,响应用户通过该接口提供的读/写请求,完成写请求并提供请求结束回复信号,或者完成读请求并返回读回复数据以及请求结束回复信号。用户作为该接口的主端,需要在收到上一次读/写请求完成回复信号后,才能再次发起读/写请求。

[0049] 用户接口与本地总线接口所不同的是,本地总线接口只支持一次操作执行一拍数据的读写,而用户接口一次操作支持1至1024任意拍数据的连续读写。用户作为主端发起1至1024任意拍数据的读/写请求后,本发明实施例中的控制器参照DMA方式执行:用户接口与读写报文转换模块会将该请求按照底层DDR接口的突发长度切割成小粒度的读/写请求并下发,当所有小粒度读/写请求完成后,产生请求结束回复信号,提示主端请求已完成。

[0050] 用户作为主端发起1至1024任意拍数据的读/写请求后,需要按照DDR接口模块设置的突发长度进行切包操作,将用户接口所支持的大数据请求切分为底层DDR接口模块支持的小数据请求。

[0051] 对于用户写请求,用户接口与读写报文转换模块监测DDR接口处的执行情况,当最后一个写操作在DDR接口处完成即结束本次用户写请求,返回请求结束回复信号。

[0052] 对于用户读请求,检测用户接口与读写报文转换模块收到切包时,读回复报文。

[0053] 对于用户接口,收到的读回复报文如果不是最后一个切包读回复报文,则将数据缓存,当收到最后一个读回复报文后,即将缓存数据整体上报后,回复用户读请求完成指示信号,以完成本次读请求。

[0054] 本地总线接口或用户接口所转换的读写报文为本发明自定义格式。读写报文分为写报文、读报文、读回复报文三种类型。三种类型的报文均由64比特帧头加数据域组成,数据域最小数据单位为32比特。帧头信息包括报文类型、端口号、切包标号、切包起地址、切包长度。报文类型指示本报文是写报文、读报文或读回复报文。端口号指示本报文来自本地总线接口或哪一个用户接口。如上所述,对于用户接口,用户接口与读写报文转换模块会将该请求按照底层DDR接口的突发长度切割成小粒度的读/写请求并下发。切包标号标记本报文携带本次大数据请求中的第几段数据,切包标号指示本次读写请求切包后的编号。切包数据域最小数据单位为32比特,是以切包起地址开始的连续数据,切包长度指示该数据域有多少个32比特有效数据。切包起地址标记本报文携带数据的起地址,切包长度标记本报文携带数据的长度。

[0055] 本地总线一般应用于与CPU连接,用户接口一般应用于与FPGA内部逻辑连接。在本发明实施例中,本地总线接口例化了1个,用户接口例化了3个,合计4个用户端口。在实际应用中4个用户端口相互独立,可同时对底层DDR器件进行访问。根据实际应用的需求,用户端口也可以进行扩展,实现原理与本发明所述一致。

[0056] 读/写报文下行仲裁模块为各上游用户端口设置了独立的通道缓存,用于流量控制。对于先后到达上行端口读/写报文,读/写报文下行仲裁模块按照先后顺序依次放行。对于同时到达的上行端口读/写报文,读/写报文下行仲裁模块按照配置的优先级顺序执行,保证带宽均匀分配。读/写报文下行仲裁模块的缓存大小设计为一次写请求的最大数据量,通过本地总线接口/用户接口与上游的握手机制保证缓存不溢出。通过切包机制与调度机

制,同时通过流水线调度机制以及下游模块的快速执行保证DDR的带宽利用率。

[0057] 读回复数据报文上行端口选择模块上游与所例化的各用户端口与读写报文转换模块相连,下游与读写报文与DDR接口转换模块相连,实现对DDR接口读回复数据去本地总线接口或用户接口的上行选择。读回复数据报文上行端口选择模块收到下游读回复报文后,解析读回复报文帧头,根据帧头信息获知该报文的端口号,根据端口号与用户端口的对应关系将读回复报文转发至相应的端口。由于读回复数据报文上行端口选择模块是解复用机制,且上下游端口速率一致,所以无需设置缓存。

[0058] 读写报文与DDR接口转换模块与DDR接口模块完成了常见的单口DDR控制器功能,将仲裁后的读/写报文顺序执行。此部分根据不同的应用场景(不同的FPGA芯片/DDR器件)有不同的实施例,但实现原理均与本发明描述一致。对于用户写请求,最后一个切包写报文完成,读写报文与DDR接口转换模块通知用户接口与读写报文转换模块,由其回复用户写请求完成指示信号以完成本次写请求。对于用户读请求,读写报文与DDR接口转换模块将读回复数据按照读报文的帧头信息重新组帧成读回复报文并上送。

[0059] DDR接口模块通过调用FPGA器件厂家提供的DDR IP核实现。该IP核可实现将内部逻辑的数据总线转化为符合DDR标准规范的DDR总线操作,实现FPGA片内逻辑与DDR颗粒的连通。由于该IP核以硬核方式提供,且对各厂家DDR颗粒的支持情况良好,可以极大提高本发明实施例的适用范围。

[0060] 参见图2所示,本发明实施例还提供上述高性能多口DDR控制器的实现方法,包括以下步骤:

[0061] S1、FPGA内部逻辑通过本地总线接口或用户接口发起读/写命令,FPGA内部逻辑作为本地总线接口或用户接口的主端,均需要等待回复当前操作完成指示信号,才能发起下一次操作;

[0062] S2、将读/写命令转换为自定义格式读/写报文,其中对于用户接口与读写报文转换模块,需要按照DDR接口的突发长度进行切包操作,将用户接口所支持的大数据请求切分为底层DDR接口模块支持的小数据请求;

[0063] S3、为各上游端口设置独立的通道缓存并对并发进行仲裁,按上行多端口读/写报文到达的先后顺序依次执行,对于同时到达的上行多端口读/写报文则按照可配置的优先级顺序执行;通过握手机制保证缓存不溢出,通过流水线调度机制以及下游模块的快速执行,保证DDR的带宽利用率;

[0064] S4、将仲裁后的读/写报文顺序执行:此部分根据不同的应用场景(不同的FPGA芯片/DDR颗粒)有不同的实施例,但实现原理均与本发明描述一致;对于用户写请求,最后一个切包写报文完成,即通知用户接口与读写报文转换模块,由其回复用户写请求完成指示信号以完成本次写请求;对于用户读请求,将读回复数据按照读报文的帧头信息重新组帧成读回复报文并上送;

[0065] S5、解析读回复报文帧头,根据帧头信息将读回复报文中送至相应的用户接口;

[0066] S6、对本地总线接口,收到读回复报文即结束本次读操作;对于用户接口,收到的读回复报文如果不是最后一个切包读回复报文,则将数据缓存,当收到最后一个读回复报文后,即将缓存数据整体上报后,回复用户读请求完成指示信号,以完成本次读请求。

[0067] 下面通过一个具体实现的案例进行说明。

[0068] 1、读/写请求发起

[0069] 参见图2所示,FPGA内部逻辑通过本发明实施例提供的本地总线接口或用户接口发起读/写命令。FPGA内部逻辑作为本地总线接口或用户接口的主端,均需要等待本发明实施例回复当前操作完成指示信号才能发起下一次操作。FPGA内部逻辑通过本地总线访问每次请求只能进行一个32比特数据的读写,而通过用户接口每次请求可进行1-1024个32比特地址连续数据的读写。

[0070] 2、读/写请求识别与转换

[0071] 将读/写命令转换为自定义格式读/写报文。其中对于本地总线接口直接进行转换;对于用户接口,需要按照DDR接口的突发长度进行切包操作,将用户接口所支持的大数据请求切分为底层DDR接口支持的小数据请求。所有的小数据请求会被顺序编号,每个小数据请求可以独立路由以及被执行和生成相应回复报文。

[0072] 3、读/写报文下行仲裁

[0073] 通过读/写报文下行仲裁模块为各上游端口设置独立的通道缓存,按上行多端口读/写报文到达的先后顺序依次执行,对于同时到达的上行多端口读/写报文则按照可配置的优先级顺序执行。通过所述握手机制保证可以设置合理大小的缓存并保证缓存不溢出,并通过流水线调度机制以及下游模块的快速执行保证DDR的带宽利用率。

[0074] 4、读/写报文执行

[0075] 将经过仲裁后的读写报文顺序执行,转换为DDR接口操作。此部分根据不同的应用场景(不同的FPGA芯片/DDR颗粒)有不同的实施例,但实现原理均与本发明描述一致。对于用户写请求,最后一个切包写报文完成即通知用户接口与读写报文转换模块,由其回复用户写请求完成指示信号以完成本次写请求。对于用户读请求,将读回复数据按照读报文所示帧头信息重新组帧成读回复报文并上送。

[0076] 以下步骤5、6描述写请求余下步骤:

[0077] 5、写报文完成情况监测

[0078] 底层DDR操作执行部件将所执行写报文端口号、切包编号、切包完成指示上报,监测部件核对端口号,根据本次请求的切包数目核对切包编号,确定写请求的最后一个切包写操作完成即上报写完成指示。

[0079] 6、写请求完成

[0080] 根据接收的写请求完成信号,本地总线接口回复操作完成信号,用户接口释放总线为空闲状态。

[0081] 以下步骤7、8、9描述读请求余下步骤

[0082] 7、读回复报文生成

[0083] 底层DDR操作执行部件暂存所执行读报文的报文端口号、切包编号、切包大小等信息,从DDR器件获取读回复数据后则按照定义格式组成读回复报文进行上报。

[0084] 8、读完成情况监测

[0085] 监测部件解析读回复数据报文,根据解析出读回复报文端口号、切包编号完成读完成情况监测与读回复报文转发。根据读回复报文端口号确定上送读回复报文至哪一个端口,根据切包编号与暂存的最大切包编号确定是否是本次读请求的最后一个读回复报文。

[0086] 9、读请求完成

[0087] 每个端口针对读回复报文设置缓存,读回复报文数据均需进入缓存,当最后一个读回复报文到达缓存即开始向用户输出读回复数据,直至缓存清空为止。清空读回复数据缓存后,对于本地总线接口回复操作完成信号,对于用户接口则释放总线为空闲状态。

[0088] 本发明实施例在烽火通信的IPRAN设备上得到应用,充分利用DDR器件大容量、高速率的特点,同时简化了应用难度,可以在许多应用场合代替昂贵的FPGA片内块RAM的使用。

[0089] 本领域的技术人员可以对本发明实施例进行各种修改和变型,倘若这些修改和变型在本发明权利要求及其等同技术的范围之内,则这些修改和变型也在本发明的保护范围之内。

[0090] 说明书中未详细描述的内容为本领域技术人员公知的现有技术。

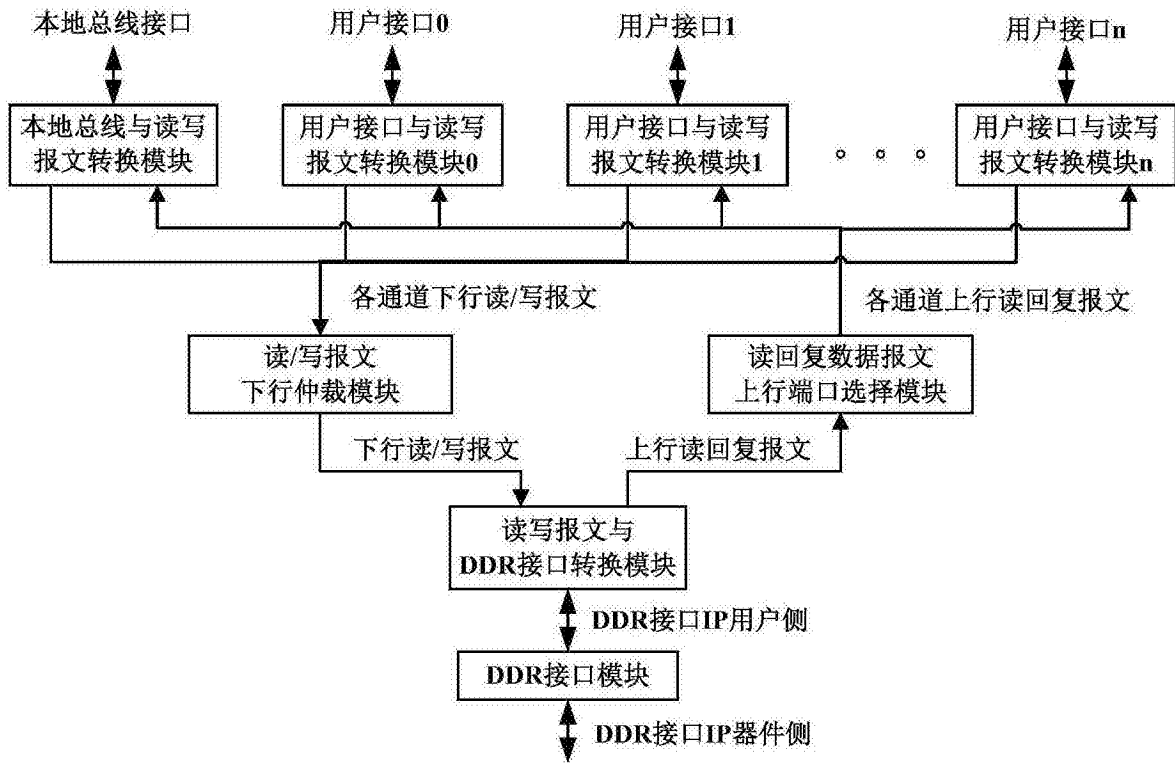


图1

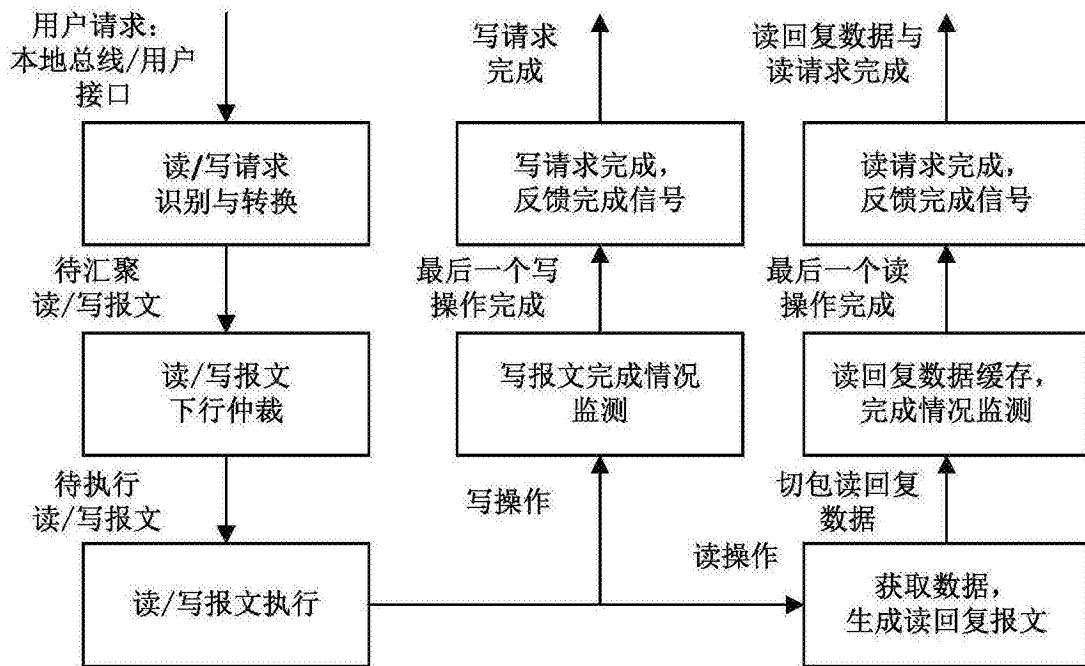


图2