

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5259925号
(P5259925)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int. Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 624B
HO1L 51/50 (2006.01)	G09G 3/20 611A
	G09G 3/20 612L
	HO5B 33/14 A

請求項の数 6 (全 11 頁)

(21) 出願番号 特願2006-44584 (P2006-44584)
 (22) 出願日 平成18年2月21日(2006.2.21)
 (65) 公開番号 特開2007-225738 (P2007-225738A)
 (43) 公開日 平成19年9月6日(2007.9.6)
 審査請求日 平成21年2月4日(2009.2.4)

(73) 特許権者 510048417
 グローバル・オーエーディー・テクノロジー・リミテッド・ライアビリティ・カンパニー
 GLOBAL OLED TECHNOLOGY LLC.
 アメリカ合衆国、バージニア州、ハーンドン、パーク・センター・ロード 13873、スイート 330
 13873 Park Center Road, Suite 330, Herndon, VA 20171, United States of America

最終頁に続く

(54) 【発明の名称】 画像表示装置

(57) 【特許請求の範囲】

【請求項1】

ドレイン電極が正電源線に接続されたドライバー素子と、
 ドレイン電極が前記ドライバー素子のソース電極に接続され、ゲート電極が発光制御線に接続された発光選択素子と、

アノード電極が前記発光選択素子のソース電極に接続され、カソード電極が負電源線に接続され、流れる電流によって発光する発光素子と、

ドレインもしくはソース電極が輝度信号を伝達する信号線に接続され、ゲート電極が走査線に接続された信号選択素子と、

第1電極が前記ドライバー素子のゲート電極に接続され、第2電極が前記信号選択素子のソースもしくはドレイン電極に接続されたドライバー特性保持容量と、

ドレインもしくはソース電極が前記ドライバー素子のドレイン電極に接続され、ソースもしくはドレイン電極が前記ドライバー素子のゲート電極に接続され、ゲート電極がリセット線に接続された第1スイッチング素子と、

第1電極が前記正電源線に接続され、第2電極が前記ドライバー特性保持容量の第2電極に接続された輝度電圧保持容量と、

ソースもしくはドレイン電極が前記輝度電圧保持容量の第2電極に接続され、ドレインもしくはソース電極が前記ドライバー素子のソース電極に接続され、ゲート電極が前記リセット線に接続された第2スイッチング素子と、

を有し、

前記リセット線からの信号により前記第 1 スwitching素子をオンし、前記発光制御線からの信号により前記発光選択素子をオフすることにより、前記ドライバー特性保持容量の前記第 2 電極に前記ドライバー素子のしきい値電圧を保持することを特徴とする画像表示装置。

【請求項 2】

前記ドライバー素子は薄膜トランジスタであることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 3】

前記薄膜トランジスタはアモルファスシリコントランジスタであることを特徴とする請求項 2 に記載の画像表示装置。

10

【請求項 4】

前記ドライバー素子のソース電極には、2 つ以上の発光選択素子が接続され、この 2 つ以上の発光選択素子のそれぞれに発光素子が接続され、ドライバー素子に流れる電流が 2 つ以上の発光素子に供給されることを特徴とする請求項 1 ~ 3 のいずれか 1 つに記載の画像表示装置。

【請求項 5】

前記 2 つ以上の発光選択素子は、それぞれ異なる発光制御線に接続されており、異なるタイミングでオンされることを特徴とする請求項 4 に記載の画像表示装置。

【請求項 6】

前記発光素子は有機エレクトロルミネッセンス素子であることを特徴とする請求項 1 ~ 5 のいずれか 1 つに記載の画像表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ (TFT) を用いてエレクトロルミネッセンス (EL) 素子を駆動するアクティブマトリクス型有機 EL 表示装置に関する。

【背景技術】

【0002】

自ら発光する有機エレクトロルミネッセンス (EL) 素子を用いた有機 EL 表示装置は、液晶表示装置で必要なバックライトが不要で装置の薄型化に最適であるとともに、視野角にも制限がないため、次世代の表示装置として期待されている。また、有機 EL 表示装置に用いられる有機 EL 素子は、各発光素子の輝度が流れる電流値により制御される点で、液晶セルが電圧により制御される液晶表示装置等とは異なる。

30

【0003】

一般にアクティブマトリクス型有機 EL 表示装置は 3 つ以上のサブ画素で構成される画素が集まって構成されており、各サブ画素は赤、青、緑などを表示する機能を有している。このサブ画素はアノード電極とカソード電極に所定以上の電圧を印加することによりそれに応じた電流が流れて自ら発光する。

【0004】

図 5 に従来 of アクティブマトリクス型有機 EL 表示装置 100 の構成を示す。正電源供給回路 105 からの正電源電圧は、正電源線 109 によって各画素 102 の各サブ画素 101 に供給される。また、負電源供給回路 106 からの負電源電圧は、負電源線 110 によって各画素 102 の各サブ画素 101 に供給される。また、サブ画素 101 の各列に対応して信号線 107 が設けられ、各サブ画素 101 に信号線駆動回路 104 から供給される表示用の電気信号 (データ信号) を供給する。また、走査線駆動回路 103 からの走査線 108 がサブ画素 101 の行毎に配置されている。なお、この例では、行方向に並んだ 3 つのサブ画素 101 により画素 102 が構成されている。

40

【0005】

各サブ画素 101 には、switching素子 114、静電容量 113 およびドライバー素子 112 からなる電流値制御部 115 と、発光素子 111 が設けられている。

50

【 0 0 0 6 】

そして、走査線 1 0 8 を選択レベルに設定することによって、スイッチング素子 1 1 4 がオンして、信号線 1 0 7 の電気信号が静電容量 1 1 3 に充電されてドライバー素子 1 1 2 のゲート電圧が決定され、そのゲート電圧に応じた電流が正電源線 1 0 9 からドライバー素子 1 1 2、発光素子 1 1 1 を介し負電源線 1 1 0 に流れる。

【 0 0 0 7 】

このように、1 画素あたり 3 つのサブ画素があるとするならば、1 画素が合計 9 つの素子を備える。このように多数の素子が配列されることによって欠陥の発生確率が高くなる。

【 0 0 0 8 】

そこで、図 6 のような方式が提案された（特許文献 1、2、3、非特許文献 1（図 5）を参照）。

【 0 0 0 9 】

正電源供給回路 2 0 5 からの正電源電圧は、正電源線 2 0 9 によって各画素 2 0 2 に供給される。また、負電源供給回路 2 0 6 からの負電源電圧は、負電源線 2 1 0 によって各画素 2 0 2 の各サブ画素 2 0 1 に供給される。また、画素 2 0 2 の各列に対応して信号線 2 0 7 が設けられ、各画素 2 0 2 に信号線駆動回路 2 0 4 から供給される表示用の電気信号を供給する。また、走査線駆動回路 2 0 3 からの走査線 1 0 8 が各行の画素 2 0 2 毎に配置されている。なお、この例では、1 つの画素 2 0 2 が行方向に並んだ 3 つのサブ画素 2 0 1 を含んで構成されている。

【 0 0 1 0 】

各画素 2 0 2 は、スイッチング素子 2 1 4、静電容量 2 1 3 およびドライバー素子 2 1 2 からなる電流値制御部 2 1 5 を含み、この電流値制御部 2 1 5 に 3 つのサブ画素 2 0 1 が接続されている。

【 0 0 1 1 】

各サブ画素 2 0 1 には、1 つのドライバー素子 2 1 2 に接続された発光選択素子として機能するサブ画素選択素子 2 1 5、発光素子 2 1 1 が設けられている。3 つのサブ画素におけるサブ画素選択素子 2 1 5 R、2 1 5 G、2 1 5 B が走査線駆動回路 2 0 3 からの選択制御線 2 0 6 R、2 0 6 G、2 0 6 B によって順次オンされる。このように、1 画素 2 0 2 に 3 つのサブ画素 2 0 1 が設けられ、各サブ画素において、駆動電流がサブ画素選択素子 2 1 5 R、2 1 5 G、2 1 5 B を介し発光素子 2 1 1 R、2 1 1 G、2 1 1 B にそれぞれ供給される。

【 0 0 1 2 】

この図 6 の回路は、図 7 の駆動波形のように、1 フレームが 3 つのサブフレームに分割されており、各サブフレームにおいて、走査線 2 0 8 が H レベルになり、その時の信号線 2 0 7 の信号が静電容量 2 1 3 に取り込まれ、対応する電流がドライバー素子 2 1 2 に流れ、これが選択制御線 2 0 6 によって選択されたサブ画素 2 0 1 に供給され発光することになる。

【 0 0 1 3 】

この方式によれば、電流値制御部 2 1 5 を画素 2 0 2 ごとに 1 つずつ設置し、画素内のサブ画素 2 0 1 で共有することにより素子数が図 5 の方式に比べて、T F T を 1 つ、静電容量を 2 つそれぞれ削減することができ、欠陥の発生確率を下げる事が可能になった。

【 0 0 1 4 】

ここで、上記従来技術では、図 7 の駆動波形が示すように、1 つの映像を表示するための最小単位である 1 フレームは少なくとも 2 つ以上のサブフレームから構成されている。そして、各サブフレームは単色の表示を行い、複数のサブフレームを高速に順次表示して色を重ねていくことにより、単位時間当たりの平均輝度に応じて任意の色および階調を表示する。

【 0 0 1 5 】

また、ドライバー素子 2 1 2 のしきい値電圧および移動度等が画素 2 0 2 毎に異なると

10

20

30

40

50

、データ信号が同一でも駆動電流が異なってしまう。そこで、図 8 に示すようなドライバー素子のばらつきを補償する補償回路を導入した回路も提案されている（特許文献 4、非特許文献 1（図 5（b））参照）。

【 0 0 1 6 】

ここで重要なことは、補償回路を導入するしないに関わらず、サブ画素選択素子 2 1 5 は電流値制御部 2 1 5 と発光素子 2 1 1 の間に設置されていることである。特に補償回路を導入した場合は、サブ画素選択素子 2 1 5 にサブ画素 2 0 1 を選択する機能だけでなく、補償回路がドライバー素子 2 1 2 の特性を検出する工程で発光素子 2 1 1 へ電流が流れないように遮断する機能が必要なためである。すなわちこの 2 つの機能を実現するために別々に T F T を設置するよりも、1 つの T F T に 2 つの機能を担わせることで、T F T の数をさらに削減することが可能になる。

10

【 0 0 1 7 】

図 8 の回路では、正電圧 V D D は、正電源線 3 1 1 によって各画素 3 0 0 に供給される。また、負電源電圧 V E E は、負電源線 3 1 2 によって各画素 3 0 0 の各サブ画素 3 0 1（3 0 1 a、3 0 1 b）に供給される。また、画素 3 0 0 の各列に対応して信号線 D i（i は列番号）が設けられ、各画素 3 0 0 にデータ信号を供給する。また、走査線 S j が各行の画素 3 0 0 毎に配置されている。なお、この例では、1 つの画素 3 0 0 が行方向に並んだ 2 つのサブ画素 3 0 1（3 0 1 a、3 0 1 b）を含んで構成されている。

【 0 0 1 8 】

各画素 3 0 0 は、スイッチング素子 3 0 4 およびドライバー素子（p チャネル）3 0 5 と、補償回路 3 1 0 を含み、このドライバー素子 3 0 5 に 2 つのサブ画素 3 0 1 a、3 0 1 b が接続されている。

20

【 0 0 1 9 】

各サブ画素 3 0 1 a、3 0 1 b には、1 つのドライバー素子 3 0 5 に接続された画素選択素子 3 0 2（3 0 2 a、3 0 2 b）と、発光素子 3 0 3（3 0 3 a、3 0 3 b）が設けられている。2 つのサブ画素におけるサブ画素選択素子 3 0 2 a、3 0 2 b が選択制御線 E j, 1、E j, 2（j は行番号）によって順次オンされる。

【 0 0 2 0 】

そして、スイッチング素子 3 0 4 と、ドライバー素子 3 0 5 のゲートとの間には、補償回路 3 1 0 が設けられている。スイッチング素子 3 0 4 の一端は信号線 D i に接続され、他端が補償回路 3 1 0 に接続されるが、このスイッチング素子 3 0 4 の他端は、ドライバー特性保持容量 3 0 8 を介しドライバー素子 3 0 5 のゲートに接続されると共に、スイッチング T F T 3 0 7 および輝度信号保持容量 3 0 9 によって正電源線 3 1 1 に接続されている。また、ドライバー素子 3 0 5 のゲートはスイッチング T F T 3 0 6 によってドライバー素子 3 0 5 とサブ画素 3 0 1 a、3 0 1 b の接続点に接続されている。また、スイッチング T F T 3 0 7 およびスイッチング T F T 3 0 6 のゲートにはリセット線 R j が接続されている。

30

【 0 0 2 1 】

このような補償回路 3 1 0 を導入した画素回路における、サブ画素選択素子 3 0 2 の役割を説明するために、図 8 の画素回路の動作について図 9 のタイミングチャートを用いて説明する。図 9 におけるタイミング A より前にリセット信号線 R を 2 つのスイッチング T F T 3 0 6 および 3 0 7 が導通状態となるような電位とする。すると輝度信号保持容量 3 0 9 は両端の電極がリセットされ、サブ画素選択素子 3 0 2 b は導通状態なので、ドライバー素子 3 0 5 のゲートは正電源線 3 1 1 の電位より十分低い電位となり、その電位差がドライバー特性保持容量 3 0 8 の両端に保持される。その後タイミング A において、サブ画素選択 T F T 3 0 2 a および 3 0 2 b は共に非導通状態となるが、ドライバー素子 3 0 5 のソース・ゲート間にはドライバー特性保持容量 3 0 8 によって十分大きな電圧が印加されているので、導通状態を保持する。しかし、ドライバー素子 3 0 5 を介して正電源線 3 1 1 から流れる電流はスイッチング T F T 3 0 6 を介して、ドライバー特性保持容量 3 0 8 に供給され、ドライバー素子 3 0 5 のゲート電位を押し上げる。そしてドライバー素

40

50

子305のソース・ゲート間の電位差がドライバー素子305のしきい値電圧 V_{th} と等しくなると、ドライバー素子305は非導通状態となり、結局ドライバー特性保持容量308にはドライバー素子305のしきい値電圧が記録される。そして、スイッチングTFT306および307を非導通状態にした後、タイミングBにおいてスイッチングTFT304を導通状態にし、そのサブフレームで選択する発光素子303aに対応する輝度電圧(データ)信号 V_{data} を輝度信号保持容量309に記録する。すると、ドライバー素子305のゲートの電位は $V_{data} - V_{th}$ となるので、タイミングCからDの間に発光素子303aに流れる電流値は、 $I = (V_{DD} - V_{data})^2$ となり、 V_{th} に依存しない値となる。ここで、 μ はドライバーTFTの移動度や形状によって決まる値である。

10

【0022】

ここで重要なことはサブ画素選択TFT302はしきい値電圧検出時において発光素子303に電流が流れないようにしていることと、発光期間において電流値制御部300によって制御された電流が発光素子303aもしくは303bのいずれに流れるかを選択していることの、2つの機能を有していることである。特に選択制御を行うためには、電流値制御部300と発光素子303との間に設置することが必須である。

【0023】

【特許文献1】特開2005-148749(第26頁第10図、第27項第12図)

【特許文献2】特開2005-165266(第15頁第6図、第16項第7図)

【特許文献4】特開2003-122306(第10項第5図、第11項第7図)

20

【非特許文献1】W. - K. Kwakら、Proceedings of SID05 Digest(第1450頁第5図、第5図(b))

【非特許文献2】J. H. Jungら、Proceedings of SID05 Digest(第1538頁第1図)

【発明の開示】

【発明が解決しようとする課題】

【0024】

アクティブマトリクス型有機EL表示装置を構成する回路構成としては、すべての発光素子のカソード電極が負電源線に接続されアノード電極が画素回路に接続されたカソード共通構成と、すべての発光素子のアノード電極が正電源線に接続されカソード電極が画素回路に接続されたアノード共通構成の2つに分類することができ、このどちらを選択するかは、表示装置を製造する際のプロセス工程や発光素子のデバイス構造などにより決定される場合がある。

30

【0025】

いま非特許文献2に示されるNチャネルのアモルファスシリコンTFTのみで構成されたカソード共通構成の回路を用いて、図8のように1つのドライバ素子に対して複数のサブ画素が接続される画素回路を考える。この場合、図10に示すように、しきい値電圧検出時の電流遮断TFT313が必要であるので、図8に対してTFTが1つ多く必要となり、歩留まり向上の効果が得られにくい。また発光素子に対して3つのTFTが直列に接続されているので、消費電力が増大するという問題があった。

40

【課題を解決するための手段】

【0026】

本発明は、ドレイン電極が正電源線に接続されたドライバー素子と、ドレイン電極が前記ドライバー素子のソース電極に接続され、ゲート電極が発光制御線に接続された発光選択素子と、アノード電極が前記発光選択素子のソース電極に接続され、カソード電極が負電源線に接続され、流れる電流によって発光する発光素子と、ドレインもしくはソース電極が輝度信号を伝達する信号線に接続され、ゲート電極が走査線に接続された信号選択素子と、第1電極が前記ドライバー素子のゲート電極に接続され、第2電極が前記信号選択素子のソースもしくはドレイン電極に接続されたドライバー特性保持容量と、ドレインもしくはソース電極が前記ドライバー素子のドレイン電極に接続され、ソースもしくはドレ

50

イン電極が前記ドライバー素子のゲート電極に接続され、ゲート電極がリセット線に接続された第1スイッチング素子と、第1電極が前記正電源線に接続され、第2電極が前記ドライバー特性保持容量の第2電極に接続された輝度電圧保持容量と、ソースもしくはドレイン電極が前記輝度電圧保持容量の第2電極に接続され、ドレインもしくはソース電極が前記ドライバー素子のソース電極に接続され、ゲート電極が前記リセット線に接続された第2スイッチング素子とを有し、前記リセット線からの信号により前記第1スイッチング素子をオンし、前記発光制御線からの信号により前記発光選択素子をオフすることにより、前記ドライバー特性保持容量の前記第2電極に前記ドライバー素子のしきい値電圧を保持することを特徴とする。

【発明の効果】

10

【0036】

本発明によれば、ドライバー素子のソース電極と発光素子のアノードとの間に発光選択素子が配置される。従って、この発光選択素子をオフすることによってドライバー素子の電流をオフしてドライバー特性保持容量にドライバー素子のしきい値電圧を保持することができる。

【発明を実施するための最良の形態】

【0037】

以下に、図面を用いて本発明の具体的な態様を説明する。ただし、発明の範囲を図示例に限定するものではない。

【0038】

20

「実施形態1」

図1に本発明に係る実施形態1の構成を示す。また、図2は、図1の回路のタイミングチャートである。この実施形態において、電流値制御部1はドライバー素子5の画素間のしきい値電圧変動に対する感度を下げる効果を有する。また、図1は、j行i列の画素回路を示しており、この画素回路においては、トランジスタとして、すべてNチャンネルのTFTを用いている。

【0039】

信号線 D_i には、ゲート電極が走査線 S_j に接続された信号選択素子7のソースまたはドレイン電極が接続されている。この信号選択素子7のドレインまたはソース電極は、TFT特性保持容量8の第2電極9に接続され、その第1電極10はドライバー素子5のゲート電極に接続されている。

30

【0040】

また、正電源線11にドレインまたはソース電極が接続された第1スイッチング素子6のソースもしくはドレイン電極は、ドライバー素子5のゲート電極に接続され、この第1スイッチング素子6のゲート電極には、リセット線 R_j が接続されている。また、信号選択素子7とTFT特性保持容量8の第2電極9の接続点には、ゲート電極がリセット線 R_j に接続された第2スイッチング素子16のドレインまたはソース電極が接続され、そのソースまたはドレイン電極は、ドライバー素子5とサブ画素2(2a, 2b)との接続点に接続されている。また、信号選択素子7とTFT特性保持容量8の第2電極9との接続点には輝度信号保持容量13の第2電極15が接続され、その第1電極14は正電源線11(ドライバー素子5のドレイン電極)に接続されている。

40

【0041】

信号線 D_i より輝度電圧信号を電流値制御部1に書き込む前に、図2の時刻Aより前にリセット線 R_j の信号を第1スイッチング素子6および第2スイッチング素子16が導通状態となる電位(この場合Hレベル)とする。

【0042】

これによって、第1および第2スイッチング素子6、16がオンし、TFT特性保持容量8の第1電極10に正電源線11の電圧、第2電極9側にサブ画素2に接続されている電圧がセットされる。これによって、TFT特性保持容量8の電極10、9間にドライバー素子5のゲート・ソース間しきい値電圧よりも大きい電位差が保持される。

50

【 0 0 4 3 】

その後、選択制御線 E (j , k) を j 行の全てのサブ画素選択素子 3 (3 a 、 3 b) がオフとなる電位にする。この状態において、ドライバー素子 5 のドレインおよびゲート電位は同電位であり、T F T 特性保持容量 8 にはドライバー素子 5 のゲート・ソース間しきい値電圧よりも大きい電位差が発生しているため、ドライバー素子 5 は導通状態である。しかし、サブ画素選択素子 3 が全てオフなので電流はもはや発光素子 4 には流れない。このため、ドライバー素子 5 のソース電位が上昇し、そのゲート・ソース間電位がドライバー素子 5 のしきい値電圧と同等になるとドライバー素子 5 はオフ状態となる。すなわち、T F T 特性保持容量 8 にはドライバー素子 5 のしきい値電圧が記録される。

【 0 0 4 4 】

その後、リセット線 R j を第 1 スイッチング素子 6 および第 2 スイッチング素子 1 6 が非導通状態となる電位 (L レベル) とし、走査線 S j を信号選択素子 7 が導通状態となる電位として、輝度信号 (電気信号) 電圧を信号線 D i より信号選択素子 7 を介して輝度信号保持容量 1 3 に記録する。このときドライバー素子 5 のゲート電圧は、前述のしきい値電圧検出工程により T F T 特性保持容量 8 の両端にドライバー素子 5 のしきい値電圧が保持されているので、記録された輝度信号電圧にドライバー素子 5 のしきい値電圧を加えた値となる。

【 0 0 4 5 】

その後、走査線 S j を信号選択素子 7 が非導通状態となる電位 (L レベル) とし、選択制御線 E (j , k) のうち 1 つ以上 (通常は 1 つ) を選択して、発光素子 4 (4 a 、 4 b) のうち 1 つ以上 (通常は 1 つ) を発光状態とする。

【 0 0 4 6 】

このときドライバー素子 5 を流れる電流値 i_d は式 1 で表される。

[数 1]

$$i_d = \left(\frac{\mu_n}{2} \right) (V_{gs} - V_{th})^2$$

ここで、 μ_n はドライバー素子 5 の移動度および形状および物質によって決まる値、 V_g はドライバー素子 5 のゲート・ソース間電位、 V_{th} はドライバー素子 5 のしきい値電圧である。

【 0 0 4 7 】

前述のようにドライバー素子 5 のゲート電位は輝度信号電圧にドライバー素子 5 のしきい値電圧を加えた値となるので、輝度信号電圧を V_{data} とすると、

[数 2]

$$V_g = V_{data} + V_{th}$$

であるので、

[数 3]

$$i_d = \left(\frac{\mu_n}{2} \right) (V_{data} - V_o)^2$$

となり、ドライバー素子 5 のしきい値電圧 V_{th} に依存しない量となり、表示品質を向上させることができる。ここで、 V_o は発光素子 4 の発光時のドライバー素子 5 のソース電位である。

【 0 0 4 8 】

このような構成によって、サブ画素選択素子 3 をオフすることによってドライバー素子 5 の電流をオフして T F T 特性保持容量 8 にドライバー素子 5 のしきい値電圧を保持することができる。このため、信号選択素子 7 、第 1 および第 2 スイッチング素子 6 , 1 6 、ドライバー素子 5 、サブ画素選択素子 3 を N チャネル T F T で形成した場合においても、ドライバー素子の電流をオフするためのスイッチング素子を設ける必要がない。従って、アモルファスシリコン T F T を利用しても図 8 に示される P チャネル T F T による画素回路と同様の素子数で構成することができる。

【 0 0 4 9 】

[実施形態 2]

図 3 に本発明が適用された別の形態を示す。この画素回路はドライバー素子 5 の画素間

10

20

30

40

50

のしきい値電圧変動に加え の変動に対する感度を下げる効果を有する。

【0050】

図3に示すように、信号選択素子7の信号線D_iと反対側の端子は、ドライバー素子5のサブ画素2と接続される側(ソース電極)に接続されている。そして、この信号選択素子7の信号線D_iと反対側の端子がTFT特性保持容量8の第2電極9に接続され、その第1電極10がドライバー素子5のゲート電極に接続されている。さらに、正電源線11とドライバー素子5のゲートが第1スイッチング素子6によって接続され、この第1スイッチング素子6のゲートは、信号選択素子7のゲートと同様に、走査線S_jまたはリセット線R_j(図においてはリセット線R_j)に接続されている。

【0051】

図4のタイミングAに入る前に、選択制御線E(j, k)をj行目の全てのサブ画素選択素子3が非導通状態となるような電位にする。次に、走査線S_jを信号選択素子7および第1スイッチング素子6が導通状態となるような電位(Hレベル)にして、信号線D_i経由で輝度信号電流を流す。このとき、第1スイッチング素子6がオンしているためドライバー素子5のゲート電位とドレイン電位は同電位となり、輝度信号電流はドライバー素子5を流れるので、ドライバー素子5のゲート・ソース間には、輝度信号電流をi_{data}とすると式4のような電圧V_{gs}が、

[数4]

$$V_{gs} = V_{th} + \left(2 i_{data} / \right)$$

発生する。

【0052】

その後、走査線S_jを信号選択素子7および第1スイッチング素子6が非導通状態となるような電位(Lレベル)にして、選択制御線E(j, k)のうち1つ以上(通常1つ)を選択して、発光素子4のうち1つ以上を発光状態とする。このとき、ドライバー素子5を流れる電流値i_dは式5で表される。

[数5]

$$i_d = \left(/ 2 \right) (V_{gs} - V_{th})^2 = i_{data}$$

よって、このような画素回路を利用することによっても、ドライバー素子5のしきい値電圧V_{th}および に依存しない量となり、表示品質を向上させることができる。

【図面の簡単な説明】

【0053】

【図1】本発明の実施形態1の構成を示す図である。

【図2】実施形態1のタイミングチャートである。

【図3】本発明の実施形態2の構成を示す図である。

【図4】実施例2のタイミングチャートである。

【図5】従来例1の構成を示す図である。

【図6】従来例2の構成を示す図である。

【図7】従来例2のタイミングチャートである。

【図8】従来例3の構成を示す図である。

【図9】従来例3のタイミングチャートである。

【図10】従来例3の構成を示す図である。

【符号の説明】

【0054】

1 電流値制御部、2 サブ画素、3 サブ画素選択素子、4 発光素子、5 ドライバー素子、6 第1スイッチング素子、7 信号選択素子、8 ドライバー特性保持容量、11 正電源線、12 負電源線、13 輝度信号保持容量、16 第2スイッチング素子、D_i 信号線、S_j 走査線、R_j リセット線、E(j, k) 発光制御線。

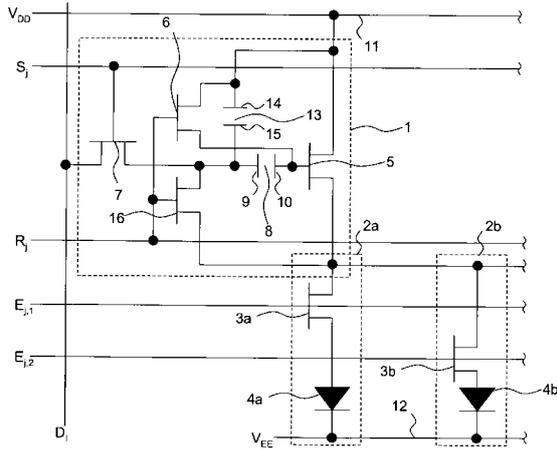
10

20

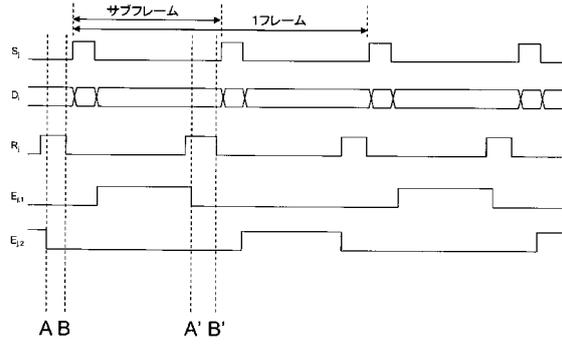
30

40

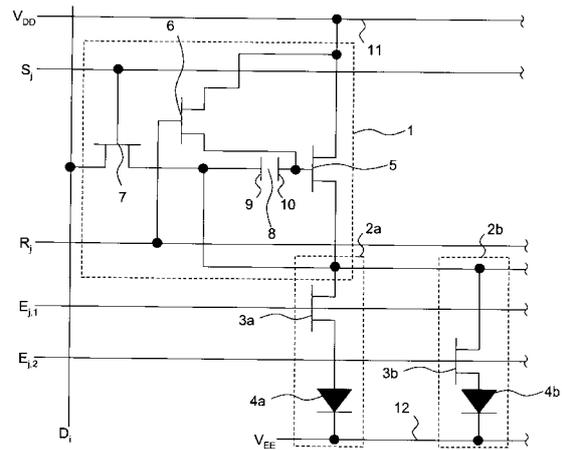
【図1】



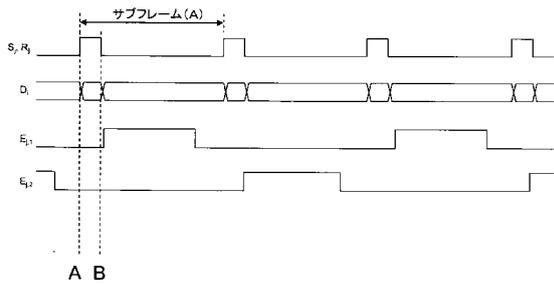
【図2】



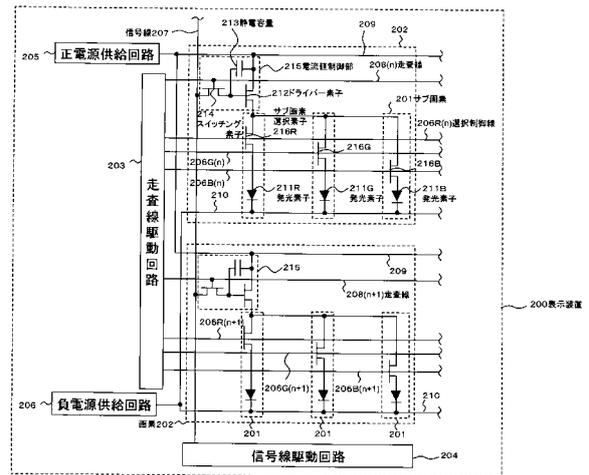
【図3】



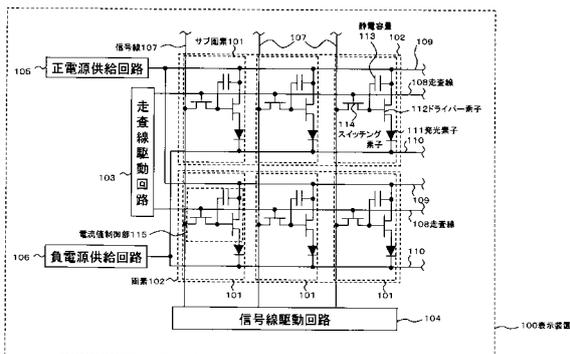
【図4】



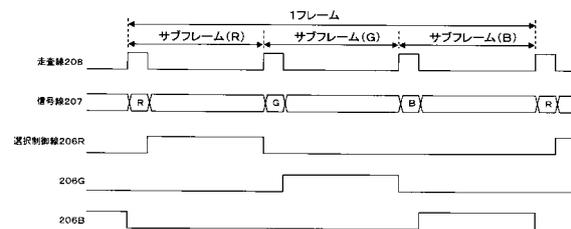
【図6】



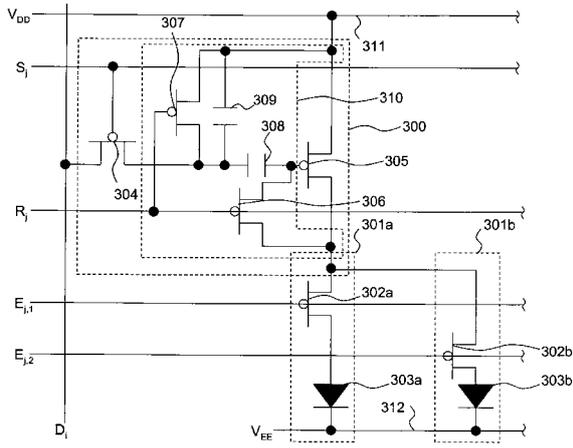
【図5】



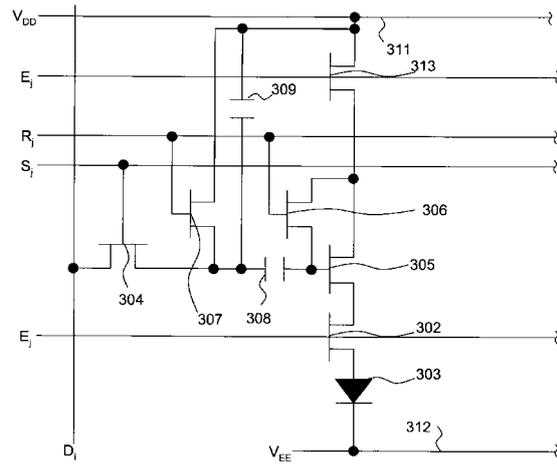
【図7】



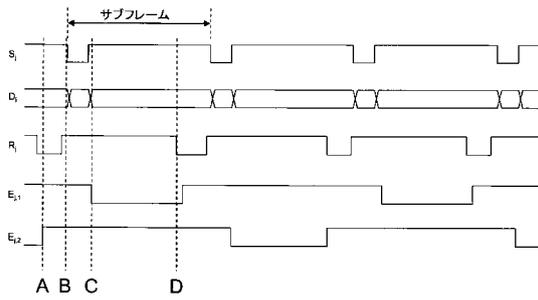
【図8】



【図10】



【図9】



フロントページの続き

- (74)代理人 100110423
弁理士 曾我 道治
- (74)代理人 100084010
弁理士 古川 秀利
- (74)代理人 100094695
弁理士 鈴木 憲七
- (74)代理人 100111648
弁理士 梶並 順
- (74)代理人 100122437
弁理士 大宅 一宏
- (74)代理人 100147566
弁理士 上田 俊一
- (72)発明者 小野 晋也
東京都中央区新川2丁目27番1号 コダック株式会社内
- (72)発明者 三和 宏一
東京都中央区新川2丁目27番1号 コダック株式会社内
- (72)発明者 辻村 隆俊
東京都中央区新川2丁目27番1号 コダック株式会社内
- (72)発明者 前川 雄一
東京都中央区新川2丁目27番1号 コダック株式会社内

審査官 森口 忠紀

- (56)参考文献 特開2004-258172(JP,A)
特開2006-018274(JP,A)
特開2005-148749(JP,A)
特開2003-099000(JP,A)
特開2006-119180(JP,A)
国際公開第2004/066249(WO,A1)

- (58)調査した分野(Int.Cl., DB名)
G09G 3/00 - 3/38