

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5389956号
(P5389956)

(45) 発行日 平成26年1月15日(2014.1.15)

(24) 登録日 平成25年10月18日(2013.10.18)

(51) Int.Cl. F I
 HO 1 L 25/18 (2006.01) HO 1 L 25/08 Z
 HO 1 L 25/07 (2006.01)
 HO 1 L 25/065 (2006.01)

請求項の数 25 (全 40 頁)

(21) 出願番号	特願2011-554055 (P2011-554055)	(73) 特許権者	504142411
(86) (22) 出願日	平成22年3月12日 (2010.3.12)		テッセラ、インコーポレイテッド
(65) 公表番号	特表2012-520567 (P2012-520567A)		アメリカ合衆国 カリフォルニア州 95
(43) 公表日	平成24年9月6日 (2012.9.6)		134, サン・ノゼ, オーチャード・
(86) 国際出願番号	PCT/US2010/000777		パークウェイ 3025
(87) 国際公開番号	W02010/104610	(74) 代理人	100099623
(87) 国際公開日	平成22年9月16日 (2010.9.16)		弁理士 奥山 尚一
審査請求日	平成23年11月14日 (2011.11.14)	(74) 代理人	100096769
(31) 優先権主張番号	61/210,100		弁理士 有原 幸一
(32) 優先日	平成21年3月13日 (2009.3.13)	(74) 代理人	100107319
(33) 優先権主張国	米国 (US)		弁理士 松島 鉄男
早期審査対象出願		(74) 代理人	100114591
			弁理士 河村 英文
		(74) 代理人	100125380
			弁理士 中村 綾子

最終頁に続く

(54) 【発明の名称】 ボンドパッドを貫通して延在するバイアを有するスタック型マイクロ電子アセンブリ

(57) 【特許請求の範囲】

【請求項1】

スタック型マイクロ電子アセンブリであって、

それぞれが前面と、該前面上のボンドパッドと、該前面から離れた背面と、該前面と該背面との間に延在するエッジとを有する第1のマイクロ電子素子及び第2のマイクロ電子素子であって、該第1のマイクロ電子素子の前記前面が該第2のマイクロ電子素子の前記前面又は前記背面のうち的一方に隣接するように、該マイクロ電子素子が積み重ねられ、前記マイクロ電子アセンブリは、前記第1のマイクロ電子素子の前記前面又は前記背面のうち的一方に重なる第1の面と、前記第2のマイクロ電子素子の前記前面又は前記背面のうち的一方に重なる第2の面と、を有し、前記第1のマイクロ電子素子及び前記第2のマイクロ電子素子のそれぞれが、前記前面又は前記背面のうち少なくとも一方に沿って延在する導電層を含み、該導電層は、それぞれのマイクロ電子素子の前記ボンドパッドに結合され、前記第1のマイクロ電子素子及び前記第2のマイクロ電子素子のうち少なくとも1つのマイクロ電子素子の前記導電層は、当該マイクロ電子素子の前記背面に沿って延在し、該少なくとも1つのマイクロ電子素子は、a) 当該マイクロ電子素子の前記背面から当該マイクロ電子素子の前記前面に向かって延在する凹部と、b) 当該マイクロ電子素子の該凹部から当該マイクロ電子素子の前記ボンドパッドを貫通して延在し、当該マイクロ電子素子の該ボンドパッドに電氣的に接続される導電性バイアと、を含む、第1のマイクロ電子素子及び第2のマイクロ電子素子と、

前記第1のマイクロ電子素子及び前記第2のマイクロ電子素子の前記導電層から延在す

る複数のリードと、

前記リードと電氣的に接続される、前記アセンブリの複数の端子と、
を備え、

各リードは、前記導電層のうちの少なくとも1つと前記複数の端子のうちの1つとを電氣的に接続し、

前記マイクロ電子アセンブリは該アセンブリの前記第1の面から離れて延在する少なくとも1つのエッジ面を有し、各エッジ面は前記第1のマイクロ電子素子及び前記第2のマイクロ電子素子の前記エッジに沿って延在し、前記リードは、前記少なくとも1つのエッジ面に沿って、前記アセンブリの前記第1の面上まで延在する、スタック型マイクロ電子アセンブリ。

10

【請求項2】

前記端子は前記アセンブリの前記第1の面又は前記第2の面において露出する、請求項1に記載のスタック型マイクロ電子アセンブリ。

【請求項3】

前記第1のマイクロ電子素子が前記凹部及び前記導電性バイアを含み、前記第1のマイクロ電子素子の前記導電層は前記第1のマイクロ電子素子の前記バイアに電氣的に接続され、前記第2のマイクロ電子素子の前記導電層は、その前記ボンダパッドの表面に電氣的に接触し、該表面は前記第2のマイクロ電子素子の前記前面に沿って延在する、請求項1に記載のスタック型マイクロ電子アセンブリ。

【請求項4】

前記少なくとも1つのマイクロ電子素子の前記導電層は、前記凹部の表面に沿ってコンフォーマルに延在し、前記アセンブリは、前記凹部内の前記導電層の上に重なる誘電体層をさらに含む、請求項1に記載のスタック型マイクロ電子アセンブリ。

20

【請求項5】

前記導電性バイアは、前記ボンダパッドを貫通して延在する穴を裏打ちする導電層を含み、前記誘電体層は該穴内の該導電層の上に重なる、請求項4に記載のスタック型マイクロ電子アセンブリ。

【請求項6】

前記マイクロ電子素子の前記エッジを越えて延在する表面を有する誘電体層をさらに備え、前記導電層は、前記エッジを越えて該誘電体層の前記表面に沿って第1の方向に延在する、請求項1に記載のスタック型マイクロ電子アセンブリ。

30

【請求項7】

前記リードのうちの少なくとも1つは、前記導電層のうちの少なくとも1つの導電層の一部に沿って第1の方向に延在する該一部を含み、該リード部分は該導電層部分と電氣的に接触する、請求項6に記載のスタック型マイクロ電子アセンブリ。

【請求項8】

前記少なくとも1つのリードは第1のリードであり、少なくとも1つの第2のリードが、前記リードの一部分と前記導電層の一部分とを貫通して延在する導電性バイアを含む、請求項1に記載のスタック型マイクロ電子アセンブリ。

【請求項9】

前記凹部は第1の凹部であり、前記少なくとも1つのマイクロ電子素子の前記エッジは第2の凹部を含み、前記導電層は該第2の凹部の表面に沿って延在する、請求項1に記載のスタック型マイクロ電子アセンブリ。

40

【請求項10】

前記導電層は、前記第2の凹部を越えて誘電体層の主面上までさらに延在する、請求項9に記載のスタック型マイクロ電子アセンブリ。

【請求項11】

前記第1のマイクロ電子素子はイメージセンサーをさらに含む、前記アセンブリは、該イメージセンサーの上に重なる透明蓋をさらに含む、請求項1に記載のスタック型マイクロ電子アセンブリ。

50

【請求項 1 2】

前記蓋と前記第 1 のマイクロ電子素子の前記前面又は前記背面のうちの一方との間に空洞が配置され、前記イメージセンサーは該空洞と位置合わせされる、請求項 1 1 に記載のスタック型マイクロ電子アセンブリ。

【請求項 1 3】

前記第 1 のマイクロ電子素子の前記前面又は前記背面のうちの一方の上方に実装される蓋をさらに含み、前記前面と該蓋との間に空洞が配置され、前記第 1 のマイクロ電子素子は、該空洞と位置合わせされる微小電気機械システム (MEMS) デバイスを含む、請求項 1 に記載のスタック型マイクロ電子アセンブリ。

【請求項 1 4】

前記凹部は先細りにされ、前記少なくとも 1 つのマイクロ電子素子の前記背面からの距離が長くなるほど小さくなる、請求項 1 に記載のスタック型マイクロ電子アセンブリ。

【請求項 1 5】

前記凹部の壁は、前記少なくとも 1 つのマイクロ電子素子の前記背面への法線に対して 5 度以上の角度に向けられる、請求項 1 4 に記載のスタック型マイクロ電子アセンブリ。

【請求項 1 6】

前記壁は、前記少なくとも 1 つのマイクロ電子素子の前記背面への法線に対して 40 度以下の角度に向けられる、請求項 1 5 に記載のスタック型マイクロ電子アセンブリ。

【請求項 1 7】

誘電体層が前記凹部内の前記ボンドパッドと接触し、前記導電性バイアは該誘電体層及び該ボンドパッドを貫通して延在し、該ボンドパッドの主面に沿った方向における前記バイアの全エリアが、該ボンドパッドの該主面のエリア内に囲まれる、請求項 1 に記載のスタック型マイクロ電子アセンブリ。

【請求項 1 8】

マイクロ電子アセンブリであって、
面、及び該面において露出する導電性パッドを有する誘電体要素と、
前面と、該前面上の金属パッドと、該前面から離れた背面とを有するマイクロ電子素子であって、該マイクロ電子素子は、前記背面から前記前面に向かって延在する凹部を含み、該マイクロ電子素子は、前記金属パッドが前記導電性パッドに隣接し、かつ位置合わせされるように、前記誘電体要素上に実装される、マイクロ電子素子と、
前記凹部及び前記金属パッドを貫通して延在し、前記導電性パッドに電氣的に接触する導電性バイアと、
を備え、

前記マイクロ電子素子は第 1 のマイクロ電子素子であり、前記導電性バイアは第 1 の導電性バイアであり、前記第 1 のマイクロ電子素子は、前記前面と前記背面との間に延在するエッジを含み、前記マイクロ電子アセンブリは、前記導電性バイアから前記背面の上方を前記エッジに向かって延在する導電性要素をさらに含み、前記マイクロ電子アセンブリは、前面と、該前面上の第 2 の金属パッドと、該前面から離れた背面とを有する第 2 のマイクロ電子素子をさらに含み、該第 2 のマイクロ電子素子は、該第 2 のマイクロ電子素子の前記背面から前記前面に向かって延在する第 2 の凹部を含み、該第 2 のマイクロ電子素子は、前記第 2 の金属パッドが前記金属パッドと位置合わせされるように前記第 1 のマイクロ電子素子の前記背面上に実装され、前記マイクロ電子アセンブリは、第 2 の導電性バイアをさらに含み、該第 2 の導電性バイアは、前記第 2 の凹部及び前記第 2 の金属パッドを貫通して延在し、前記第 2 の金属パッドと電氣的に接触し、

前記マイクロ電子アセンブリは、前記第 1 のマイクロ電子素子及び前記第 2 のマイクロ電子素子のエッジに沿って延在するエッジ面と、該エッジ面に沿って延在する前記導電性要素に電氣的に接続されるリードとをさらに含む、マイクロ電子アセンブリ。

【請求項 1 9】

前記マイクロ電子アセンブリは、前記導電性パッドから離れて前記誘電体要素の面において露出する端子をさらに含み、該端子は前記リードに電氣的に接続される、請求項 1 8

10

20

30

40

50

に記載のマイクロ電子アセンブリ。

【請求項 20】

前記マイクロ電子アセンブリは、前記第 1 のマイクロ電子素子の前記前面の上に重なる第 1 の面と、前記第 2 のマイクロ電子素子の前記背面の上に重なる第 2 の面とを有し、前記マイクロ電子アセンブリは、前記第 1 の面と前記第 2 の面との間に延在する開口部と、該開口部内にあり、前記導電性要素に電氣的に接続される導体とをさらに備えている、請求項 18 に記載のマイクロ電子アセンブリ。

【請求項 21】

中に複数のスタック型マイクロ電子素子を有するマイクロ電子パッケージを形成するための方法であって、該方法は、

複数のサブアセンブリを形成するステップであって、該サブアセンブリはそれぞれ、
(a) マイクロ電子素子の前面において露出する金属パッドがキャリアに向かい合い、該マイクロ電子素子の背面が、前記前面から見て外方向に面するように、該マイクロ電子素子を該キャリアに結合することと、

(b) 前記マイクロ電子素子の前記背面から、該マイクロ電子素子の前記前面において露出する前記金属パッドに向かって延在する凹部を形成することと、

(c) 前記背面上に、かつ前記凹部内に第 1 の誘電体層を堆積することと、

(d) 前記凹部内の前記第 1 の誘電体層を貫通して、かつ前記金属パッドを貫通して延在する穴を形成することと、

(e) 前記第 1 の誘電体層の上に重なり、前記背面に沿って、かつ前記穴内に延在する導電層を形成することであって、該導電層は前記金属パッドに電氣的に接続される、形成することと、

により形成され、その後、

(f) 少なくとも位置合わせして複数のサブアセンブリを積み重ねることと、

(g) 前記マイクロ電子パッケージの複数の端子と、前記複数のサブアセンブリの前記導電層から前記端子まで延在する複数のリードと、を形成することと、を含む、複数のサブアセンブリを形成するステップ、
を含み、

各リードは、前記複数の導電層のうちの 1 つと、前記複数の端子のうちの 1 つとを電氣的に接続する、方法。

【請求項 22】

前記 (b) は、第 2 の誘電体層が露出するまで、前記第 1 の誘電体層の材料を除去することを含む、前記マイクロ電子素子の半導体材料を除去することを含む、該第 2 の誘電体層は前記金属パッドの表面と接触し、前記 (d) は、前記第 1 の誘電体層、前記第 2 の誘電体層、及び前記金属パッドを貫通して延在するスルーホールを形成することを含む、請求項 21 に記載の方法。

【請求項 23】

前記 (f) において、少なくとも隣接するサブアセンブリ間の前記キャリアは、任意選択で除去される、請求項 21 に記載の方法。

【請求項 24】

複数のマイクロ電子アセンブリを形成する方法であって、

複数のサブアセンブリを形成するステップであって、該サブアセンブリはそれぞれ、

(a) 誘電体要素上に複数の第 1 のマイクロ電子素子を実装することであって、各第 1 のマイクロ電子素子は、前記誘電体要素に隣接する前面と、該前面において露出する複数の金属パッドとを有している、実装することと、

(b) マイクロ電子素子の背面から、該マイクロ電子素子の前面において露出する前記金属パッドに向かって延在する凹部を形成することと、

(c) 前記背面上に、かつ前記凹部内に誘電体層を堆積することと、

(d) 前記凹部内の前記誘電体層を貫通して、かつ前記金属パッドを貫通して延在する穴を形成することと、

10

20

30

40

50

(e) 前記誘電体層の上に重なり、前記背面に沿って、かつ前記穴内に延在する導電層を形成することであって、該導電層は前記金属パッドに電氣的に接続される、形成することと、

により形成され、その後、

(f) 少なくとも位置合わせして複数のサブアセンブリを積み重ねること、を含む、複数のサブアセンブリを形成するステップ、を含む、

前記 (b) は、前記第 1 のマイクロ電子素子の前記背面から対応する前面に向かって延在する複数の凹部を形成することを含み、

前記 (c) は、前記第 1 のマイクロ電子素子のエッジ間に前記誘電体層を形成することであって、該誘電体層は前記第 1 のマイクロ電子素子の前記背面上に、かつ前記凹部に延在する、形成することを含み、

前記 (d) は、前記凹部のうちの 1 つから前記複数の金属パッドのうちの 1 つを貫通してそれぞれ延在する複数の穴を形成することを含み、

前記 (e) は、前記凹部及び前記穴内に、かつ前記第 1 のマイクロ電子素子の前記背面に沿って前記第 1 のマイクロ電子素子のエッジに向かって延在する前記導電層を形成することであって、該導電層は前記穴内で前記金属パッドと電氣的に接触する、形成することを含み、

前記方法は、さらに、

前記導電層と端子とに電氣的に接続されるリードを形成するステップと、

前記マイクロ電子素子のエッジに沿って複数のスタック型サブアセンブリを個々のマイクロ電子アセンブリに切り離すステップであって、各マイクロ電子アセンブリは、その中にある前記サブアセンブリの前記マイクロ電子素子の前記金属パッドに電氣的に接続される前記端子を含む、切り離すステップと、を含む、方法。

【請求項 25】

前記 (f) において、少なくとも隣接するサブアセンブリ間の前記誘電体要素は、任意選択で除去される、請求項 24 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の相互参照)

本出願は 2009 年 3 月 13 日に出願の米国仮特許出願第 61/210,100 号の出願日の利益を主張し、その開示は参照により本明細書に援用される。

【0002】

本出願の主題は、積み重ねられたダイを有するマイクロ電子アセンブリを含む、パッケージ化されたマイクロ電子素子、及びそれらの素子を製造する方法に関する。

【背景技術】

【0003】

マイクロ電子チップ、たとえば、半導体チップは通常本体が平坦であり、反対に面する概ね平坦な前面及び背面を有し、これらの面間に延在するエッジを有する。チップは一般的に、前面上にチップ内の回路に電氣的に接続される接点を有し、接点はパッド又はボンドパッドと呼ばれる場合もある。チップは通常適切な材料を用いてチップを封入し、チップ接点に電氣的に接続される端子を有するマイクロ電子パッケージを形成することによってパッケージ化される。その後、パッケージを試験装置に接続し、パッケージ化されたデバイスが所望の性能標準規格に適合するか否かを判断することができる。試験されると、ハンダ付けのような適切な接続方法によって、パッケージ端子をプリント回路基板 (PCB) 上の対応するランドに接続することによって、そのパッケージをさらに大きな回路、たとえば、コンピュータ又は携帯電話のような電子製品内の回路に接続することができる

10

20

30

40

50

【0004】

マイクロ電子パッケージは、ウェハーレベルにおいて製造することができる。すなわち、チップ又はダイがまだウェハーの形を成している間に、パッケージを構成する封入体、
10 終端及び他の機構が製造される。ダイが形成された後に、ウェハー上にパッケージ構造を形成するために、ウェハーはいくつかの付加的な工程ステップにかけられ、その後、ウェハーをダイシングして個々にパッケージ化されたダイを切り離す。ウェハーレベルの処理は、コストを節約するという利点を提供することができるので、かつ各ダイ・パッケージのフットプリントをダイそのもののサイズと同一、又は概ね同一にすることができ、結果として、パッケージ化されたダイが取り付けられるプリント回路基板上の面積を非常に効率的に利用することができるので、好ましい製造方法とすることができる。このようにしてパッケージ化されたダイは、一般的に、ウェハーレベル・チップスケールパッケージ、又はウェハーレベル・チップサイズパッケージ(WLCSP)と呼ばれる。

【0005】

パッケージ化されたダイが実装される基板上的付加的な空間を節約するために、それらのダイを垂直に積み重ねることによって、複数のチップを組み合わせることで1つのパッケージにすることができる。スタック内の各ダイは通常、そのスタック内の1つ又は複数の他のダイへの、又はそのスタックが実装される基板への、又はその両方への電氣的接続機構を設けなければならない。これにより、垂直に積み重ねられた複数のダイ・パッケージが基板上で占有する表面積を、パッケージ内の全てのチップを足し合わせた全表面積よりも小さくできるようになる。

【発明の概要】

【0006】

本発明の一態様によれば、それぞれが前面と、該前面上のボンドパッドと、該前面から離れた背面と、該前面と該背面との間に延在するエッジとを有する第1のマイクロ電子素子及び第2のマイクロ電子素子を有するスタック型マイクロ電子アセンブリが提供される。該第1のマイクロ電子素子の前記前面が該第2のマイクロ電子素子の前記前面又は前記背面のうちの一方に隣接するように該マイクロ電子素子を積み重ねることができる。該マイクロ電子アセンブリの面は、該第1のマイクロ電子素子及び該第2のマイクロ電子素子それぞれの前記面の上に重なることができる。該第1のマイクロ電子素子及び該第2のマイクロ電子素子のそれぞれは、そのようなマイクロ電子素子の面に沿って延在する導電層を含むことができる。該第1のマイクロ電子素子及び該第2のマイクロ電子素子のうちの少なくとも一方は、前記背面から前記前面に向かって延在する凹部と、該凹部から前記ボンドパッドを貫通して延在し、該ボンドパッドに電氣的に接続される導電性ビアを含むことができ、前記少なくとも一方のマイクロ電子素子の前記導電層は該ビア(via: 30 ビア)に電氣的に接続される。

【0007】

前記第1のマイクロ電子素子及び前記第2のマイクロ電子素子の前記導電層からリードが延在することができ、前記アセンブリの複数の端子を前記リードと電氣的に接続することができる。

【0008】

通常、導電性ビアは、ボンドパッドを貫通して延在する穴の内側を覆う導電層を含み、誘電体層が穴内の導電層の上に重なる。一実施形態では、金属パッドの方向にあるビアの全面積が、ボンドパッドの面積内に包囲される。

【0009】

1つ又は複数の特定の実施形態によれば、前記リードは前記アセンブリの前記面上に延在することができ、前記端子は前記アセンブリの前記面において露出することができる。前記マイクロ電子アセンブリは前記面から離れて延在する少なくとも1つのエッジ面を有することができ、各エッジ面は前記第1のマイクロ電子素子及び前記第2のマイクロ電子素子のエッジに沿って延在し、前記リードは、前記少なくとも1つのエッジ面に沿って、
50

前記アセンブリの前記面上まで延在する。

【0010】

特定の実施形態では、前記マイクロ電子アセンブリは、前記第1のマイクロ電子素子及び前記第2のマイクロ電子素子の少なくとも一方を貫通して延在する開口部を有することができ、前記リードは該少なくとも1つの開口部の表面に沿って延在することができる。

【0011】

一実施形態では、前記第1のマイクロ電子素子及び前記第2のマイクロ電子素子のそれぞれが、凹部と、該凹部からそのようなマイクロ電子素子のボンドパッドを貫通して延在する導電性バイアトを含むことができ、そのようなマイクロ電子素子の前記導電層は、そのようなマイクロ電子素子の前記バイアに電氣的に接続される。

10

【0012】

特定の実施形態では、前記第1のマイクロ電子素子が前記凹部及び前記導電性バイアを含み、そのようなマイクロ電子素子の前記導電層はそのようなマイクロ電子素子の前記バイアに電氣的に接続される。そのような実施形態では、前記第2のマイクロ電子素子の前記導電層は、その前記ボンドパッドの表面に電氣的に接触することができ、該表面は前記第2のマイクロ電子素子の前記前面に沿って延在する。

【0013】

特定の実施形態では、前記少なくとも1つのマイクロ電子素子の前記導電層は、前記凹部の表面に沿ってコンフォーマルに延在し、前記アセンブリは、前記凹部内の前記導電層の上に重なる誘電体層をさらに含むことができる。

20

【0014】

特定の実施形態では、前記マイクロ電子アセンブリは、前記マイクロ電子素子の前記エッジを越えて延在する表面を有する誘電体層をさらに備えることができ、前記導電層は、前記エッジを越えて前記誘電体層の前記表面に沿って第1の方向に延在する。一実施形態では、前記リードのうちの少なくとも1つは、前記導電層のうちの少なくとも1つの部分に沿って第1の方向に延在する部分を含むことができ、該リード部分は該導電層部分と電氣的に接触する。前記少なくとも1つのリードは第1のリードとすることができ、少なくとも1つの第2のリードが、前記リード部分と前記導電層部分とを貫通して延在する導電性バイアを含むことができる。

【0015】

30

特定の実施形態では、前記凹部は第1の凹部とすることができ、前記少なくとも1つのマイクロ電子素子の前記エッジは第2の凹部を含むことができ、前記導電層は該第2の凹部の表面に沿って延在する。前記導電層は、前記第2の凹部を越えて誘電体層の主面上までさらに延在することができる。

【0016】

特定の実施形態では、前記マイクロ電子アセンブリは、前記第1のマイクロ電子素子の面上に実装される透明蓋をさらに含むことができ、前記第1のマイクロ電子素子は、前記透明蓋と位置合わせされるイメージセンサーを含む。前記アセンブリは、前記面と前記蓋との間に配置される空洞をさらに含むことができ、前記イメージセンサーは前記空洞と位置合わせされる。

40

【0017】

代替的に、前記アセンブリは、前記第1のマイクロ電子素子の面の上方に実装される蓋、及び前記前面と該蓋との間に配置された空洞を含むことができ、前記第1のマイクロ電子素子は、該空洞と位置合わせされる微小電気機械システム(MEMS)デバイスを含む。

【0018】

一実施形態では、ダイ内の凹部の壁は、該ダイの前面に対して直角(90度)に向けられる。

【0019】

特定の実施形態によれば、前記凹部は先細りにすることができ、前記背面からの距離が

50

長くなるほど小さくなる。そのような実施形態では、前記凹部の壁は前記背面への法線に対して約5度又はそれ以上の角度に向けることができる。一実施形態では、前記壁は、前記背面への法線に対して約40度又はそれ以下の角度に向けることができる。

【0020】

特定の実施形態によれば、誘電体層が前記凹部内の前記ボンドパッドと接触することができ、前記導電性バイアは該誘電体層及び該ボンドパッドを貫通して延在することができる。該ボンドパッドの主面に沿った方向における前記バイアの全エリアを、該ボンドパッドの該主面のエリア内に囲むことができる。

【0021】

本発明の別の態様によれば、面、及び該面上に導電性パッドを有するマイクロ電子アセンブリが提供される。前面と、該前面上の金属パッドと、該前面から離れた背面と、前記背面から前記前面に向かって延在する凹部とを有するマイクロ電子素子は、前記金属パッドが前記導電性パッドに隣接し、かつ位置合わせされるように、前記誘電体要素上に実装することができる。導電性バイアが前記凹部及び前記金属パッドを貫通して延在し、前記基板の前記導電性パッドに電氣的に接触する。

10

【0022】

特定の実施形態では、前記誘電体要素の前記面は第1の面であり、前記誘電体要素はさらに、該第1の面から離れた第2の面と、前記金属パッドと電氣的に接続される、該第2の面上にある端子とを含むことができる。

【0023】

前記導電性バイアは金属層をさらに含むことができ、該金属層は、前記金属パッドを貫通して延在する穴内に露出した前記金属パッドの表面の形に一致していることができる。

20

【0024】

特定の実施形態では、前記マイクロ電子素子は第1のマイクロ電子素子とすることができ、前記導電性バイアは第1の導電性バイアとすることができる。該第1のマイクロ電子素子は、前記前面と前記背面との間に延在するエッジを含むことができ、前記マイクロ電子アセンブリは、前記導電性バイアから前記背面の上方を前記エッジに向かって延在する導電性要素をさらに含むことができる。そのような実施形態では前記マイクロ電子アセンブリは、前面と、該前面上の第2の金属パッドと、該前面から離れた背面とを有する第2のマイクロ電子素子をさらに含み、該第2のマイクロ電子素子は前記第1のマイクロ電子素子の前記エッジに隣接して前記誘電体要素上に実装される。前記マイクロ電子アセンブリは、前記導電性バイアに電氣的に接続され、前記第1のマイクロ電子素子の前記背面に沿って延在し、前記第2の金属パッドに電氣的に接続される導電性要素をさらに含むことができる。

30

【0025】

代替的に、マイクロ電子アセンブリにおいて、前記マイクロ電子素子は第1のマイクロ電子素子とすることができ、前記導電性バイアは第1の導電性バイアとすることができる。該第1のマイクロ電子素子は、前記前面と前記背面との間に延在するエッジを含むことができ、前記マイクロ電子アセンブリは、前記導電性バイアから前記背面の上方を前記エッジに向かって延在する導電性要素をさらに含むことができる。前記マイクロ電子アセンブリは、前面と、該前面上の第2の金属パッドと、該前面から離れた背面とを有する第2のマイクロ電子素子をさらに含むことができ、該第2のマイクロ電子素子は、該第2のマイクロ電子素子の前記背面から前記前面に向かって延在する第2の凹部を含む。該第2のマイクロ電子素子は、前記第2の金属パッドが前記導電性パッドに面するように前記第1のマイクロ電子素子の前記背面上に実装することができる。前記マイクロ電子アセンブリは、第2の導電性バイアをさらに含むことができ、該第2の導電性バイアは、前記第2の凹部及び前記第2の金属パッドを貫通して延在し、前記導電性パッドと電氣的に接触する。

40

【0026】

前記マイクロ電子アセンブリのエッジ面が、前記第1のマイクロ電子素子及び前記第2

50

のマイクロ電子素子のエッジに沿って延在することができる。該エッジ面に沿って延在する導電性要素にリードを接続することができる。前記マイクロ電子アセンブリは、前記導電性パッドから離れて前記誘電体要素の面において露出する端子をさらに含み、該端子は前記リードに電氣的に接続することができる。

【0027】

特定の実施形態では、前記マイクロ電子アセンブリは、前記第1のマイクロ電子素子の前記前面の上に重なる第1の面と、前記第2のマイクロ電子素子の前記背面の上に重なる第2の面とを有し、前記マイクロ電子アセンブリは、前記第1の面と前記第2の面との間に延在する開口部と、該開口部内にあり、前記導電性要素に電氣的に接続される導体とをさらに備える。

10

【0028】

別の実施形態によれば、中に複数のスタック型マイクロ電子素子を有するマイクロ電子アセンブリを形成するための方法が提供される。該方法は、複数のサブアセンブリを形成することを含むことができる。各サブアセンブリは、共通の1組のステップによって形成することができる。たとえば、前記マイクロ電子素子の前面において露出する複数の金属パッドがキャリアと向かい合うように、前記マイクロ電子素子を前記キャリアに結合することができる。前記マイクロ電子素子の背面から、該マイクロ電子素子の前面において露出する金属パッドに向かって延在する凹部を形成することができる。前記背面上に、かつ前記凹部内に誘電体層を堆積することができる。前記凹部内の前記誘電体層を貫通し、かつ前記金属パッドを貫通して延在する穴を形成することができる。前記誘電体層の上に重なり、前記背面に沿って、かつ前記穴内に延在する導電層を形成することができ、前記導電層は前記金属パッドに電氣的に接続される。

20

【0029】

その後、複数のサブアセンブリを少なくとも概ね位置合わせして積み重ねることができ、オプションで、少なくとも隣接するサブアセンブリ間のキャリアが除去される。その後、マイクロ電子素子のそれぞれの導電層に電氣的に接続されるリード及び端子を形成することができる。

【0030】

別の実施形態によれば、マイクロ電子パッケージを形成するための方法が提供される。そのような方法は、マイクロ電子素子の背面から、該マイクロ電子素子の前面において露出する金属パッドに向かって延在する凹部を形成することを含むことができる。前記背面上に、かつ前記凹部内に誘電体層を形成することができる。その後、前記背面の上に重なる前記誘電体層をパターンニングすることができる。前記誘電体層を貫通し、かつ前記金属パッドを貫通して延在する穴を形成することができる。前記誘電体層の上に重なり、前記背面に沿って、かつ前記穴内に延在する導電層を形成することができ、該導電層は前記金属パッドに電氣的に接続される。

30

【0031】

本発明の別の実施形態では、複数のマイクロ電子アセンブリを形成する方法が提供される。その方法は、複数のサブアセンブリを形成することを含むことができる。各サブアセンブリは、共通の1組のステップによって形成することができる。たとえば、複数の第1のマイクロ電子素子を誘電体要素上に実装することができ、各第1のマイクロ電子素子は、前記誘電体要素に隣接する前面と、前記前面において露出する複数の金属パッドとを有する。前記第1のマイクロ電子素子の背面から前記前面に向かって延在する凹部を形成することができる。前記第1のマイクロ電子素子のエッジ間に誘電体層を形成することができる。該誘電体層は、前記第1のマイクロ電子素子の前記背面上に、かつ前記凹部内に延在する。前記凹部から前記金属パッドを貫通して延在するスルーホールを形成することができる。前記凹部及び前記スルーホール内に、かつ前記第1のマイクロ電子素子の前記背面に沿って前記第1のマイクロ電子素子の前記エッジに向かって延在する導電性要素を形成することができ、該導電性要素は前記スルーホール内の前記金属パッドと電氣的に接触する。

40

50

【0032】

その後、前記複数のサブアセンブリを少なくとも概ね位置合わせして積み重ねることができ、オプションで、少なくとも隣接するサブアセンブリ間のキャリアが除去される。その後、前記マイクロ電子素子のそれぞれの前記導電層に電氣的に接続されるリード及び端子を形成することができる。

【0033】

前記誘電体要素を、その上にある前記第1のマイクロ電子素子及び前記第2のマイクロ電子素子と共に、前記マイクロ電子素子のエッジに沿って切り離し、個々の積み重ねられたマイクロ電子アセンブリにすることができ、各マイクロ電子アセンブリは、その中にある前記第1のマイクロ電子素子及び前記第2のマイクロ電子素子の前記金属パッドに電氣的に接続される端子を含む。

10

【0034】

本明細書において記述されるデバイス及び方法は、添付の図面との関連において、いくつかの例示される実施形態の以下の説明を読むときに最も深く理解され、図面では、同じ、又は類似の部品を参照するために、図面全体を通して同じ参照番号が用いられる。図面は必ずしも縮尺通りではない。代わりに、記述される実施形態の原理を例示することに重点が置かれている。

【0035】

本明細書において記述されるマイクロ電子デバイスの構造及び製造方法は、添付の図面との関連において、いくつかの例示される実施形態の以下の説明を読むときに最も深く理解され、図面では、同じ、又は類似の部品を参照するために、図面全体を通して同じ参照番号が用いられる。図面は必ずしも縮尺通りではない。代わりに、記述される実施形態の構造原理及び製造原理を例示することに重点が置かれている。

20

【図面の簡単な説明】

【0036】

【図1A】1つの封入体内に複数の個別ダイがパッケージ化されるダイ・スタック型パッケージの簡略化された図である。

【図1B】複数の個別のチップスケールパッケージダイが垂直スタック内で接合されるスタック型ダイ・パッケージの簡略化された図である。

【図2】パッケージの第1の面（たとえば、上面）の方を見ている観察者によって視認されるような、再配線層の第1の構成を例示する、複数のスタック型ダイを含むダイ・スタック型パッケージの第1の実施形態の斜視図である。

30

【図3】パッケージの第1の面（たとえば、上面）の方を見ている観察者によって視認されるような、パッケージのわずかに延長された下面を例示する、複数のスタック型ダイを含むダイ・スタック型パッケージの第2の実施形態の斜視図である。

【図4】パッケージの第1の面（たとえば、上面）の方を見ている観察者によって視認されるような、再配線層の第2の構成を例示する、複数のスタック型ダイを含むダイ・スタック型パッケージの第3の実施形態の斜視図である。

【図5】概ね平坦な上面241から視認されるような、再配線層の第3の構成を例示する、ダイ・スタック型パッケージ240の第4の実施形態の平面図である。

40

【図6】パッケージのエッジ面を直に見ている観察者によって視認されるような、図5のダイ・スタック型パッケージの側面図である。

【図7A】図3の線A'に沿って見た図3のダイ・スタック型パッケージの断面図である。

【図7B】図3のスタック型パッケージ内のボンドパッドを貫通して延在する導電性パイアを示す平面図である。

【図7C】特定の実施形態による、凹部の構造、及び外部端子へのボンドパッドの接続を示す、一部を切り取った斜視図である。

【図7D】凹部が半導体チップのエッジに隣接する薄くされた領域として設けられる、図2、図3及び図7Aの実施形態の変形形態を示す断面図である。

50

【図 7 E】図 3 のスタック型パッケージの特定の実施形態による、ボンドパッドを貫通して延在する導電性パイアを示す平面図である。

【図 8】本明細書において示されるようなダイ・スタック型パッケージを製造するための工程の第 1 の実施形態を図式的に示す図である。

【図 9】本明細書において示されるようなダイ・スタック型パッケージを製造するための工程の第 2 の実施形態を図式的に示す図である。

【図 10 A】パッケージの中心線に対して、ダイスタック型パッケージ内で異なる面積及び異なる場所を有する 3 つのダイを含む、ダイ・スタック型パッケージの平面図である。

【図 10 B】パッケージの中心線に対して、ダイスタック型パッケージ内で異なる面積及び異なる場所を有する 3 つのダイを含む、ダイ・スタック型パッケージの断面図である。

10

【図 10 C】パッケージの中心線に対して、ダイスタック型パッケージ内で異なる面積及び異なる場所を有する 3 つのダイを含む、ダイ・スタック型パッケージの平面図である。

【図 10 D】パッケージの中心線に対して、ダイスタック型パッケージ内で異なる面積及び異なる場所を有する 3 つのダイを含む、ダイ・スタック型パッケージの断面図である。

【図 11 A】図 2 ~ 図 7 のダイ・スタック型パッケージを製造するために用いられる基本的な製造部分工程の流れ図である。

20

【図 11 B】図 2 ~ 図 7 のダイ・スタック型パッケージを製造するために用いられる基本的な製造部分工程の流れ図である。

【図 12 A】図 11 A の部分工程に従って処理中の段階を示す図である。

【図 12 B】図 11 A の部分工程に従って処理中の段階を示す図である。

【図 12 C】図 11 A の部分工程に従って処理中の段階を示す図である。

【図 12 D】図 11 A の部分工程に従って処理中の段階を示す図である。

【図 13 A】図 11 A の部分工程に従って処理中の段階を示す図である。

【図 13 B】図 11 A の部分工程に従って処理中の段階を示す図である。

【図 13 C】図 11 A の部分工程に従って処理中の段階を示す図である。

【図 14 A】図 11 B の部分工程に従って処理中の段階を示す図である。

30

【図 14 B】図 11 B の部分工程に従って処理中の段階を示す図である。

【図 14 C】図 11 B の部分工程に従って処理中の段階を示す図である。

【図 14 D】図 11 B の部分工程に従って処理中の段階を示す図である。

【図 15 A】図 11 B の部分工程に従って処理中の段階を示す図である。

【図 15 B】図 11 B の部分工程に従って処理中の段階を示す図である。

【図 15 C】図 11 B の部分工程に従って処理中の段階を示す図である。

【図 16】支持板を用いない、図 2 に示されるタイプの単一のダイ・スタック型パッケージの断面図である。

【図 17】図 3 に示されるタイプであるが、スタックの第 1 の層としてのダイエリアの部分の上に空洞を備えるマイクロ電子素子を含む、単一のダイ・スタック型パッケージの断面図である。

40

【図 18 A】ダイ・スタック層及び再配線層内のマイクロ電子素子が支持板に対して異なる向きにおいて現れる場合がある、さらなる実施形態を示す概略図である。

【図 18 B】ダイ・スタック層及び再配線層内のマイクロ電子素子が支持板に対して異なる向きにおいて現れる場合がある、さらなる実施形態を示す概略図である。

【図 18 C】ダイ・スタック層及び再配線層内のマイクロ電子素子が支持板に対して異なる向きにおいて現れる場合がある、さらなる実施形態を示す概略図である。

【図 18 D】ダイ・スタック層及び再配線層内のマイクロ電子素子が支持板に対して異なる向きにおいて現れる場合がある、さらなる実施形態を示す概略図である。

【図 19 A】導電性を有する 2 つ以上の平面間に電気経路を形成するために、延長された

50

μ R T 接点がいられる置換形態を示す図である。

【図 1 9 B】導電性を有する 2 つ以上の平面間に電気経路を形成するために、延長された μ R T 接点がいられる置換形態を示す図である。

【図 1 9 C】導電性を有する 2 つ以上の平面間に電気経路を形成するために、延長された μ R T 接点がいられる置換形態を示す図である。

【図 1 9 D】導電性を有する 2 つ以上の平面間に電気経路を形成するために、延長された μ R T 接点がいられる置換形態を示す図である。

【図 2 0 A】積み重ねられる複数のダイを中に有するマイクロ電子パッケージを製造するウェハーレベル工程における段階を示す図である。

【図 2 0 B】積み重ねられる複数のダイを中に有するマイクロ電子パッケージを製造するウェハーレベル工程における段階を示す図である。

【図 2 0 C】積み重ねられる複数のダイを中に有するマイクロ電子パッケージを製造するウェハーレベル工程における段階を示す図である。

【図 2 0 D】積み重ねられる複数のダイを中に有するマイクロ電子パッケージを製造するウェハーレベル工程における段階を示す図である。

【図 2 0 E】積み重ねられる複数のダイを中に有するマイクロ電子パッケージを製造するウェハーレベル工程における段階を示す図である。

【図 2 0 F】積み重ねられる複数のダイを中に有するマイクロ電子パッケージを製造するウェハーレベル工程における段階を示す図である。

【図 2 0 G】積み重ねられる複数のダイを中に有するマイクロ電子パッケージを製造するウェハーレベル工程における段階を示す図である。

【図 2 0 H】積み重ねられる複数のダイを中に有するマイクロ電子パッケージを製造するウェハーレベル工程における段階を示す図である。

【図 2 0 I】特定の実施形態におけるマイクロ電子パッケージを形成する工程における凹部の形成を示す断面図である。

【図 2 1 A】特定の実施形態による、マイクロ電子パッケージを製造する工程を示す断面図である。

【図 2 1 B】特定の実施形態による、マイクロ電子パッケージを製造する工程を示す断面図である。

【図 2 1 C】特定の実施形態による、マイクロ電子パッケージを製造する工程を示す断面図である。

【図 2 1 D】特定の実施形態による、マイクロ電子パッケージを製造する工程を示す断面図である。

【図 2 1 E】特定の実施形態による、マイクロ電子パッケージを製造する工程を示す断面図である。

【図 2 2 A】図 2 1 A ~ E において示される工程の変形形態を示す断面図である。

【図 2 2 B】図 2 1 A ~ E において示される工程の変形形態を示す断面図である。

【図 2 2 C】図 2 1 A ~ E において示される工程の変形形態を示す断面図である。

【図 2 3 A】特定の実施形態による、中に複数のスタック型ダイを含むマイクロ電子パッケージを製造する工程を示す断面図である。

【図 2 3 B】特定の実施形態による、中に複数のスタック型ダイを含むマイクロ電子パッケージを製造する工程を示す断面図である。

【図 2 3 C】特定の実施形態による、中に複数のスタック型ダイを含むマイクロ電子パッケージを製造する工程を示す断面図である。

【図 2 4 A】図 2 3 A ~ C に示される工程の変形形態を示す断面図である。

【図 2 4 B】図 2 4 A の断面図に対応する平面図である。

【図 2 5 A】特定の実施形態による、複数のダイ・パッケージの断面図である。

【図 2 5 B】特定の実施形態による、複数のダイ・パッケージの対応する平面図である。

【図 2 5 C】特定の実施形態による、複数のダイ・パッケージを作製するための複数組のダイを含むウェハーの平面図である。

10

20

30

40

50

【図 2 6 A】 特定の実施形態による、マイクロ電子パッケージの製造中の段階を示す断面図である。

【図 2 6 B】 特定の実施形態による、マイクロ電子パッケージの製造中の段階を示す断面図である。

【図 2 6 C】 特定の実施形態による、マイクロ電子パッケージの製造中の段階を示す断面図である。

【図 2 6 D】 特定の実施形態による、マイクロ電子パッケージの製造中の段階を示す断面図である。

【図 2 6 E】 特定の実施形態による、マイクロ電子パッケージの製造中の段階を示す断面図である。

【図 2 6 F】 特定の実施形態による、マイクロ電子パッケージの製造中の段階を示す断面図である。

【図 2 6 G】 特定の実施形態による、マイクロ電子パッケージの製造中の段階を示す断面図である。

【図 2 6 H】 特定の実施形態による、マイクロ電子パッケージの製造中の段階を示す断面図である。

【発明を実施するための形態】

【0037】

(詳細な説明)

本開示において用いられるときに、誘電体要素の表面「において露出した」接点、ボンドパッド又は他の導電性要素は、仮想の点 (theoretical point) が該表面に対して垂直な方向に、該表面に向かって動くことによって接点、ボンドパッド又は他の導電性要素にアクセス可能である限り、そのような表面と同一平面を成すことができるか、そのような表面に対して窪むことができるか、又はそのような表面から突出することができる。

【0038】

明確にするために、ボンドパッド 106 は、基板 102 の表面の上方で見ることができるよう示されるが、ボンドパッドは、その表面と同一平面を成す場合があるか、又はその表面より下にある場合もある。本明細書において記述される実施形態は、ダイ・スタック型パッケージの例である。本明細書において用いられるときに、「ダイ・スタック型パッケージ」は、パッケージ内に複数のマイクロ電子素子 (たとえば、半導体チップ又はダイ) を含む単一のマイクロ電子パッケージである。これは、個々にパッケージ化されたマイクロ電子素子のスタックとして本明細書において定義される「スタック型ダイ・パッケージ」とは大きく異なる。「スタック型ダイ・パッケージ」は、スタック内に接合されるマイクロ電子素子を含む、複数の個別のパッケージを含むアセンブリであり、少なくとも 1 つのパッケージ化されたマイクロ電子素子の外部端子が少なくとも 1 つの他のパッケージ化されたマイクロ電子素子の外部端子と電氣的に接続される。

【0039】

図 1 A 及び図 1 B は、ダイ・スタック型パッケージとスタック型ダイ・パッケージとの違いを示す。説明のために、個々のダイ間、及び 1 つのマイクロ電子パッケージと他のパッケージ又は基板との間の電氣的接続のような細部は省略されていることに留意されたい。図 1 A において、ダイ・スタック型パッケージ 100 は単一の実体であり、一例として 3 つのダイ 101、102 及び 103 を含み、それらのダイは垂直に重なり合って配置され、一体の封入体 104 によって包囲される。ダイ・スタック型パッケージは、マイクロ電子素子を 1 つのユニットとして保護する封入材又は他の構造を有することができ、通常、パッケージの外部において露出した 1 組の端子 (図示せず) を有し、それらの端子を通して、パッケージ内のマイクロ電子素子に電氣的に接続することができる。図 1 A に示される 3 つのダイの例は、多少なりとも限定することは意図していない。このようにして、それよりも多くのダイ、又は少ないダイを積み重ねることができる。

【0040】

図 1 B は、スタック型ダイ・パッケージ 150、すなわち、3 つの別個のチップスケー

10

20

30

40

50

ルパッケージ 110、120 及び 130 から構成される、積み重ねられ、かつ電氣的に接続された複数のパッケージを含むアセンブリを示す。個別のチップスケールパッケージがそれぞれ、一体の封入体 152 によって包囲される。図 1 B では、積み重ねられ、材料 151 によってチップスケールパッケージ 130 に固定されるチップスケールパッケージ 120 が示されており、積み重ねられ、材料 151 によってチップスケールパッケージ 120 に固定されるチップスケールパッケージ 110 が示されており、合わせて個別のパッケージからなるアセンブリを形成し、それがスタック型ダイ・パッケージ 150 を構成する。このようにして、任意の数の別個のチップスケールパッケージを積み重ねることができることは、図 1 B から明らかである。図 1 B では、図らずも、別個のチップスケールパッケージ 110、120 及び 130 がそれぞれ単一のダイ 111、121 及び 131 を含んでいるが、本明細書において用いられるときに、用語「スタック型ダイ・パッケージ」は、そのような配列には限定されない。別個のチップスケールパッケージ 110、120 及び 130 はそれぞれ、ダイ・スタック型パッケージ 100 のような複数のダイを含むこともできる。

10

【0041】

種々の実際の製品及び設計要因が、ダイ・スタック型パッケージ対スタック型ダイ・パッケージの選択の一因となる。ダイ・スタック型パッケージ 100 (図 1 A) の場合、パッケージ封入体を形成するために用いられる材料が少ないので、結果として、物理的によりコンパクトな構成要素にすることができる。別個のチップスケールパッケージがそれぞれ単一のダイを含むとき、スタック型ダイ・パッケージ 150 (図 1 B) は、機能的に見て、より高い歩留まりを提供することができる。なぜなら、各ダイが機能しているダイ (その概念は、KGD (known good die) と呼ばれる) として完全に試験された後に、試験済みのパッケージをスタックに収容できるためである。

20

【0042】

ダイ・スタック型パッケージの実施形態

図 2 は、本明細書において上面 201 と呼ばれる第 1 の表面から視認されるような、ダイ・スタック型パッケージ 200 の第 1 の実施形態の斜視図である。ダイ・スタック型パッケージ 200 は、反対に面し、概ね平坦な上面 201 及び下面 202 を有し、この図では、下面 202 は見ることはできない。エッジ面 206 が、上面 201 と下面 202 との間に延在する。上面 201 が下面 202 よりも小さな面積を有することができるように、エッジ面 206 のうちの少なくともいくつかは、斜角を成して下面と上面との間に延在することができる。一実施形態では、その斜角は、下面に対して垂直から約 30 度とすることができる。特定の実施形態では、その角度は 5 度 ~ 40 度の範囲とすることができる。その角度は、垂直面から 0 度 ~ 89.9 度の物理的制限界まで、必要に応じて小さくすることも、大きくすることもできる。

30

【0043】

ダイ・スタック型パッケージ 200 の寸法は、パッケージの内容物 (たとえば、積み重ねられるダイの数、積み重ねられる各ダイの高さ等) によって決まる場合があり、それゆえ、大きく異なる場合がある。一実施形態では、パッケージ寸法は、1 つの辺、すなわち、エッジ面 206 のパッケージ 200 の下面 202 と交わる場所の長さに関して、数ミリメートル ~ 数十ミリメートルとすることができる。一実施形態では、ダイ・スタック型パッケージ 200 は、高さ h に関して、1 ミリメートル未満 ~ わずか数ミリメートルであり、パッケージ 200 に平板のアスペクト比を与える。

40

【0044】

ダイ・スタック型パッケージ 200 は、他の構成要素に対して電氣的に接続する能力を有する。図 2 に示される実施形態では、他の構成要素への電氣的接続は、上面 201 上のボールグリッドアレイ (BGA) インターフェース 203 を通して行なうことができる。図 2 に示されるように、BGA インターフェースは、パッケージ 200 の外面において露出したハンダの部分球 205 のアレイを含むことができる。適切に処理することによって、ダイ・スタック型パッケージ 200 のような電氣的構成要素の BGA インターフェースの

50

球体をプリント回路基板の対応する端子に、又は別の基板又は構成要素の上に、同時に、物理的に取り付け、かつ電氣的に接続することができる。本明細書には示されないが、ダイ・スタックパッケージ200の他の実施形態は、BGAインターフェース203の代わりに、ワイヤーボンディング及びTAB (tape automated bonding) のような当業者に既知である種々の他の接続方式を利用することができる。

【0045】

図2において見られるように、BGAインターフェース203は、導電性要素又は導電性トレース204を含む再配線層(RDL)によってパッケージの他の部分に接続することができる。トレース204は、BGAのハンダ球と位置合わせされた状態で下にある端子(図示せず)から、上面201に沿って、パッケージのエッジ、すなわち、エッジ面206上に延在することができる。特定の例では、トレース204は高いアスペクト比を有する。すなわち、各トレースは通常、表面201の上方に延在するトレースの厚みよりもはるかに大きな長さ208及び広がり(幅)209を有する。図2のトレース204は、直線的な導電性エリアを有する比較的均一なパターンのように見えるが、トレースは均一でないパターンとして現れる場合もあり、さらには、蛇行した外観を有する場合もある。

【0046】

図3は、ダイ・スタック型パッケージ220の第2の実施形態の斜視図である。ダイ・スタック型パッケージ220は、概ね平坦な上面221及び下側支持構造228を有する。下側支持構造228は、上面221の反対に面する下面222を有する。ダイ・スタック型パッケージ220は、図3において上面221から視認されるように示される。図3に示される実施形態では、下側支持構造228は、エッジ面206をわずかに越えて延在する。トレース224が、エッジ206をわずかに過ぎて延在する下側支持構造228の上面210の上に延在する。

【0047】

図4は、ダイ・スタック型パッケージ230の第3の実施形態の斜視図である。ダイ・スタック型パッケージ230は、反対に面する概ね平坦な上面231及び下面232を有し、図4では、上面231から視認されるように示される。上面231上にBGAインターフェース233を見ることができる。図2及び図3におけるRDLのトレース204は、直線的な導電性エリアの比較的均一なパターンのように見えるが、RDLは均一の程度が低いパターンとして現れる場合もあり、さらには、蛇行した外観を有する場合もある。図4は、パッケージ230の上面231上に現れるパターンに関して、外観が非対称であるRDLの一例を示しており、いくつかのトレース234が他のトレースよりも長く、トレースのパターンは、パッケージの全てのエッジ面236上で同じでない場合もあるようになっている。

【0048】

図5は、概ね平坦な上面241から視認されるような、ダイ・スタック型パッケージ240の第4の実施形態の平面図である。ダイ・スタック型パッケージ240の反対に面する下面は、図5では見ることができない。図5のRDL244は、パッケージ240の上面241上、並びにエッジ面246及び247上に現れるパターンに関して、外観が対称である再配線層の一例を示す。図6は、図5のダイ・スタック型パッケージ240のエッジ面247に向かって見ている平面図である。図6は、上面241が下面242よりも面積が小さいことを示す。図5及び図6において示されるように、上面241及び下面242は、平坦なエッジ面247によって接続され、そのエッジ面は、それらの面に対して斜角を成して延在する。ダイ・スタック型パッケージ240の上面241上にBGAインターフェース243を見ることができ、パッケージエッジ面247上にRDLのトレース244を見ることができる。

【0049】

図7Aは、図3の線A'に沿って見た図3のダイ・スタック型パッケージ220の断面図である。図7Aの断面図は、必ずしも図3において示されるのと同じ縮尺で描かれていないことに留意されたい。ダイ・スタック型パッケージ220の内部機構をより明確に示

10

20

30

40

50

すために、図7の断面図内のいくつかの構造は、図内の他の構造に対して大きくなるように示される場合がある。下側支持構造228は、パッケージ220の土台を形成する。図3から明らかなように、ダイ・スタック型パッケージ220の外部からは、そのパッケージ内に積み重ねられるダイの数が見えない場合がある。図7Aの断面図において示される実施形態では、3つのダイ101、102及び103が、「下向き」に積み重ねられる。すなわち、ダイのボンドパッド603及び604又は他の金属パッドが配置される各ダイの表面は、支持板228に最も近い。図7Aに示される実施形態では、同一のクロスハッチングを用いることによって指示されるように、パッケージ220の各段上に、3つの異なる断片又は部分内にあるように見える単一のダイが存在することに留意されたい。この断片化されたダイ構造は、後にさらに詳細に説明される。

10

【0050】

誘電体材料602によって下側支持板228に取り付けられた第1のダイ101が示される。第1のダイ101は誘電体材料602によって包囲され、それにより、第2のダイ102及び第3のダイ103が同じように、垂直方向に上下に積み重ねられ、取り付けられるようにする。第2のダイ102の前面606が、第1のダイ101の背面608に隣接することができ、第3のダイ103の前面606が第2のダイ102の背面608に隣接することができる。図7Aの断面図において見られるように、ボンドパッド又は他の金属パッド603及び604が第1のダイ101、第2のダイ102、及び第3のダイ103のそれぞれの前面606において露出する。金属パッド603、604は、それぞれの各ダイのマイクロ電子デバイス、たとえば、半導体デバイスに電氣的に接続することができる。

20

【0051】

凹部618が、ダイ101、102、103の背面608から前面606に向かって延在することができる。凹部が有することができる形状の例は、数例を挙げると、円筒形、切頭円錐形、ピラミッド形である。凹部の壁622は、前面606に対して垂直な方向に向けることもできるし、法線から或る角度621だけ離れて向けることもできる。一実施形態では、凹部618の壁622は、背面の法線に対して約5度以上の角度621に向けることができる。一実施形態では、それらの壁は、背面の法線に対して約40度以下の角度に向けることができる。

【0052】

凹部618は、特定のダイの各凹部がそのダイの1つのボンドパッドと位置合わせされるように設けることができる。本明細書において用いられるとき、別段の定めがない限り、1つの素子があるような素子の下にある別の素子と「位置合わせされる」という言い方は、その1つの素子の表面に対して垂直な方向において、その1つの素子と下にある素子とを通り抜ける少なくとも1つの線が存在するように、2つの素子が「少なくとも概ね位置合わせされる」ことを意味するであろう。特定の実施形態では、各凹部は、その凹部の幅が前面606の平面において横方向に均一であるように形成することができる。一実施形態では、凹部の壁622は、ダイの前面606に対して垂直にすることができる、すなわち、垂直な方向607に存在することができる。代替的には、図7Aに示されるように、凹部は先細りにすることができ、背面からの距離が長いほど小さくすることができる。したがって、図7Aに示されるように、背面608における凹部618の幅は、ボンドパッド604に隣接する凹部の幅630よりもかなり大きくすることができる。

30

40

【0053】

金属パッド603及び604の一部が除去されており、導電性バイア(conductive via : 導電性ビア) 605がボンドパッドを貫通する、すなわち、ボンドパッドの厚みを完全に通り抜けることが図から明らかである。本明細書において用いられるときに、導電性バイアがマイクロ電子素子の「ボンドパッドを貫通して」、又は「金属パッドを貫通して」延在するという言い方は、そのバイアの金属材料が、そのパッドの背面からそのパッドの前面まで、そのようなボンドパッド又は金属パッドの厚みを完全に通り抜けて延在することを意味する。本明細書において別段の記述がない限り、マイクロ電子素子のボンドパッ

50

ド又は金属パッドの少なくとも一部が、そのようなマイクロ電子素子の1つの表面から離れる方向に延在する厚みを有し、そのような表面に沿って方向628に延在する横方向寸法を有し、その寸法は通常、厚みより著しく大きい。

【0054】

各導電性バイア605は通常、ボンドパッド厚を貫通して延在する穴によって露出したボンドパッド604の表面640と直に接触する。導電性バイアは、導電層610、たとえば、金属を含むか、又は概ね金属からなる層と電氣的に接続され、その層は、凹部の壁622に沿って延在し、誘電体層623によって壁から絶縁される。通常、誘電体層623は、相対的に薄く、凹部の壁622に沿って、かつ各ダイの背面608上にコンフォーマルに（conformally：共形的に）延在することができる。導電層は、導電性トレース635にさらに接続されることができ、導電性トレースは、ダイ背面608に沿って、かつダイのエッジ620から離れるように延在する誘電体層636の表面634に沿って延在する。

10

【0055】

ダイ・スタックパッケージ又はアセンブリ220の外面上に、複数のリード、たとえば、RDLのトレース224が、パッケージ220の傾斜しているエッジ面206に沿って、かつパッケージの上面221上に端子616まで延在することができ、端子はそのような表面221において露出し、その上に、BGAインターフェース203のハンダ球又はバンプを取り付けることができる。エッジ面206は、パッケージ内のダイのエッジ620に沿って延在することができる。ダイ・スタックパッケージ220の内部には、導電性トレース610を含む導電層があり、導電性トレースは、パッケージ220の外部にあるリード224と、それぞれのボンドパッド603及び604との間の電気経路を与える。トレース610は、パッケージ220の内部において黒い太線として表される。いくつかのトレース610を単一の外部リード224と接続することもできるし、1つのトレース610のみを各外部リード224と接続することもできる。図7A内の円612は、配線トレース610を再配線層224に接続する電氣的接続614を示す。電氣的接続614は、再配線層224と接触している配線トレース610の断面、又はエッジであるので、「エッジ接続」と呼ぶこともできる。また、円612内に示される配線トレース610及びリード224の部分が合わせて、文字Tの形状を形成することが明らかであるので、電氣的接続614は、「T接点」接続と呼ぶこともできる。

20

30

【0056】

図7Aにおいてさらに示されるように、各ダイの前面606にある金属パッド603、604と、ダイの背面608上に延在する導電層のトレース610との間に電氣的接続が形成される。上記のように、かつ図7Aの断面図に示されるように、導電性バイア605が、それぞれの金属パッド603、604を貫通して延在することができる。これにより、図7Aの断面図では、金属パッド603、604が2つの部分に分離されており、その2つの部分間の区画が断面図において概ね長方形の形状を有するよう見える。図7Bの対応する平面図においてさらに見られるように、導電性バイア625は、金属パッド604のエリア内に完全に取り囲まれることができる。図7Bは、導電性バイアから横方向外側に配置される誘電体層623もさらに示す。

40

【0057】

各ダイは、ダイの背面608から前面606に向かって延在する凹部618を含む。導電層、たとえば、トレース610は導電性バイアに接続し、凹部の壁622に沿って、かつダイの背面608に沿ってダイのエッジ620に向かって延在する。凹部618、導電性バイア605、及び特定のダイの前面にあるボンドパッドと背面にある導電層との間に電氣的接続を設けるために導電性バイアに接続される導電層610の配置及び製造を以下に説明することができる。

【0058】

後にさらに詳細に説明されるような、ダイ・スタック型パッケージ220の製造中に、背面608から半導体材料を除去するための種々の手段によって凹部を形成することがで

50

きる。凹部はダイの内部に向かって内側を向くので、通常は露出しない金属パッド603又は604の主面624の一部を露出させる場合がある。しかしながら、特定の実施形態では、凹部を形成する結果として、金属パッドの表面624が露出しない場合もある。凹部は底部626を有することができ、底部は、ダイの前面606が延在する方向に延在する。その方向628における底部626の幅630は、同じ方向628における導電性バイア605の幅632よりも広くすることができる。

【0059】

たとえば、ドリル加工によって、単一のダイ上の各ボンドパッド603及び604の全厚を貫通し、前面に隣接する誘電体層602の中に或る距離だけ延在する開口部又は「空所」を形成することができる。その後、背面608からの方向において適用される工程によって金属層を堆積し、導電性バイア605を形成することができる。特定の実施形態では、同じ堆積工程によって、バイア605に接続されるトレース610を同時に形成することができる。そのような場合、ボンドパッド603又は604と接触しているバイア605を形成し、製造中に空所内に堆積される金属層の部分は、接点605と見なすことができる。

10

【0060】

一実施形態では、図7Aにおいて見られるように、金属層は、バイア605から、凹部618の表面622に沿ってコンフォーマルに延在することができる。誘電体層602は、凹部618内で導電層610の上に重なることができる。さらに、誘電体層は、ダイのエッジ620を超えて延在する表面634を有することができる。そのような場合、導電層610は、ダイのエッジ620を超えて誘電体層634の表面に沿って方向628に延在することができる。

20

【0061】

接点605は、図7Aの断面図において示される実質的に長方形の形状を有する必要はなく、製造中に作製される空所の形状は、ボンドパッドを貫通するために用いられる技法による。いくつかの実施形態では、接点605は、上記で検討されたタイプの径方向において対称である「T接点」とすることができ、その実施形態が用いられるとき、本明細書では、「マイクロRT接点」、又は「 μ RT接点」と呼ばれる。接点605は、ダイ・スタック型パッケージ220内の各ボンドパッドにおいて形成することができる。配線トレース610の場合と同様に、接点605の全ての例が、図7Aの参照番号で呼ばれるとは限らない。

30

【0062】

一実施形態では、ダイ内の凹部619(図7C)が、図7Aにおいて表される図面の平面に出入りする方向にトレンチとして延在することができる。その場合、同じダイの複数のボンドパッド603を、そのダイ内の同じ凹部619内に位置合わせすることができる。特定の実施形態では、図7Dにおいて見られるように、ダイの凹部は、ボンドパッド604と位置合わせされるダイ101'の半導体領域の薄くされた部分619'として形成され、半導体領域の薄くされた部分はダイのエッジ620まで延在する。

【0063】

上記の実施形態の特定の变形形態では、ダイ上の2つ以上の金属パッド613の少なくとも一部のエリアを貫通して延在する導電性バイア640(図7E)を用いて、金属パッドを、アセンブリ上の他の場所まで延在するトレースと電氣的に接続することができる。一例では、そのような導電性バイア640を用いて、電源又はグランドをアセンブリ上の他の場所に分配するために、パッド613同士を電氣的に接続することができる。

40

【0064】

ダイ・スタック型パッケージ実施形態の製造方法

図8において概略的に示されるように、一実施形態では、各ダイの外部において露出した導電性要素、たとえば、トレース等を含む2つ以上のダイ801の垂直アセンブリを形成し、封入体812、及びダイを最終的なパッケージの端子814に接続するための導電性要素816を設けることにより、製造工程800によってダイ・スタック型パッケージ

50

820が構成される。

【0065】

図9は、ウェハーレベルパッケージング(WLP)工程900の簡略化された説明図である。本明細書において用いられるときに、ウェハーレベルパッケージング(WLP)は、チップスケールパッケージング(CSP)技術であり、この技術では、マイクロ電子素子をパッケージ化するステップが複数のマイクロ電子素子801に関して同時に実行され、それらの素子は、たとえば、ウェハー又はウェハーの一部の形でダイシングレーン904において張り合わせられる。ウェハーレベルパッケージングは、ウェハーから予め切断されているが、マイクロ電子素子を所定の位置に保持する材料、たとえば、接着剤を用いて、再構成ウェハーの形で各マイクロ電子素子のエッジ904において張り合わせされる複数のマイクロ電子素子801に関して同時に実行されるマイクロ電子素子パッケージングも指すことができる。

10

【0066】

さらに図9において見られるように、ダイ801の2つ以上のウェハー910、911及び912の中から、ダイの連続した個別のウェハーがそれぞれ、各ウェハーを位置合わせし、多層ウェハースタック930へと積み重ねるように準備する製造工程にかけられる。たとえば、各ウェハーは、ウェハーの形のまま封入され、終端を設けられる。ダイシングレーン904に沿った方向において多層ウェハースタック930を切断することによって個々のパッケージ820を切り離し、材料812を用いて各パッケージを完全に封入して、導電性要素824と、パッケージ820を別の構成要素、又はPCB基板のような基板に取り付けるための、たとえば、ボールグリッドアレイ803のような外部導電性インターフェースとを設けることができる。

20

【0067】

図9のウェハーレベルパッケージング実施形態では、各層内のダイは、事実上、全て同じタイプになるように制約される。そのエリア寸法及びアレイ間隔は、積み重ねられることになるウェハーの他の層上のダイのエリア及び寸法とそれぞれ実質的に厳密に一致しなければならない。さらに、各ウェハー上の良好に動作しているダイの歩留まりは異なる場合があり、各パッケージ820内の1つのダイが良好に動作していない場合には、完全に動作しているダイ・スタック型パッケージ820の全体的な歩留まりが、容認できないほど低下する場合がある。各層が或る特定の歩留まりを有する場合、ダイの複数のウェハーが積み重ねられるときの複合的な歩留まりが最終的な歩留まりである。数学的には以下のように表される。

30

最終的な歩留まり = 歩留まり(層1) × 歩留まり(層2) × 歩留まり(層3) . . .
× 歩留まり(層N)

たとえば、3層スタックの歩留まりが、第1の層の場合に60%であり、第2の層の場合に90%であり、第3の層の場合に98%である場合には、最終的な歩留まりは52%になり、それは経済的に見て実用的でない場合がある。しかしながら、3層スタック内の各層が98%歩留まりを有する場合には、最終的な歩留まりは94%であり、より容認できるものとなる。

40

【0068】

再構成ウェハーを用いたダイ・スタック型パッケージの製造

製造工程がダイ・スタック型パッケージの高い歩留まりをもたらすことを確実にする1つの手法は、或る程度の試験に合格してKGD(known good die)である個々のダイから、ウェハースタック内の各ウェハー層を作製することである。KGDは、それらの元のウェハー(複数も場合もある)から、個々の試験の前又は後に切り離すことができ、劣っている、すなわち良好に動作していないダイは廃棄することができる。その後、図9の製造工程900のようなウェハーレベルアセンブリ工程を利用するために、KGDをウェハー状の基板の上に組み立て直す。KGDがアレイ形式で実装されるウェハー状の基板は、再構成ウェハーと呼ばれる。

【0069】

50

図面において示されるパッケージ200(図2)、220(図3)、230(図4)及び240(図5及び図6)のうちの任意の1つのようなダイ・スタック型パッケージを製造する場合、KGDアレイアセンブリを支持するウェハー状の基板は、図3及び図7の下側支持構造228のような、基層としての役割も果たす場合がある。通常、基層又は支持板は、後に記述されるように、ダイを含むウェハーを用いて、ウェハーレベルパッケージングステップを半導体ウェハー上で実行するために用いられる装置によって容易に取り扱うことができるように、半導体ウェハーの外側寸法と一致するように形作られる。一実施形態では、支持板のために用いるのに適している部品は、ダイを含むウェハーと同じ直径(たとえば、200mm又は300mm)を有する再生シリコンウェハーとすることができる。代替的には、一実施形態において、基層は、実質的に1つの材料、たとえば、ガラス、石英又は他の無機誘電体材料からなることができ、その材料は、相対的に低い熱膨張係数及び相対的に高いヤング率を有し、それにより、処理中の基層の寸法がダイを含むウェハーに対して安定したままであり、かつ電氣的絶縁も与える。通常、基層の厚みは約750マイクロメートル(本明細書において、「ミクロン」又は「 μm 」とも呼ばれる)である。後に説明されるように、支持板は、最終的なダイ・スタック型パッケージの常設部品にすることができるか(たとえば、図3及び図7のダイ・スタック型パッケージ220を参照)、又は取り外し、再利用することができる。

【0070】

後に記述される実施形態では、ダイ・スタック型パッケージ内のダイの各層が、基層に結合される複数の個別のダイを用いて作製されるとき、これは、その工程がカットされていないウェハーの形で張り合わせられたままであるダイに関して実行される他の方法より優れた利点を提供することができる。これらの利点は、第1に、パッケージング工程に適合するように、ダイ間の間隔を広げることができることである。通常、各ウェハーの占有率を最大にするために、ダイはできる限り互いに近接してウェハー上に配置される。ウェハー処理コストは一定であるので、各ウェハー上のダイの数が増加すると、各ウェハーの単価が減少する。しかしながら、ダイがあまりにも近接して配置される場合には、ダイを封入し、パッケージ終端を設けるために必要とされる工程の多くが、効果的に適用されない場合がある。個々のダイから始めてダイ・スタック型パッケージを形成することによって、支持板が、ダイ間の間隔を、ダイ製造のために最大にできるようにすると共に、パッケージング工程のための都合の良い値に設定できるようにする。たとえば、カットされていないウェハーでは、ダイ間のダイシングレインが、通常50 μm 以下のダイ間隔を提供する。しかしながら、ダイが最初に元のウェハーから切り離され、その後、支持板に結合されるとき、隣接するダイ間の間隔は、たとえば、100~300 μm の範囲にすることができる。

【0071】

支持板に結合される個々のダイを用いてダイ・スタック型パッケージの各層を作製する別の利点は、ダイ・スタック型パッケージ内に最終的にパッケージ化される個々のダイを複数の異なる材料源から得ることができることである。すなわち、個々のダイは、異なるウェハーから、そして異なる供給業者から得ることができ、さらには、異なる寸法を有するウェハーを供給源とすることもできる。ダイ単価を下げるために、半導体製造業者は、可能な最大のウェハー径を使用するように努める。しかしながら、最も大きな半導体ウェハーを取り扱うことができるウェハーレベルパッケージング装置は入手できない場合があるか、又は法外に費用がかかる場合がある。個々のダイからダイ・スタック型パッケージ内の各層を作製することによって、元のダイの供給源である半導体ウェハーの直径及び厚みは、ウェハーレベルパッケージング工程のために用いられる支持板の直径、及びダイ・スタック型パッケージ内の各層の厚みから分離される。したがって、たとえば、支持板は、元のウェハーの直径よりも小さい直径を有することができる。さらに、一実施形態では、各行内に同じ数のダイを有するアレイにダイを配列できるように、支持板を長方形の形状にすることもできる。

【0072】

個々のダイを用いてダイ・スタック型パッケージの各層を作製するさらに別の利点は、この製造方法が、各層のダイ寸法に及び各層内のダイの相対的な位置に関して融通性をもたらすことである。ダイのサイズ及び場所に関して融通性があるというこの利点が、図10A、図10B、図10C及び図10Dにおいて概略的に示されている。図10Aを再び参照すると、ダイ101、102及び103は、同じサイズであり、パッケージ100内で中心線108を中心にして互いに対して配置されるように示されている。図10Aは、ダイ・スタック型パッケージ720を概略的に示しており、ダイ701、702及び703の平面エリア寸法は互いに異なる。図10Aでは、ダイ701、702及び703は、ダイピッチ中心線708を中心にして配置されている。図10Bは、図10Aのダイ701、702及び703の相対的なサイズ及び向きの概略的な平面図である。図10Cは、ダイ・スタック型パッケージ730を概略的に示しており、ダイ711、712及び713の平面エリア寸法は互いに異なる。図10Cでは、ダイ711、712及び713は、ダイピッチ中心線708を中心にして配置されていない。図10Dは、図10Cのダイ711、712及び713の相対的なサイズ及び向きの概略的な平面図である。ダイ712はダイ713よりも大きいので、ダイ713はこの図では全く見えず、破線の形状713によって表される。

10

【0073】

再構成ウェハーを用いたダイ・スタック型パッケージ実施形態の製造方法

図11A及び図11Bは、図2～図7のダイ・スタック型パッケージ200、220、230及び240を製造するために用いられる基本的な製造部分工程の流れ図1000である。図11A及び図11Bに示される製造工程は、ウェハーレベルパッケージング(WLP)工程として実行することができる。図11A及び図11Bに示される製造工程は、図12～図15との関連で本明細書において検討される。

20

【0074】

図11A及び図12A～図12Dを参照すると、ダイ・スタック型パッケージの製造工程1000は、第1の再構成ウェハーを作製する部分工程1010～1030から始まる。部分工程1010では、個々のダイのアレイを含む、再構成ウェハーを作製するのに適した支持板1210(図12A)が供給され、準備される。部分工程1020では、ダイのアレイ内の適切な場所にダイを配置し、ダイを支持板と接合するための任意の数の技法のうちの一つを用いて、ダイの前面上のボンドパッド1214が支持板に対して面するようにして、支持板のエリアに試験済みのダイ1230の平坦なアレイ(ダイ層とも呼ばれる)が下向きに実装される(図12B及び図12C)。市販のフィルム接着剤又は液体接着剤に基づくよく知られ理解されている数多くの方法が、この目的を果たすのに適している。部分工程1016は、ダイ・アタッチ接着剤1212を用いる代表的な技法である。

30

【0075】

図12Dを参照すると、部分工程1020においてダイ層を取り付けた後に、部分工程1026においてダイ層のマイクロ電子素子1230上に誘電体層1240が被着され、マイクロ電子素子1230間のエリアを埋める。誘電体層1240は、マイクロ電子素子1230の背面1232を覆う場合もある。誘電体層は、酸化物、窒化物のような一つ又は複数の無機誘電体材料を含むことができ、それらの材料は、中でも、二酸化シリコン、窒化シリコン若しくはSiCOHのようなシリコンの他の誘電体化合物を含む場合があるか、又は有機誘電体を含む場合があり、それらの有機誘電体の中でも、特にエポキシ、ポリイミドのような種々のポリマーである。図13Aにおいて見られるように、その後、各マイクロ電子素子1230の背面1232から、その構造をラップ仕上げするか、研削するか、又は研磨することによって、部分工程1030において、各マイクロ電子素子を薄くすることができる。一実施形態では、その厚みは50～100マイクロメートルまで薄くされる。部分工程1030によって、薄くされた再構成ウェハー構造1250がもたらされる。

40

【0076】

ここで、引き続き図13B～図13Cを参照すると、部分工程1034が、ダイの背面

50

1 2 1 6 から前面 1 2 1 8 に向かって延在する凹部 1 2 5 2 (図 1 3 B) を形成する。凹部 1 2 5 2 は、前面に隣接する凹部の場所よりも背面 1 2 1 6 において大きな幅を有するように先細りにすることができる。その凹部は、薄くされた再構成ウェハー構造 1 2 5 0 (図 1 3 A) のダイのシリコン部分を完全に貫通して延在することができる。任意の適切なドリル加工技法を用いて、構造 1 2 5 0 内の各マイクロ電子素子上のボンドパッドの場所に、かつボンドパッドの深さまでバイア 1 2 5 2 が開けられる。部分工程 1 0 3 4 によって、再構成ウェハー構造 1 2 5 4 (図 1 3 B) がもたらされる。部分工程 1 0 5 0 では、再構成ウェハー構造 1 2 5 4 上に誘電体層 1 2 5 8 (図 1 3 C) が被着され、その層は、凹部の内面を中に含むマイクロ電子素子をコンフォーマルに覆い、構造 1 2 5 6 をもたらしすることができる。

10

【 0 0 7 7 】

部分工程 1 0 5 4 では、構造 1 2 5 6 の個々のマイクロ電子素子のボンドパッドに穴を開けることによって、空所 1 2 6 2、たとえば、非貫通穴が形成される。レーザードリル加工が、空所 1 2 6 2 を形成するために用いるのに適している 1 つの技法である。部分工程 1 0 5 4 によって、再構成ウェハー構造 1 2 6 0 (図 1 4 A) がもたらされる。

【 0 0 7 8 】

ここで図 1 1 B 及び図 1 4 A ~ 図 1 4 D を参照すると、そこに示される部分工程では、空所 1 2 6 2、凹部 1 2 5 2 内の露出した表面上に、かつ背面 1 2 1 6 の上に重なる金属層 1 2 6 2 (図 1 4 B) を形成し、図示される構造 1 2 6 6 を形成することができる。この工程によって、形成された金属層 1 2 6 2 は、空所内の導電性バイア、及び各導電性バイアから凹部の表面に沿って、各ダイの背面 1 2 1 6 の上に重なる場所まで延在するトレースを含むことができる。その金属層は、上記で説明され、部分工程 1 0 6 0 において示されているような「再配線層」と見なすことができる。それは、ボンドパッドと、背面の上に重なるトレースとの間の導電性接続を与える。金属層は、たとえば、スパッタリング又は無電解メッキによって、たとえば導電性シード層を形成し、その後、シード層をフォトリソグラフィによってパターンニングし、その後、導電性シード層上に金属層を電気メッキすることによって形成することができる。シード層は、電気メッキ中に電氣的共通化層としての役割を果たすことができる。

20

【 0 0 7 9 】

金属層 1 2 6 2 を形成した後に、誘電体材料 1 2 7 2 (図 1 4 C) を堆積して、上に金属層があるダイを覆い、構造 1 2 7 0 を形成することができる。その後、部分工程 1 0 7 0 (図 1 1 B) において示されるように、ダイの別の層を誘電体層 1 2 7 2 上に配置し、ダイ・アタッチ接着剤を用いて誘電体層 1 2 7 2 に結合することができ、その後、部分工程 1 0 2 6、1 0 3 0、1 0 3 4、1 0 5 0、1 0 5 4、1 0 6 0、1 0 6 6 (図 1 1 A 及び図 1 1 B) を繰り返して、その上に第 2 の部分構造 1 2 8 4 (図 1 4 D) を形成することができる。その構造は、第 2 の部分構造のダイが、支持板 1 2 1 0 ではなく、実現された構造の誘電体層 1 2 7 2 と接合されることを除いて、実現された構造 1 2 7 0 と同じにすることができる。このようにして、スタック型アセンブリ 1 2 8 0 は、エッジにおいて張り合わせられ、上層 1 2 8 4 のダイの前面 1 2 1 8 がダイの下層の背面 1 2 1 6 に面するようにして垂直に積み重ねられる複数のダイを含む。特定の実施形態では、上記の部分工程によって、凹部並びに導電性バイア及び導電層を上にも有する 1 つ又は複数の付加的なダイ層 (図示せず) を形成することができる。

30

40

【 0 0 8 0 】

その後、図 1 5 A において見られるように、部分工程 1 0 7 6 (図 1 1 A 及び図 1 1 B) では、スタック型アセンブリ 1 2 8 0 の誘電体層 1 2 7 2 の上面 1 2 8 4 から離れるように、ダイのエッジ 1 2 2 2 に沿って下方に延在する複数の先細りスロット、すなわち、トレンチを形成することができる。そのトレンチは、支持板の表面 1 2 1 1 に沿って横方向に延在することもできる。一実施形態では、トレンチ 1 2 8 2 は、別の垂直スタック 1 2 8 8 B 内の全てのダイから、1 つの垂直スタック 1 2 8 8 A 内の全てのダイを完全に分離することができる。各トレンチの幅 1 2 8 6 が支持板 1 2 1 0 に向かって下方に進むほ

50

ど小さくなるように、トレンチは先細りにすることができる。一実施形態では、ダイシング部分工程、鋸を用いて隣接するダイのエッジ 1 2 2 2 間に先細りのトレンチを形成すること等によって、トレンチを形成することができる。各ダイのボンドパッドに接続されるトレースは、トレンチの内面 1 2 2 4 において露出することができる。

【 0 0 8 1 】

その後、さらに図 1 5 B において見られるように、さらなる部分工程 1 0 8 0 (図 1 1 A 及び図 1 1 B) において、露出したトレース 1 2 6 2 と電氣的に接続される R D L の導電性リードを形成することができる。リードは、たとえば、各ダイに接続される導電性バイア及び導電性トレースが形成される工程と類似の電気メッキを含む工程によって形成することができる。一実施形態では、たとえば、米国特許第 5 , 7 1 6 , 7 5 9 号において記述されるような 3 次元リソグラフィ工程を用いて、リード 1 2 9 0 が形成され、その特許の開示は参照により本明細書に援用される。リード 1 2 9 0 は、各アセンブリの面 1 2 9 2 上に延在することができ、その面において露出する端子 1 2 9 4 と電氣的に接続することができる。その後、部分工程 1 0 8 4 (図 1 1 A 及び図 1 1 B) において、端子 1 2 9 4 にハンダバンプ又はハンダ球を結合して、スタック型アセンブリの端子を別の素子、たとえば、回路パネルに接続するための B G A インターフェース 1 2 8 0 (図 1 5 C) を形成することができる。

【 0 0 8 2 】

その後、後続の部分工程 1 0 9 0 (図 1 1 A 及び図 1 1 B) において、ダイシング等によって、個々のスタック型アセンブリを互いから切り離して、スタック型アセンブリ、たとえば、図 1 6 において見られるダイ・スタック型パッケージ 1 6 0 0 を形成することができる。

【 0 0 8 3 】

上記の実施形態の変形形態では、部分工程 1 ~ 9 (図 1 1 A 及び図 1 1 B) を実行して個々のサブアセンブリを設けることができ、サブアセンブリはそれぞれ、上記のように、支持板、その上にあるダイの層、及び導電性バイア、及びその上にある再配線層を含む。その後、支持板を用いてサブアセンブリを積み重ね、接合することができ、隣接するサブアセンブリ間の支持板はオプションで除去される。その後、部分工程 1 2 ~ 1 5 (図 1 1 A 及び図 1 1 B) を実行して、上記で図示及び説明された(たとえば、図 7 A) ような、複数のマイクロ電子アセンブリを作り出すことができる。

【 0 0 8 4 】

空洞ダイを有するダイ・スタック型パッケージ実施形態

図 1 7 は、ダイ・スタック型パッケージ 1 7 0 0 の一実施形態の断面図であり、ダイ・スタック型パッケージ 1 7 0 0 内の支持板 1 7 1 0 に最も近接するマイクロ電子素子 1 7 0 1 が空洞 1 7 2 0 に隣接して配置される。その空洞は、たとえば、加速度計又は表面弾性波 (S A W) フィルタのような微小電気機械システム (M E M S) デバイスの機能をサポートするために必要とされる場合がある。多くのタイプの M E M S デバイスが、その機能、性能、寿命又は組立のために、ダイエリアの一部の上に封止された気体空洞又は真空空洞を必要とする。その空洞は、そのようなデバイスのための既知の実践方法に従って、真空にされるか、又は気体若しくは液体で満たすことができる。たとえば、固体イメージセンサーのような、他のタイプのマイクロ電子デバイスは、イメージセンサーの表面上に像を合焦できるようにするために、空洞を必要とする可能性がある。

【 0 0 8 5 】

ダイ 1 7 0 1 が固体イメージセンサーである場合、支持板は透明であり、ダイ材料の熱膨張整合係数に近い熱膨張整合係数 (coefficient of thermal expansion match) を有するホウケイ酸ガラスであることが好ましい。ガラスウェハは通常、厚みが 1 0 0 ~ 3 0 0 マイクロメートルの範囲を有するが、 2 5 マイクロメートルまで薄くすることができるか、又は数ミリメートルの厚みにすることもできる。ガラスは、イメージセンサーの光学的な機能を考慮に入れて選択することができる。

【 0 0 8 6 】

MEMSデバイスを製造することに関連付けられる特定の技法は当該技術分野において既知であり、ここでは検討しない。上記の図11A及び図11Bの製造工程1000に関して、マイクロ電子素子1701が第1のダイ層であるとき、工程1000は上記の説明とは異なる。ダイ・アタッチ材料1702によって、マイクロ電子素子1701のアレイが支持板1710に取り付けられる。側壁材料1730によって、ダイの前面の全エリアがダイ・アタッチ材料1702で覆われるのを防ぎ、各ダイの前面エリア上に空洞1720を残す。

【0087】

ダイが種々の向きを有するダイ・スタック型パッケージの実施形態

図18A、図18B、図18C及び図18Dは、さらなる実施形態を概略的に示しており、この実施形態では、ダイ・スタック層内のマイクロ電子素子を異なる向きに実装することができ、再配線層がダイ・スタックパッケージ内の異なる位置において生じる。図18A、図18B、図18C及び図18Dではそれぞれ、図中に支持板(図12の支持板1210等)が示されないが、図に示される構造の下にあるものと仮定される。

10

【0088】

図18Aは、ダイの前面1801上のボンドパッド1803が支持板に向いているような下向きのダイ1800を示す。RDL1804がダイの背面1802上にある。図18Bは、支持板に対して同じく下向きのダイ1810を示す。RDL層1814はダイ1810の前面1811上にある。図18Cは、上向きのダイを示しており、RDLがダイの底面にある。図18Dは、上向きのダイを示しており、RDLがダイの前面にある。必要な場合には、ダイは前面再配線層及び背面への μ RT接点の両方を同時に有することができる。

20

【0089】

再配線層実施形態

これまで、RDLは、1つのRDLがスタック内のダイの各層に関連付けられている構成において示されてきた。スタックの他の層においてRDLが必要とされる可能性がある。これらは、ダイ層に関連付けられていない独立した構造とすることができるか、又はダイ層がいくつかのRDLを有することができる。

【0090】

複数のRDLを含む半導体デバイスパッケージでは、それらの間を接続することができる。図19A、図19B、図19C及び図19Dは、その構造のいくつかのさらなる実施形態を示しており、 μ RT接点を用いることによって、複数の層上の配線トレース、ランド及びボンドパッドの間を直に接触させることができる。

30

【0091】

図19Aでは、通常は1つのRDL1904のみを貫通して延在する μ RT接点1901のほぼ平行な側面を有する部分が、第2のRDL1902も貫通して延在するように示されている。図19Bでは、 μ RT接点のほぼ平行な側面を有する部分が第1のRDLを貫通して延在するが、第2のRDL1902の表面において終端し、インターフェース1903においてその表面に接合する。図19Cでは、2つのRDL層がインターフェース1904において接合されるように示されており、両方のRDLが μ RT接点によって貫通されている。図19Dは、 μ RT接点のより大きな部分を示しており、ほぼ平行な側面を有する部分1901と、斜面を上げるその延長部分1905との両方を有する。ほぼ平行な側面を有する部分1901は貫通によってRDL1904に接続し、一方、 μ RT接点の傾斜した延長部分は他のRDL1906、1907及び1908と交差し、交差部分においてT型接点を形成する。

40

【0092】

図19Aでは、2つの層の厚みを貫通することによって、延長された μ RT接点は両方の層を接続する。図19Bでは、上層を貫通し、第2の層上で終端することによって、延長された μ RT接点は2つの層を接続する。図19Cでは、延長された μ RT接点はShell case(シェルケース)のL型接点の厚みを貫通し、その接点は、重なり合う層

50

間の接合部である。図19Dは、 μ RT接点の上方において再配線層(RDL)に接続するいくつかの層を示す。

【0093】

他の実施形態

ここで、図20A～図20Hを参照すると、上記の工程(図11A～図16)の一変形態では、工程は、たとえば、シリコン又は他の材料からなる複数のダイから始まり、それらのダイは、元のままのウェハー2000又はそのようなウェハーの一部の形で、ダイのエッジ2002において張り合わせられたままであり、ウェハーのダイシングレーン2004が隣接するダイ2001のエッジ2002間に延在する。その後、ウェハーは、たとえば、接着剤によって、支持板又は常設キャリア2010に取り付けられ、支持板に隣接するウェハーの前面2006上にボンドパッド2003が配置されている。その後、ウェハー2000は、2020において示されているように、ウェハーの背面2008から研磨するか、研削するか、又は他の処理をすることによって薄くされる。

10

【0094】

その後、2022において示されているように、ウェハーの背面2008から前面2006に向かって延在する凹部2024、2026が形成される。凹部2024はウェハーのボンドパッド2003の位置に合わせて形成される。さらに、ウェハーのダイシングレーン2004と位置合わせして、他の凹部2026を形成することができる。

【0095】

図20Cにおいて見られ、図20Iにおいて詳細に示されるように、凹部2024はウェハーの一部分2030の厚みを完全に貫通して延在することができ、ウェハーは、そのウェハーのバルク半導体領域として実質的に単結晶半導体材料からなる。凹部2024は、ボンドパッドの下にある誘電体層2034の表面2032を露出させる内面を有することができる。凹部2024は、誘電体層2034の表面が露出するまで、エッチング、ドリル加工(たとえば、レーザーアブレーション又は機械ドリル加工)、又は他の方法でウェハーの半導体材料を除去することによって形成することができる。その後、エッチング工程を停止することができる。一実施形態では、誘電体層の表面2032が露出すると、除去工程を終了することができる。特定の実施形態では、除去工程はエッチング工程によって実行することができ、そのエッチング工程は、下にある誘電体層2034、ボンドパッド2003、又はその両方の材料に対して選択的に実行することができる。この工程は、任意の上記の実施形態、及び任意の以下に記述される実施形態に対して適用することもできる。

20

30

【0096】

凹部2026は、ボンドパッドと位置合わせされる必要がないことを除いて、通常凹部2024と同時に形成され、類似の構造を有することができる。凹部2026も、ウェハーの単結晶半導体部分の厚み2028を完全に貫通して延在することができる。特定の実施形態では、ウェハーがシリコン・オン・インシュレーター(SOI)構造を有する場合、凹部は、バルク半導体領域、埋込酸化物(BOX)層、及びBOX層の上に重なる単結晶シリコン・オン・インシュレーター層を完全に貫通して延在することができる。1つの変形態では、ボンドパッド2003の背面2013が凹部内で露出するように、凹部は誘電体層2034も貫通して延在することができる。

40

【0097】

図20D、図20E、図20F、図20G及び図20Hのそれぞれのビュー(view: 外観)2050、2060、2070、2080及び2090に関して、図11A～図16に関して上記で説明された処理が、2022において見られる構造に適用される。したがって、図20Dでは、凹部の露出した表面に、コンフォーマル誘電体層2058又は「パッシベーション層」を被着することができ、その後、ボンドパッド2003内の空所2062を形成することができ(図20E)、その後、ボンドパッドを貫通して延在する導電性バイア、及びトレース2062を含む金属層(図20F)を形成することができる。図20Gにおいて見られるように、その後、凹部2024及び凹部2026内のダイ200

50

1上の金属層2062を含む、ダイ2001の背面を覆う誘電体層2066を形成することができる。

【0098】

その後、誘電体層2066に第2の元のままのウェハー又は元のままのウェハーの一部を取り付けた後に、上記の処理(図20B~図20G)を繰り返し、図20Aに対して上記で説明されたように、ウェハーの上にあるダイをウェハーのダイシングレーン2004において張り合わせたままにして、図20Gにおいて示されているような構造を有するダイの第2の層2068を形成することができる。その後、ダイの第3の層2072及び第4の層2074を形成するために、又は図20G内に見られるようなスタック型アセンブリ内の任意の数のダイ層を形成するために、この処理を再び繰り返すことができる。図20Hを参照すると、ダイシング作業を実行して、スタック型アセンブリ2090内にノッチ又はトレンチを形成することができ、これらのノッチ又はトレンチはダイの最も高い層2074から支持層2010に向かって下方に延在し、ノッチは、ウェハー内のダイシングレーンに沿って各ウェハー内に前に形成された凹部2026を貫通して延在する。その後、図15B及び図15Cに関して上記で説明されたように、リードを形成するためのさらなる処理、BGAインターフェースを形成するためのさらなる処理、及び最終的にダイシングして個々のアセンブリ、たとえば、ダイ・スタック型パッケージにするための処理を実行することができる。特定の実施形態では、図16又は図17又は図18A~図19Dに関して上記で説明された変形形態もここで適用することができる。

10

【0099】

ここで、図21A~図21Eを参照すると、別の実施形態では、配線パターン2120を上を有する基板2110上に、個々のマイクロ電子素子又はダイ2101を下向きに実装することができ、接着剤2102を用いてダイの前面2108を基板2110の主面に結合している。ボンドパッドが配線基板の対応する金属パッド又は接点2114に向かい合うように、ダイの前面上にボンドパッド2104を配置することができる。

20

【0100】

その後、図21Bに示されるように、誘電体層2122、たとえば、図12Dにおいてダイ間に設けられる層1240として用いられる材料のうちの任意の材料のような高分子材料を、隣接するダイ2101のエッジ2124間に設けることができる。その後、ダイの背面2106からダイを研削するか、ラップ仕上げするか、又は研磨すること等によって、ダイの厚みを薄くすることができる。

30

【0101】

図21Cにおいて見られるように、上記の実施形態のうちの1つ又は複数において説明されたような凹部2136を、ボンドパッド2104の位置に合わせてダイ内に形成することができる。その後、ダイの背面2106、及び凹部内の内部容積空間を覆う、さらなる誘電体層2132を形成することができる。その誘電体層は、図14Dにおいて見られるように付加的な構造を設けるために比較的平坦な主面を有する誘電体層1272(図14C)と類似にすることができる。一実施形態では、誘電体層2132は、堆積されるときに、自己平坦化特性を有することができる。代替的には、研磨工程を用いて、誘電体層を平坦化することができる。

40

【0102】

その後、図21Dに示されるように、ボンドパッド2104を、位置合わせされた基板パッド2114と電気的に接続する導電性要素、すなわち、バイア2126が形成される。その構造の再配線導電性要素2134、たとえば、パッド又はトレースは、ダイの背面2106の上方の誘電体層2132の表面に沿って横方向に延在することができる。再配線導電性パッド2134は、他の素子、たとえば、別のマイクロ電子アセンブリ、回路パネル、又は他の能動若しくは受動の電気デバイス若しくは電子デバイスを接続するために利用することができる端子として機能することができる。図21Eにおいて見られるように、一実施形態では、そのアセンブリは、たとえば、ダイシング作業によって、若しくはは鋸引きによって、切り離すことができるか、又は別の方法でダイのエッジに沿って切り離

50

し、個々のパッケージ化されたマイクロ電子素子 2 1 4 0 にすることができる。マイクロ電子素子から離れた表面 2 1 4 6 において露出する配線基板の端子 2 1 4 4 のような導電性要素に、ハンダバンプ又はボール 2 1 4 2 を取り付けることができる。

【 0 1 0 3 】

一実施形態では、導電性要素 2 1 2 6 及びパッド 2 1 3 4 は以下のように形成することができる。誘電体材料 2 1 3 2 の厚みを貫通して穴をドリル加工することができ、その穴はボンドパッド 2 1 0 4 を貫通して延在し、各ボンドパッドに隣接する基板パッド 2 1 1 4 を少なくとも露出させる。穴は基板パッド 2 1 1 4 の厚みの中にも延在することができる。その後、穴内及び誘電体層の主面 2 1 3 8 上に金属層を電気メッキすることができる。一実施形態では、パッド又はトレース 2 1 3 4 が形成される場所は、その上に金属を所望の厚みまで電気メッキする前に、表面 2 1 3 8 上に、パターンニングされた導電性シード層を形成することによって制御することができる。

10

【 0 1 0 4 】

図 2 2 A、図 2 2 B 及び図 2 2 C は、上記の実施形態（図 2 1 A ~ 図 2 1 E）の変形形態を示しており、互いからまだ切断されていないような、複数のマイクロ電子素子を含む元のままのウェハ- 2 2 0 0 又は元のままのウェハ-の一部が基板に結合され、ウェハ-の単結晶半導体材料はダイシングレーン 2 2 0 4 としてダイのエッジ間に残される。その後、図 2 2 B において見られるように、ウェハ- 2 2 0 0 は、背面から薄くされる。図 2 2 C はさらに進んだ処理段階を示しており、隣接するダイのエッジ 2 2 1 4 間の半導体材料が除去され、ダイ内に凹部 2 2 3 6 が形成される。その後、ダイの背面、凹部 2 2 3 6、及び隣接するダイ間に形成された空間を覆うように、誘電体層 2 2 3 2 を形成することができる。

20

【 0 1 0 5 】

ここで、図 2 3 A を参照すると、上記の工程（図 2 1 A ~ 図 2 1 E）の変形形態では、導電性トレース 2 3 3 4 を形成することができ、その導電性トレースは、1つのダイにある導電性ビア 2 3 2 6 から離れて、そのようなダイのエッジを越えて、別のダイにある導電性ビア 2 3 2 6 に向かって誘電体層 2 3 3 2 の主面 2 3 3 8 に沿って延在する。図 2 3 A において見られるように、トレース 2 3 3 4 は、2つの隣接するダイの導電性ビア 2 3 2 6 間に連続して延在することができ、最初に堆積されたような2つのダイを電氣的に接続することができる。

30

【 0 1 0 6 】

図 2 3 B は、さらなる実施形態を示しており、この実施形態では、凹部及び導電性ビア、並びに導電性ビアを電氣的に接続するトレース 2 3 3 6 を中に有するダイ 2 3 0 1 の層を形成するために必要とされるステップ（図 2 1 A ~ 図 2 1 D、及び上記の関連する説明を参照されたい）を繰り返して、ダイの付加的な層 2 3 1 0、2 3 2 0、2 3 3 0 及び各それぞれのダイのエッジを越えて延在するトレース 2 3 3 0 を形成する。一実施形態では、図 2 3 B において見られるように、トレースは、図 2 3 B において見られるように、隣接するダイ間に端部を有することができる。代替的には、トレース 2 3 3 0 は、図 2 3 A において見られるように、隣接するダイの導電性ビア間に連続して延在することができる。

40

【 0 1 0 7 】

図 2 3 C においてさらに示されるように、各ダイに接続されるトレース 2 3 3 6 を貫通して下方に延在するノッチ 2 3 4 0 を形成することができ、その後、ノッチ 2 3 4 0 の表面に沿ってアセンブリの主面 2 3 4 2 上まで延在するリード 2 3 4 4 を形成することができる。たとえば、ダイのエッジ 2 3 4 8 に沿って延在する方向において隣接するダイのエッジ 2 3 4 8 間を鋸引きすることによって、ノッチを形成することができる。一実施形態では、中にある少なくとも一対の隣接するダイ 2 3 0 1 A 間にバス 2 3 5 4 を設けるように、リード 2 3 4 4 は、アセンブリの垂直に位置合わせされる各ボンドパッドに接続されるトレースを接続することができる。垂直バス 2 3 5 4 は、垂直方向において互いに隣接する、すなわち、少なくとも隣接するダイの面が互いに重なり合う2つ以上のダイを接続

50

することができる。たとえば、図 2 3 C 内のアセンブリ 2 3 6 0 B の右側にあるバス 2 3 5 4 は、ダイ 2 3 0 1 の面にあるボンドパッドを電氣的に接続し、一方、図 2 3 C 内のアセンブリ 2 3 6 0 B の左側にある導電性バイア 2 3 2 6 はボンドパッド 2 3 0 3 を電氣的に接続せず、2 3 0 1 A で示される最も上にあるダイのボンドパッド 2 3 0 3 と、最も上にあるダイと、最も上にあるダイに隣接する、2 3 0 1 A で示されるダイとの間に配置されるトレース 2 3 3 6 との間に絶縁性の誘電体材料 2 3 0 5 が存在することが明らかである。

【 0 1 0 8 】

バス 2 3 5 4 は次に、導電性バイア 2 3 2 6 によって設けられる電氣的接続を通して外部端子 2 3 5 0 に接続することができる。そのバイアは、ボンドパッド 2 3 0 4、位置合わせされた基板パッド 2 3 1 4、及びそれに接続される基板 2 3 0 2 の配線要素 2 3 1 6 に電氣的に接続される。配線要素は次に、中にあるダイ 2 3 0 1 から離れて基板の面 2 3 4 6 において露出する端子 2 3 5 0 に接続することができる。リード 2 3 4 4 及びその下にある基板 2 3 0 2 を貫通してノッチに沿ってアセンブリを切断することによって、アセンブリを切り離して、個々のスタック型アセンブリ 2 3 6 0 にすることができる。冶金技術によってハンダバンプ又はボール 2 3 5 2 を端子に結合して、スタック型アセンブリ 2 3 6 0 を他の回路構成要素、たとえば、回路パネルの対応する接点に接合するのを容易にすることができる。

【 0 1 0 9 】

図 2 4 A 及び図 2 4 B は、図 2 3 C において示されている実施形態の変形形態によるスタック型アセンブリ 2 4 6 0 を示す。この実施形態では、各マイクロ電子アセンブリのエッジ面 2 0 6 (図 2 及び図 3) になるノッチを形成する代わりに、たとえば、レーザードリル加工又は機械ドリル加工等によって、アセンブリ内に個別の開口部 2 4 3 4 を形成することができる。それらの開口部は、中にあるダイから離れて延在するトレース 2 4 3 6 を露出させる。それらの開口部は、特定のダイから離れていく単一のトレースのみを露出させるように、円筒形とすることができる。その後、金属又は金属材料を開口部内に堆積して、アセンブリ内のダイのトレース 2 4 3 6 に接続される電気導体 2 4 4 4 を形成することができる。それらの導体はアセンブリの上面にある端子 2 4 4 6、アセンブリの下面にある端子 2 4 4 8、又は両方の表面にある端子と電氣的に接続される。図 2 4 A は、隣接するダイのエッジ間の線 2 4 5 0 に沿ってアセンブリを切り離し、個々のアセンブリ 2 4 6 0 又はダイ・スタック型パッケージにすることも示す。

【 0 1 1 0 】

スタック構成内の各ダイ 2 4 0 1 から離れていくトレース 2 4 3 6 が、(ダイが積み重ねられる垂直方向 2 4 3 8 について) 垂直に位置合わせされている場合には、開口部のうちの 1 つが、スタック型ダイのこれらの垂直に位置合わせされるトレースのそれぞれを露出させることができる。その後、電気導体 2 4 4 4 をそのような各ダイに接続することができる。代替的には、単一の開口部が互いの上に垂直に積み重ねられるダイの 1 つのトレースしか露出させないように、方向 2 4 4 2 において各ダイのトレースをお互いにオフセットすることができる。各電気導体が単一のダイの単一のトレースに接続されるようにする。このようにして、各導体は、ボンドパッド 2 4 0 1 が導電性バイア 2 4 2 6 によって電氣的に接続されるトレース 2 4 3 6 のうちの 1 つ、又は 2 つ以上、又は全てに電氣的に接続することができる。さらに、所望により、図 2 3 C に関して上記で説明されたように、導電性バスを用いて、2 つ以上の隣接するダイのボンドパッドを導電性バイア 2 4 2 6 によって選択的に電氣的に接続することができる。

【 0 1 1 1 】

図 2 5 A ~ 図 2 5 C は、上記の実施形態 (図 2 1 A ~ 図 2 3 C) の変形形態によるマイクロ電子アセンブリを示す。この実施形態では、互いに横方向に隣接して複数のダイ 2 5 0 1 を配置することができる。隣接するダイの各エッジ 2 5 2 4 は、誘電体材料によって横方向 2 5 2 6 において分離され、その誘電体材料はエポキシのような高分子材料とすることができる。複数ダイモジュール 2 5 6 0 は、ダイ及び支持基板 2 5 1 0 を含み、支持基

10

20

30

40

50

板は、その中にある配線要素と、その面において露出する端子 2550 とを有する。隣接するダイの導電性トレースは、完成した複数ダイ・パッケージ内の隣接するダイの特定の接点对を電氣的に接続することができるか、又は基板の他の接点に接続することができるか、又はその両方である。たとえば、図 25A 及び図 25B において見られるように、トレース 2536A は 2 つの異なるダイ 2501 のパッドを電氣的に接続し、トレース 2536B は 2 つの異なるダイ 2501 のパッドを基板の接点に電氣的に接続し、トレース 2536C は異なるダイ 2501 のパッドを基板の接点に電氣的に接続する。図 25C においてさらに見られるように、複数ダイモジュールを形成するためにこのようにして接続されることになるダイは、複数の集合体を含む再構成ウェハーの形で一緒に配置することができ、各集合体は、図 25A 及び図 25B において見られるような複数ダイモジュールの中に一緒にパッケージ化されることになるダイを含む。

10

【0112】

別の実施形態では、図 26A ~ 図 26H において見られるように、凹部を裏打ちし、ダイの背面に沿って延在する金属トレースをダマシン法によって形成することができる。図 26A は、マイクロ電子素子 2601、たとえば、ダイ、ウェハー、再構成ウェハー、又はウェハー若しくは再構成ウェハーの一部のボンパッド 2604 と位置合わせされる、背面 2606 内の凹部 2636 の形成を示す。その後、図 26B に見られるように、凹部を満たし、マイクロ電子素子の背面を誘電体層 2632 として覆うように、凹部の上に誘電体材料が堆積される。誘電体層 2632 は、上記のように自己平坦化することができる。その後、図 26C に示されるように、凹部と位置合わせして、誘電体層内にトレンチ 2634 がエッチングされる。トレンチは、背面 2606 に沿って延在する寸法、たとえば、幅及び長さを有することができる、その寸法は、トレンチ内に形成されることになる導電性要素と同じである。その後、図 26D に見られるように、ボンパッドと位置合わせして開口部 2638 が形成され、その開口部はボンパッド 2604 を貫通して延在する。

20

【0113】

図 26E は導電層 2640 の形成を示しており、導電層はボンパッドを貫通して、かつ凹部の壁に沿って、かつ背面 2606 に沿って誘電体層 2632 の上方に延在する。図 26F は、構造を研削又は研磨する段階を示しており、構造を平坦化し、導電層 2640 を分離する結果として、個々の導電性要素 2642 が形成される。各導電性要素 2642 は、ボンパッドを貫通して延在する導電性パイアと、導電性パイアから凹部 2636 の壁に沿って、背面 2606 に配置される誘電体層 2632 上まで延在する導電性トレースとを含むことができる。このようにして、各導電性要素 2642 を、互いの導電性要素 2642 から絶縁することができる。その後、図 26G に示されるように、導電性要素 2642 を覆うように付加的な誘電体材料 2646 が堆積され、導電性要素の一部の上方に端子 2644 として開口部が形成されている。一実施形態では、誘電体材料は、エポキシのブランケット堆積層とすることができ、その後、上に重なるエポキシ材料のレーザーアブレーションによって、端子を露出させることができる。別の実施形態では、フォトリソグラフィによってパターンニングして、端子 2644 を露出させることができる。図 26H は後続の処理段階を示しており、ハンダポンプ又はボール 2652 が端子 2644 に取り付けられ、パッケージ 2660 の端子を、たとえば、回路パネルのような別の回路構成要素の対応するパッド又は他の接点に接合できるようにする。

30

40

【0114】

本明細書における発明は特定の実施形態を参照しながら説明されてきたが、これらの実施形態は、本発明の原理及び応用例を例示しているにすぎないことは理解されたい。それゆえ、その例示的な実施形態に対して数多くの変更を加えることができること、及び添付の特許請求の範囲によって規定されるような本発明の精神及び範囲から逸脱することなく、他の構成を考案できることを理解されたい。

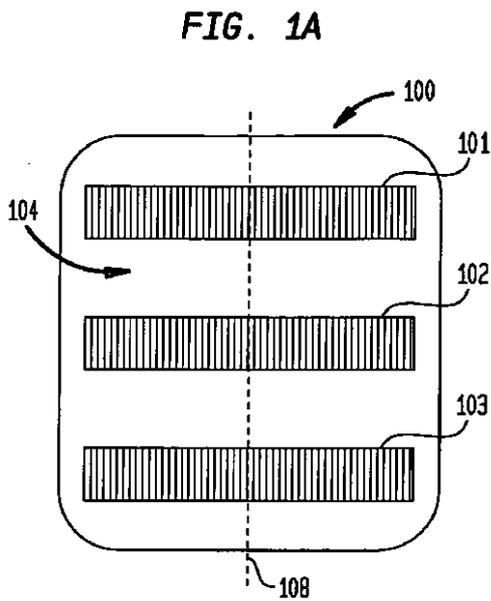
【符号の説明】

【0115】

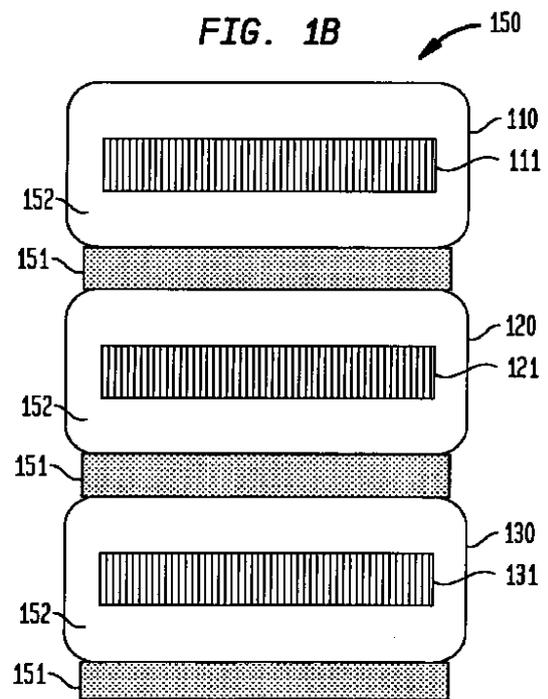
50

- 101 : 第1のダイ
- 102 : 第2のダイ
- 103 : 第3のダイ
- 203 : ボールグリッドアレイ (BGA) インターフェース
- 220 : ダイ・スタック型パッケージ
- 228 : 支持板
- 224 : リード
- 602 : 誘電体材料
- 603 : ボンドパッド
- 604 : ボンドパッド
- 605 : 導電性バイア
- 606 : 前面
- 608 : 背面
- 610 : 導電層
- 616 : 端子
- 618 : 凹部
- 620 : エッジ

【図1A】

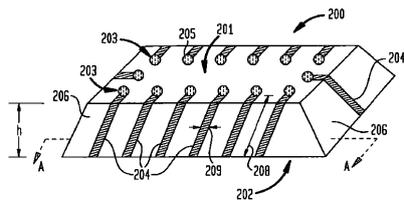


【図1B】



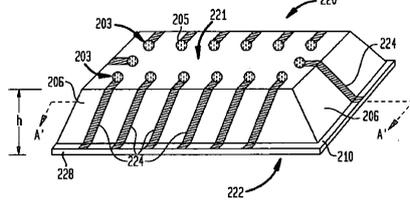
【 図 2 】

FIG. 2



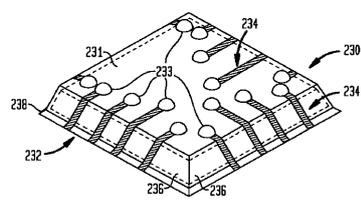
【 図 3 】

FIG. 3

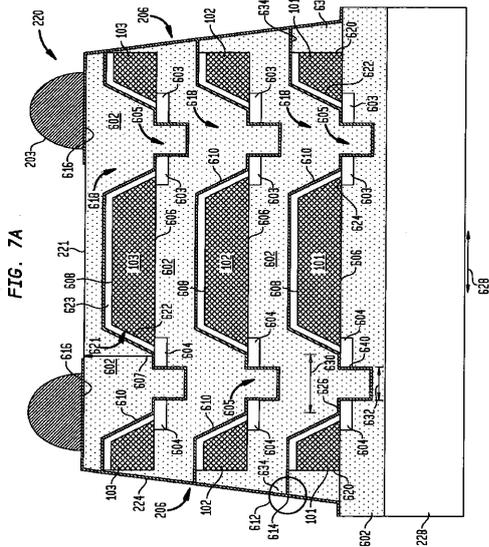


【 図 4 】

FIG. 4

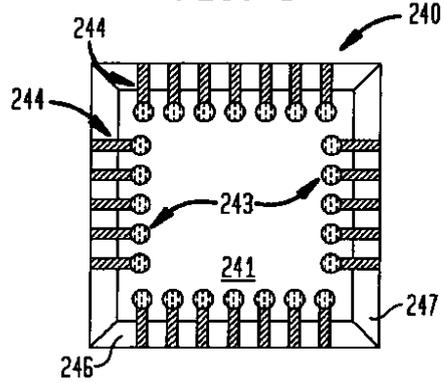


【 図 7 A 】



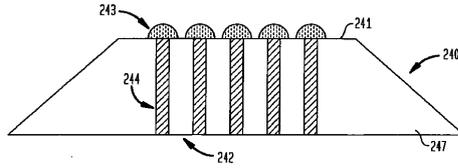
【 図 5 】

FIG. 5



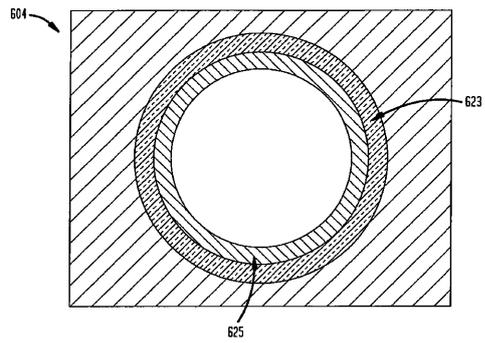
【 図 6 】

FIG. 6

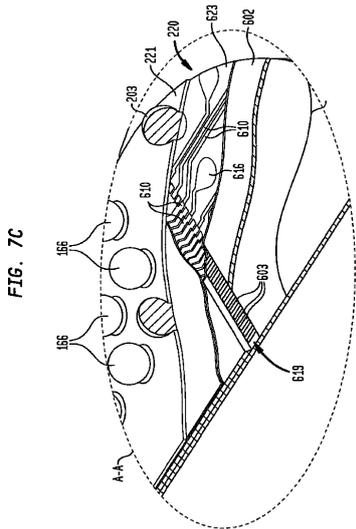


【 図 7 B 】

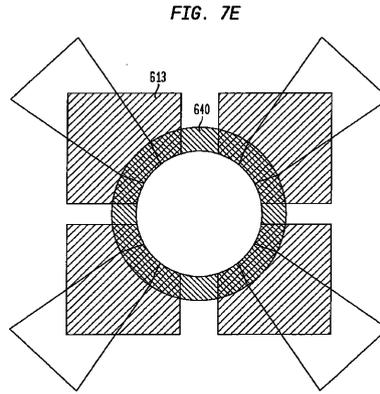
FIG. 7B



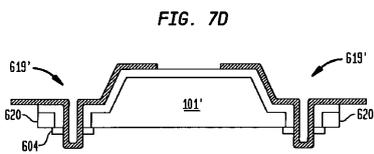
【 7 C 】



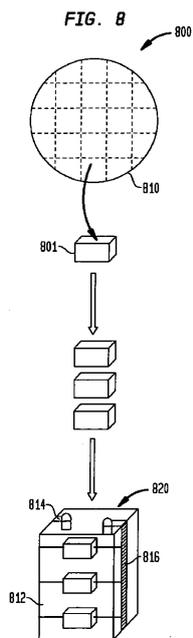
【 7 E 】



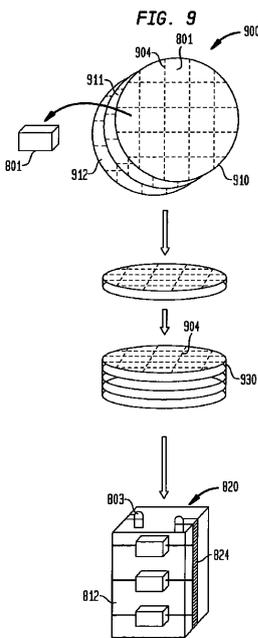
【 7 D 】



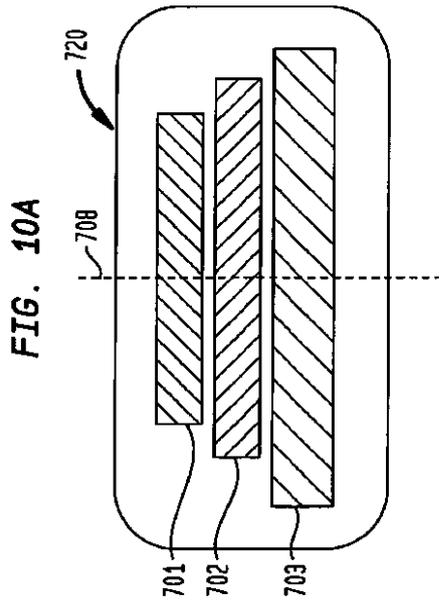
【 8 】



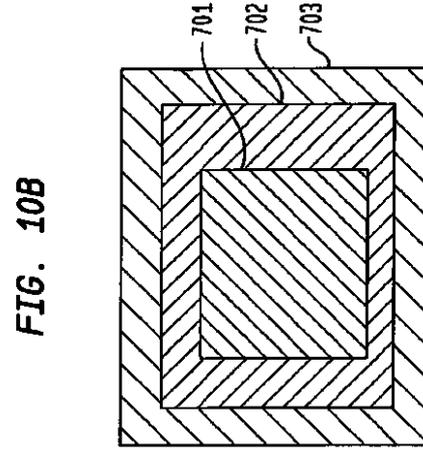
【 9 】



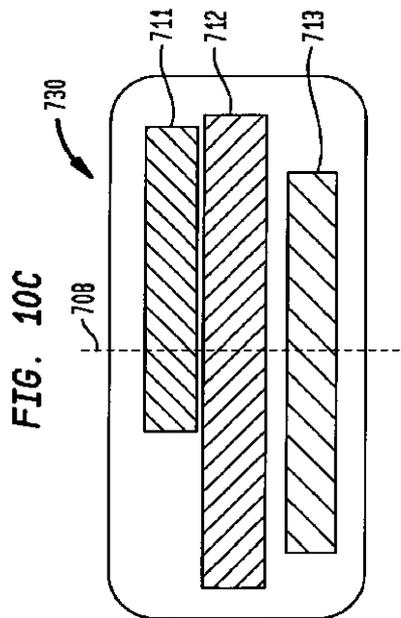
【 10 A 】



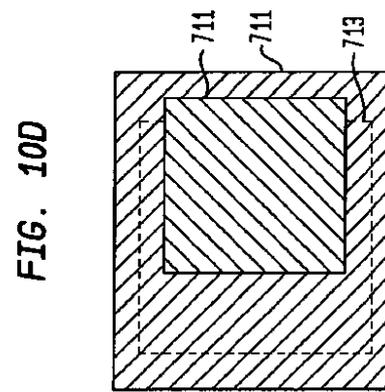
【 10 B 】



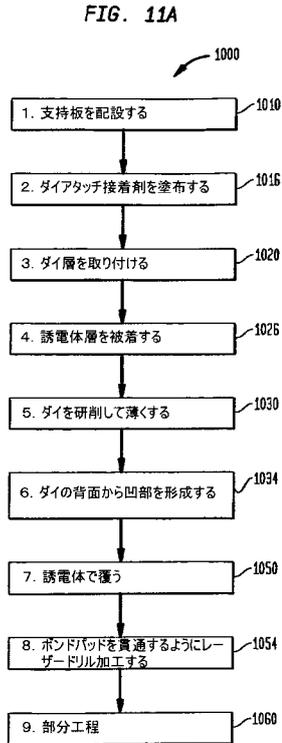
【 10 C 】



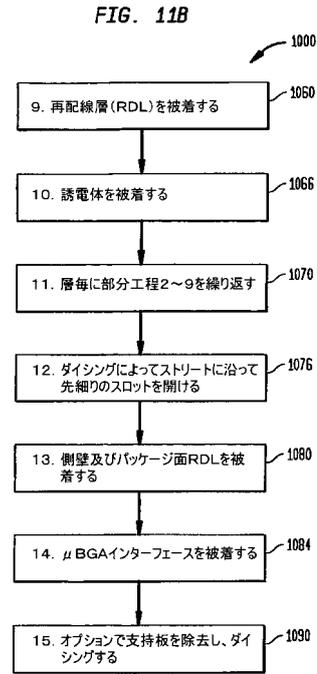
【 10 D 】



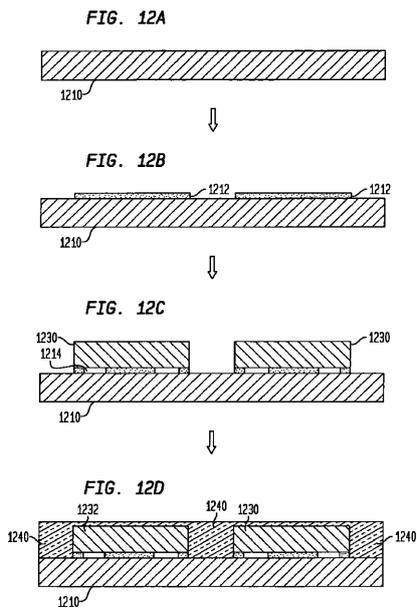
【図11A】



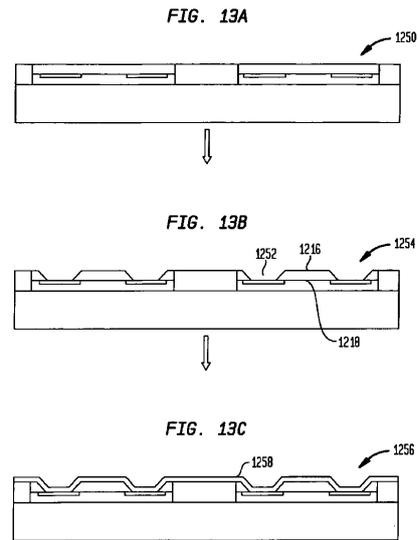
【図11B】



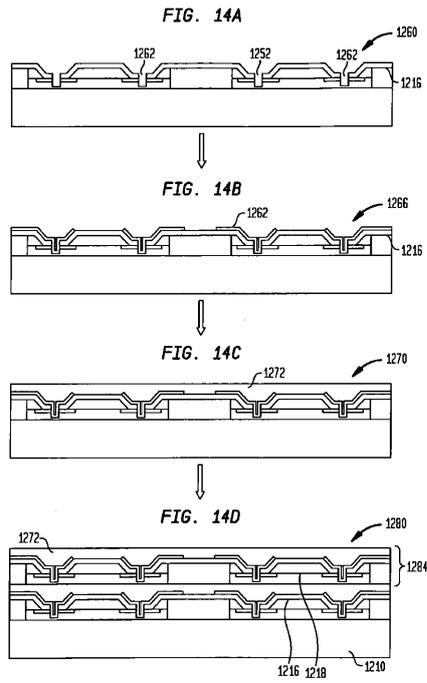
【図12A - 12D】



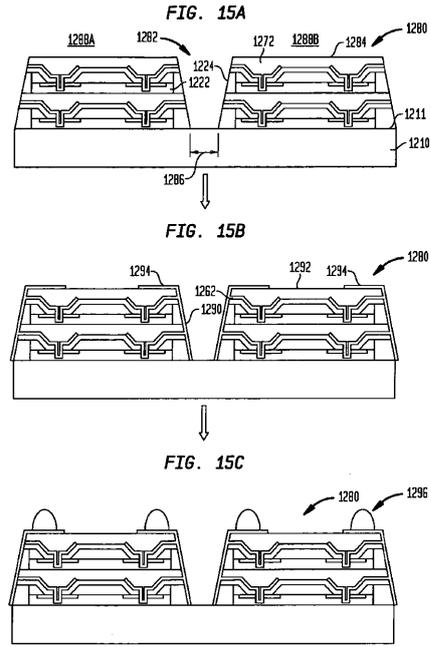
【図13A - 13C】



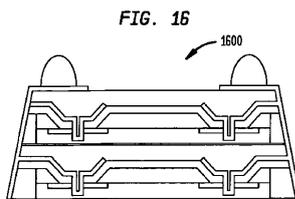
【 14 A - 14 D 】



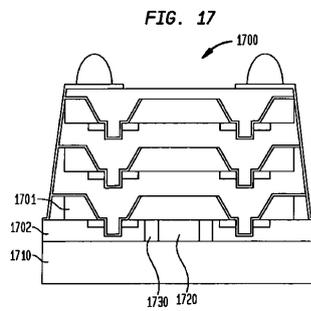
【 15 A - 15 C 】



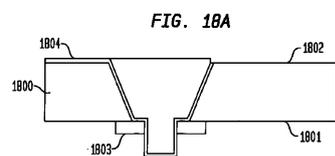
【 16 】



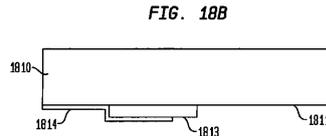
【 17 】



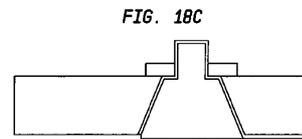
【 18 A 】



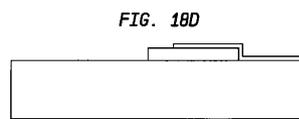
【 18 B 】



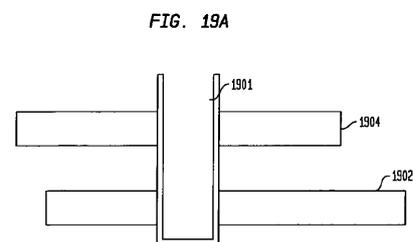
【 18 C 】



【 18 D 】

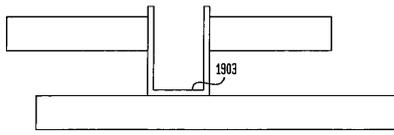


【 19 A 】



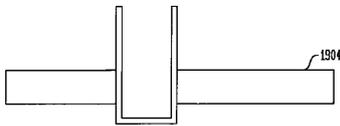
【 19 B】

FIG. 19B



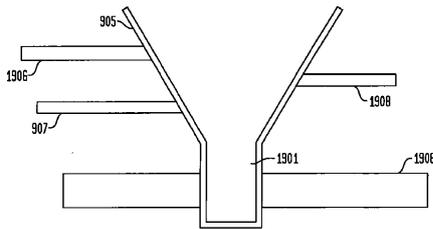
【 19 C】

FIG. 19C



【 19 D】

FIG. 19D



【 20 G - 20 H】

FIG. 20G

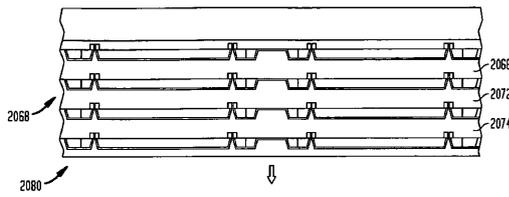
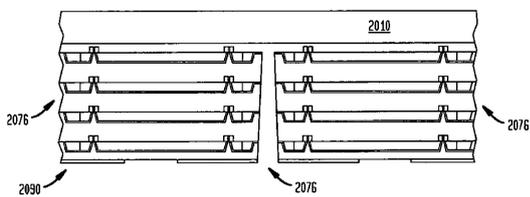


FIG. 20H



【 20 A - 20 F】

FIG. 20A

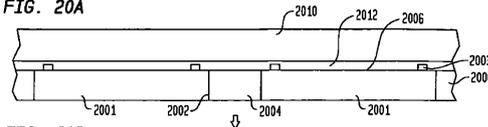


FIG. 20B

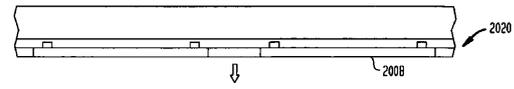


FIG. 20C

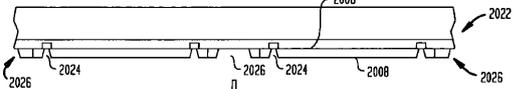


FIG. 20D

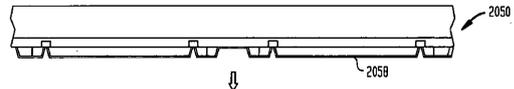


FIG. 20E

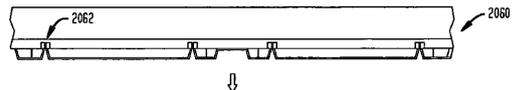
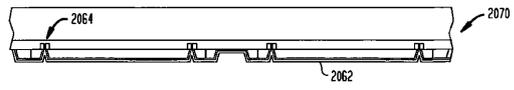
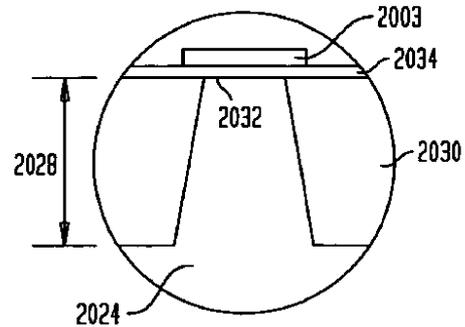


FIG. 20F



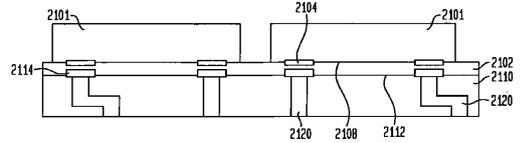
【 20 I】

FIG. 20I



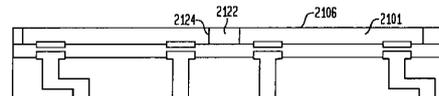
【 21 A】

FIG. 21A

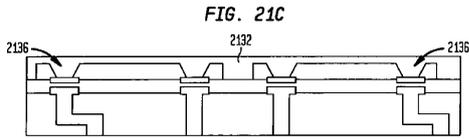


【 21 B】

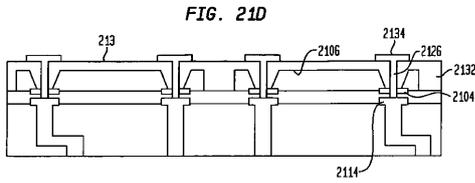
FIG. 21B



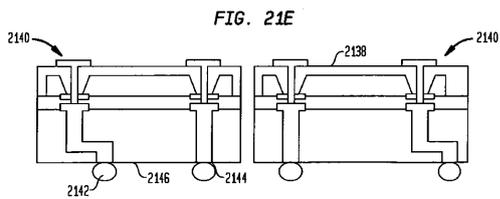
【 2 1 C 】



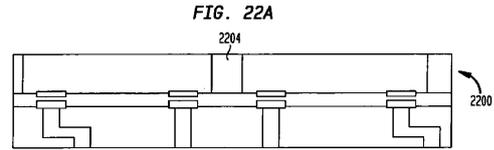
【 2 1 D 】



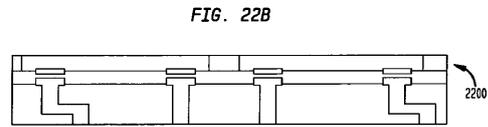
【 2 1 E 】



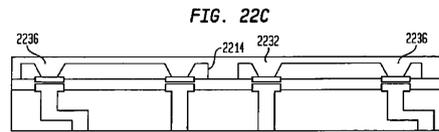
【 2 2 A 】



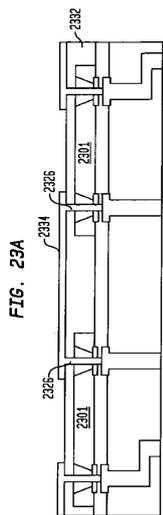
【 2 2 B 】



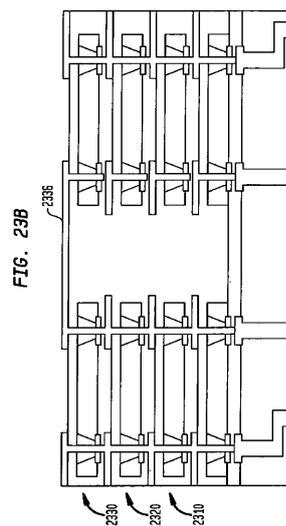
【 2 2 C 】



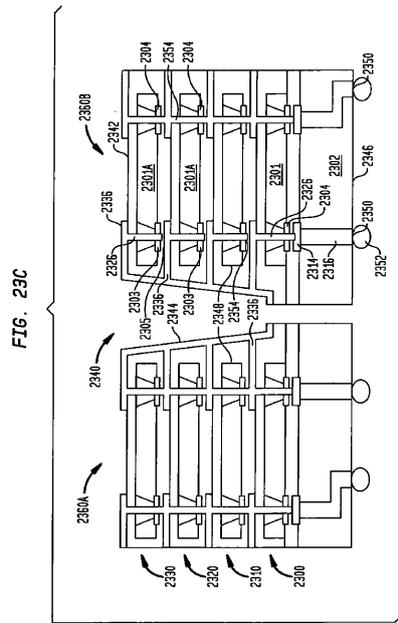
【 2 3 A 】



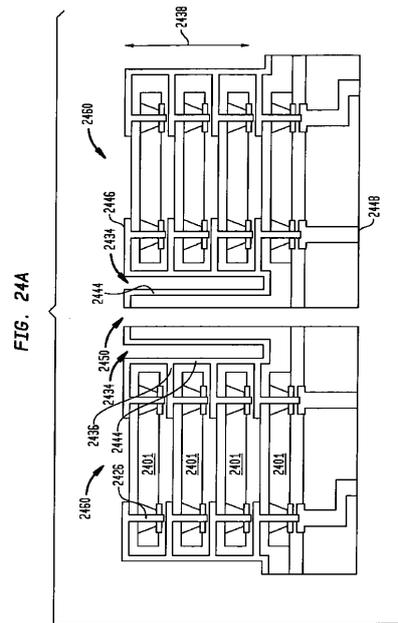
【 2 3 B 】



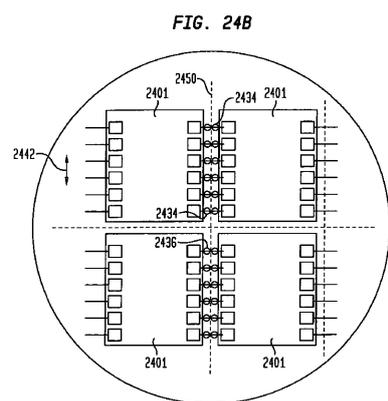
【 23 C 】



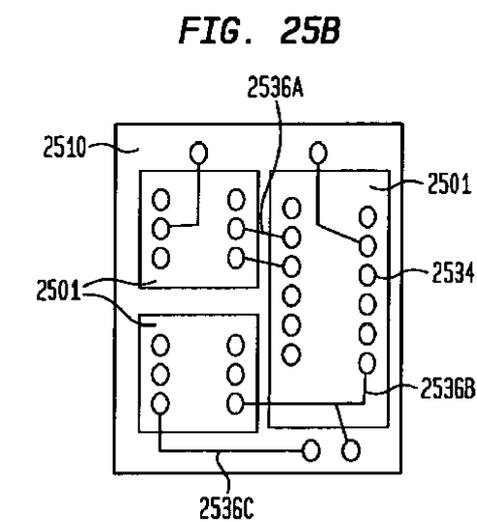
【 24 A 】



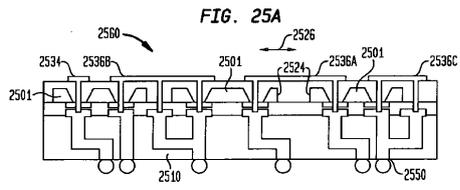
【 24 B 】



【 25 B 】

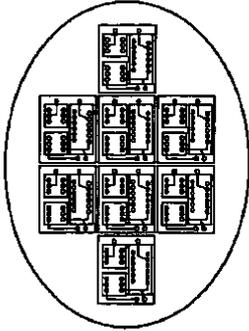


【 25 A 】

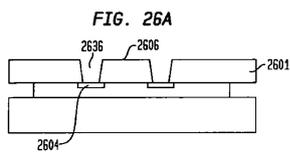


【 25 C 】

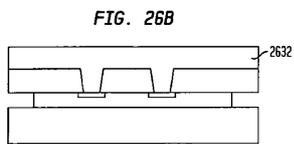
FIG. 25C



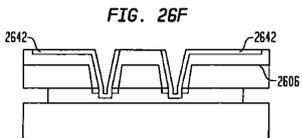
【 26 A 】



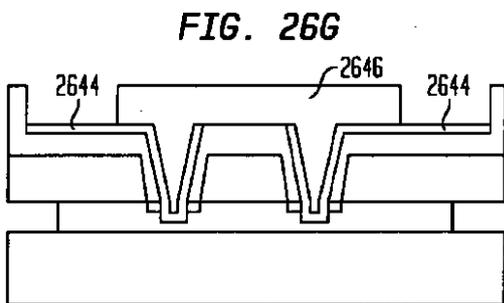
【 26 B 】



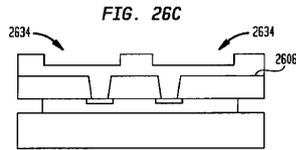
【 26 F 】



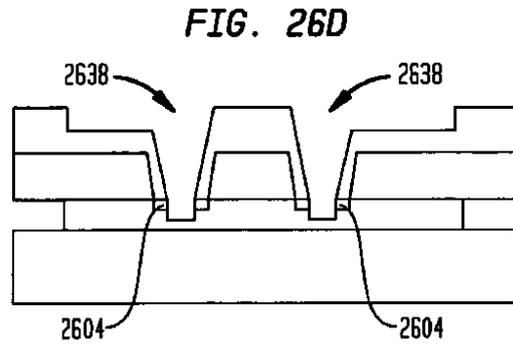
【 26 G 】



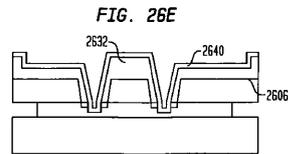
【 26 C 】



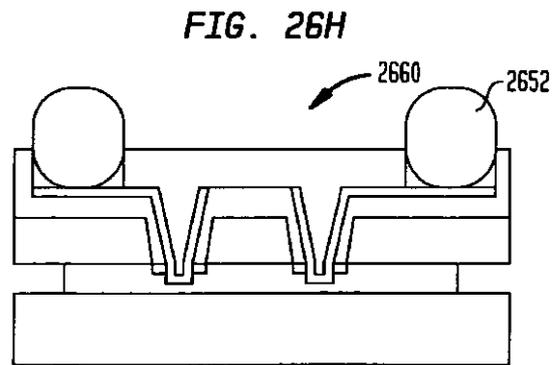
【 26 D 】



【 26 E 】



【 26 H 】



フロントページの続き

- (74)代理人 100142996
弁理士 森本 聡二
- (74)代理人 100154298
弁理士 角田 恭子
- (74)代理人 100162330
弁理士 広瀬 幹規
- (74)代理人 100166268
弁理士 田中 祐
- (74)代理人 100170379
弁理士 徳本 浩一
- (74)代理人 100161001
弁理士 渡辺 篤司
- (72)発明者 クリーマン, モシェ
アメリカ合衆国カリフォルニア州95134, サン・ノゼ, オーチャード・パークウェイ 3025, テッセラ, インコーポレイテッド気付
- (72)発明者 アヴシアン, オシエル
アメリカ合衆国カリフォルニア州95134, サン・ノゼ, オーチャード・パークウェイ 3025, テッセラ, インコーポレイテッド気付
- (72)発明者 ハーバ, ベルガセム
アメリカ合衆国カリフォルニア州95134, サン・ノゼ, オーチャード・パークウェイ 3025, テッセラ, インコーポレイテッド気付
- (72)発明者 ハンプストン, ガイルズ
アメリカ合衆国カリフォルニア州95134, サン・ノゼ, オーチャード・パークウェイ 3025, テッセラ, インコーポレイテッド気付
- (72)発明者 ブルシュティン, ドミトリー
アメリカ合衆国カリフォルニア州95134, サン・ノゼ, オーチャード・パークウェイ 3025, テッセラ, インコーポレイテッド気付

審査官 石野 忠志

- (56)参考文献 国際公開第2009/017835(WO, A1)
特開2001-035995(JP, A)
特開2002-208655(JP, A)
国際公開第2007/066409(WO, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 25/065
H01L 25/07
H01L 25/18