

(英) JAPAN

5. 姓名：(中) 青木秀夫
(英) AOKI, HIDEO
國籍：(中) 日本
(英) JAPAN

6. 姓名：(中) 原田享
(英) HARADA, SUSUMU
國籍：(中) 日本
(英) JAPAN

7. 姓名：(中) 金子尚史
(英) KANEKO, HISASHI
國籍：(中) 日本
(英) JAPAN

8. 姓名：(中) 池上浩
(英) IKENOUE, HIROSHI
國籍：(中) 日本
(英) JAPAN

9. 姓名：(中) 松尾美惠
(英) MATSUO, MIE
國籍：(中) 日本
(英) JAPAN

10. 姓名：(中) 大村一郎
(英) OMURA, ICHIRO
國籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2004/09/10 ; 2004-264729 有主張優先權
2. 日本 ; 2004/09/10 ; 2004-264731 有主張優先權
3. 日本 ; 2004/09/10 ; 2004-264732 有主張優先權

(英) JAPAN

5. 姓名：(中) 青木秀夫
(英) AOKI, HIDEO
國籍：(中) 日本
(英) JAPAN

6. 姓名：(中) 原田享
(英) HARADA, SUSUMU
國籍：(中) 日本
(英) JAPAN

7. 姓名：(中) 金子尙史
(英) KANEKO, HISASHI
國籍：(中) 日本
(英) JAPAN

8. 姓名：(中) 池上浩
(英) IKENOUE, HIROSHI
國籍：(中) 日本
(英) JAPAN

9. 姓名：(中) 松尾美惠
(英) MATSUO, MIE
國籍：(中) 日本
(英) JAPAN

10. 姓名：(中) 大村一郎
(英) OMURA, ICHIRO
國籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2004/09/10 ; 2004-264729 有主張優先權
2. 日本 ; 2004/09/10 ; 2004-264731 有主張優先權
3. 日本 ; 2004/09/10 ; 2004-264732 有主張優先權

(1)

九、發明說明

【發明所屬之技術領域】

本發明係關於適於搭載複數半導體元件（半導體晶片）之多晶片封裝等的半導體裝置及其製造方法。

【先前技術】

近年來，爲了實現半導體裝置的小型化或高密度安裝化等，在一個封裝體內積層複數半導體元件（晶片）而密封的堆疊型多晶片封裝體正實用化中。一般而言，在堆疊型多晶片封裝體中，利用引線接合（wire bonding）將複數半導體晶片的各電極鉚墊與基板的電極部電性連接。又，將複數半導體晶片間相互連接時，係利用引線接合將各半導體晶片的電極鉚墊間電性連接。

如此種堆疊型多晶片封裝體所示，在半導體晶片與基板間或複數半導體晶片間的連接適用引線接合的封裝體構造，因連接步驟所需的成本或工數，製造成本容易增大。再者，不只信號配線長度會變長，封裝體形狀也會有大型化的問題。

於此，有提案在半導體晶片與基板間及複數半導體晶片間的連接，適用穿通插塞（連接插塞）或貫通介孔的堆疊型多晶片封裝體（參照例如日本特開平 10-223833 號公報）。

適用於半導體晶片間的連接等的連接插塞，具有例如利用在半導體基板形成貫通其表背兩面的貫通孔，且在該

(2)

貫通孔內充填金屬等的方法，而形成導電體層的構造。連接插塞與半導體基板表面之電極鉚墊的連接，可適用利用一般半導體製程的配線技術。

此外，構成連接插塞的導電體層、與半導體基板的表面或貫通孔的內面（側壁面）之間必須絕緣，而這些絕緣方式可使用利用 CVD 法（LPCVD 法）等形成的 SiO_2 層、 Si_3N_4 層或這些積層膜的無機絕緣物層。

然而，上述 SiO_2 層、 Si_3N_4 層等無機絕緣物層在技術上難以均勻地形成於貫通孔的內面，尤其會有難以形成厚膜的問題。因此，適用以往的半導體製程所形成的無機絕緣物層，係造成連接半導體晶片之表背兩面之連接插塞的絕緣可靠性降低的主要原因。

又，在貫通孔的內面形成無機絕緣層時，會有在技術上難以在貫通孔的內部充填金屬等導體的問題。關於這點，與一般穿通孔的形成同樣地，亦可考慮僅在貫通孔的壁面形成導體層，然而，此時，會有半導體晶片之機械強度降低的問題。

本發明係為因應此種課題而開發者，其目的在於提供一種使連接半導體基板之表背兩面間的導電體層及絕緣層的形成性提升，而達成形成本本的削減等，同時可提高構成連接插塞等的導電體層的絕緣可靠性之半導體裝置及其製造方法。

【發明內容】

(3)

本發明的第 1 樣態係半導體裝置，具備：具有貫通表背面之貫通孔的半導體基板；和形成於上述貫通孔內面的第 1 絕緣樹脂層；和形成於上述半導體基板的表面與背面之至少一面的第 2 絕緣樹脂層；和在上述貫通孔內，以至少連接上述半導體基板之表背兩面間的方式連續形成，且與上述貫通孔的內面藉由上述第 1 絕緣樹脂層絕緣的第 1 導電體層。

本發明的第 2 樣態係半導體裝置的製造方法，具備下列步驟：在表面側，於積體形成有元件的半導體基板上，照射雷射光而形成貫通孔的步驟；和在上述貫通孔內，充填絕緣樹脂的步驟；和在上述步驟所充填的絕緣樹脂，同心地形成直徑小於上述貫通孔的樹脂孔之步驟；和在上述樹脂孔的內面形成導電體層，且形成使上述半導體基板的表面與背面導通的穿通孔（through hole）導通部的步驟。

本發明之第 3 樣態係半導體裝置之製造方法，具備下列步驟：在半導體基板形成貫通孔的步驟；和在上述半導體基板的兩面，以樹脂面能夠抵接的方式來分別配置單面附銅箔樹脂片而層壓的步驟；和在上述半導體基板之上上述貫通孔的部分，形成直徑小於該貫通孔之小徑孔的步驟；和在上述小徑孔的內部形成導電體層，以將配置於上述半導體基板兩面的上述銅箔電性連接的步驟；和將上述銅箔實施配線加工的步驟。

本發明之第 4 樣態係半導體裝置之製造方法，具備下

(4)

列步驟：在半導體基板形成貫通孔的步驟；和包含上述貫通孔內以覆蓋上述半導體基板之表背兩面的方式形成多孔質絕緣樹脂層的步驟；和在上述多孔質絕緣樹脂層內，一邊將至少連接上述半導體基板之表背兩面間的導電體層，保持在與上述半導體基板之表背兩面及上述貫通孔之內面絕緣的狀態，一邊連續形成的步驟。

【實施方式】

根據本發明之一型態的半導體裝置及其製造方法，可較容易且以低成本獲得絕緣可靠性高的半導體裝置，該半導體裝置在貫通孔內具有經由與其內壁面密接性良好的絕緣樹脂層而絕緣的導電體層，且適用於積層・搭載複數半導體晶片的多晶片封裝體（multi chip package）等。

以下，說明用以實施本發明的型態。此外，以下的記載係依據圖面，說明實施型態，然而，這些圖面僅提供作為圖解，本發明並不限定於這些圖面。

第 1 圖係表示本發明之第 1 實施型態之半導體裝置的構成之剖面圖。該圖中，符號 1 係表示在表面，積體・形成有功能元件等的矽基板等半導體基板。亦即，半導體基板 1 的表面側係當作元件區域，且形成有用以連接積體元件部或各元件間的多層配線部（矽配線層）2 等。又，在半導體基板 1 的表面，形成有與其內部之多層配線部連接的 Al 電極（鐳墊）3。該半導體基板 1 具有貫通表背面的貫通孔 4。貫通孔 4 係藉由雷射的照射而形成者，貫通孔

(5)

4 的內面（側壁面）係由非晶質構造的矽所構成。

並且，在非晶質構造之矽所構成的貫通孔 4 的內面，形成有由第 1 絕緣樹脂構成的層 5。在此，就第 1 絕緣樹脂而言，可使用聚醯亞胺樹脂、苯并二環丁烯樹脂、環氧樹脂、苯酚樹脂、氰酸酯樹脂、雙馬來酸酐縮亞胺樹脂、雙馬來酸酐縮亞胺－三嗪樹脂、聚苯并噁唑（(polybenzoxazole)）、丁二烯樹脂、矽樹脂、聚碳二醯亞胺、聚氨酯樹脂等。

又，在半導體基板 1 之表面及背面的預定區域，分別形成有由第 2 絕緣樹脂構成的層 6。第 2 絕緣樹脂與上述第 1 絕緣樹脂亦可相同，亦可不同。

再者，在貫通孔 4 內的第 1 絕緣樹脂層 5 上、與貫通孔 4 的底部、及半導體基板 1 表面側的貫通孔 4 周圍，形成有 Ti、Ni、Cu、V、Cr、Pt、Pd、Au、Sn 等的導體層 7。又，在半導體基板 1 的背面側，於貫通孔 4 的端部，形成有背面電極 8。就構成背面電極 8 的導體而言，可使用 Ti、Ni、Cu、V、Cr、Pt、Pd、Au、Sn 等。如上所述，藉由形成於貫通孔 4 內的導體層 7，可形成將半導體基板 1 的表背電性連接的貫穿孔導通部（貫通介孔），經由該貫通介孔，連接半導體基板 1 表面的 Al 電極 3 與背面電極 8。

在以此方式構成的第 1 實施型態中，就覆蓋貫通孔 4 內面（側壁面）的絕緣材料而言，係使用絕緣樹脂（第 1 絕緣樹脂），故成本低且可較厚且穩定地形成絕緣厚度，

(6)

可確保良好的絕緣性與可靠性。

又，由於貫通孔 4 的側壁面係由非晶質構造的矽構成，且在其上形成有絕緣樹脂層（第 1 絕緣樹脂層 5），故該絕緣樹脂層與作為基材之矽的密接性良好。亦即，一般而言，矽與樹脂材料的密接性較差，故在矽基板上，在以 RIE（反應性離子蝕刻）等形成的貫通孔內，形成絕緣樹脂層時，因絕緣樹脂層及形成於其上的導體層與矽的熱膨脹係數的不同所產生的熱應力，容易使絕緣樹脂層產生剝離、龜裂等。然而，在第 1 實施型態的半導體裝置中，由於貫通孔 4 係藉由雷射照射形成，且貫通孔 4 的側壁面係非晶質構造的矽，故與絕緣樹脂層的密接性較高。因此，可獲得可靠性較高的導通部（貫通介孔）。

接著，參照第 2 圖至第 4 圖，說明關於上述第 1 實施型態之半導體裝置的製造方法之第 2 實施型態。在第 2 實施型態中，首先，如第 2A 圖所示，利用一般的半導體製程，準備形成有多層配線部（矽配線部）2 及與多層配線部連接的 Al 電極 3 等的半導體基板（矽晶圓）1，而該多層配線部係在表面連接積體元件部或各元件間，接著，在表面貼上 BSG 膠帶 9 後，進行背面研磨。此時，為了提升抗折強度，亦可在最後進行乾式拋光、RIE、CMP（化學機械式研磨）等的處理。

繼之，將表面的 BSG 膠帶 9 剝離後，如第 2B 圖所示，在背面貼上保持膠帶 10 後，在半導體基板 1 照射雷射而形成貫通孔 4。所照射的雷射，可使用例如波長 355 nm

(7)

的 YAG 雷射，然而雷射波長並不限定於此。在進行半導體基板 1 之孔的開設時，亦可連保持膠帶 10 一起開設孔，亦可在藉由雷射開設孔後，依需要進行洗淨。此外，爲了防備孔開設時的飛散物，亦可先在半導體基板 1 的表面形成保護膜，待孔開設完後，再去除該保護膜。

如第 2C 圖所示，從半導體基板 1 的表面側，印刷聚醯亞胺樹脂等絕緣樹脂 11，且在貫通孔 4 內充填絕緣樹脂 11。利用印刷方式之絕緣樹脂 11 的充填，亦可在真空中進行。在真空中進行印刷時，可使絕緣樹脂 11 中的空孔消失。又，絕緣樹脂 11 對於貫通孔 4 內的充填，亦可藉由滾筒塗佈 (roller coat) 方式進行。亦可在保持膠帶 10 開設孔，在保持膠帶 10 側貫通孔 4 敞開時，可容易且確實地將絕緣樹脂 11 充填於貫通孔 4 內。

如第 2D 圖所示，藉由研磨，去除被覆於半導體基板 1 表面的絕緣樹脂 11。該步驟係依需要進行。然後，貼上保持膠帶 10 後，將突出於背面的絕緣樹脂 11 加以切削。研磨，使半導體基板 1 的背面平坦。若絕緣樹脂 11 突出背面的量很少，該研磨亦可不進行。

接著，如第 2E 圖所示，在半導體基板 1 的表面，貼上保持膠帶 10 後，在背面形成絕緣樹脂膜 12。該絕緣樹脂可使用例如聚醯亞胺樹脂，且可利用旋轉塗佈或印刷形成膜。亦可利用滾筒塗佈方式或廉塗佈 (curtain coat) 方式形成。藉由採用塗佈液狀絕緣樹脂的方法，可以低成本形成絕緣樹脂膜 12，但亦可採用黏貼乾式薄膜的方法。

(8)

如第 3F 圖所示，將半導體基板 1 的背面經由接著劑（例如紫外線硬化型接著劑）13，接著於玻璃支持體 14 後，在充填於貫通孔 4 內的絕緣樹脂 11 照射雷射，同心地形成小徑的樹脂貫通孔 15。由於孔開設加工的對象為樹脂，故此時所使用的雷射亦可為 CO₂ 氣體雷射，亦可為 YAG 雷射。

又，使用感光性絕緣樹脂作為充填於貫通孔 4 內的絕緣樹脂 11 時，亦可藉由曝光・顯影，形成樹脂貫通孔 15。採用任一種方法時，與 CVD 法相比較，均可容易地在貫通孔 4 內形成充分厚度的絕緣樹脂層。此外，存在於半導體基板 1 表面之 Al 電極 3 上的絕緣樹脂，亦可在樹脂貫通孔 15 形成時加以去除，或另依需要加以去除。

如第 3G 圖所示，在半導體基板 1 的表面及樹脂貫通孔 15 的側壁面與底部，利用無電解電鍍形成 Ti、Ni、Cu、V、Cr、Pt、Pd、Au、Sn 等導體金屬的層（播種層金屬）16。可使用蒸鍍法或濺鍍法，來取代無電解電鍍法。利用蒸鍍法或濺鍍法，可形成更良好的導體金屬層 16。

如第 3H 圖所示，在半導體基板 1 表面所形成的導體金屬層 16 上，形成阻劑層後，加以曝光・顯影，而形成阻劑圖案 17。然後，以在先前步驟形成的導體金屬層 16 作為電極，形成 Ni/Cu、Cu、Cu/Ni/Au 等的電解電鍍層 18。接著，如第 3(I) 圖所示，將阻劑圖案 17 剝離後，利用蝕刻將作為電極使用的導體金屬層 16 加以去除。以此方式，在半導體基板 1 表面的預定區域與樹脂貫通孔

(9)

15 的側壁面及底部，形成積層有導體金屬層 16 與電解電鍍層 18 的導電體層 19。

然後，如第 4J 圖所示，依需要，利用塗佈或黏貼方式在表面形成保護膜（配線保護膜）20，加以曝光・顯影，而形成開口部。保護膜 20 的形成，可利用塗佈液狀物的方法，亦可利用黏貼薄膜的方法。形成保護膜 20 時，需要平坦性時，亦可藉由形成保護膜 20 的樹脂來埋設樹脂貫通孔 15。又，亦可事先用其他的樹脂埋設樹脂貫通孔 15 後，再形成保護膜 20。

導體金屬層 16 為 Ni/Cu、Cu 層時，藉由無電解電鍍在保護膜 20 的開口部形成 Au、Ni/Au 等的導體層 21。該導體層 21 可當作品片積層時的連接電極使用，故亦可形成於貫通孔 4 上，亦可形成於貫通孔以外的場所。當連接方式使用錐劑時，保護膜 20 具有阻錐劑之功能。就取代保護膜 20 而言，亦可採用塗佈或黏貼阻劑，加以曝光・顯影，形成圖案後，導體金屬層 16 為 Ni/Cu、Cu 層時，藉由無電解電鍍，形成 Au、Ni/Au 等的導體層 21。這時，就不需要阻錐劑。

繼之，如第 4K 圖所示，在半導體基板 1 的表面，貼上玻璃支持體 14，經由接著劑 13 接著後，導體金屬層 16 為 Ni/Cu、Cu 層時，在背面的貫通孔部，形成 Au、Ni/Au 的無電解電鍍層 22。以此方式，形成背面電極。

然後，將玻璃支持體 14 剝離，如第 4L 圖所示，依需要在背面貼上切割膠帶 23 後，進行切割等的處理。以此

(10)

方式，可獲得僅在半導體基板 1 的表面形成再配線層，且在貫通孔 4 上具有與其他晶片連接的電極之半導體裝置。

根據以此方式構成的第 2 實施型態，可製造適用於積層複數半導體晶片之構造之可靠性高的半導體裝置。而且，由於不需使用 RIE 等高價的裝置，而且遮罩曝光，顯影步驟較少，所以可以低成本獲得半導體裝置。

此外，在半導體基板 1 形成貫通孔 4 係藉由雷射照射來進行，由於貫通孔 4 的側壁面係以非晶質構造的矽構成，所以與充填於貫通孔 4 內之絕緣樹脂 11 的密接性較高。再者，貫通孔 4 的側壁面係被到達半導體基板 1 背面的絕緣樹脂 11 確實地覆蓋，藉由該絕緣樹脂 11 可確保構成貫通孔 4 之側壁面的矽與內側的導體金屬層 16 的絕緣，故可形成可靠性高的貫通介孔（導通部）。

繼之，說明本發明之其他的實施型態。第 5 圖係表示第 3 實施型態之半導體裝置的剖面圖。第 5 圖中，符號 24 係表示背面側的配線層。該配線層 24 具有在導體金屬層（播種層金屬）上，積層形成 Ni/Cu、Cu、Cu/Ni/Au 等的電解電鍍層的構造。又，符號 25 係表示 Au、Ni/Au 等的無電解電鍍層，26 係表示保護膜（配線保護樹脂膜）。第 5 圖中，與第 1 圖所示之第 1 實施型態相同的部分，係附註相同的符號，以省略說明。

如第 5 圖所示，在第 3 實施型態的半導體裝置中，不只是在半導體基板 1 的表面，在背面亦形成有配線層 24，在半導體基板 1 的背面，於從貫通介孔拉引出的配線層

(11)

24 上，形成有與其它半導體裝置連接的電極。

製造第 3 實施型態的半導體裝置時，係與第 2 實施型態同樣，依序進行第 2A 圖至第 4J 圖所示的步驟後，在半導體基板 1 的表面，貼上玻璃支持體。接著，利用無電解電鍍或蒸鍍或濺鍍法，在包含貫通孔 4 部之半導體基板 1 的背面整體，形成導體金屬層（播種層金屬）

然後，在該半導體金屬層上形成阻劑，加以曝光・顯影後，以導體金屬層作為電極，形成 Ni/Cu、Cu、Cu/Ni/Au 等的電解電鍍，將阻劑剝離後，利用蝕刻去除當作電極使用的導體金屬層。然後，在面形成保護膜，加以曝光・顯影，形成開口部後，利用無電解電鍍在開口部形成 Au、Ni/Au 等的層。由於該無電解電鍍層係作為晶片積層時的連接電極使用，故亦可形成於貫通孔上，亦可形成於貫通孔以外的場所。

繼之，將玻璃支持體剝除，進行切割等的處理。以此方式，可獲得不僅在矽晶圓的表面，在背面亦可形成再配線，且在從貫通介孔拉引出的配線上形成有與其他半導體晶片連接的電極之半導體裝置。

此外，有記載在第 2 實施型態及第 3 實施型態之半導體裝置的製造步驟中，利用半加成法（semi additive method）在半導體基板的表面及背面形成配線的例子，而亦可利用全加成法（fully additive method）或減去法（subtract method）形成配線層，來取代半加成法。又，在第 3 實施型態的製造步驟中，在半導體基板 1 一邊的面（

(12)

表面)黏貼玻璃支持體，而形成導體金屬層(播種層金屬)，與第3H圖及第3I圖所示的步驟同樣地，形成阻劑，以形成配線圖案，然後，在半導體基板1另一邊的面(背面)貼上玻璃支持體，同樣地形成配線圖案，然而，亦可在沒有使用玻璃支持體的情況下進行。此時，可在形成貫通孔後，於半導體基板的兩面與貫通孔的側壁面，依序或同時藉由電鍍形成導體金屬層。亦可依序或同時在兩面進行阻劑形成，再藉由電鍍同時在半導體基板的兩面形成配線層。此時，亦可在配線層形成的同時，藉由電鍍在貫通孔的側壁面形成導體層。該方法中，具有可以更少的步驟(電鍍步驟)，進行貫通介孔之導體層及配線層的形成之優點。

繼之，說明關於本發明之其他的實施型態。

第6圖係表示本發明之第4實施型態之半導體裝置的構成之剖面圖。第6圖中，符號31係矽晶圓之類的半導體基板，其表面側當作元件區域，且形成有連接積體元件部或各元件間的多層配線部32。又，在半導體基板31的表面形成有與多層配線部32連接且利用作為與外部的信號傳達等的電極銲墊33。再者，在半導體基板31形成有貫通表背的貫通孔34。在具有貫通孔34之半導體基板31的表背兩面，以令樹脂面抵接的方式來分別層壓單面附銅箔樹脂片，且在貫通孔34之內面(側壁面)及半導體基板31的表背兩面，被覆有由層壓的單面附銅箔樹脂片形成的絕緣樹脂層35。

(13)

接著，在半導體基板 31 之表背兩面所形成的絕緣樹脂層 35 外側形成有配線層 36。該配線層 36 具有將單面附銅箔樹脂片的銅箔施以圖案加工而形成的銅箔圖案層、和形成於其上之鍍銅層的兩層構造。在鍍銅層上，亦可再形成 Ni/Au 等的電鍍層。再者，在貫通孔 34 內部的絕緣樹脂層 35 上，以連接半導體基板 31 兩面之配線層 36 的方式，形成有銅等的導電體柱 37。第 6 圖中，符號 38 係表示形成於貫通孔 34 內部所配置的絕緣樹脂層 35 且直徑小於貫通孔 34 的樹脂孔。又，符號 39 係表示形成於電極鉚墊 33 部分之絕緣樹脂層 35 的開口內的導電體（銅）。

在以此方式構成之第 4 實施型態的半導體裝置中，絕緣樹脂層 35 及配線層 36 係使用單面附銅箔樹脂片形成者，且藉由印刷基板用之較低成本的構件構成。此外，由於配線層 36 係為將單面附銅箔樹脂片的銅箔施以圖案加工而形成的銅箔圖案層、和形成於其上之鍍銅層的兩層構造，故與下層之絕緣樹脂層 35 的密接強度較大，且耐衝擊性等良好。亦即，藉由單面附銅箔樹脂片之層壓所形成的銅箔圖案層，在與絕緣樹脂層 35 的界面具有多數的微細凹凸，故與於直接形成於絕緣樹脂層 35 上的鍍銅層相比較，與下層的密接強度較大。具體而言，相對於鍍銅層之 90℃ 剝離實驗的測定值為 0.6 至 0.8 Kgf/cm，藉由層壓所形成之銅薄層的測定值為 1.5 Kgf/cm，大幅增加。

再者，根據本實施型態之半導體裝置，如第 7 圖所示

(14)

，可簡單地實現將複數半導體裝置（半導體晶片）71、72、73積層於縱向而構成的省空間的半導體積層封裝體（堆疊型多晶片封裝體）70。就此種半導體積層封裝體70而言，可例舉：複數記憶晶片的積層封裝體、記憶與邏輯的積層封裝體、使用感測器晶片的模組之積層封裝體等。

參照第8圖，說明上述第4實施型態之半導體裝置之製造方法的第5實施型態。根據該實施型態，首先如第8A圖所示，在表面側具有元件部或多層配線部（矽配線層）32，且在形成有電極鉚墊33的半導體基板31上，例如照射雷射而形成貫通孔34。貫通孔34的形成位置在半導體基板31（半導體晶片）上的任一處皆可，可形成於適合與其它的封裝體或零件連接的位置。又，雖然貫通孔34孔徑的界限值會隨著半導體基板31的厚度而改變，但約為0.02至0.1 mm左右。

如第8B圖所示，在半導體基板31的兩面，將單面附著有銅箔40的絕緣樹脂41片（單面附銅箔樹脂片），以其樹脂面能夠抵接的方式從兩側夾住而層壓，並在半導體基板31的兩面分別被覆絕緣樹脂41，同時在貫通孔34內充填絕緣樹脂41。該層壓步驟係與印刷配線板的製造步驟同樣地，藉由真空熱沖壓來進行。第4實施型態中，使用例如樹脂厚約 $30\ \mu\text{m}$ 且銅箔厚為 $12\ \mu\text{m}$ 的單面附銅箔樹脂片。

繼之，如第8C圖所示，在貫通孔34內部所充填的絕緣樹脂41上，形成直徑小於貫通孔34的樹脂孔38，同

(15)

時在半導體基板 31 上的電極銲墊 33 上部的絕緣樹脂 41 形成開口 33a。該絕緣樹脂 41 的開口處理，亦即，樹脂孔 38 及開口 33a 的形成，可使用雷射加工機。樹脂孔 38 的直徑為例如約 $70\ \mu\text{m}$ 。又，本實施型態中，樹脂孔 38 係為僅單側（表面側）開口的非貫通孔，但亦可為半導體基板 31 之兩面側的銅箔 40 開口的貫通孔。

接著，在樹脂孔 38 內與電極銲墊 33 上的開口 33a 內及銅箔 40 上，電鍍銅等的導體。如第 8D 圖所示，藉由該電鍍處理，可在樹脂孔 38 內形成導電體柱 37。此外，在半導體基板 31 的表背兩面，藉由銅箔 40 與積層，形成於其上的鍍銅層，形成配線形成用的導體層 42。本實施型態中，係進行將樹脂孔 38 內及開口 33a 內完全埋設的電鍍處理，然而，亦可如後所述僅在樹脂孔 38 的側壁面及底部，形成鍍銅層。

如第 8E 圖所示，在形成於半導體基板 31 之表背兩面的配線形成用導體層 42 的預定部位，形成蝕刻阻劑（*etching resist*）43。然後，如第 8F 圖所示，以該蝕刻阻劑 43 作為遮罩，進行配線形成用導體層 42 的蝕刻處理，而形成預定圖案的配線層 36。然後，如第 8G 圖所示，去除蝕刻阻劑 43，即為完成狀態。此外，實際的製造步驟係在半導體晶圓的狀態進行，成為上述完成狀態後，加以切割，即為各晶片的完成品。

如上所述，在第 4 及第 5 實施型態中，可利用與印刷配線板之製造方法大致相同的方法，來加工在半導體基板

(16)

31 形成貫通孔 34 之步驟以外的步驟，且可比以往簡單且以低成本來製造半導體裝置。

第 9 圖係表示本發明之第 6 實施型態之半導體裝置的構成之剖面圖。第 9 圖中，與第 6 圖所示之半導體裝置相同的部分，係附註相同的符號，以省略說明。第 6 實施型態之半導體裝置係形成上述樹脂孔 38a 內及開口 33a 內沒有被導體電鍍層完全埋設的構造。亦即，僅在樹脂孔 38 內及開口 33a 內的側壁面及底部形成導體電鍍層，而藉由形成於樹脂孔 38 內的管狀導電體部 42a，半導體基板 31 兩面的電極得以電性連接。

第 6 實施型態之半導體裝置係經由第 10 圖所示的各步驟製造者。第 10A 至 10G 圖係表示第 7 實施型態之半導體裝置之製造步驟的剖面圖。第 10 圖中，在與第 8 圖所示之半導體裝置之製造步驟對應的部分，係附註相同的符號，以省略說明。該半導體裝置的製造步驟中，僅第 10D 圖所示的電鍍處理步驟與第 8 圖所示之第 5 實施形態不同，藉由控制電鍍條件，僅在樹脂孔 38 內及開口 33a 內的側壁面及底部形成導體電鍍層 44。在此種半導體裝置的製造方法中，可比以往簡單且以低成本來製造半導體裝置。

第 11 圖係表示本發明之第 8 實施型態之半導體裝置的構成之剖面圖。第 11 圖中，與第 6 圖所示之半導體裝置相同的部分，係附註相同的符號，以省略說明。第 8 實施型態之半導體裝置中，形成不僅在樹脂孔 38 內藉由電

(17)

鍍處理形成導電體部，在樹脂孔 38 內亦充填有導電性樹脂 45 的構造。藉由該導電性樹脂 45 的充填層，半導體基板 31 兩面的電極得以電性連接。

第 8 實施型態的半導體裝置係經由第 12 圖所示的各步驟製造者。第 12A 至 12H 圖係表示第 9 實施型態之半導體裝置的製造步驟之剖面圖。該實施型態中，進行第 12D 圖所示之在樹脂孔 38 內充填導電性樹脂 45 的步驟，與第 12E 圖所示之表面側導電性樹脂 45 的研磨步驟，來取代第 8D 圖所示之電鍍處理步驟。其它各步驟，則與第 8 圖所示之第 5 實施型態的步驟相同。藉由此種半導體裝置的製造方法，亦可比以往簡單且以低成本製造半導體裝置。

第 13 圖係表示本發明之第 10 實施型態之半導體裝置的構成之剖面圖。該圖所示的半導體裝置 51 具有藉由一般的半導體製程，形成有演算元件部、記憶元件部或感測元件部等功能元件部等的半導體基板（矽基板等）52。亦即，半導體基板 52 的表面 52a 側當作元件區域，且形成有用以連接省略圖示之積體元件部或各元件部間的多層配線部等。又，在半導體基板 52 的表面 52a，形成有與內部之多層配線部連接的電極 53。

在此種半導體基板 52 的外周部，形成有具有例如 20 至 100 μm 左右之直徑的貫通孔 54。亦即，半導體基板 52 具有連接其表面 52a 與背面 52b 之間的貫通孔 54。在貫通孔 54 內充填有多孔質絕緣樹脂層 55，再者，多孔質

(18)

絕緣樹脂層 55 係以從貫通孔 54 內連續而覆蓋半導體基板 52 之表面兩面 52a、52b 的方式形成。

該多孔質絕緣樹脂層 55 可適用例如：使低沸點液體、高壓充填的氮或二氧化碳等分散於樹脂中後，加熱而形成氣泡的方法；使分散於樹脂中的發泡劑進行加熱、熱分解，而產生氣體而形成氣泡的方法；或使與聚合性單體非相溶性的有機化合物等分散於聚合性單體中，使聚合單體硬化後，去除非相溶性有機化合物，而形成微小空孔的方法等各種週知的多孔質化法來形成。

此外，多孔質絕緣樹脂層 55 的形成材料並無特別的限定，依據多孔質化的方法等，可使用各種絕緣性樹脂（有機絕緣物）。可例舉使用聚醯亞胺樹脂形成的多孔質絕緣樹脂層 55，作為一例。

又，多孔質絕緣樹脂層 55 具有微細的空孔呈三次元連通的內部狀態，俾可在其內側的空孔面將後述的導電體層連續形成。以獲得此種內部裝置狀態，且多孔質絕緣樹脂層 55 的空孔度（空孔容積相對於絕緣樹脂層之外觀上的體積的比例）位在 40 至 90% 的範圍為佳。當多孔質絕緣樹脂層 55 的空孔度未滿 40% 時，會有空孔的連通狀態降低，且導電體層成為非連續狀態之虞。另一方面，當空孔度超過 90% 時，會有孔質絕緣樹脂層 55 本身的強度等受損，而無法維持層狀態或充填狀態之虞。

在上述多孔質絕緣樹脂層 55 內，選擇性地形成導電體層 56。亦即，在多孔質絕緣樹脂層 55 內之空孔的內表

(19)

面（形成有空孔的樹脂表面），利用無電解電鍍等方法使例如銅或鋁等導電性金屬析出，藉以選擇性地形成連續的導電體層 56。

此種導電體層 56 具有導電體柱部 56a，該導電體柱部 56a 係連續地形成於存在於貫通孔 54 內的多孔質絕緣樹脂層 5 內部，以連接半導體基板 32 的表背面 52a、52b 間。存在於貫通孔 54 內的此種導電體柱部 56a 具有用以連接半導體元件 51 之表背面 52a、52b 間的連接插塞功能。

在此，導電體柱部 56a 必須與由半導體基板 52 之構成材料之矽等構成的貫通孔 54 的內面（側壁面）絕緣。於此，導電體柱部 56a 係以選擇性地形成在與貫通孔 54 的內面分離例如 $1\ \mu\text{m}$ 以上的位置為佳。換言之，在導電體柱部 56a 與貫通孔 54 的內面之間，存在有未充填導電體的多孔質絕緣樹脂層 55，且該未充填的多孔質絕緣樹脂層 55 具有絕緣層的功能。

導電體柱部 56a 藉由適用後述選擇的電鍍法等，可以任意深度形成於多孔質絕緣樹脂層 55 內的任意位置。因此，可使在導電體柱部 56a 與貫通孔 54 的內面間具有絕緣層功能的多孔質絕緣樹脂層 55，以任意的厚度（例如 $1\ \mu\text{m}$ 以上）再現性良好地存在。因此，可使導電體柱部 56a 的絕緣可靠性提升。

再者，導電體層 56 具有從存在於貫通孔 54 內的導電體柱部 56a 連續，而形成於覆蓋半導體基板 52 之表面

(20)

52a 之多孔質絕緣樹脂層 56 內部的部分 56b。該表面側的導電體層 56b 係將貫通孔 54 內的導電體柱部 56a 與電極 53 電性連接的部分，且對應所期望的配線圖案而形成。

表面側的導電體層 56b 亦與貫通孔 54 內同樣地，係以形成於從半導體基板 52 的表面 52a 分離例如 $1\mu\text{m}$ 以上的位置為佳。由於導電體層 56 係如上所述可形成於多孔質絕緣樹脂層 55 的任意深度區域，故可令具有絕緣層功能之多孔質絕緣樹脂層 55 再現性良好地存在於表面側導電體層 56b 與半導體基板 52 的表面 52a 之間。因此，就表面側導電體層 56b 而言，可提升對於半導體基板 52 之表面 52a 的絕緣可靠性。

關於表面側導電體層 56b 與電極 53 的連接部，藉由僅在該部分加深導電體層 56b 在多孔質絕緣樹脂層 55 的形成區域，不須經由複雜的步驟，即可容易且確實地獲得良好的電性連接。再者，在半導體基板 52 的背面 52b 側，形成有作為與其他半導體裝置或配線基板等的連接部之連接面 (land) 狀的導電體層 56c。該背面側的導電體層 56c 亦以形成於從半導體基板 52 的背面 52b 分離例如 $1\mu\text{m}$ 以上的位置為佳。此外，半導體基板 52 的背面 52b 側，亦可為貫通孔 54 內的導電體柱部 56a 保持原樣存在的狀態。

形成有導電體層 56 的多孔質絕緣樹脂層 55，在保持原樣狀態下亦可提供作為半導體裝置 51 的實用，然而，由於未充填有導電體層 56 的部分，其機械強度較低，故

(21)

以在多孔質絕緣樹脂層 55 的空孔整體，充填第 2 絕緣樹脂，使之硬化為佳。埋設多孔質絕緣樹脂層 55 之空孔內的第 2 絕緣樹脂，係藉由例如適用壓入或真空含浸等，充填清漆狀熱硬化性樹脂組成物，進行熱處理等，使之硬化而形成者。以此方式，藉由以第 2 絕緣樹脂埋設多孔質絕緣樹脂層 55 內的剩餘空孔，可保持半導體裝置 51 的強度。

如上所述，在多孔質絕緣樹脂層 55 內，選擇性地形成從半導體基板 52 之表面 52a 側的電極 53 經由貫通孔 54 內至背面 52b 的導電體層 56 (56a、56b、56c)，而該導電體層 56 具有將表面 52a 側之電極 53 的配線圍繞於背面 52b 之配線層的功能。此外，對於半導體基板 52 之表背面 52a、52b 或貫通孔 54 內面 (側壁面) 的絕緣，係藉由多孔質絕緣樹脂層 55 維持，故導電體層 56 作為半導體裝置 51 內的配線層可靠性優良。再者，可有效地抑制因配線層之絕緣不良等所致之良率的降低或動作特性的降低等。這些形成步驟亦如後所述，相較於以往的半導體製程可大幅簡單化與低成本化。

連接半導體基板 52 之表背面 52a、52b 間的導電體層 56，在例如構成積層複數半導體裝置 51 而密封的堆疊型多晶片封裝時，具有半導體裝置間或半導體裝置與配線基板間之連接插塞的功能。就堆疊型多晶片封裝而言，可例舉積層有複數記憶元件的多晶片模組、或積層有邏輯元件與記憶元件的系統 LSI 模組等。

(23)

絕緣樹脂層 55。多孔質絕緣樹脂層 55 係以如下的方式形成。

首先，將清漆狀的多孔質層形成用絕緣樹脂組成物，塗佈及充填於半導體基板 52 的表背兩面 52a、52b 及貫通孔 54 內。藉由對於此種絕緣樹脂組成物的塗佈・充填，適用例如將分散於絕緣樹脂組成物中的非相溶性有機化合物等加以去除的步驟（多孔質化步驟）等，得以使絕緣樹脂組成物硬化，同時多孔質化。以此步驟獲得的多孔質絕緣樹脂層 55，例如有多孔質聚醯亞胺樹脂層。多孔質絕緣樹脂層 55 的空孔度係如上所述以位在 40 至 90% 的範圍為佳。

在此，形成多孔質絕緣樹脂層 55 時，對於貫通孔 54 內的充填需要較多的清漆狀絕緣樹脂組成物，與半導體基板 52 之表背面 52a、52b 的平坦部分相比較，樹脂量會有不足的傾向，會有在該部分產生缺陷而損害平坦性的情形。再者，使清漆狀絕緣樹脂組成物硬化時的硬化收縮，也會產生同樣的現象。如上所述，在與多孔質絕緣樹脂層 55 的貫通孔 54 相當的部分產生凹陷而損害平坦性時，與其他半導體裝置或配線基板等連接時會有產生不良情形之虞。

在此，如第 16 圖所示，以將在與貫通孔 54 相當的部分產生凹陷之多孔質絕緣樹脂層 55 的表面施以研磨處理，予以平坦化為佳。第 16 圖中，S 係表示研磨處理。或者，如第 17 圖所示，以藉由將清漆狀絕緣樹脂組成物的

(24)

塗佈、硬化處理重複進行複數次，將多孔質絕緣樹脂層 55 平坦化爲佳。第 17 圖中，符號 55a 係表示第 1 次處理所形成的多孔質絕緣樹脂層，55b 係表示第 2 次處理所形成的孔質絕緣樹脂層。多孔質絕緣樹脂層 55 的平坦性，以設定成與貫通孔 54 相當部分的凹陷深度相對於平坦部爲 $2\ \mu\text{m}$ 以下爲佳。

將多孔質絕緣樹脂層 55 用感光劑處理後，如第 15C 圖所示，對應要形成之導體層 56 的狀態，將多孔質絕緣樹脂層 55 曝光。圖中的箭號係表示曝光用的光。利用感光劑的處理係藉由將例如具有多孔質絕緣樹脂層 55 的半導體基板 52 浸漬於感光劑的溶液後，使之乾燥來實施。藉由此種處理，可在包含多孔質絕緣樹脂層 55 內部之空孔表面的整體，塗佈感光劑。此外，由於感光劑可極薄地塗佈於空孔的內表面，故可維持多孔質狀態。

多孔質絕緣樹脂層 55 的曝光處理，就例如貫通孔 54 的部分，係以貫通表背面 52a、52b 間的方式，在厚度方向整體曝光。此時，控制曝光的區域，使曝光部分僅與貫通孔 54 的內面（側壁面）分離預定距離（例如 $1\ \mu\text{m}$ 以上）。又，關於半導體基板 52 之表面 52a 側的配線圖案部及背面 52b 側的連接面部，係以曝光至多孔質絕緣樹脂層 55 之預定深度的方式處理。換言之，係以在僅與各面 52a、52b 分離預定距離（例如 $1\ \mu\text{m}$ 以上）的位置施行曝光的方式處理。對於電極 53 的連接部亦是同樣的，係以曝光部到達電極 53 的方式進行處理。曝光的深度可藉由

(25)

曝光量（光的照射量）來控制。

此種曝光處理係對應各區域（連接插塞部、配線圖案部、對電極的連接部、連接面部等），藉由使用可控制光透過量的遮罩，可將多孔質絕緣樹脂層 55 的各區域一次處理。例如，使用在貫通孔 54 的部分光可全透過，且在表背面 52a、52b 的配線圖案部或連接面部光可半透過的遮罩，將已進行感光處理的多孔質絕緣樹脂層 55 曝光。接著，以在多孔質絕緣樹脂層 55 的曝光部分析出電鍍的方式，進行活性化處理。多孔質絕緣樹脂層 55 的活性化對於曝光部分係選擇性地進行。

然後，將具有依序實施感光處理、曝光處理、活性化處理之多孔質絕緣樹脂層 55 的半導體基板 52，浸漬於例如無電解鍍銅液。在該電鍍處理步驟中，由於銅等的電鍍金屬僅在多孔質絕緣樹脂層 55 的曝光與活性化處理的部分析出，故例如貫通孔 54 的部分係以連接表背面 52a、52b 間的方式，形成鍍銅層等的導電體層（導電體柱部 56a）。又，半導體基板 52 的表面 52a 及背面 52b 係分別對應配線圖案或連接面形狀，而形成鍍銅層等的導電體層 56a、56c。

以此方式，在貫通孔 54 的內面或半導體基板 52 的表背面 52a、52b 之間，形成介存預定厚度的絕緣層（未充填導電體的多孔質絕緣樹脂層 55），且連接半導體基板 52 的表背面 52a、52b 間等的導電體層 56。導電體層 56 形成後，依據需要，進行在多孔質絕緣樹脂層 55 的剩餘

(26)

空孔內充填第 2 絕緣樹脂，使之硬化的步驟。第 2 絕緣樹脂對於多孔質絕緣樹脂層 55 的充填步驟係如上所述可適用壓入或真空含浸等來實施。

根據此第 11 實施型態之半導體裝置的製造方法，可在多孔質絕緣樹脂層 55 內選擇性地形成導電體層 56，故藉由多孔質絕緣樹脂層 55 可良好地維持對於貫通孔 54 的內面或半導體基板 52 之表背面 52a、52b 的絕緣，而且可將導電體層 56 含貫通孔 54 在內以良好精確度形成所期望的圖案。再者，由於導電體層 56 及絕緣層（未充填有導體的多孔質絕緣樹脂層 55）的形成步驟，可藉由絕緣樹脂的塗佈或電鍍等的簡單步驟來實施，故可以低成本形成導電體層 56 及絕緣層。此等構成有助於半導體裝置 51 之製造成本的降低、與可靠性的提升，而該半導體裝置 51 具有用以連接半導體基板 52 之表背面 52a、52b 間的導電體層 56。

繼之，參照第 18 圖，說明關於適用本發明之半導體裝置之堆疊型多晶片封裝。該實施型態的半導體裝置（半導體封裝體）60 具有配線基板 61 作為搭載基板。配線基板 61 可適用樹脂基板或陶瓷基板等各種基板。樹脂基板可使用一般的多層印刷配線板等。在配線基板 61 的下面側，形成有金屬凸塊等的外部連接端子 62。另一方面，在配線基板 61 的上面側，設有介由省略圖示的內部配線與外部連接端子 62 電性連接的電極部 63。

在配線基板 62 的元件搭載面（上面），積層搭載有

(28)

的技術範圍。

【圖式簡單說明】

本發明係參照圖面而記述者，這些圖面僅提供作為圖解，無意用以限定發明。

第 1 圖係表示本發明之第 1 實施型態之半導體裝置的構成之剖面圖。

第 2 圖係表示本發明之第 2 實施型態之半導體裝置之製造方法的前半段步驟之剖面圖。

第 3 圖係表示本發明之第 2 實施型態之半導體裝置之製造方法的中間步驟之剖面圖。

第 4 圖係表示本發明之第 2 實施型態之半導體裝置之製造方法的後半段步驟之剖面圖。

第 5 圖係表示本發明之第 3 實施型態之半導體裝置的構成之剖面圖。

第 6 圖係表示本發明之第 4 實施型態之半導體裝置的構成之剖面圖。

第 7 圖係表示使用本發明之第 4 實施型態之半導體裝置之積層封裝體的構成之剖面圖。

第 8 圖係表示本發明之第 5 實施型態之半導體裝置的製造步驟之剖面圖。

第 9 圖係表示本發明之第 6 實施型態之半導體裝置的構成之剖面圖。

第 10 圖係表示本發明之第 7 實施型態之半導體裝置

(29)

的製造步驟之剖面圖。

第 11 圖係表示本發明之第 8 實施型態之半導體裝置的構成之剖面圖。

第 12 圖係表示本發明之第 9 實施型態之半導體裝置的製造步驟之剖面圖。

第 13 圖係表示本發明之第 10 實施型態之半導體裝置的構成之剖面圖。

第 14 圖係表示第 13 圖所示之半導體裝置的變形例之剖面圖。

第 15 圖係表示本發明之第 11 實施型態之半導體裝置的製造步驟之剖面圖。

第 16 圖係表示第 15 圖所示之半導體裝置之製造步驟的多孔質絕緣樹脂層的形成步驟的一例之剖面圖。

第 17 圖係表示第 15 圖所示之半導體裝置之製造步驟的多孔質絕緣樹脂層的形成步驟的其他例之剖面圖。

第 18 圖係表示適用本發明之第 10 實施型態之半導體裝置之堆疊型多晶片構造的半導體裝置的一例之剖面圖。

【主要元件符號說明】

1、31、52：半導體基板

2、32：多層配線部

3：Al 電極

4、34、54：貫通孔

5：第 1 絕緣樹脂層

(30)

6：第 1 絕緣樹脂所構成的層

7、21、38、42：導體層

8：背面電極

9：BSG 膠帶

10：保持膠帶

11：絕緣樹脂

12：絕緣樹脂膜

13：接著劑

14：玻璃支持體

15：樹脂貫通孔

16：導體金屬層

17：阻劑圖案

18：電解電鍍層

19、56：導電體層

20、26：保護膜

22、25：無電解電鍍層

23：切割膠帶

24、36：配線層

33：電極銲墊層

35：絕緣樹脂層

37：銅等的導電體柱

38：樹脂孔

51、71、72、73：半導體裝置（半導體晶片）

40：銅箔

(31)

44 : 導體電鍍層

45 : 導電性樹脂

52a : 半導體基板的表面

52b : 半導體基板的背面

53 : 電極

55 : 多孔質絕緣樹脂層

56a : 導電體柱部

56b : 表面側導電體層

56c : 連接面狀的導電體層

60 : 半導體封裝體

61 : 配線基板

62 : 外部連接端子

63 : 電極部

五、中文發明摘要

發明名稱：半導體裝置的製造方法

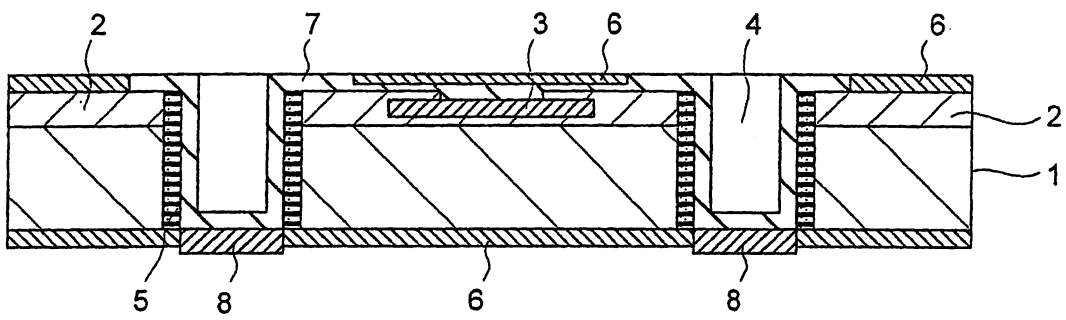
本發明之半導體裝置，具備：具有貫通孔的半導體基板；和形成於上述貫通孔內面的第1絕緣樹脂層；和形成於上述半導體基板的表背面之至少一面的第2絕緣樹脂層；和在上述貫通孔內，以至少連接上述半導體基板之表背兩面的方式連續形成，且與上述貫通孔的內面藉由上述第1絕緣樹脂層絕緣的第1導電體層。在第2絕緣樹脂層上，可具備與貫通孔內之第1導電體層電性連接的第2導電體層（配線圖案）。

可獲得形成於貫通孔內且構成連接插塞等的導電體層的絕緣可靠性較高，且適用於多晶片封裝（multi chip package）等的半導體裝置。又，連接半導體基板之表背間的導電體層及絕緣層的形成性較高，且可削減形成成本。

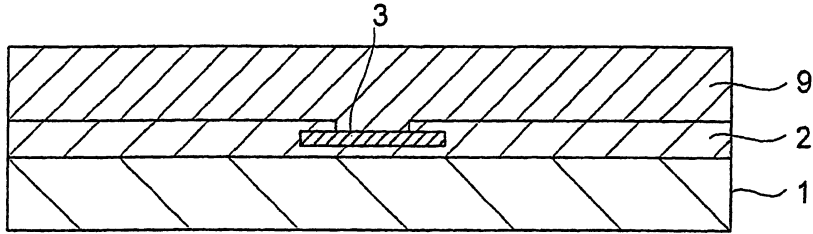
六、英文發明摘要

發明名稱：

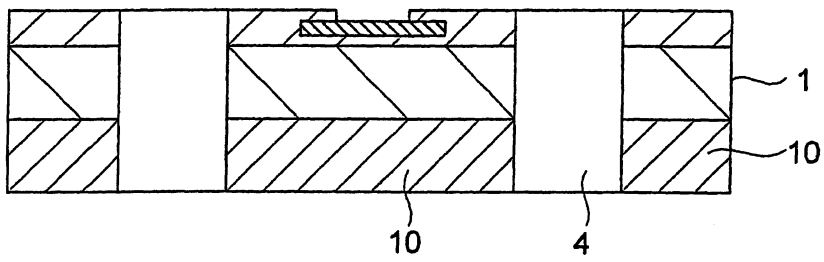
第1圖



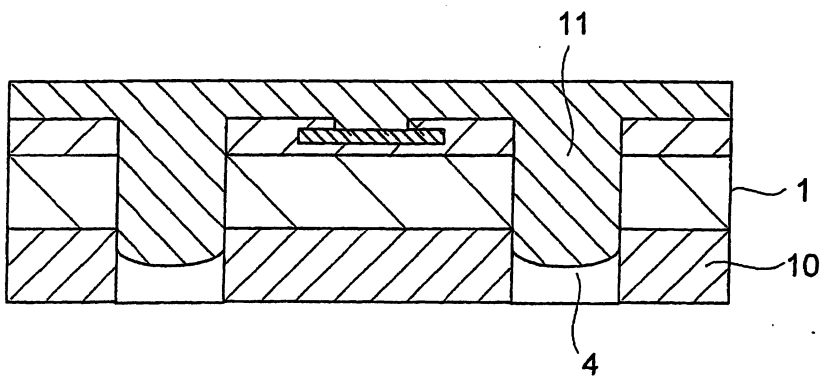
第2A圖



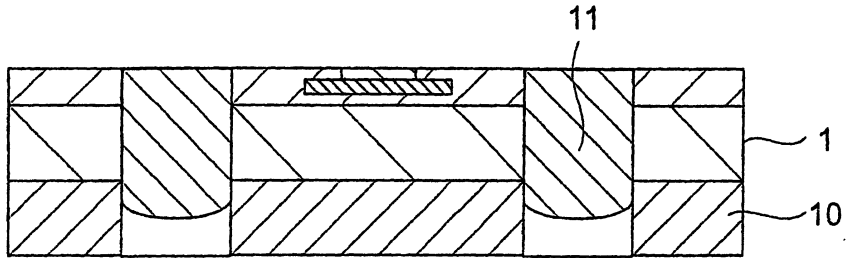
第2B圖



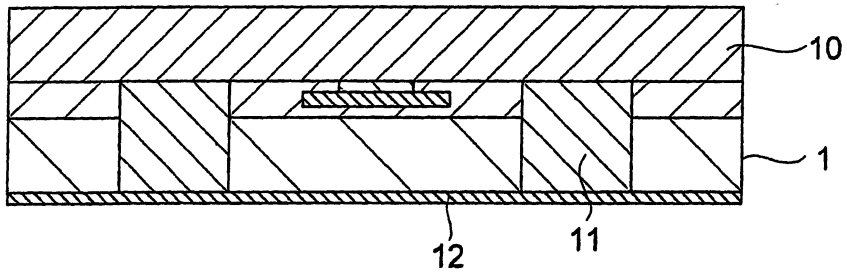
第2C圖



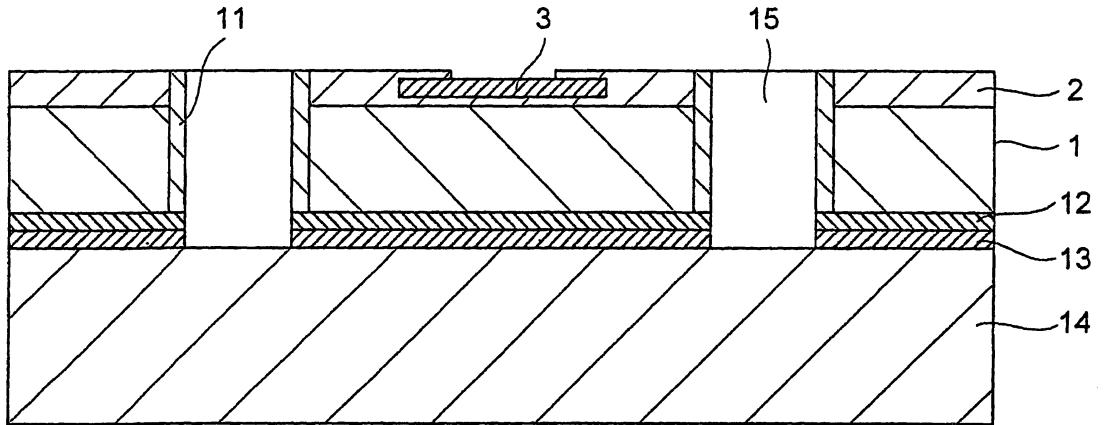
第2D圖



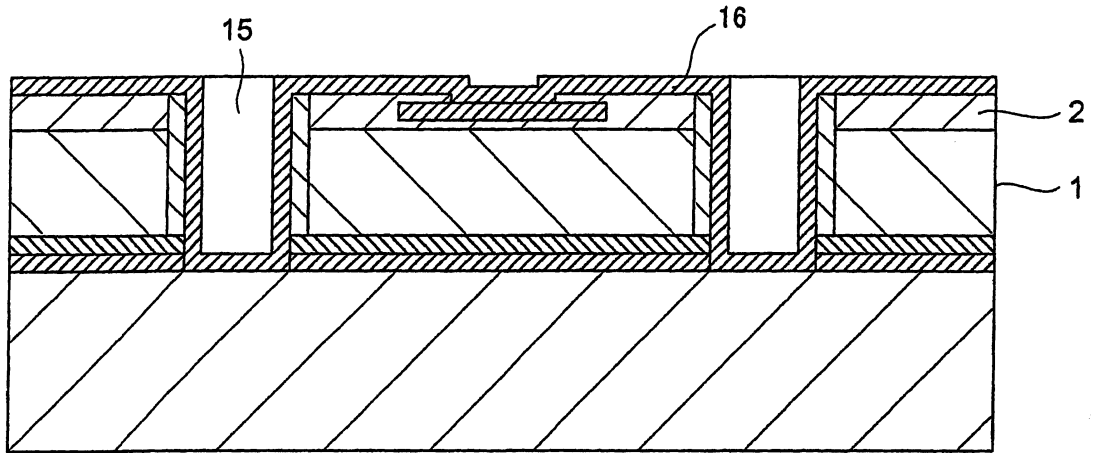
第2E圖



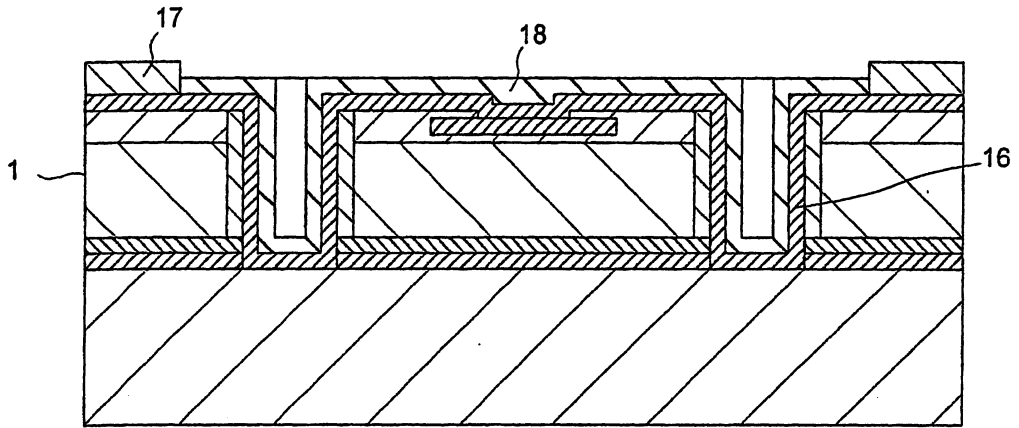
第3F圖



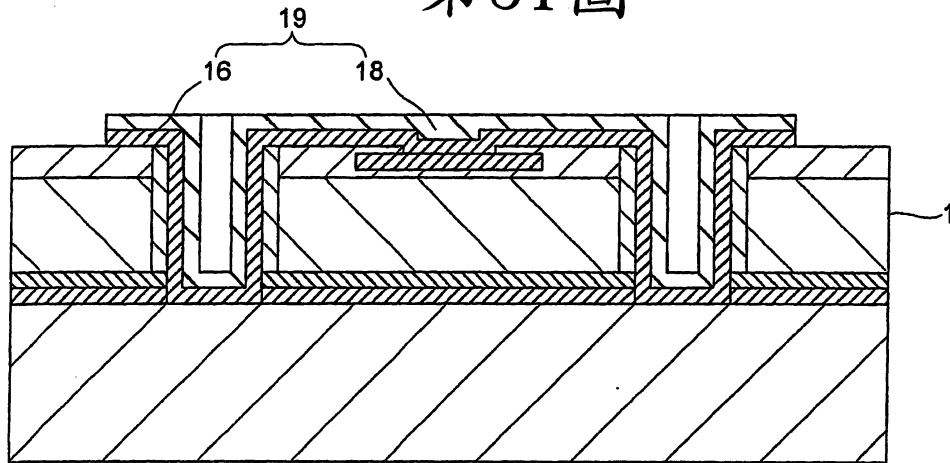
第3G圖



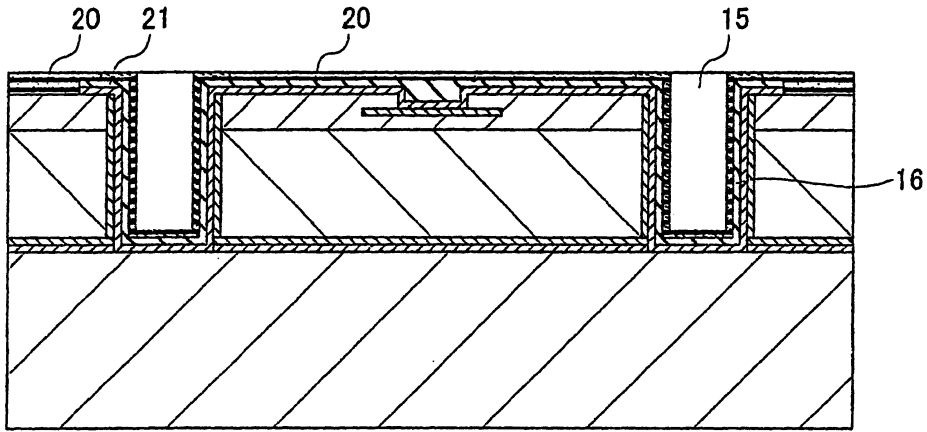
第3H圖



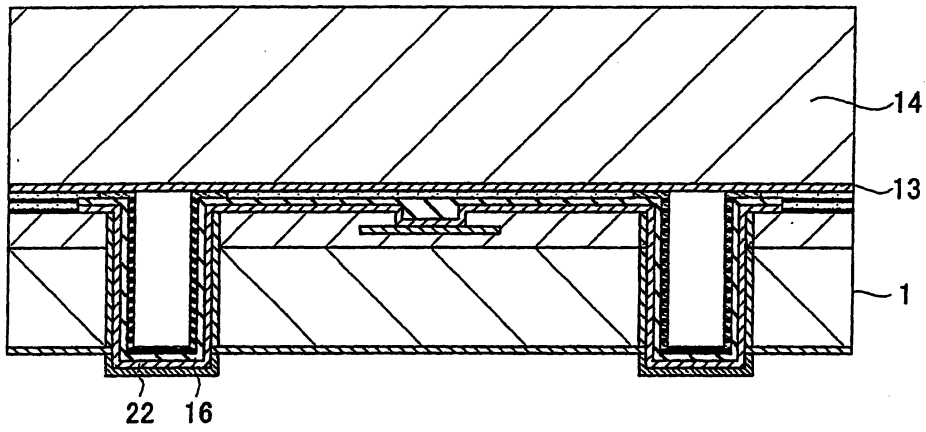
第3I圖



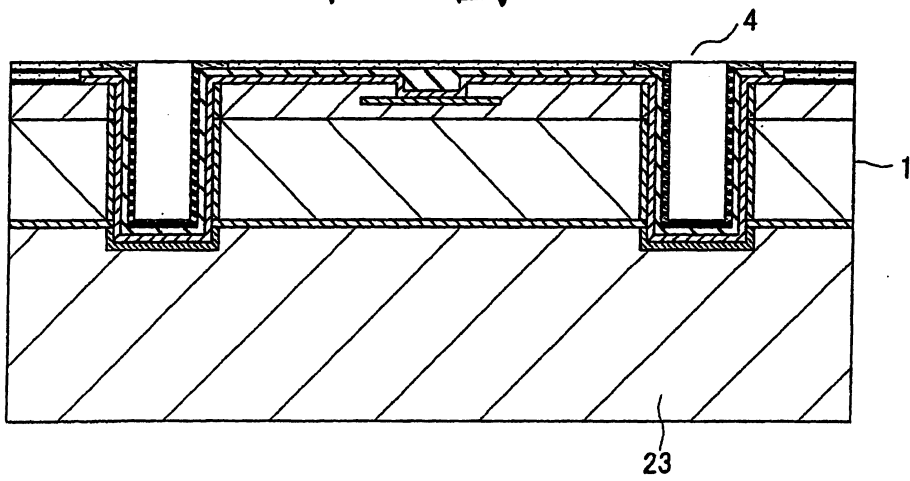
第4J圖



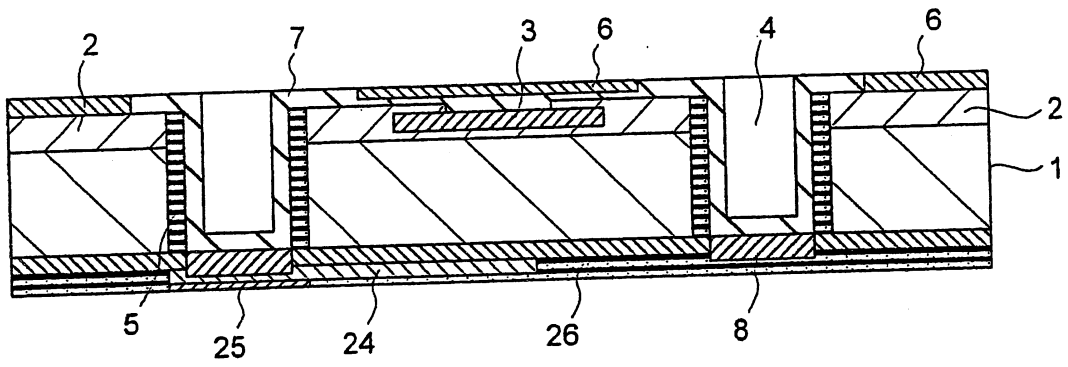
第4K圖



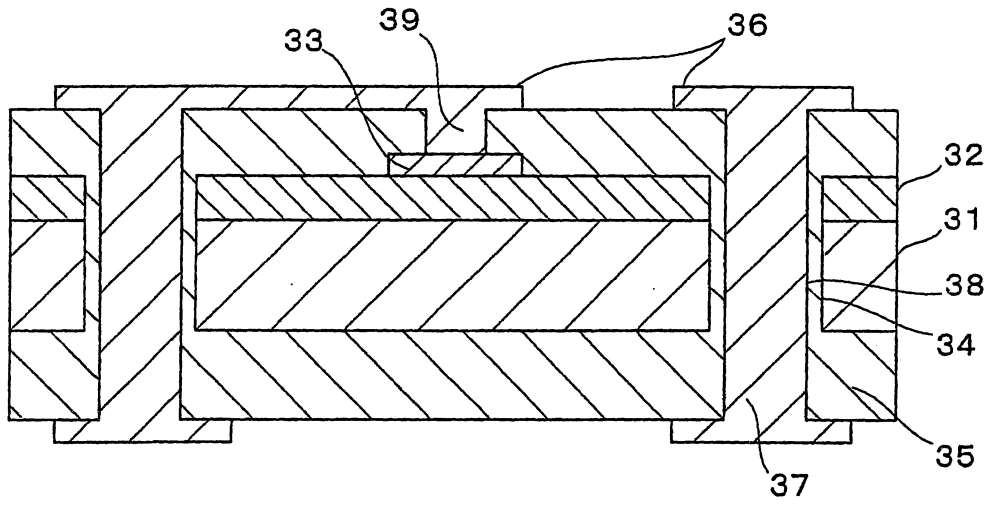
第4L圖



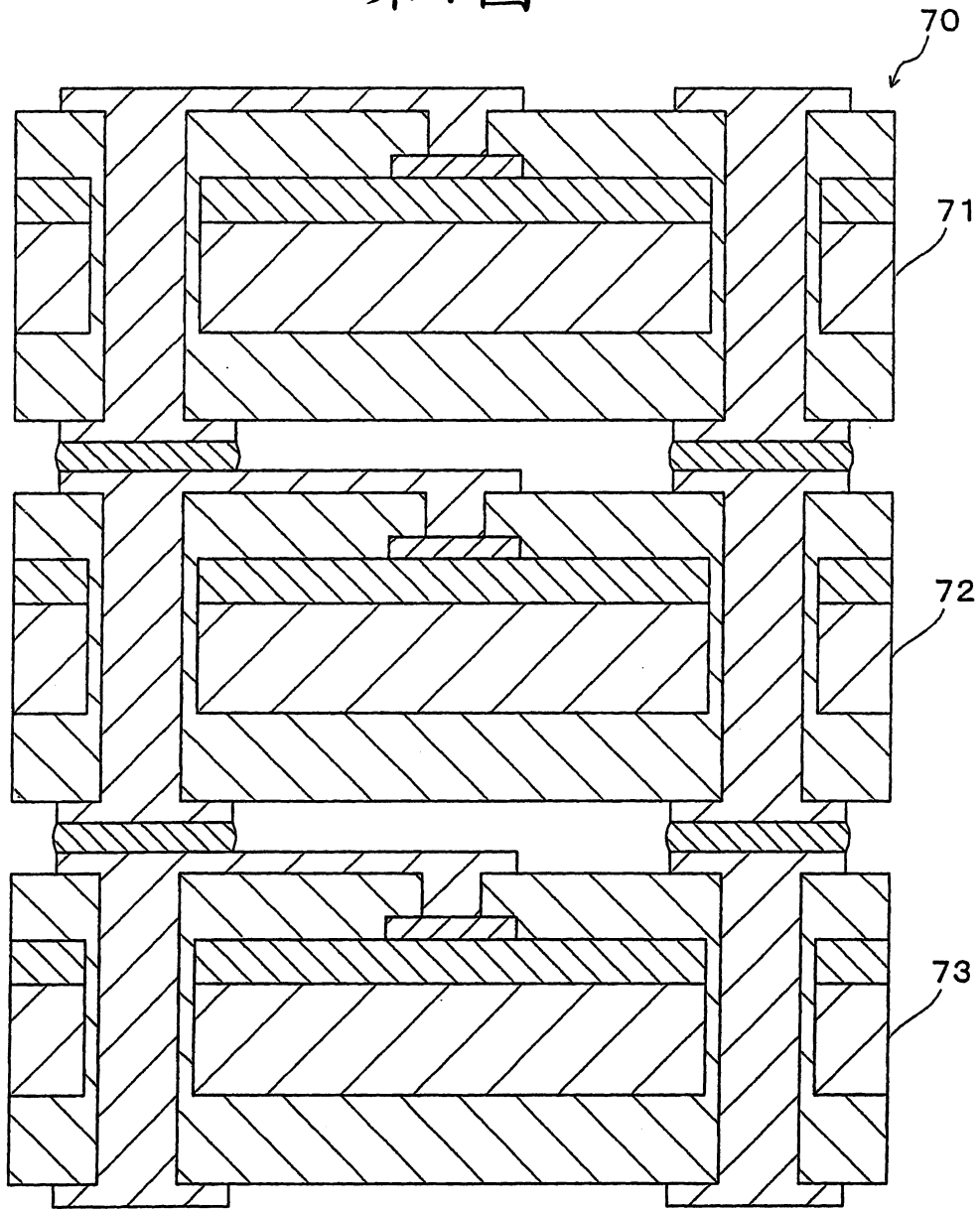
第5圖



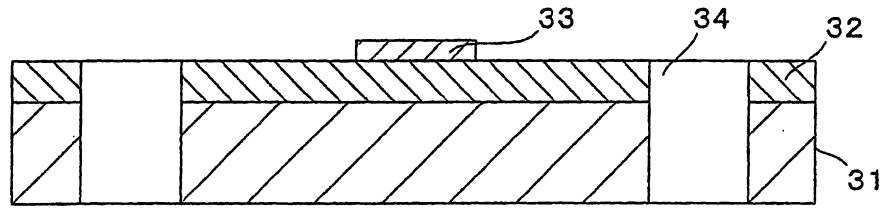
第6圖



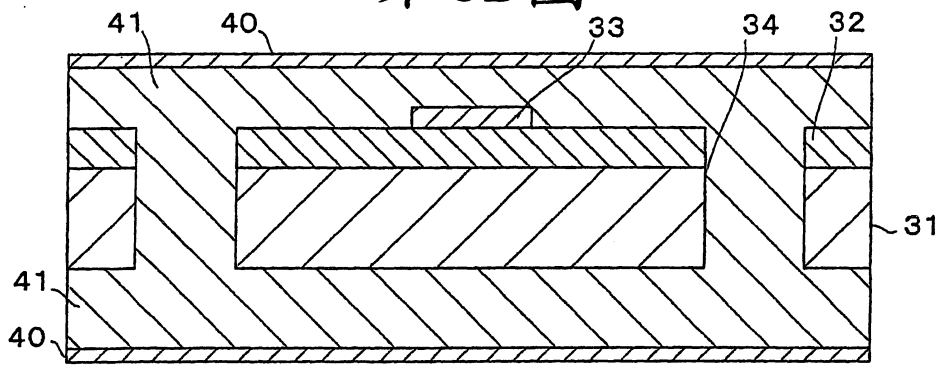
第7圖



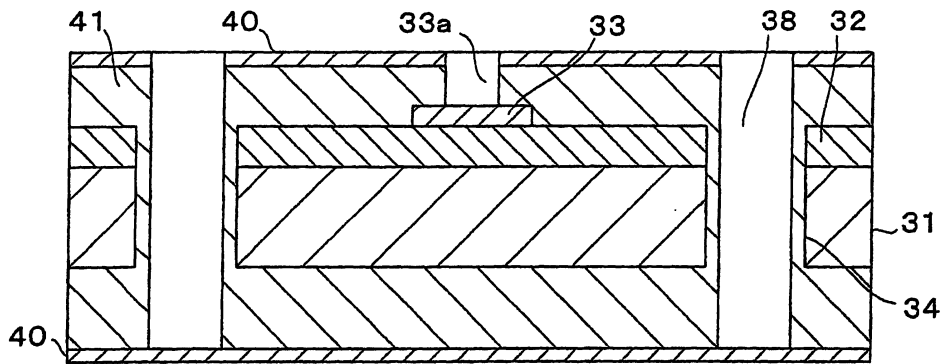
第8A圖



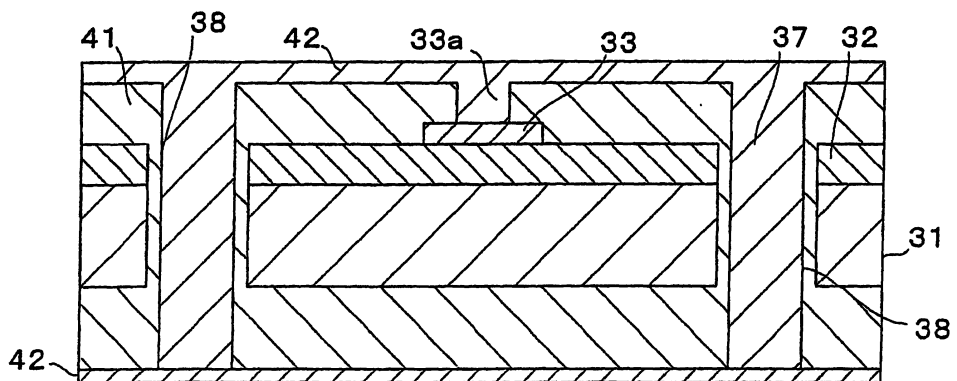
第8B圖



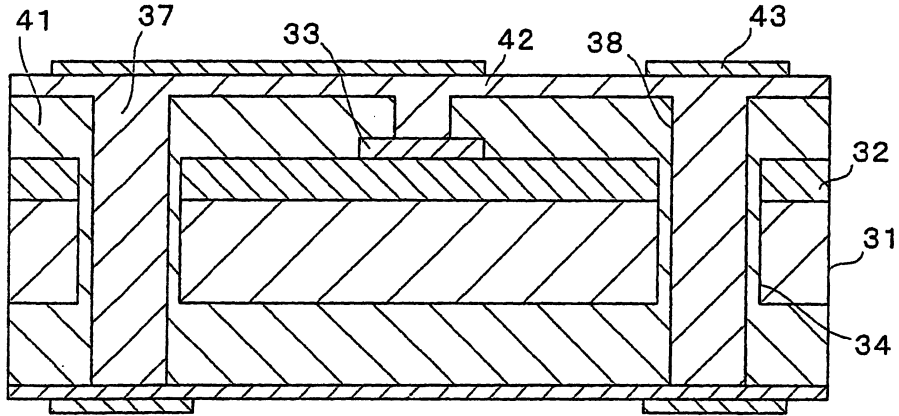
第8C圖



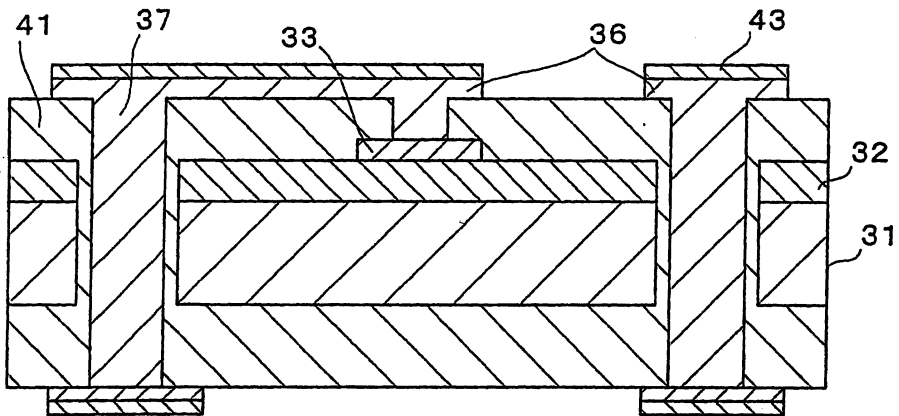
第8D圖



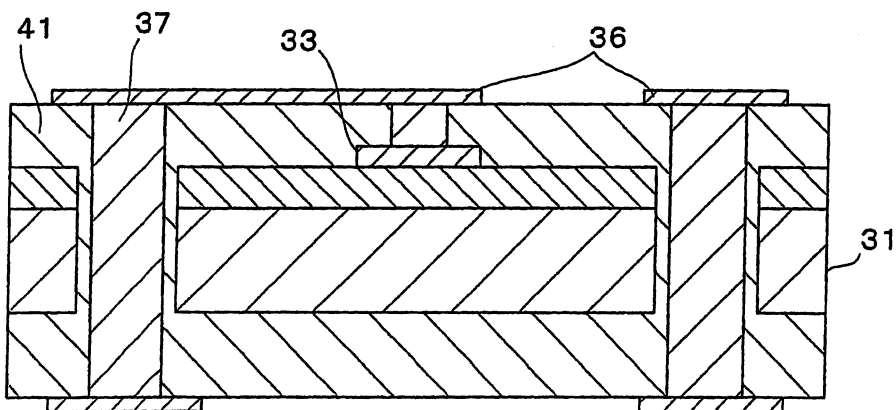
第8E圖



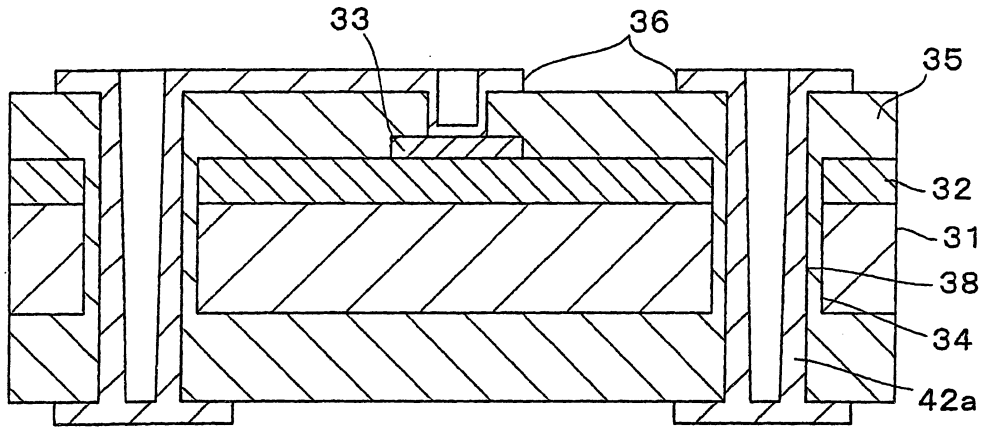
第8F圖



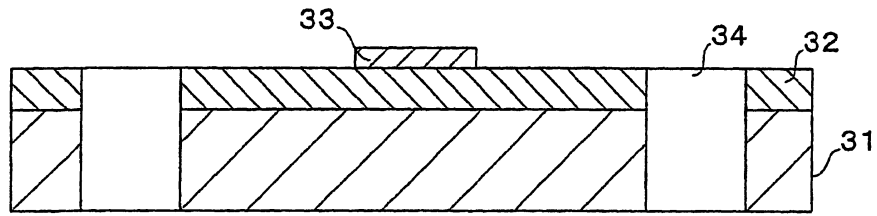
第8G圖



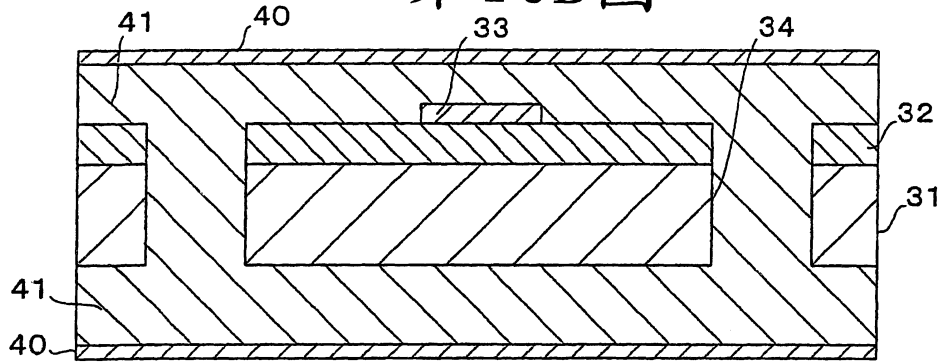
第9圖



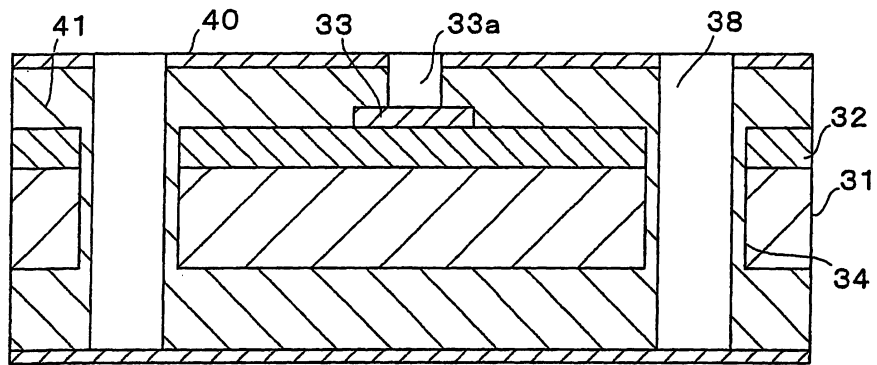
第10A圖



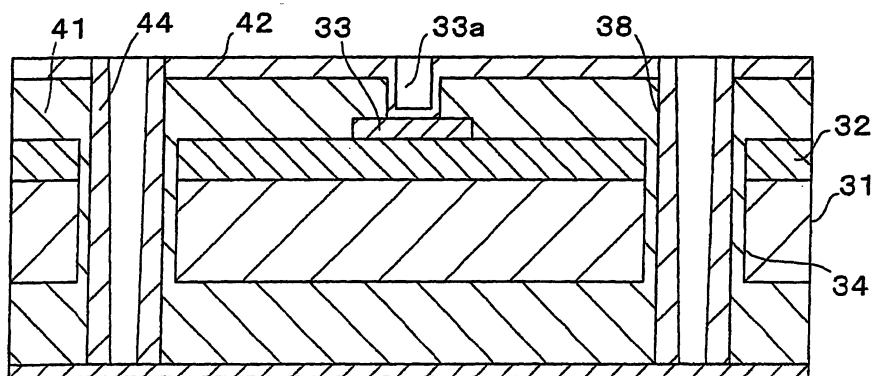
第10B圖



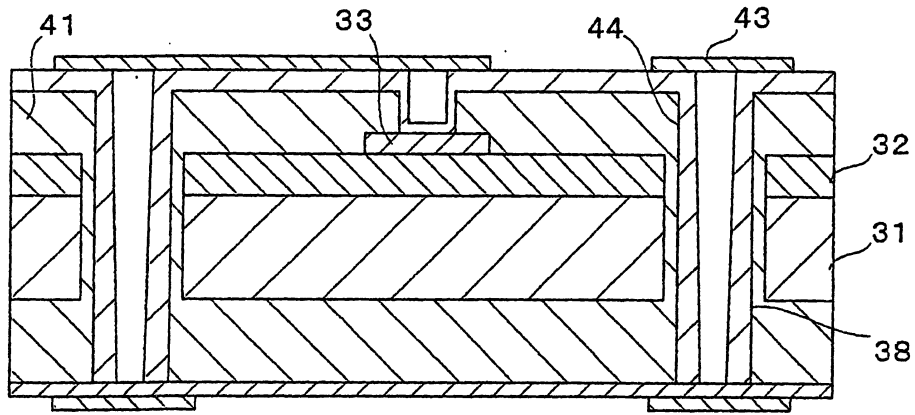
第10C圖



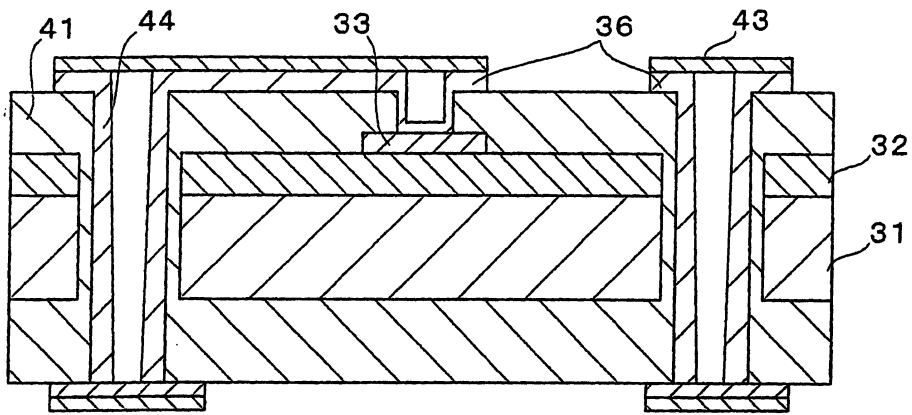
第10D圖



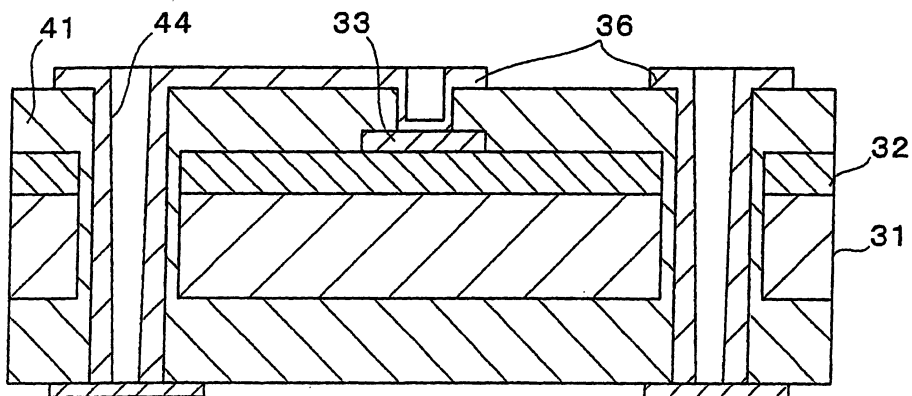
第10E圖



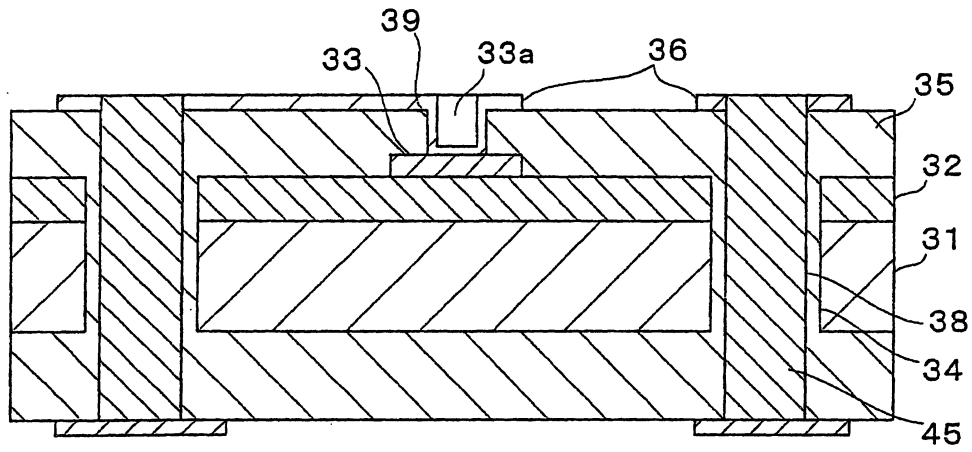
第10F圖



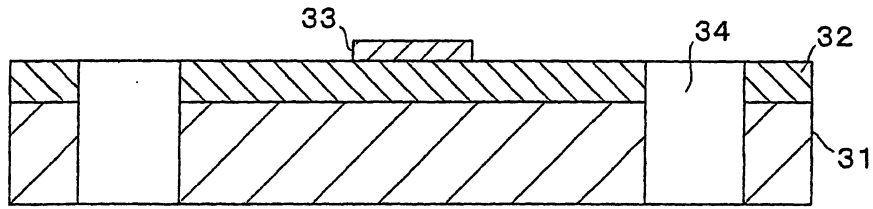
第10G圖



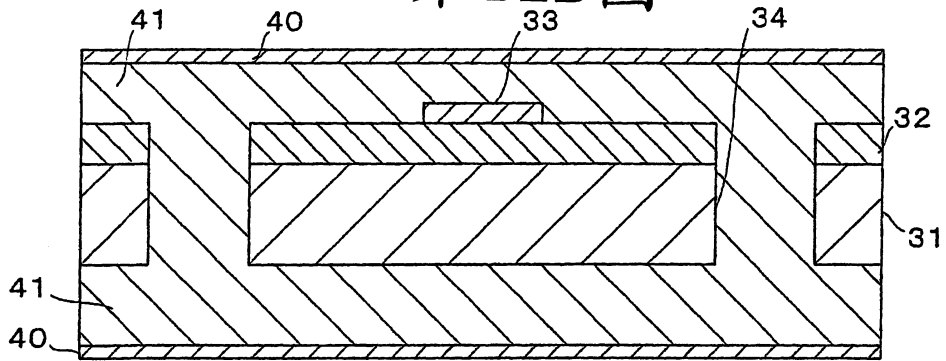
第11圖



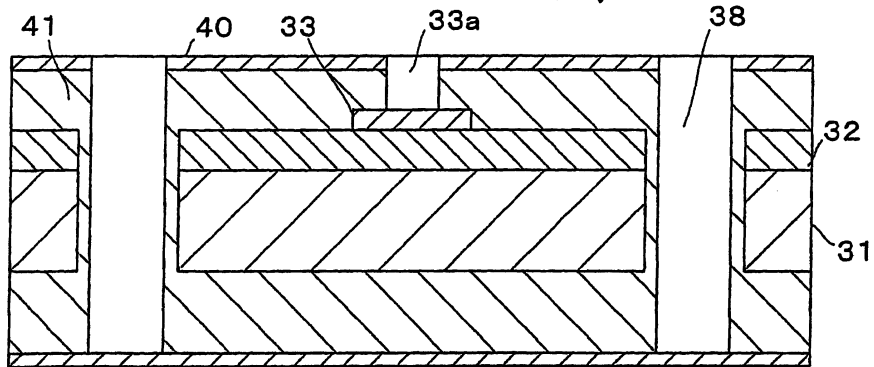
第12A圖



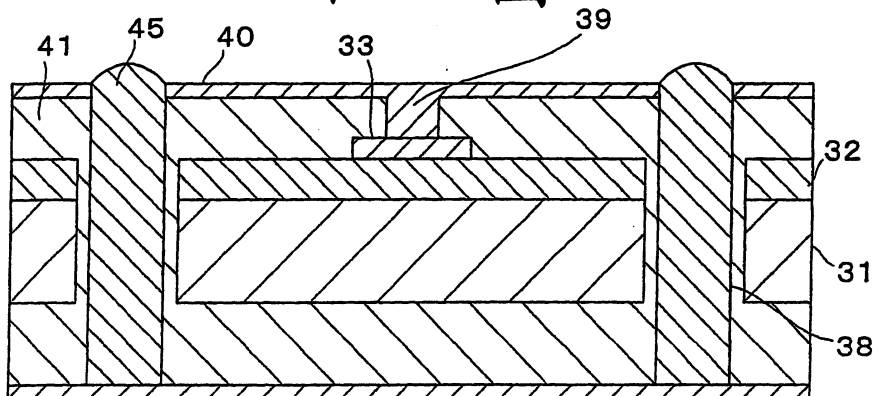
第12B圖



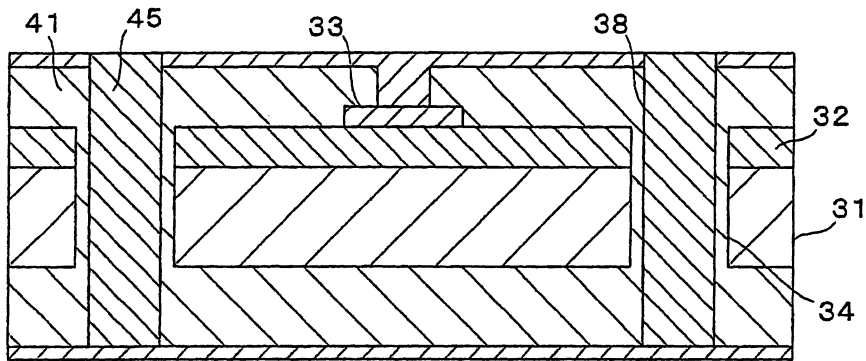
第12C圖



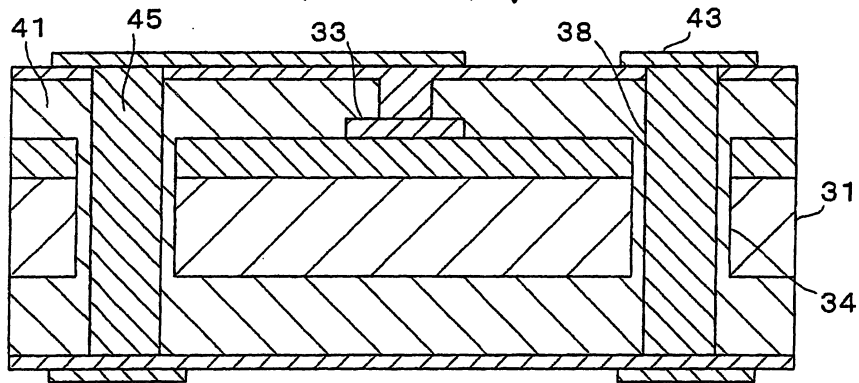
第12D圖



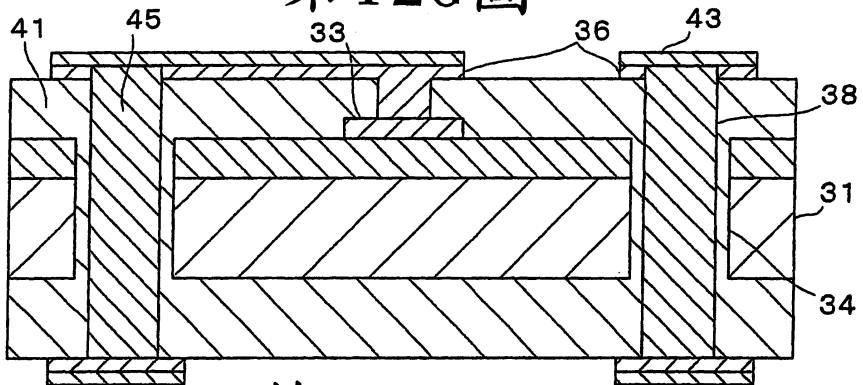
第12E圖



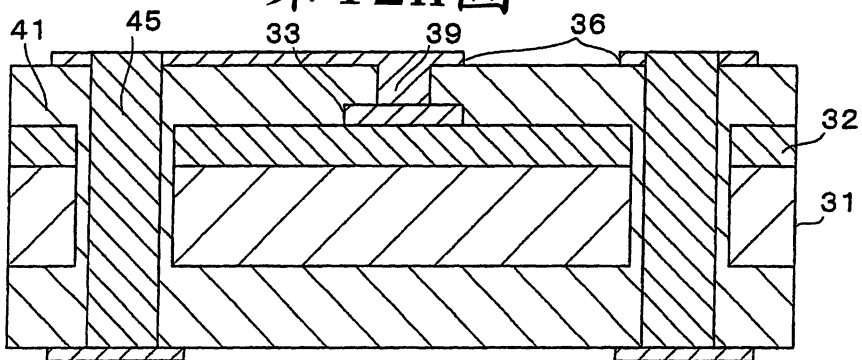
第12F圖



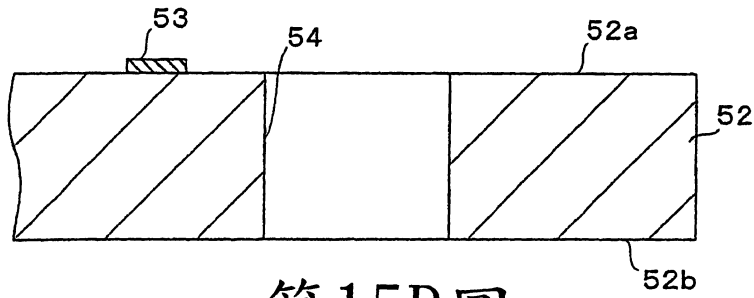
第12G圖



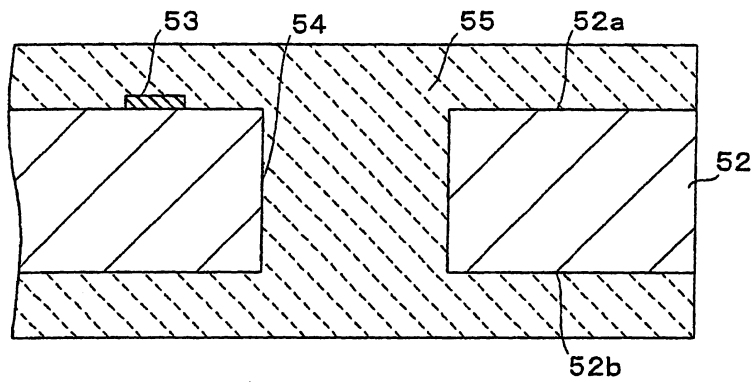
第12H圖



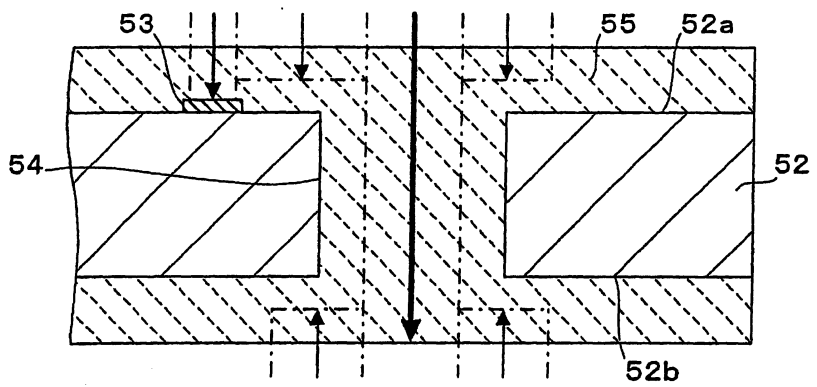
第15A圖



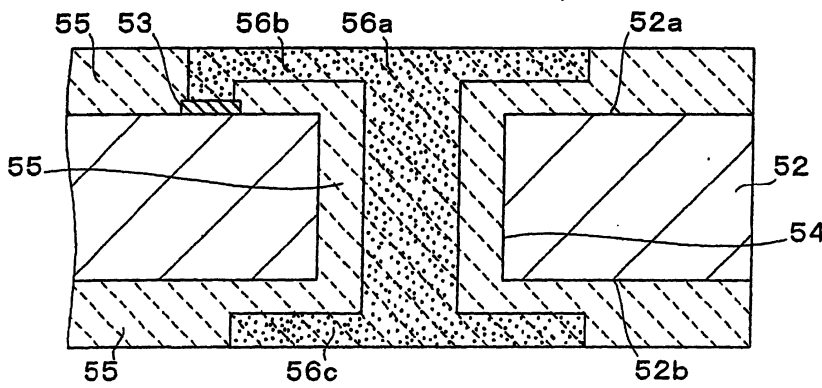
第15B圖



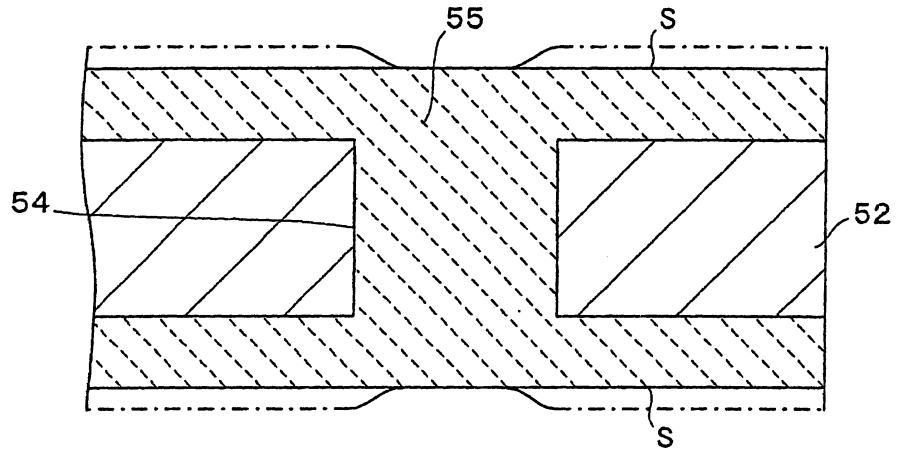
第15C圖



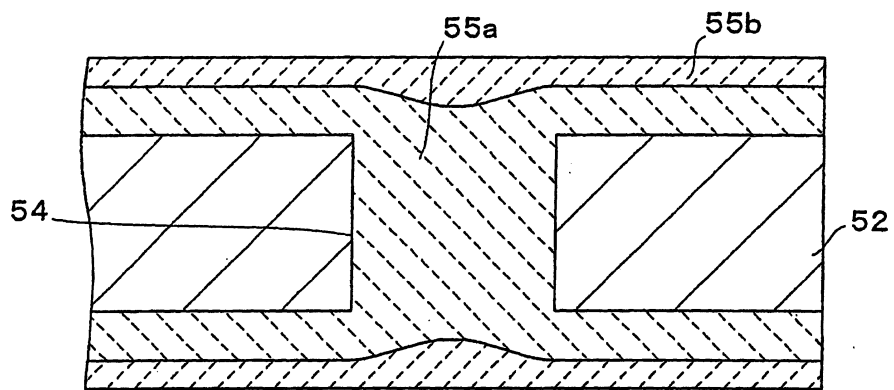
第15D圖



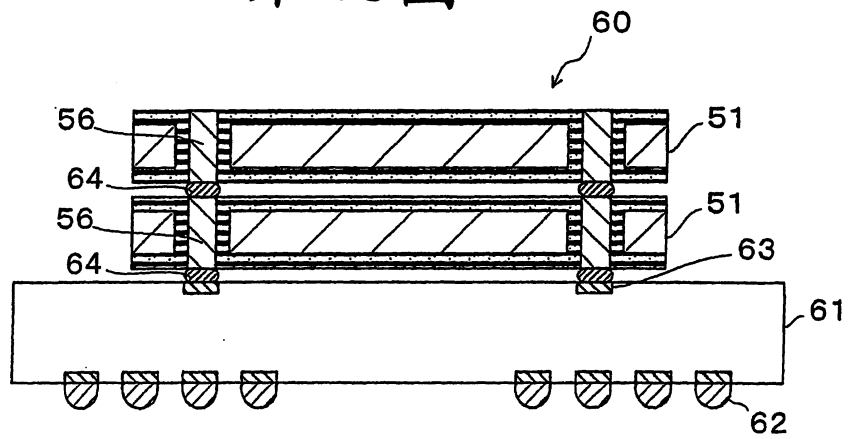
第16圖



第17圖



第18圖



七、指定代表圖：

(一)、本案指定代表圖為：第 (2) 圖

(二)、本代表圖之元件代表符號簡單說明：

- 1：半導體基板
- 2：多層配線部
- 3：Al 電極
- 4：貫通孔
- 9：BSG 膠帶
- 10：保持膠帶
- 11：絕緣樹脂
- 12：絕緣樹脂膜

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(此處由本局於收
文時黏貼條碼)

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94130168

※申請日期：94 年 09 月 02 日

※IPC 分類：H01L21/60, 25/65, 25/07, 25/18
(2006.01)

一、發明名稱：

(中) 半導體裝置的製造方法
(英)

二、申請人：(共 1 人)

1. 姓名：(中) 東芝股份有限公司
(英) KABUSHIKI KAISHA TOSHIBA
代表人：(中) 1. 西田厚聰
(英) 1. NISHIDA, ATSUTOSHI
地址：(中) 日本國東京都港區芝浦一丁目一番一號
(英) 1-1, Shibaura 1-chome, Minato-ku, Tokyo 105-8001, Japan
國籍：(中英) 日本 JAPAN

三、發明人：(共 10 人)

1. 姓名：(中) 沼田英夫
(英) NUMATA, HIDEO
國籍：(中) 日本
(英) JAPAN

2. 姓名：(中) 江澤弘和
(英) EZAWA, HIROKAZU
國籍：(中) 日本
(英) JAPAN

3. 姓名：(中) 田窪知章
(英) TAKUBO, CHIAKI
國籍：(中) 日本
(英) JAPAN

4. 姓名：(中) 高橋健司
(英) TAKAHASHI, KENJI
國籍：(中) 日本

又，具有如拍攝元件般之感測功能的半導體裝置時，可在將感測器部配置於表面側的狀態下，利用圍繞於背面側的配線層（導電體層 56），連接・搭載於安裝基板等。

第 13 圖所示的第 10 實施型態係表示將導電體層 56 適用於電極 53 之配線層的例子，然而，如第 14 圖所示，就僅連接半導體基板 52 之表背面 52a、52b 間的穿通插塞而言，亦可適用導電體層 56。亦即，第 14 圖所示的半導體裝置 51 係與第 13 圖同樣地具有導電體柱部 56a，而該導電體柱部 56a 係選擇性且連續地形成於存在於貫通孔 54 內的多孔質絕緣樹脂層 55 內部。接著，在半導體基板 52 的表面 52a 側及背面 52b 側，分別形成有作為與其他半導體裝置或配線基板等的連接部之連接面（land）狀的導電體層 56b。導電體層 56（56a、56b）具有用以連接配置於半導體裝置 51 上下之其他半導體裝置或配線基板等間的穿通插塞功能。

繼之，參照第 15 圖，說明上述第 10 實施型態之半導體裝置的製造方法之第 11 實施型態。第 11 實施型態中，首先如第 15A 圖所示，在表面 52a 側具有省略圖示之積體元件部、多層配線部或電極 53 的半導體基板 52 上，形成貫通表背面 52a、52b 間的貫通孔 54。貫通孔 54 的形成可藉由例如雷射照射或蝕刻加工等來進行。

如第 15B 圖所示，以覆蓋半導體基板 52 之表背兩面 52a、52b，同時充填於貫通孔 54 內的方式，形成多孔質

(27)

複數個上述第 8 實施型態的半導體裝置 51。此外，第 18 圖係表示將兩個半導體裝置 51 搭載於配線基板 61 上的半導體封裝體 60，然而，半導體裝置 51 的搭載數並不限定為兩個，亦可為三個或三個以上。

下側的半導體裝置 51 係介由形成於導電體層 56 部分的金屬凸塊 64，連接固定於配線基板 61 的電極部 63。同樣地，上側的半導體裝置 51 係介由形成於導電體層 56 部分的金屬凸塊 64，連接固定於下側之半導體裝置 51 的導電體層 56。藉由以密封樹脂（未圖示）等密封以此方式積層的複數半導體裝置 51，可構成堆疊型多晶片封裝構造之半導體封裝體 60。

由於根據此種半導體封裝體 60，可將倒裝片（flip chip）連接適用於半導體裝置 51 間及半導體裝置 51 與配線基板 61 的連接，故可降低連接步驟所需的成本或工數，且可達成信號配線長度的縮短或封裝體形狀的小型化等。此等構成有助於堆疊型多晶片封裝的低成本化或可靠性與動作特性的提升。半導體封裝體 60 的具體例係如上所述，可例舉積層有複數記憶元件的多晶片模組或積層有邏輯元件與記憶元件的系統 LSI 模組等。

此外，本發明並不限定於上述實施型態，亦可適用於具有貫通半導體基板之表背兩面間而連接的導電體層之各種半導體裝置，關於此種半導體裝置亦包含於本發明。又，本發明的實施型態在本發明之技術思想的範圍內可加以擴張或變更，而該擴張或變更的實施型態亦包含在本發明

十、申請專利範圍

第 94130168 號專利申請案

中文申請專利範圍修正本

民國 96 年 2 月 16 日修正

1. 一種半導體裝置之製造方法，其特徵為具備下列步驟：

在半導體基板形成貫通孔的步驟；和

在上述半導體基板的兩面，以樹脂面能夠抵接的方式來分別配置單面附銅箔樹脂片而層壓的步驟；和

在上述半導體基板之上述貫通孔的部分，形成直徑小於該貫通孔之小徑孔的步驟；和

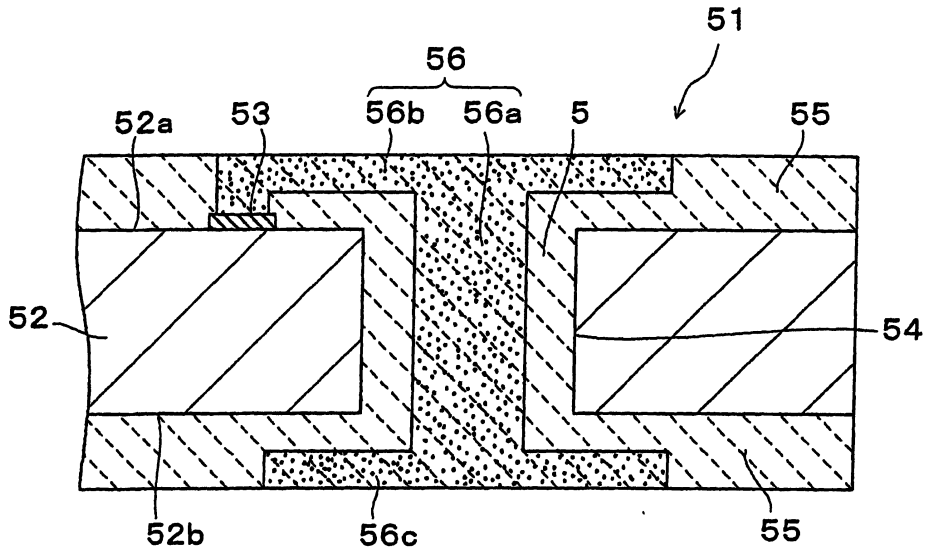
在上述小徑孔的內部形成導電體層，以將配置於上述半導體基板兩面的上述銅箔電性連接的步驟；和

將上述銅箔實施配線加工的步驟。

2. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中，上述小徑孔係非貫通孔。

3. 如申請專利範圍第 1 或 2 項之半導體裝置之製造方法，其中，上述小徑孔的內部係被上述導電體層埋設。

第13圖



第14圖

