



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0033946
(43) 공개일자 2015년04월02일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01) H01L 21/8247 (2006.01)
(21) 출원번호 10-2013-0113863
(22) 출원일자 2013년09월25일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
이종철
경기 이천시 경충대로 2738-22, B-203 (관고동, 관고빌)
구자춘
경기 성남시 분당구 정자일로 1, B동 909호 (금곡동, 코오롱트리폴리스)
(뒷면에 계속)
(74) 대리인
특허법인신성

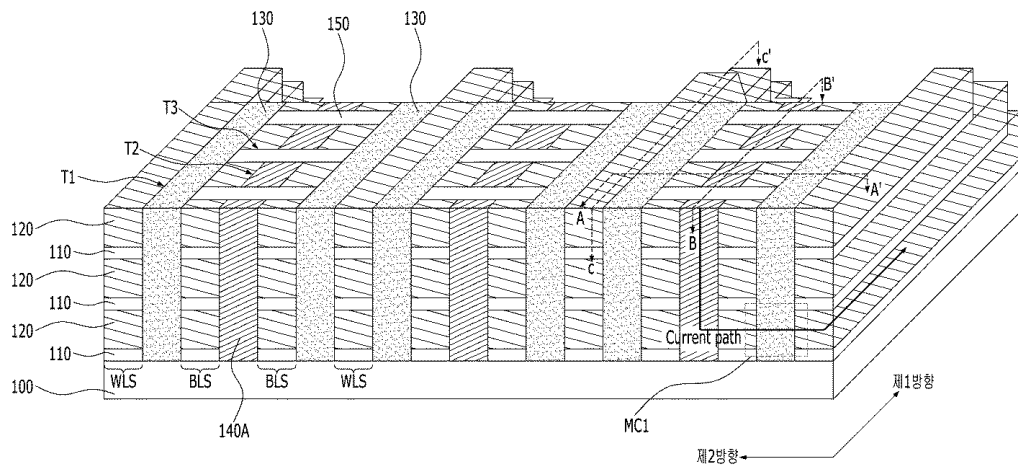
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 전자 장치 및 그 제조 방법

(57) 요약

전자 장치 및 그 제조 방법이 제공된다. 본 발명의 일 실시예에 따른 전자 장치는, 반도체 메모리를 포함하는 전자 장치로서, 상기 반도체 메모리는, 기판 상에 배치되고, 제1 방향으로 연장하는 가변 저항 패턴; 상기 기판 상에 교대로 적층된 복수의 층간 절연막 및 복수의 도전막을 포함하고, 상기 가변 저항 패턴의 일측면 및 타측면과 각각 접하는 제1 및 제2 적층 구조물 - 여기서, 상기 제1 적층 구조물은 제1 방향으로 연장하는 라인 형상을 갖고, 상기 제2 적층 구조물은 기둥 형상을 가짐. -; 및 상기 가변 저항 패턴과 접하지 않는 상기 제2 적층 구조물의 일측면과 접하는 기둥 형상의 도전 패턴을 포함한다.

대표도



(72) 발명자

민성규

서울 중구 다산로 32, 25동 806호 (신당동, 남산타운아파트)

조병직

경기 수원시 장안구 장안로29번길 11-1, 302호 (영화동, 정진빌라)

백승범

경기 용인시 기흥구 새천년로 40, 405동 104호 (신갈동, 녹원마을새천년그린빌4단지아파트)

김효준

서울 강동구 천호대로 1078, 1103호 (성내동, 씨제이나인파크)

주원기

인천 부평구 마장로144번길 87, 501동 705호 (산곡동, 현대아파트)

김현규

서울 용산구 효창원로69길 57, 603호 (효창동, 효창베네스아파트)

명세서

청구범위

청구항 1

반도체 메모리를 포함하는 전자 장치로서,

상기 반도체 메모리는,

기판 상에 배치되고, 제1 방향으로 연장하는 가변 저항 패턴;

상기 기판 상에 교대로 적층된 복수의 층간 절연막 및 복수의 도전막을 포함하고, 상기 가변 저항 패턴의 일측면 및 타측면과 각각 접하는 제1 및 제2 적층 구조물 - 여기서, 상기 제1 적층 구조물은 제1 방향으로 연장하는 라인 형상을 갖고, 상기 제2 적층 구조물은 기둥 형상을 가짐. -; 및

상기 가변 저항 패턴과 접하지 않는 상기 제2 적층 구조물의 일측면과 접하는 기둥 형상의 도전 패턴을 포함하는

전자 장치.

청구항 2

제1 항에 있어서,

상기 제2 적층 구조물은,

제1 방향으로 서로 이격하여 배열되는 복수의 제2 적층 구조물을 포함하고,

상기 도전 패턴은,

상기 복수의 제2 적층 구조물 각각의 일측면과 접하는 복수의 도전 패턴을 포함하는

전자 장치.

청구항 3

제2 항에 있어서,

상기 복수의 제2 적층 구조물 사이 및 상기 복수의 도전 패턴 사이의 공간에 매립되는 절연 패턴을 더 포함하는

전자 장치.

청구항 4

제1 항에 있어서,

상기 제1 적층 구조물의 상기 도전막 및 상기 도전 패턴이 교차하는 영역에 메모리 셀이 형성되는

전자 장치.

청구항 5

제1 항에 있어서,

상기 가변 저항 패턴은, 자신의 양측의 상기 도전막을 통하여 인가되는 전압에 따라 저항 상태가 변화하는

전자 장치.

청구항 6

제1 항에 있어서,
상기 가변 저항 패턴은,
금속 산화물, 상변화 물질, 강유전 물질 또는 강자성 물질을 포함하는
전자 장치.

청구항 7

제1 항에 있어서,
상기 가변 저항 패턴은, 산소 부족형 금속 산화물층 및 산소 리치형 금속 산화물층을 포함하고,
상기 산소 부족형 금속 산화물층은 상기 제1 적층 구조물과 접하고, 상기 산소 리치형 금속 산화물층은 상기 제
2 적층 구조물과 접하는
전자 장치.

청구항 8

제1 항에 있어서,
상기 가변 저항 패턴은, 산소 부족형 금속 산화물층 및 산소 리치형 금속 산화물층을 포함하고,
상기 산소 부족형 금속 산화물층은 상기 제1 방향으로 연장하는 라인 형상을 갖고,
상기 산소 리치형 금속 산화물층은 상기 산소 부족형 금속 산화물층의 측벽 및 저면을 감싸는 형상을 갖고, 상
기 제1 및 제2 적층 구조물과 접하는
전자 장치.

청구항 9

제1 항에 있어서,
상기 제1 적층 구조물의 상기 제1 방향의 단부는 계단 형상을 갖는
전자 장치.

청구항 10

제1 항에 있어서,
상기 제1 방향과 교차하는 제2 방향에서, 상기 도전 패턴의 일측에 순차적으로 상기 제2 적층 구조물, 상기 가
변 저항 패턴 및 상기 제1 적층 구조물이 배열되고, 상기 도전 패턴의 타측에 순차적으로 상기 제2 적층
구조물, 상기 가변 저항 패턴 및 상기 제1 적층 구조물이 배열되는
전자 장치.

청구항 11

제1 항에 있어서,

상기 제1 방향과 교차하는 제2 방향에서, 상기 제1 적층 구조물의 일측에 순차적으로 상기 가변 저항 패턴, 상기 제2 적층 구조물 및 상기 도전 패턴이 배열되고, 상기 제1 적층 구조물의 타측에 순차적으로 상기 가변 저항 패턴, 상기 제2 적층 구조물 및 상기 도전 패턴이 배열되는

전자 장치.

청구항 12

제1 항에 있어서,

상기 전자 장치는, 마이크로프로세서를 더 포함하고,

상기 마이크로프로세서는,

상기 마이크로프로세서 외부로부터의 명령을 포함하는 신호를 수신하고, 상기 명령의 추출이나 해독 또는 상기 마이크로프로세서의 신호의 입출력 제어를 수행하는 제어부;

상기 제어부가 명령을 해독한 결과에 따라서 연산을 수행하는 연산부; 및

상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 기억부를 포함하고,

상기 반도체 메모리는, 상기 마이크로프로세서 내에서 상기 기억부의 일부인

전자 장치.

청구항 13

제1 항에 있어서,

상기 전자 장치는, 프로세서를 더 포함하고,

상기 프로세서는,

상기 프로세서의 외부로부터 입력된 명령에 따라 데이터를 이용하여 상기 명령에 대응하는 연산을 수행하는 코어부;

상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 캐시 메모리부; 및

상기 코어부와 상기 캐시 메모리부 사이에 연결되고, 상기 코어부와 상기 캐시 메모리부 사이에 데이터를 전송하는 버스 인터페이스를 포함하고,

상기 반도체 메모리는, 상기 프로세서 내에서 상기 캐시 메모리부의 일부인

전자 장치.

청구항 14

제1 항에 있어서,

상기 전자 장치는, 프로세싱 시스템을 더 포함하고,

상기 프로세싱 시스템은,

수신된 명령을 해석하고 상기 명령을 해석한 결과에 따라 정보의 연산을 제어하는 프로세서;

상기 명령을 해석하기 위한 프로그램 및 상기 정보를 저장하기 위한 보조기억장치;

상기 프로그램을 실행할 때 상기 프로세서가 상기 프로그램 및 상기 정보를 이용해 상기 연산을 수행할 수 있도록 상기 보조기억장치로부터 상기 프로그램 및 상기 정보를 이동시켜 저장하는 주기억장치; 및

상기 프로세서, 상기 보조기억장치 및 상기 주기억장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스 장치를 포함하고,

상기 반도체 메모리는, 상기 프로세싱 시스템 내에서 상기 보조기억장치 또는 상기 주기억장치의 일부인 전자 장치.

청구항 15

제1 항에 있어서,

상기 전자 장치는, 데이터 저장 시스템을 더 포함하고,

상기 데이터 저장 시스템은,

데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 저장 장치;

외부로부터 입력된 명령에 따라 상기 저장 장치의 데이터 입출력을 제어하는 컨트롤러;

상기 저장 장치와 외부 사이에 교환되는 데이터를 임시로 저장하는 임시 저장 장치; 및

상기 저장 장치, 상기 컨트롤러 및 상기 임시 저장 장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고,

상기 반도체 메모리는, 상기 데이터 저장 시스템 내에서 상기 저장 장치 또는 상기 임시 저장 장치의 일부인 전자 장치.

청구항 16

제1 항에 있어서,

상기 전자 장치는, 메모리 시스템을 더 포함하고,

상기 메모리 시스템은,

데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 메모리;

외부로부터 입력된 명령에 따라 상기 메모리의 데이터 입출력을 제어하는 메모리 컨트롤러;

상기 메모리와 외부 사이에 교환되는 데이터를 버퍼링하기 위한 버퍼 메모리; 및

상기 메모리, 상기 메모리 컨트롤러 및 상기 버퍼 메모리 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고,

상기 반도체 메모리는, 상기 메모리 시스템 내에서 상기 메모리 또는 상기 버퍼 메모리의 일부인 전자 장치.

청구항 17

반도체 메모리를 포함하는 전자 장치의 제조 방법으로서,

기판 상에 복수의 층간 절연막 및 복수의 도전막이 교대로 적층된 적층 구조물을 형성하는 단계;

상기 적층 구조물을 선택적으로 식각하여 제1 방향으로 연장하는 제1 트렌치를 형성하여, 상기 적층 구조물을 상기 제1 트렌치 일측의 제1 적층 구조물 및 상기 제1 트렌치 타측의 제2 적층 구조물로 분리하는 단계;

상기 제1 트렌치 내에 가변 저항 패턴을 형성하는 단계;
상기 제2 적층 구조물을 선택적으로 식각하여 상기 제1 방향으로 연장하는 제2 트렌치를 형성하는 단계;
상기 제2 트렌치 내에 도전 물질을 매립하는 단계; 및
상기 제2 적층 구조물 및 상기 도전 물질을 선택적으로 식각하여 기둥 형상의 제2 적층 구조물 패턴 및 기둥 형상의 도전 패턴을 형성하는 단계를 포함하는
전자 장치의 제조 방법.

청구항 18

제17 항에 있어서,
상기 가변 저항 패턴 형성 단계는,
상기 제1 트렌치의 일측벽과 접하는 산소 부족형 금속 산화물층 및 상기 제1 트렌치의 타측벽과 접하는 산소 리치형 금속 산화물층을 형성하는 단계를 포함하는
전자 장치의 제조 방법.

청구항 19

제18 항에 있어서,
상기 가변 저항 패턴 형성 단계는,
상기 제1 트렌치를 상기 산소 부족형 금속 산화물층으로 매립하는 단계; 및
상기 산소 리치형 금속 산화물층이 형성될 영역을 노출시키는 마스크 패턴을 이용하여 상기 산소 부족형 금속 산화물층으로 산소를 주입하는 단계를 포함하는
전자 장치의 제조 방법.

청구항 20

제18 항에 있어서,
상기 가변 저항 패턴 형성 단계는,
상기 제1 트렌치를 포함하는 결과물의 전면 상에 상기 산소 리치형 금속 산화물층을 형성하는 단계;
상기 산소 리치형 금속 산화물층이 형성된 상기 제1 트렌치의 나머지 공간을 매립하는 겹필막을 형성하는 단계;
상기 제1 트렌치의 일측벽은 노출시키면서 상기 제1 트렌치의 타측벽은 덮는 마스크 패턴을 이용하여 상기 겹필막 및 상기 산소 리치형 금속 산화물층의 일부를 식각하는 단계; 및
상기 마스크 패턴 및 상기 겹필막을 제거한 후, 상기 제1 트렌치에 상기 산소 부족형 금속 산화물층을 매립하는 단계를 포함하는
전자 장치의 제조 방법.

청구항 21

제17 항에 있어서,
상기 가변 저항 패턴 형성 단계는,

상기 제1 트렌치의 측벽 및 저면을 따라 산소 리치형 금속 산화물층을 형성하는 단계; 및
 상기 산소 리치형 금속 산화물층이 형성된 상기 제1 트렌치에 매립되는 산소 부족형 금속 산화물층을 형성하는 단계를 포함하는
 전자 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 특허 문헌은 메모리 회로 또는 장치와, 전자 장치에서의 이들의 응용에 관한 것이다.

배경 기술

[0002] 최근 전자기기의 소형화, 저전력화, 고성능화, 다양화 등에 따라, 컴퓨터, 휴대용 통신기기 등 다양한 전자기기에서 정보를 저장할 수 있는 반도체 장치가 요구되고 있으며, 이에 대한 연구가 진행되고 있다. 이러한 반도체 장치로는 인가되는 전압 또는 전류에 따라 서로 다른 저항 상태에서 스위칭하는 특성을 이용하여 데이터를 저장할 수 있는 반도체 장치 예컨대, RRAM(Resistive Random Access Memory), PRAM(Phase-change Random Access Memory), FRAM(Ferroelectric Random Access Memory), MRAM(Magnetic Random Access Memory), 이-퓨즈(E-fuse) 등이 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예들이 해결하려는 과제는, 장치의 집적도 증가 및 특성 향상이 가능하고 제조 공정이 용이하고 단순한 전자 장치 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0004] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 전자 장치는, 반도체 메모리를 포함하는 전자 장치로서, 상기 반도체 메모리는, 기판 상에 배치되고, 제1 방향으로 연장하는 가변 저항 패턴; 상기 기판 상에 교대로 적층된 복수의 층간 절연막 및 복수의 도전막을 포함하고, 상기 가변 저항 패턴의 일측면 및 타측면과 각각 접하는 제1 및 제2 적층 구조물 - 여기서, 상기 제1 적층 구조물은 제1 방향으로 연장하는 라인 형상을 갖고, 상기 제2 적층 구조물은 기둥 형상을 가짐. -; 및 상기 가변 저항 패턴과 접하지 않는 상기 제2 적층 구조물의 일측면과 접하는 기둥 형상의 도전 패턴을 포함할 수 있다.

[0005] 상기 제2 적층 구조물은, 제1 방향으로 서로 이격하여 배열되는 복수의 제2 적층 구조물을 포함하고, 상기 도전 패턴은, 상기 복수의 제2 적층 구조물 각각의 일측면과 접하는 복수의 도전 패턴을 포함할 수 있다.

[0006] 상기 복수의 제2 적층 구조물 사이 및 상기 복수의 도전 패턴 사이의 공간에 매립되는 절연 패턴을 더 포함할 수 있다.

[0007] 상기 제1 적층 구조물의 상기 도전막 및 상기 도전 패턴이 교차하는 영역에 메모리 셀이 형성될 수 있다.

[0008] 상기 가변 저항 패턴은, 자신의 양측의 상기 도전막을 통하여 인가되는 전압에 따라 저항 상태가 변화할 수 있다.

[0009] 상기 가변 저항 패턴은, 금속 산화물, 상변화 물질, 강유전 물질 또는 강자성 물질을 포함할 수 있다.

[0010] 상기 가변 저항 패턴은, 산소 부족형 금속 산화물층 및 산소 리치형 금속 산화물층을 포함하고, 상기 산소 부족형 금속 산화물층은 상기 제1 적층 구조물과 접하고, 상기 산소 리치형 금속 산화물층은 상기 제2 적층 구조물과 접할 수 있다.

- [0011] 상기 제1 적층 구조물의 상기 제1 방향의 단부는 계단 형상을 가질 수 있다.
- [0012] 상기 제1 방향과 교차하는 제2 방향에서, 상기 도전 패턴의 일측에 순차적으로 상기 제2 적층 구조물, 상기 가변 저항 패턴 및 상기 제1 적층 구조물이 배열되고, 상기 도전 패턴의 타측에 순차적으로 상기 제2 적층 구조물, 상기 가변 저항 패턴 및 상기 제1 적층 구조물이 배열될 수 있다.
- [0013] 상기 제1 방향과 교차하는 제2 방향에서, 상기 제1 적층 구조물의 일측에 순차적으로 상기 가변 저항 패턴, 상기 제2 적층 구조물 및 상기 도전 패턴이 배열되고, 상기 제1 적층 구조물의 타측에 순차적으로 상기 가변 저항 패턴, 상기 제2 적층 구조물 및 상기 도전 패턴이 배열될 수 있다.
- [0014] 상기 전자 장치는, 마이크로프로세서를 더 포함하고, 상기 마이크로프로세서는, 상기 마이크로프로세서 외부로부터의 명령을 포함하는 신호를 수신하고, 상기 명령의 추출이나 해독 또는 상기 마이크로프로세서의 신호의 입출력 제어를 수행하는 제어부; 상기 제어부가 명령을 해독한 결과에 따라서 연산을 수행하는 연산부; 및 상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 기억부를 포함하고, 상기 반도체 메모리는, 상기 마이크로프로세서 내에서 상기 기억부의 일부일 수 있다.
- [0015] 상기 전자 장치는, 프로세서를 더 포함하고, 상기 프로세서는, 상기 프로세서의 외부로부터 입력된 명령에 따라 데이터를 이용하여 상기 명령에 대응하는 연산을 수행하는 코어부; 상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 캐시 메모리부; 및 상기 코어부와 상기 캐시 메모리부 사이에 연결되고, 상기 코어부와 상기 캐시 메모리부 사이에 데이터를 전송하는 버스 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 프로세서 내에서 상기 캐시 메모리부의 일부일 수 있다.
- [0016] 상기 전자 장치는, 프로세싱 시스템을 더 포함하고, 상기 프로세싱 시스템은, 수신된 명령을 해석하고 상기 명령을 해석한 결과에 따라 정보의 연산을 제어하는 프로세서; 상기 명령을 해석하기 위한 프로그램 및 상기 정보를 저장하기 위한 보조기억장치; 상기 프로그램을 실행할 때 상기 프로세서가 상기 프로그램 및 상기 정보를 이용해 상기 연산을 수행할 수 있도록 상기 보조기억장치로부터 상기 프로그램 및 상기 정보를 이동시켜 저장하는 주기억장치; 및 상기 프로세서, 상기 보조기억장치 및 상기 주기억장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스 장치를 포함하고, 상기 반도체 메모리는, 상기 프로세싱 시스템 내에서 상기 보조기억장치 또는 상기 주기억장치의 일부일 수 있다.
- [0017] 상기 전자 장치는, 데이터 저장 시스템을 더 포함하고, 상기 데이터 저장 시스템은, 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 저장 장치; 외부로부터 입력된 명령에 따라 상기 저장 장치의 데이터 입출력을 제어하는 컨트롤러; 상기 저장 장치와 외부 사이에 교환되는 데이터를 임시로 저장하는 임시 저장 장치; 및 상기 저장 장치, 상기 컨트롤러 및 상기 임시 저장 장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 데이터 저장 시스템 내에서 상기 저장 장치 또는 상기 임시 저장 장치의 일부일 수 있다.
- [0018] 상기 전자 장치는, 메모리 시스템을 더 포함하고, 상기 메모리 시스템은, 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 메모리; 외부로부터 입력된 명령에 따라 상기 메모리의 데이터 입출력을 제어하는 메모리 컨트롤러; 상기 메모리와 외부 사이에 교환되는 데이터를 버퍼링하기 위한 버퍼 메모리; 및 상기 메모리, 상기 메모리 컨트롤러 및 상기 버퍼 메모리 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 메모리 시스템 내에서 상기 메모리 또는 상기 버퍼 메모리의 일부일 수 있다.
- [0019] 또한, 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 전자 장치의 제조 방법은, 반도체 메모리를 포함하는 전자 장치의 제조 방법으로서, 기판 상에 복수의 층간 절연막 및 복수의 도전막이 교대로 적층된 적층 구조물을 형성하는 단계; 상기 적층 구조물을 선택적으로 식각하여 제1 방향으로 연장하는 제1 트렌치를 형성하여, 상기 적층 구조물을 상기 제1 트렌치 일측의 제1 적층 구조물 및 상기 제1 트렌치 타측의 제2 적층 구조물로 분리하는 단계; 상기 제1 트렌치 내에 가변 저항 패턴을 형성하는 단계; 상기 제2 적층 구조물을 선택적으로 식각하여 상기 제1 방향으로 연장하는 제2 트렌치를 형성하는 단계; 상기 제2 트렌치 내에 도전 물질을 매립하는 단계; 및 상기 제2 적층 구조물 및 상기 도전 물질을 선택적으로 식각하여 기둥 형상의 제2 적층 구조물 패턴 및 기둥 형상의 도전 패턴을 형성하는 단계를 포함할 수 있다.
- [0020] 상기 가변 저항 패턴 형성 단계는, 상기 제1 트렌치의 일측벽과 접하는 산소 부족형 금속 산화물층 및 상기 제1

트렌치의 타측벽과 접하는 산소 리치형 금속 산화물층을 형성하는 단계를 포함할 수 있다.

[0021] 상기 가변 저항 패턴 형성 단계는, 상기 제1 트렌치를 상기 산소 부족형 금속 산화물층으로 매립하는 단계; 및 상기 산소 리치형 금속 산화물층이 형성될 영역을 노출시키는 마스크 패턴을 이용하여 상기 산소 부족형 금속 산화물층으로 산소를 주입하는 단계를 포함할 수 있다.

[0022] 상기 가변 저항 패턴 형성 단계는, 상기 제1 트렌치를 포함하는 결과물의 전면 상에 상기 산소 리치형 금속 산화물층을 형성하는 단계; 상기 산소 리치형 금속 산화물층이 형성된 상기 제1 트렌치의 나머지 공간을 매립하는 갭필막을 형성하는 단계; 상기 제1 트렌치의 일측벽은 노출시키면서 상기 제1 트렌치의 타측벽은 덮는 마스크 패턴을 이용하여 상기 갭필막 및 상기 산소 리치형 금속 산화물층의 일부를 식각하는 단계; 및 상기 마스크 패턴 및 상기 갭필막을 제거한 후, 상기 제1 트렌치에 상기 산소 부족형 금속 산화물층을 매립하는 단계를 포함할 수 있다.

발명의 효과

[0023] 상술한 본 발명의 실시예들에 의한 전자 장치 및 그 제조 방법에 의하면, 장치의 집적도 증가 및 특성 향상이 가능하고 제조 공정이 용이하고 단순할 수 있다.

도면의 간단한 설명

[0024] 도 1은 본 발명의 일 실시예에 따른 반도체 장치를 나타내는 사시도이다.
 도 2 내지 도 6은 도 1의 반도체 장치의 제조 방법을 예시적으로 설명하기 위한 단면도이다.
 도 7은 본 발명의 다른 일 실시예에 따른 반도체 장치를 나타내는 단면도이다.
 도 8은 도 7의 반도체 장치의 제조 방법을 예시적으로 설명하기 위한 단면도이다.
 도 9 내지 도 11은 도 7의 반도체 장치의 다른 제조 방법을 예시적으로 설명하기 위한 단면도이다.
 도 12는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도의 일 예이다.
 도 13은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도의 일 예이다.
 도 14는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도의 일 예이다.
 도 15는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도의 일 예이다.
 도 16은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도의 일 예이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하에서는, 첨부된 도면을 참조하여 다양한 실시예들이 상세히 설명된다.

[0026] 도면은 반드시 일정한 비율로 도시된 것이라 할 수 없으며, 몇몇 예시들에서, 실시예들의 특징을 명확히 보여주기 위하여 도면에 도시된 구조물 중 적어도 일부의 비례는 과장될 수도 있다. 도면 또는 상세한 설명에 둘 이상의 층을 갖는 다층 구조물이 개시된 경우, 도시된 것과 같은 층들의 상대적인 위치 관계나 배열 순서는 특정 실시예를 반영할 뿐이어서 본 발명이 이에 한정되는 것은 아니며, 층들의 상대적인 위치 관계나 배열 순서는 달라질 수도 있다. 또한, 다층 구조물의 도면 또는 상세한 설명은 특정 다층 구조물에 존재하는 모든 층들을 반영하지 않을 수도 있다(예를 들어, 도시된 두 개의 층 사이에 하나 이상의 추가 층이 존재할 수도 있다). 예컨대, 도면 또는 상세한 설명의 다층 구조물에서 제1 층이 제2 층 상에 있거나 또는 기관상에 있는 경우, 제1 층이 제2 층 상에 직접 형성되거나 또는 기관상에 직접 형성될 수 있음을 나타낼 뿐만 아니라, 하나 이상의 다른 층이 제1 층과 제2 층 사이 또는 제1 층과 기관 사이에 존재하는 경우도 나타낼 수 있다.

[0027] 이하, 도 1 내지 도 6을 참조하여 본 발명의 일 실시예에 따른 반도체 장치 및 그 제조 방법을 설명하기로 한다.

[0028] 도 1은 본 발명의 일 실시예에 따른 반도체 장치를 나타내는 사시도이고, 도 2 내지 도 6은 도 1의 반도체 장치

의 제조 방법을 예시적으로 설명하기 위한 단면도이다. 특히, 도 2 내지 도 6은 도 1의 A-A' 선, B-B' 선 및/또는 C-C'선에 따른 단면을 나타내고 있다.

- [0029] 도 1을 참조하면, 기판(100) 상에는 기판(100)에 대해 수직 방향으로 돌출되면서 기판(100)과 평행한 제1 방향으로 연장하는 가변 저항 패턴(130)이 배치될 수 있다.
- [0030] 가변 저항 패턴(130)은 인가되는 전압 또는 전류에 따라 서로 다른 저항 상태 사이에서 스위칭하는 물질로 형성될 수 있으며, 단일막 또는 다중막 구조를 가질 수 있다. 예컨대, 가변 저항 패턴(130)은 RRAM, PRAM, FRAM, MRAM 등에 이용되는 다양한 물질 예컨대, 전이 금속 산화물, 페로브스카이트(perovskite)계 물질 등과 같은 금속 산화물, 칼코게나이드(chalcogenide)계 물질 등과 같은 상변화 물질, 강유전 물질, 강자성 물질 등을 포함하는 단일막 또는 다중막으로 형성될 수 있다.
- [0031] 가변 저항 패턴(130) 양측의 기판(100) 상에는 복수의 층간 절연막(110) 및 복수의 도전막(120)이 교대로 적층된 적층 구조물이 배치될 수 있다. 설명의 편의상, 가변 저항 패턴(130)의 일측에 배치된 적층 구조물을 제1 적층 구조물(WLS)이라 하고, 타측에 배치된 적층 구조물을 제2 적층 구조물(BLS)이라 하기로 한다.
- [0032] 여기서, 제1 적층 구조물(WLS)과 제2 적층 구조물(BLS)의 형상은 서로 상이할 수 있다. 제1 적층 구조물(WLS)은 가변 저항 패턴(130)과 유사하게 평면상 제1 방향으로 연장하는 라인 형상을 가질 수 있고, 그에 따라, 가변 저항 패턴(130)의 일측면은 하나의 제1 적층 구조물(WLS)과 접할 수 있다. 반면, 제2 적층 구조물(BLS)은 기둥 형상을 가질 수 있고, 그에 따라, 가변 저항 패턴(130)의 타측면은 제1 방향으로 서로 이격하여 배열되는 하나 이상의 제2 적층 구조물(BLS)과 접할 수 있다.
- [0033] 한편, 설명에 있어서, 일측과 타측은 하나의 가변 저항 패턴(130)을 기준으로 서로 반대편에 위치함을 나타낼 뿐이며, 절대적인 방향을 의미하는 것이 아니다. 가변 저항 패턴(130)의 제1 적층 구조물(WLS)과 접하는 면이 일측면이라면, 제2 적층 구조물(BLS)과 접하는 면은 타측면이 될 수 있다. 따라서, 좌측에서 첫번째 가변 저항 패턴(130)의 경우 좌측면이 일측면이 되고 우측면이 타측면이 되는 반면, 좌측에서 두번째 가변 저항 패턴(130)의 경우 좌측면이 타측면이 되고 우측면이 일측면이 될 수 있다.
- [0034] 제1 및 제2 적층 구조물(WLS, BLS)에서 층간 절연막(110)은 산화막, 질화막 또는 이들의 조합 등으로 형성될 수 있고, 도전막(120)은 금속막, 금속 질화막, 불순물이 도핑된 폴리실리콘막 또는 이들의 조합 등으로 형성될 수 있다.
- [0035] 제2 적층 구조물(BLS)의 일측면이 가변 저항 패턴(130)과 접한다고 할 때, 제2 방향에서 제2 적층 구조물(BLS)의 일측면과 반대편에 위치하는 제2 적층 구조물(BLS)의 타측면은 기둥 형상의 도전 패턴(140A)과 접할 수 있다. 제1 방향으로 배열되는 하나 이상의 제2 적층 구조물(BLS) 각각의 타측면은 제1 방향으로 배열되는 하나 이상의 도전 패턴(140A) 각각과 접할 수 있다. 도전 패턴(140A)은 금속막, 금속 질화막, 불순물이 도핑된 폴리실리콘막 또는 이들의 조합 등으로 형성될 수 있다.
- [0036] 제1 방향에서 서로 이격된 제2 적층 구조물(BLS) 사이 및 도전 패턴(140A) 사이에는 절연 패턴(150)이 형성되어 제1 방향에서 인접한 제2 적층 구조물(BLS)을 서로 분리하고 아울러 제1 방향에서 인접한 도전 패턴(140A)을 서로 분리할 수 있다. 절연 패턴(150)은 산화물, 질화물 또는 이들의 조합 등으로 형성될 수 있다.
- [0037] 하나의 가변 저항 패턴(130) 및 이와 접하는 제1 적층 구조물(WLS), 제2 적층 구조물(BLS) 및 도전 패턴(140A)을 하나의 메모리 블록이라 가정할 때, 복수의 메모리 블록이 제2 방향으로 배열될 수 있다. 나아가, 인접한 메모리 블록은 도전 패턴(140A) 및/또는 제1 적층 구조물(WLS)을 공유할 수 있다. 이러한 경우, 도전 패턴(140A)을 기준으로 그 양측의 구조물은 서로 대칭할 수 있고, 제1 적층 구조물(WLS)을 기준으로 그 양측의 구조물은 서로 대칭할 수 있다. 본 실시예에서는, 제2 방향으로 6개의 가변 저항 패턴(130) 즉, 6개의 메모리 블록이 배치되는 경우를 나타내었는데, 설명의 편의상 좌측부터 순차적으로 제1 내지 제6 메모리 블록이라 하기로 한다. 이때, 제1 메모리 블록과 제2 메모리 블록, 제3 메모리 블록과 제4 메모리 블록, 및 제5 메모리 블록과 제6 메모리 블록은 도전 패턴(140A)을 공유할 수 있고, 제2 메모리 블록과 제3 메모리 블록, 및 제4 메모리 블록과 제5 메모리 블록은 제1 적층 구조물(WLS)을 공유할 수 있다.
- [0038] 한편, 하나의 가변 저항 패턴(130), 이 가변 저항 패턴(130)과 접하는 제1 적층 구조물(WLS)의 하나의 도전막(120), 및 이 가변 저항 패턴(130)과 제2 적층 구조물(BLS)을 통하여 접하는 하나의 도전 패턴(140A)이 하나의 메모리 셀을 형성할 수 있다. 다시 말하면, 기판(100)과 평행한 제1 방향으로 연장하는 도전막(120)과 기판(100)과 수직 방향으로 연장하는 도전 패턴(140A)의 교차점마다 메모리 셀이 형성될 수 있다. 제1 적층 구조물(WLS)의 도전막(120)은 예컨대, 가변 저항 소자의 일단을 제어하기 위한 워드라인으로 기능할 수 있고, 도전

패턴(140A)은 가변 저항 소자의 타단을 제어하기 위한 비트라인으로 기능할 수 있고, 제2 적층 구조물(BLS)의 도전막(120)은 비트라인과 접하는 일종의 전극으로 기능할 수 있다. 예시적으로 표시된 제1 메모리 셀(MC1)은, 제6 메모리 블록의 도전 패턴(140A) 중 제1 방향에서 가장 앞쪽에 위치하는 도전 패턴(140A)과, 제1 적층 구조물(WLS) 중 최하부의 도전막(120)의 교차점에 형성될 수 있고, 이들 도전 패턴(140A) 및 도전막(120)을 통하여 인가되는 전압에 따라 제어될 수 있다. 제1 메모리 셀(MC1)을 지나는 전류 경로(Current path)는 실선 화살표로 표기하였다.

[0039] 한편, 제1 적층 구조물(WLS)의 제1 방향의 단부는 계단 형상일 수 있다. 구체적으로, 제1 적층 구조물(WLS) 각각에 포함된 복수의 도전막(120)은 상부에서 하부로 갈수록 제1 방향의 폭이 증가할 수 있고, 그에 따라 제1 적층 구조물(WLS)에서 어느 하나의 도전막(120)은 자신의 바로 위에 배치되는 도전막(120)보다 제1 방향에서 더 돌출된 부분을 가질 수 있다. 이는 복수의 도전막(120) 각각의 상부에 배치되어 복수의 도전막(120) 각각과 연결되는 콘택(미도시됨)의 형성 영역을 제공하기 위함이다. 이들 콘택 각각은 대응하는 배선에 연결될 수 있고, 이들 배선을 통하여 공급되는 전압이 제1 적층 구조물(WLS)의 도전막(120)으로 전달될 수 있다. 또한, 도전 패턴(140A) 상에는 도전 패턴(140A)과 전기적으로 연결되면서 일 방향 예컨대, 제2 방향으로 연장하는 배선(미도시됨)이 형성될 수 있다. 이 배선을 통하여 공급되는 전압이 도전 패턴(140A)을 통하여 제2 적층 구조물(BLS)의 도전막(120)으로 전달될 수 있다.

[0040] 이상으로 설명한 반도체 장치의 제조 방법을 예시적으로 설명하면 다음과 같다.

[0041] 도 2를 참조하면, 기판(100) 상에 복수의 층간 절연막(110) 및 복수의 도전막(120)이 교대로 적층된 적층 구조물을 형성할 수 있다.

[0042] 도 3을 참조하면, 복수의 층간 절연막(110) 및 복수의 도전막(120)의 적층 구조물을 선택적으로 식각하여 적층 구조물 내에 제1 방향으로 연장하는 제1 트렌치(T1)를 형성할 수 있다.

[0043] 이어서, 제1 트렌치(T1) 내에 가변 저항 물질을 매립함으로써, 적층 구조물을 관통하고 제1 방향으로 연장하는 가변 저항 패턴(130)을 형성할 수 있다. 전술한 바와 같이, 가변 저항 패턴(130)은 가변 저항 특성을 갖는 다양한 물질을 포함하는 단일막 또는 다중막으로 형성될 수 있다. 이러한 가변 저항 패턴(130)은 제1 트렌치(T1)가 형성된 결과물 상에 가변 저항 물질을 형성한 후, 최상부의 층간 절연막(110)이 드러나도록 평탄화 공정 예컨대, CMP(Chemical Mechanical)를 수행하는 방식에 의하여 형성될 수 있다.

[0044] 나아가, 본 실시예에서, 가변 저항 패턴(130)은 산소리치형 금속 산화물층(132) 및 산소부족형 금속 산화물층(134)을 포함할 수 있다. 여기서, 산소리치형 금속 산화물층(132)은 TiO_x , Ta_2O_5 등과 같이 화학양론비를 만족하는 층일 수 있고, 산소부족형 금속 산화물층(134)은 TiO_x (여기서, $x < 2$), TaO_y (여기서, $y < 2.5$) 등과 같이 화학양론비보다 산소가 부족한 층일 수 있다. 이러한 경우, 가변 저항 패턴(130) 양측의 도전막(120)을 통하여 인가되는 전압에 따라 산소부족형 금속 산화물층(134)의 산소 공공이 산소리치형 금속 산화물층(132)으로 공급되는지 여부 및 그에 따라 산소리치형 금속 산화물층(132) 내에 산소 공공에 의한 필라멘트 전류 통로가 생성되는지 여부에 따라 메모리 셀의 저항이 고저항 상태와 저저항 상태 사이에서 변할 수 있다. 본 실시예에서, 산소리치형 금속 산화물층(132)은 제1 트렌치(T1)의 측벽 및 저면을 따라 형성되고, 산소 부족형 금속 산화물층(134)은 산소 리치형 금속 산화물층(132)이 형성된 제1 트렌치(T1)를 매립하도록 형성되어 있으나, 본 발명이 이에 한정되는 것은 아니며, 후술하는 도 7과 같이 산소 리치형 금속 산화물층(132) 및 산소 부족형 금속 산화물층(134)의 형상은 변형될 수도 있다. 본 실시예와 같은 가변 저항 패턴(130)을 형성하기 위해서는, 제1 트렌치(T1)가 형성된 결과물의 전면을 따라 산소 리치형 금속 산화물층(132)을 형성하고, 산소 리치형 금속 산화물층(132) 상에 제1 트렌치(T1)를 충분히 매립하는 두께의 산소 부족형 금속 산화물층(134)을 형성한 후, 최상부의 층간 절연막(110)이 드러날 때까지 평탄화 공정을 수행할 수 있다.

[0045] 한편, 가변 저항 패턴(130)에 의해서 적층 구조물은 가변 저항 패턴(130) 일측의 적층 구조물과 타측의 적층 구조물로 분리될 수 있다. 본 단계에서, 가변 저항 패턴(130) 일측의 제1 적층 구조물(WLS)이 정의될 수 있다. 반면, 아직 제2 적층 구조물(BLS)은 정의되지 않은 상태일 수 있다.

[0046] 도 4를 참조하면, 가변 저항 패턴(130) 타측의 적층 구조물을 선택적으로 식각하여 적층 구조물 내에 제1 방향으로 연장하는 제2 트렌치(T2)를 형성할 수 있다. 제2 트렌치(T2)에 의해 가변 저항 패턴(130) 타측의 적층 구조물은 다시 제2 트렌치(T2) 일측의 적층 구조물 및 제2 트렌치(T2) 타측의 적층 구조물로 분리될 수 있다. 제2 트렌치(T2) 일측 및 타측의 적층 구조물을 이하, 초기 제2 적층 구조물(BLS')이라 할 수 있다. 초기 제2 적층 구조물(BLS')은 제1 방향으로 연장할 수 있다.

- [0047] 이어서, 제2 트렌치(T2) 내에 도전 물질을 매립함으로써, 적층 구조물을 관통하고 제1 방향으로 연장하는 초기 도전 패턴(140)을 형성할 수 있다.
- [0048] 도 5를 참조하면, 초기 제2 적층 구조물(BLS') 및 초기 도전 패턴(140)을 선택적으로 식각하여, 제1 방향에서 초기 제2 적층 구조물(BLS') 및 초기 도전 패턴(140)을 하나 이상으로 분리하는 제3 트렌치(T3)를 형성할 수 있다. 제3 트렌치(T3)에 의해 기둥 형상의 제2 적층 구조물(BLS) 및 도전 패턴(140A)이 형성될 수 있다.
- [0049] 이어서, 제3 트렌치(T3)를 절연 물질로 매립함으로써 절연 패턴(150)을 형성할 수 있다.
- [0050] 도 6을 참조하면, 제1 방향에서 제1 적층 구조물(WLS)의 단부를 선택적으로 식각하여 계단 형상을 갖게 할 수 있다. 이러한 공정은 이미 잘 알려져 있으므로 그 상세한 설명은 생략하기로 한다. 그에 따라, 제1 적층 구조물(WLS)의 도전막(120)은 자신의 상부의 도전막(120)보다 돌출된 부분을 가질 수 있다.
- [0051] 이어서, 제1 적층 구조물(WLS)의 도전막(120) 각각의 돌출된 부분 상에 도전 콘택(C1, C2, C3)을 형성할 수 있다. 도전 콘택(C1, C2, C3)은 제1 적층 구조물(WLS)을 덮는 절연막(미도시됨)을 형성한 후, 절연막을 선택적으로 식각하여 도전막(120) 각각의 돌출된 부분을 노출시키는 홀을 형성하고 이 홀에 도전 물질을 매립하는 방식에 의하여 형성될 수 있다.
- [0052] 이어서, 도시하지는 않았지만, 제1 적층 구조물(WLS)을 덮는 절연막(미도시됨) 상에 도전 콘택(C1, C2, C3) 각각과 연결되는 배선들을 형성할 수 있다. 또한, 도시하지는 않았지만, 도 6의 공정 결과물 상에 도전 물질을 증착하고 패터닝하여 도전 패턴(140A)과 연결되는 배선을 형성할 수 있다.
- [0053] 이상으로 설명한 반도체 장치 및 그 제조 방법에 의하면 다음과 같은 장점이 있다.
- [0054] 우선, 기판(100) 상에 수직 방향으로 복수의 메모리 셀이 적층되므로 반도체 장치의 집적도가 증가할 수 있다.
- [0055] 또한, 공정이 용이하고 공정 불량률이 발생하지 않는다. 예를 들어, 수평 배선 및 수직 배선 사이에 가변 저항 물질을 개재하는 반도체 장치에서는 수직 홀 측벽에 가변 저항 물질을 증착하고 이 수직 홀을 도전 물질로 매립하여 수직 배선을 형성하게 되는데, 도전 물질 매립시 기 증착된 가변 저항 물질의 특성이 열화되는 문제점 등이 발생할 수 있다. 그러나, 본 실시예의 경우, 라인 형상의 트렌치 내에는 가변 저항 물질만이 매립되고 트렌치 양측에 기 형성된 도전막(120)이 배치되므로, 가변 저항 물질의 특성이 열화될 염려가 없다. 게다가, 라인 타입의 가변 저항 패턴(130)을 형성할 수 있으므로, 홀 타입으로 가변 저항 물질을 패터닝하는 경우에 비하여 공정이 용이하다. 나아가, 트렌치 내에 가변 저항 물질만 매립되므로 가변 저항 물질의 수평 방향 두께를 확보할 수 있어 그로 인한 특성 향상도 가능하다.
- [0056] 또한, 공정 비용 면에서 효율적일 수 있다. 복수의 가변 저항 패턴(130)이나, 복수의 도전막(120) 등을 일괄적으로 형성할 수 있어, 공정 단계가 감소하기 때문이다.
- [0057] 게다가, 기판(100)과 평행한 방향으로 복수의 메모리 셀을 포함하는 복수의 메모리 블록들이 배열될 수 있는데, 이들 메모리 블록은 워드라인으로 기능하는 제1 적층 구조물(WLS)의 도전막(120) 및/또는 비트라인으로 기능하는 도전 패턴(140A)을 공유할 수 있으므로, 장치의 평면 면적이 감소할 수 있다. 또한, 제1 적층 구조물(WLS)의 도전막(120) 및/또는 도전 패턴(140A)을 기준으로 양측에 대칭하는 구조물을 형성할 수 있으므로 메모리 셀의 특성의 균일성을 확보할 수 있다.
- [0058] 이하, 도 7 내지 도 11을 참조하여 본 발명의 다른 일 실시예에 따른 반도체 장치 및 그 제조 방법을 설명하기로 한다. 전술한 실시예와의 차이점을 중심으로 설명하기로 한다.
- [0059] 도 7은 본 발명의 다른 일 실시예에 따른 반도체 장치를 나타내는 단면도이고, 도 8은 도 7의 반도체 장치의 제조 방법을 예시적으로 설명하기 위한 단면도이고, 도 9 내지 도 11은 도 7의 반도체 장치의 다른 제조 방법을 예시적으로 설명하기 위한 단면도이다. 도 7 내지 도 11은 도 1의 A-A' 선에 따른 단면을 기준으로 도시된 것이다.
- [0060] 도 7을 참조하면, 가변 저항 패턴(1300)은 산소 리치형 금속 산화물층(1320) 및 산소 부족형 금속 산화물층(1340)을 포함할 수 있는데, 여기서, 산소 리치형 금속 산화물층(1320)은 제1 트렌치(T1)의 일측벽 상에 배치되면서 제1 방향으로 연장할 수 있고, 산소 부족형 금속 산화물층(1340)은 제1 트렌치(T2)의 타측벽 상에 배치되면서 제1 방향으로 연장할 수 있다. 다시 말하면, 산소 리치형 금속 산화물층(1320)은 제1 및 제2 적층 구조물(WLS, BLS) 중 어느 하나 예컨대, 제2 적층 구조물(BLS)과 접하고, 산소 부족형 금속 산화물층(1340)은 제1 및

제2 적층 구조물(WLS, BLS) 중 다른 하나 예컨대, 제1 적층 구조물(WLS)과 접할 수 있다.

- [0061] 이러한 경우, 산소 부족형 금속 산화물층(1340)에서 산소 리치형 금속 산화물층(1320)으로의 산소 공공의 이동이 용이하므로, 동작 특성이 향상될 수 있다.
- [0062] 도 7과 같은 반도체 장치의 가변 저항 패턴(1300)은, 예컨대, 도 8에서 설명하는 방법을 통하여 제조될 수 있다.
- [0063] 도 8을 참조하면, 층간 절연막(110) 및 도전막(120)의 적층 구조물을 식각하여 제1 트렌치(T1)를 형성한 후, 제1 트렌치(T1)를 산소 부족형 금속 산화물층(1340)으로 매립할 수 있다.
- [0064] 이어서, 적층 구조물 상에 산소 리치형 금속 산화물층(1320)이 형성될 영역을 노출시키는 개구부(O)를 갖는 마스크 패턴(M)을 형성한 후, 산소 임플란트를 수행할 수 있다. 산소 임플란트는 예컨대, 가스 클러스터 이온 빔(Gas Cluster Ion Beams) 방식으로 수행될 수 있다. 이러한 경우, 산소는 개구부(O)를 통하여 산소 부족형 금속 산화물층(1340)의 일부로 주입되고, 산소가 주입된 영역은 산소 리치형 금속 산화물층(1320)으로 변형될 수 있다.
- [0065] 결과적으로, 도 7과 유사한 가변 저항 패턴(1300)이 형성될 수 있다.
- [0066] 또는, 도 7과 같은 반도체 장치의 가변 저항 패턴(1300)은, 예컨대, 도 9 내지 도 11에서 설명하는 방법을 통하여 제조될 수 있다.
- [0067] 도 9를 참조하면, 층간 절연막(110) 및 도전막(120)의 적층 구조물을 식각하여 제1 트렌치(T1)를 형성한 후, 결과물의 전면을 따라 산소 리치형 금속 산화물층(1320)을 형성할 수 있다.
- [0068] 이어서, 산소 리치형 금속 산화물층(1320)이 형성된 제1 트렌치(T1)의 나머지 공간을 매립하는 갭필막(210)을 형성할 수 있다. 갭필막(210)은 제거가 용이하며 매립 특성이 우수한 막 예컨대, SOC(Spin On Carbon) 막 등으로 형성될 수 있다.
- [0069] 이어서, 산소 리치형 금속 산화물층(1320) 및 갭필막(210) 상에 제1 트렌치(T1)에서 산소 리치형 금속 산화물층(1320)이 잔류할 일측벽은 덮으면서 타측벽은 노출시키는 마스크 패턴(220)을 형성할 수 있다. 예컨대, 마스크 패턴(220)은 인접한 두 개의 제1 트렌치(T1)의 인접한 두 개의 측벽을 동시에 덮는 형상을 가질 수 있다. 마스크 패턴(220)은 예컨대, 포토레지스트 패턴일 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0070] 도 10을 참조하면, 마스크 패턴(220)을 식각 베리어로 갭필막(210) 및 산소 리치형 금속 산화물층(1320)을 식각할 수 있다. 그에 따라, 산소 리치형 금속 산화물층(1320)은 제1 트렌치(T1)의 일측벽 상에만 잔류하고 타측벽 상에서는 제거될 수 있다.
- [0071] 도 11을 참조하면, 마스크 패턴(220) 및 갭필막(210)을 제거한다. 마스크 패턴(220) 및 갭필막(210)이 동일 계열의 물질로 이루어진 경우, 마스크 패턴(220) 및 갭필막(210)의 제거는 동시에 수행될 수 있다. 예컨대, 마스크 패턴(220)이 포토레지스트로 형성되고 갭필막(210)이 SOC와 같은 탄소 계열로 형성된 경우, 마스크 패턴(220) 및 갭필막(210)은 산소 스트립 공정에 의하여 제거될 수 있다.
- [0072] 이어서, 마스크 패턴(220) 및 갭필막(210)이 제거된 결과물 상에 제1 트렌치(T1)를 충분히 매립하는 두께로 산소 부족형 금속 산화물층(1340)을 형성할 수 있다.
- [0073] 이어서, 도시하지는 않았지만, 최상부의 층간 절연막(110)이 드러나도록 평탄화 공정을 수행하면, 결과적으로, 도 7과 유사한 가변 저항 패턴(1300)이 형성될 수 있다.
- [0074] 전술한 실시예들의 메모리 회로 또는 반도체 장치는 다양한 장치 또는 시스템에 이용될 수 있다. 도 12 내지 도 16은 전술한 실시예들의 메모리 회로 또는 반도체 장치를 구현할 수 있는 장치 또는 시스템의 몇몇 예시들을 나타낸다.
- [0075] 도 12는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도의 일 예이다.
- [0076] 도 12를 참조하면, 마이크로프로세서(1000)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행할 수 있으며, 기억부(1010), 연산부(1020), 제어부(1030) 등을 포함할 수 있다. 마이크로프로세서(1000)는 중앙 처리 장치(Central Processing Unit; CPU), 그래픽 처리 장치(Graphic Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 어

플리케이션 프로세서(Application Processor; AP) 등 각종 데이터 처리 장치 일 수 있다.

- [0077] 기억부(1010)는 프로세서 레지스터(Processor register), 레지스터(Register) 등으로, 마이크로프로세서(1000) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 기억부(1010)는 연산부(1020)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다.
- [0078] 기억부(1010)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예컨대, 기억부(1010)는 기판 상에 배치되고, 제1 방향으로 연장하는 가변 저항 패턴; 상기 기판 상에 교대로 적층된 복수의 층간 절연막 및 복수의 도전막을 포함하고, 상기 가변 저항 패턴의 일측면 및 타측면과 각각 접하는 제1 및 제2 적층 구조물 - 여기서, 상기 제1 적층 구조물은 제1 방향으로 연장하는 라인 형상을 갖고, 상기 제2 적층 구조물은 기둥 형상을 가짐. -; 및 상기 가변 저항 패턴과 접하지 않는 상기 제2 적층 구조물의 일측면과 접하는 기둥 형상의 도전 패턴을 포함할 수 있다. 이를 통해, 기억부(1010)의 집적도가 증가하고 데이터 저장 특성이 향상될 수 있다. 결과적으로, 마이크로프로세서(1000)의 사이즈 감소 및 동작 특성이 향상될 수 있다.
- [0079] 연산부(1020)는 제어부(1030)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산 또는 논리 연산을 수행할 수 있다. 연산부(1020)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다.
- [0080] 제어부(1030)는 기억부(1010), 연산부(1020), 마이크로프로세서(1000)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 마이크로프로세서(1000)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.
- [0081] 본 실시예에 따른 마이크로프로세서(1000)는 기억부(1010) 이외에 외부 장치로부터 입력되거나 외부 장치로 출력할 데이터를 임시 저장할 수 있는 캐시 메모리부(1040)를 추가로 포함할 수 있다. 이 경우 캐시 메모리부(1040)는 버스 인터페이스(1050)를 통해 기억부(1010), 연산부(1020) 및 제어부(1030)와 데이터를 주고 받을 수 있다.
- [0082] 도 13은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도의 일 예이다.
- [0083] 도 13을 참조하면, 프로세서(1100)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행하는 마이크로프로세서의 기능 이외에 다양한 기능을 포함하여 성능 향상 및 다기능을 구현할 수 있다. 프로세서(1100)는 마이크로프로세서의 역할을 하는 코어부(1110), 데이터를 임시 저장하는 역할을 하는 캐시 메모리부(1120) 및 내부와 외부 장치 사이의 데이터 전달을 위한 버스 인터페이스(1430)를 포함할 수 있다. 프로세서(1100)는 멀티 코어 프로세서(Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP) 등과 같은 각종 시스템 온 칩(System on Chip; SoC)을 포함할 수 있다.
- [0084] 본 실시예의 코어부(1110)는 외부 장치로부터 입력된 데이터를 산술 논리 연산하는 부분으로, 기억부(1111), 연산부(1112) 및 제어부(1113)를 포함할 수 있다.
- [0085] 기억부(1111)는 프로세서 레지스터(Processor register), 레지스터(Register) 등으로, 프로세서(1100) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 기억부(1111)는 연산부(1112)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다. 연산부(1112)는 프로세서(1100)의 내부에서 연산을 수행하는 부분으로, 제어부(1113)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산, 논리 연산 등을 수행할 수 있다. 연산부(1112)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다. 제어부(1113)는 기억부(1111), 연산부(1112), 프로세서(1100)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 프로세서(1100)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.
- [0086] 캐시 메모리부(1120)는 고속으로 동작하는 코어부(1110)와 저속으로 동작하는 외부 장치 사이의 데이터 처리 속도 차이를 보완하기 위해 임시로 데이터를 저장하는 부분으로, 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123)를 포함할 수 있다. 일반적으로 캐시 메모리부(1120)는 1차, 2차 저장부(1121, 1122)를 포함하며 고

용량이 필요할 경우 3차 저장부(1123)를 포함할 수 있으며, 필요시 더 많은 저장부를 포함할 수 있다. 즉 캐시 메모리부(1120)가 포함하는 저장부의 개수는 설계에 따라 달라질 수 있다. 여기서, 1차, 2차, 3차 저장부(1121, 1122, 1123)의 데이터 저장 및 판별하는 처리 속도는 같을 수도 있고 다를 수도 있다. 각 저장부의 처리 속도가 다른 경우, 1차 저장부의 속도가 제일 빠를 수 있다. 캐시 메모리부(1120)의 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123) 중 하나 이상의 저장부는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 캐시 메모리부(1120)는 기판 상에 배치되고, 제1 방향으로 연장하는 가변 저항 패턴; 상기 기판 상에 교대로 적층된 복수의 층간 절연막 및 복수의 도전막을 포함하고, 상기 가변 저항 패턴의 일측면 및 타측면과 각각 접하는 제1 및 제2 적층 구조물 - 여기서, 상기 제1 적층 구조물은 제1 방향으로 연장하는 라인 형상을 갖고, 상기 제2 적층 구조물은 기둥 형상을 가짐. -; 및 상기 가변 저항 패턴과 접하지 않는 상기 제2 적층 구조물의 일측면과 접하는 기둥 형상의 도전 패턴을 포함할 수 있다. 이를 통해 캐시 메모리부(1120)의 집적도가 증가하고 데이터 저장 특성이 향상될 수 있다. 결과적으로, 프로세서(1100)의 사이즈 감소 및 동작 특성이 향상될 수 있다.

[0087] 도 13에는 1차, 2차, 3차 저장부(1121, 1122, 1123)가 모두 캐시 메모리부(1120)의 내부에 구성된 경우를 도시하였으나, 캐시 메모리부(1120)의 1차, 2차, 3차 저장부(1121, 1122, 1123)는 모두 코어부(1110)의 외부에 구성되어 코어부(1110)와 외부 장치간의 처리 속도 차이를 보완할 수 있다. 또는, 캐시 메모리부(1120)의 1차 저장부(1121)는 코어부(1110)의 내부에 위치할 수 있고, 2차 저장부(1122) 및 3차 저장부(1123)는 코어부(1110)의 외부에 구성되어 처리 속도 차이의 보완 기능이 보다 강화될 수 있다. 또는, 1차, 2차 저장부(1121, 1122)는 코어부(1110)의 내부에 위치할 수 있고, 3차 저장부(1123)는 코어부(1110)의 외부에 위치할 수 있다.

[0088] 버스 인터페이스(1430)는 코어부(1110), 캐시 메모리부(1120) 및 외부 장치를 연결하여 데이터를 효율적으로 전송할 수 있게 해주는 부분이다.

[0089] 본 실시예에 따른 프로세서(1100)는 다수의 코어부(1110)를 포함할 수 있으며 다수의 코어부(1110)가 캐시 메모리부(1120)를 공유할 수 있다. 다수의 코어부(1110)와 캐시 메모리부(1120)는 직접 연결되거나, 버스 인터페이스(1430)를 통해 연결될 수 있다. 다수의 코어부(1110)는 모두 상술한 코어부의 구성과 동일하게 구성될 수 있다. 프로세서(1100)가 다수의 코어부(1110)를 포함할 경우, 캐시 메모리부(1120)의 1차 저장부(1121)는 다수의 코어부(1110)의 개수에 대응하여 각각의 코어부(1110) 내에 구성되고 2차 저장부(1122)와 3차 저장부(1123)는 다수의 코어부(1110)의 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다. 여기서, 1차 저장부(1121)의 처리 속도가 2차, 3차 저장부(1122, 1123)의 처리 속도보다 빠를 수 있다. 다른 실시예에서, 1차 저장부(1121)와 2차 저장부(1122)는 다수의 코어부(1110)의 개수에 대응하여 각각의 코어부(1110) 내에 구성되고, 3차 저장부(1123)는 다수의 코어부(1110) 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다.

[0090] 본 실시예에 따른 프로세서(1100)는 데이터를 저장하는 임베디드(Embedded) 메모리부(1140), 외부 장치와 유선 또는 무선으로 데이터를 송수신할 수 있는 통신모듈부(1150), 외부 기억 장치를 구동하는 메모리 컨트롤부(1160), 외부 인터페이스 장치에 프로세서(1100)에서 처리된 데이터나 외부 입력장치에서 입력된 데이터를 가공하고 출력하는 미디어처리부(1170) 등을 추가로 포함할 수 있으며, 이 이외에도 다수의 모듈과 장치를 포함할 수 있다. 이 경우 추가된 다수의 모듈들은 버스 인터페이스(1130)를 통해 코어부(1110), 캐시 메모리부(1120) 및 상호간 데이터를 주고 받을 수 있다.

[0091] 여기서 임베디드 메모리부(1140)는 휘발성 메모리뿐만 아니라 비휘발성 메모리를 포함할 수 있다. 휘발성 메모리는 DRAM(Dynamic Random Access Memory), Mobile DRAM, SRAM(Static Random Access Memory), 및 이와 유사한 기능을 하는 메모리 등을 포함할 수 있으며, 비휘발성 메모리는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory), 및 이와 유사한 기능을 수행하는 메모리 등을 포함할 수 있다.

[0092] 통신모듈부(1150)는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Power Line Communication; PLC) 등을 포함할 수 있다. 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센

서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency Identification), 롱텀에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.

[0093] 메모리 컨트롤부(1160)는 프로세서(1100)와 서로 다른 통신 규격에 따라 동작하는 외부 저장 장치 사이에 전송되는 데이터를 처리하고 관리하기 위한 것으로 각종 메모리 컨트롤러, 예를 들어, IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), RAID(Redundant Array of Independent Disks), SSD(Solid State Disk), eSATA(External SATA), PCMCIA(Personal Computer Memory Card International Association), USB(Universal Serial Bus), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등을 제어하는 컨트롤러를 포함할 수 있다.

[0094] 미디어처리부(1170)는 프로세서(1100)에서 처리된 데이터나 외부 입력장치로부터 영상, 음성 및 기타 형태로 입력된 데이터를 가공하고, 이 데이터를 외부 인터페이스 장치로 출력할 수 있다. 미디어처리부(1170)는 그래픽 처리 장치(Graphics Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 고선명 오디오(High Definition Audio; HD Audio), 고선명 멀티미디어 인터페이스(High Definition Multimedia Interface; HDMI) 컨트롤러 등을 포함할 수 있다.

[0095] 도 14는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도의 일 예이다.

[0096] 도 14를 참조하면, 시스템(1200)은 데이터를 처리하는 장치로, 데이터에 대하여 일련의 조작을 행하기 위해 입력, 처리, 출력, 통신, 저장 등을 수행할 수 있다. 시스템(1200)은 프로세서(1210), 주기억장치(1220), 보조기억장치(1230), 인터페이스 장치(1240) 등을 포함할 수 있다. 본 실시예의 시스템(1200)은 컴퓨터(Computer), 서버(Server), PDA(Personal Digital Assistant), 휴대용 컴퓨터(Portable Computer), 웹 태블릿(Web Tablet), 무선 폰(Wireless Phone), 모바일 폰(Mobile Phone), 스마트 폰(Smart Phone), 디지털 뮤직 플레이어(Digital Music Player), PMP(Portable Multimedia Player), 카메라(Camera), 위성항법장치(Global Positioning System; GPS), 비디오 카메라(Video Camera), 음성 녹음기(Voice Recorder), 텔레매틱스(Telematics), AV시스템(Audio Visual System), 스마트 텔레비전(Smart Television) 등 프로세스를 사용하여 동작하는 각종 전자 시스템일 수 있다.

[0097] 프로세서(1210)는 입력된 명령어의 해석과 시스템(1200)에 저장된 자료의 연산, 비교 등의 처리를 제어할 수 있고, 마이크로프로세서(Micro Processor Unit; MPU), 중앙 처리 장치(Central Processing Unit; CPU), 싱글/멀티 코어 프로세서(Single/Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP), 디지털 신호 처리 장치(Digital Signal Processor; DSP) 등을 포함할 수 있다.

[0098] 주기억장치(1220)는 프로그램이 실행될 때 보조기억장치(1230)로부터 프로그램 코드나 자료를 이동시켜 저장, 실행시킬 수 있는 기억장소로, 전원이 끊어져도 기억된 내용이 보존될 수 있다. 주기억장치(1220)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 주기억장치(1220)는 기판 상에 배치되고, 제 1 방향으로 연장하는 가변 저항 패턴; 상기 기판 상에 교대로 적층된 복수의 층간 절연막 및 복수의 도전막을 포함하고, 상기 가변 저항 패턴의 일측면 및 타측면과 각각 접하는 제1 및 제2 적층 구조물 - 여기서, 상기 제1 적층 구조물은 제1 방향으로 연장하는 라인 형상을 갖고, 상기 제2 적층 구조물은 기둥 형상을 가짐. -; 및 상기 가변 저항 패턴과 접하지 않는 상기 제2 적층 구조물의 일측면과 접하는 기둥 형상의 도전 패턴을 포함할 수 있다. 이를 통해, 주기억장치(1220)의 집적도가 증가하고 데이터 저장 특성이 향상될 수 있다.. 결과적으로, 시스템(1200)의 사이즈 감소 및 동작 특성이 향상될 수 있다.

[0099] 또한, 주기억장치(1220)는 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 더 포함할 수 있다. 이와는 다르게, 주기억장치(1220)는 전술한 실시예의 반도체 장치를 포함하지 않고, 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 포함할 수

있다.

[0100] 보조기억장치(1230)는 프로그램 코드나 데이터를 보관하기 위한 기억장치를 말한다. 주기억장치(1220)보다 속도는 느리지만 많은 자료를 보관할 수 있다. 보조기억장치(1230)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 보조기억장치(1230)는 기관 상에 배치되고, 제1 방향으로 연장하는 가변 저항 패턴; 상기 기관 상에 교대로 적층된 복수의 층간 절연막 및 복수의 도전막을 포함하고, 상기 가변 저항 패턴의 일측면 및 타측면과 각각 접하는 제1 및 제2 적층 구조물 - 여기서, 상기 제1 적층 구조물은 제1 방향으로 연장하는 라인 형상을 갖고, 상기 제2 적층 구조물은 기둥 형상을 가짐. -; 및 상기 가변 저항 패턴과 접하지 않는 상기 제2 적층 구조물의 일측면과 접하는 기둥 형상의 도전 패턴을 포함할 수 있다. 이를 통해, 보조기억장치(1230)의 집적도가 증가하고 데이터 저장 특성이 향상될 수 있다. 결과적으로, 시스템(1200)의 사이즈 감소 및 동작 특성이 향상될 수 있다.

[0101] 또한, 보조기억장치(1230)는 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 데이터 저장 시스템(도 15의 1300 참조)을 더 포함할 수 있다. 이와는 다르게, 보조기억장치(1230)는 전술한 실시예의 반도체 장치를 포함하지 않고 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 데이터 저장 시스템(도 10의 1300 참조)들을 포함할 수 있다.

[0102] 인터페이스 장치(1240)는 본 실시예의 시스템(1200)과 외부 장치 사이에서 명령, 데이터 등을 교환하기 위한 것일 수 있으며, 키패드(keypad), 키보드(keyboard), 마우스(Mouse), 스피커(Speaker), 마이크(Mike), 표시장치(Display), 각종 휴먼 인터페이스 장치(Human Interface Device; HID), 통신장치 등일 수 있다. 통신장치는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Power Line Communication; PLC) 등을 포함할 수 있으며, 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency IDentification), 롱텀에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.

[0103] 도 15는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도의 일 예이다.

[0104] 도 15를 참조하면, 데이터 저장 시스템(1300)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 저장 장치(1310), 이를 제어하는 컨트롤러(1320), 외부 장치와의 연결을 위한 인터페이스(1330), 및 데이터를 임시 저장하기 위한 임시 저장 장치(1340)를 포함할 수 있다. 데이터 저장 시스템(1300)은 하드 디스크(Hard Disk Drive; HDD), 광학 드라이브(Compact Disc Read Only Memory; CDRom), DVD(Digital Versatile Disc), 고상 디스크(Solid State Disk; SSD) 등의 디스크 형태와 USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱

카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일 수 있다.

[0105] 저장 장치(1310)는 데이터를 반 영구적으로 저장하는 비휘발성 메모리를 포함할 수 있다. 여기서, 비휘발성 메모리는, ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.

[0106] 컨트롤러(1320)는 저장 장치(1310)와 인터페이스(1330) 사이에서 데이터의 교환을 제어할 수 있다. 이를 위해 컨트롤러(1320)는 데이터 저장 시스템(1300) 외부에서 인터페이스(1330)를 통해 입력된 명령어들을 처리하기 위한 연산 등을 수행하는 프로세서(1321)를 포함할 수 있다.

[0107] 인터페이스(1330)는 데이터 저장 시스템(1300)과 외부 장치간에 명령 및 데이터 등을 교환하기 위한 것이다. 데이터 저장 시스템(1300)이 카드인 경우, 인터페이스(1330)는, USB(Universal Serial Bus Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 장치에서 사용되는 인터페이스들과 호환될 수 있거나, 또는, 이들 장치와 유사한 장치에서 사용되는 인터페이스들과 호환될 수 있다. 데이터 저장 시스템(1300)이 디스크 형태일 경우, 인터페이스(1330)는 IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), eSATA(External SATA), PCMCIA(Personal Computer Memory Card International Association), USB(Universal Serial Bus) 등과 같은 인터페이스와 호환될 수 있거나, 또는, 이들 인터페이스와 유사한 인터페이스와 호환될 수 있다. 인터페이스(1330)는 서로 다른 타입을 갖는 하나 이상의 인터페이스와 호환될 수도 있다.

[0108] 임시 저장 장치(1340)는 외부 장치와의 인터페이스, 컨트롤러, 및 시스템의 다양화, 고성능화에 따라 인터페이스(1330)와 저장 장치(1310)간의 데이터의 전달을 효율적으로 하기 위하여 데이터를 임시로 저장할 수 있다. 임시 저장 장치(1340)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 임시 저장 장치(1340)는 기판 상에 배치되고, 제1 방향으로 연장하는 가변 저항 패턴; 상기 기판 상에 교대로 적층된 복수의 층간 절연막 및 복수의 도전막을 포함하고, 상기 가변 저항 패턴의 일측면 및 타측면과 각각 접하는 제1 및 제2 적층 구조물 - 여기서, 상기 제1 적층 구조물은 제1 방향으로 연장하는 라인 형상을 갖고, 상기 제2 적층 구조물은 기둥 형상을 가짐. -; 및 상기 가변 저항 패턴과 접하지 않는 상기 제2 적층 구조물의 일측면과 접하는 기둥 형상의 도전 패턴을 포함할 수 있다. 이를 통해, 임시 저장 장치(1340)의 집적도가 증가하고 데이터 저장 특성이 향상될 수 있다. 결과적으로, 데이터 저장 시스템(1300)의 사이즈 감소 및 동작 특성이 향상될 수 있다.

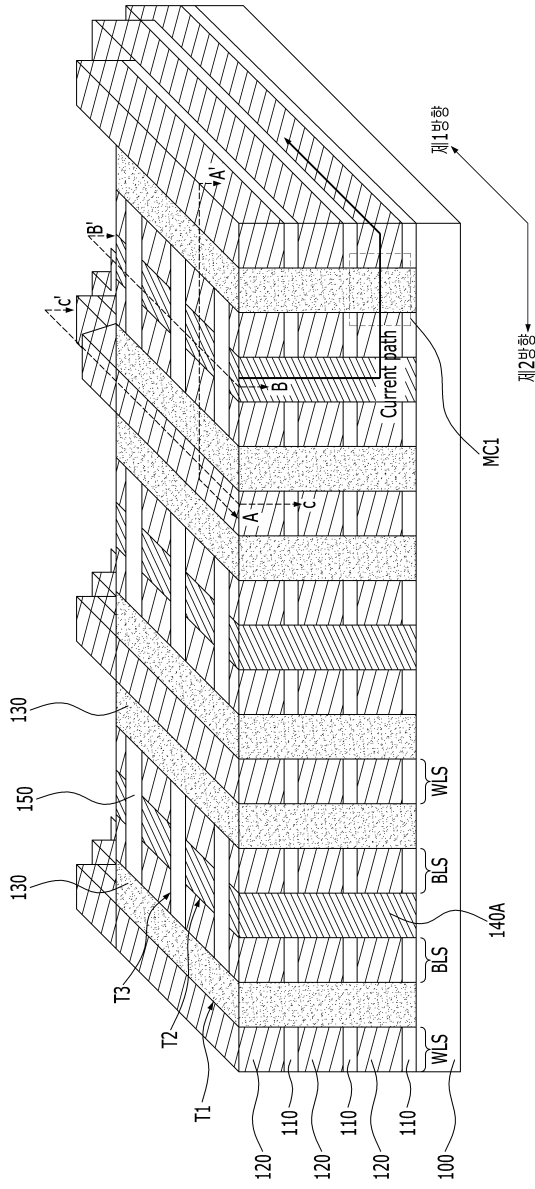
[0109] 도 16은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도의 일 예이다.

[0110] 도 16을 참조하면, 메모리 시스템(1400)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 메모리(1410), 이를 제어하는 메모리 컨트롤러(1420), 외부 장치와의 연결을 위한 인터페이스(1430) 등을 포함할 수 있다. 메모리 시스템(1400)은 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일 수 있다.

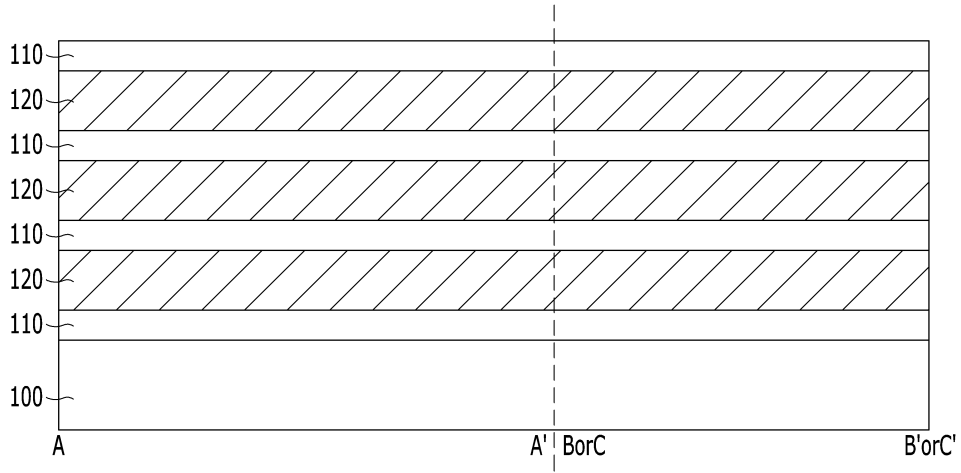
[0111] 데이터를 저장하는 메모리(1410)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 메모리(1410)는 기판 상에 배치되고, 제1 방향으로 연장하는 가변 저항 패턴; 상기 기판 상에 교대로 적층된 복수의 층간 절연막 및 복수의 도전막을 포함하고, 상기 가변 저항 패턴의 일측면 및 타측면과 각각 접하는 제1 및 제2 적층 구조물 - 여기서, 상기 제1 적층 구조물은 제1 방향으로 연장하는 라인 형상을 갖고, 상기 제2 적층 구조물은 기둥 형상을 가짐. -; 및 상기 가변 저항 패턴과 접하지 않는 상기 제2 적층 구조물의 일측면과 접

도면

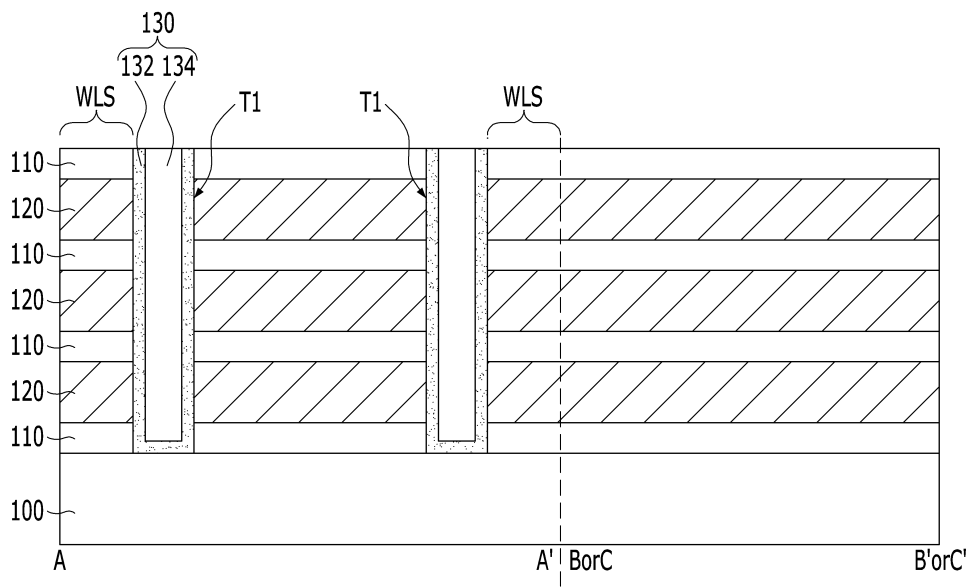
도면1



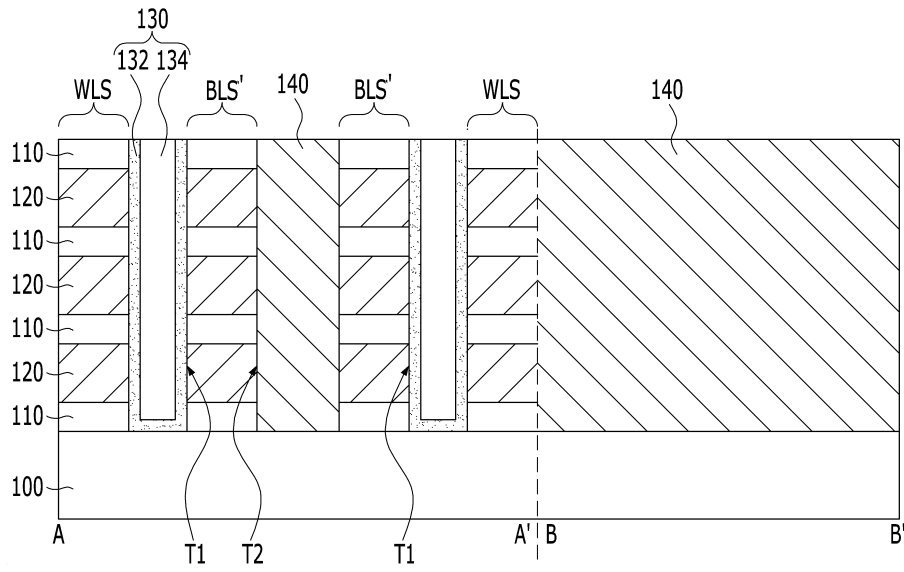
도면2



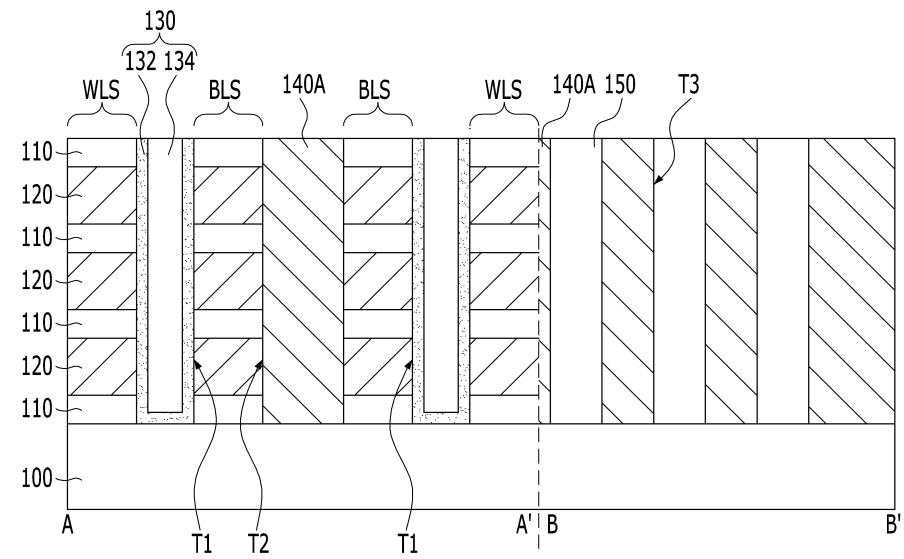
도면3



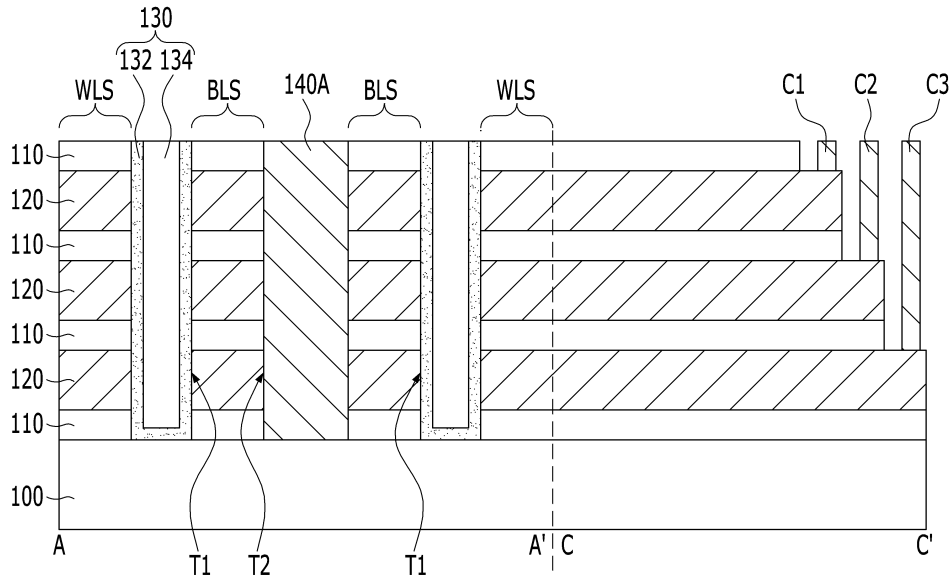
도면4



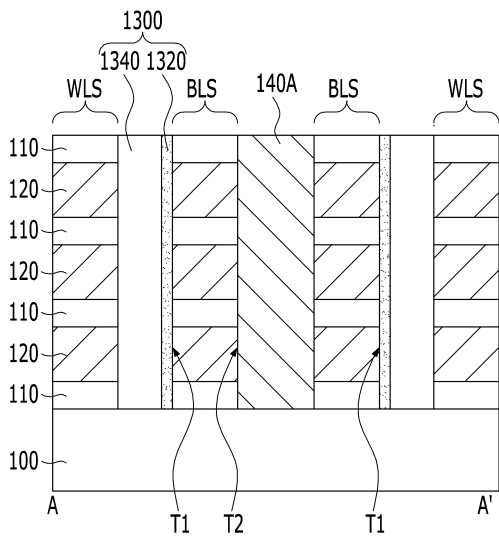
도면5



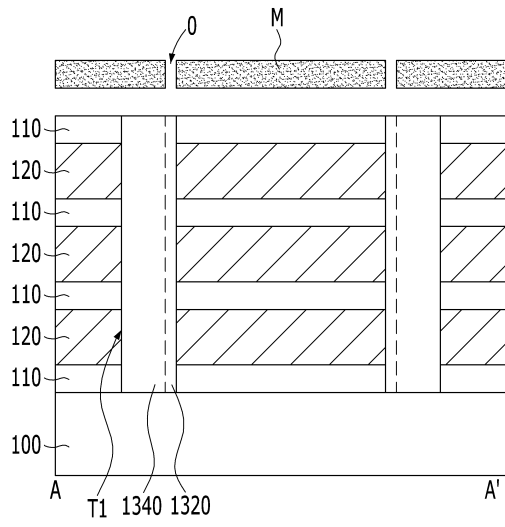
도면6



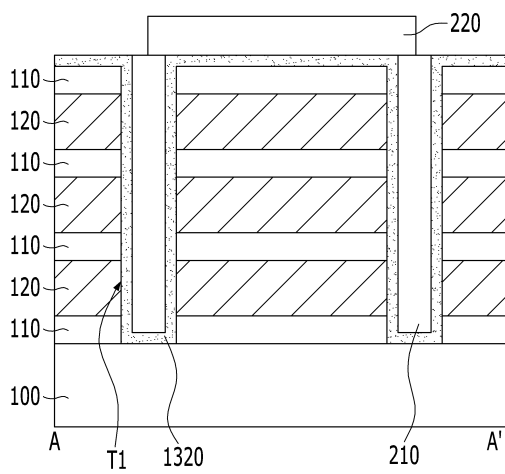
도면7



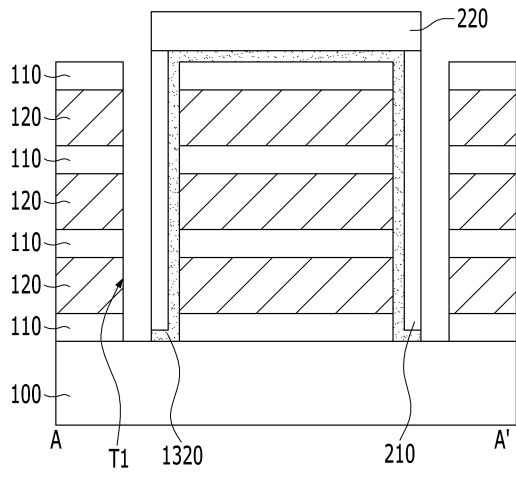
도면8



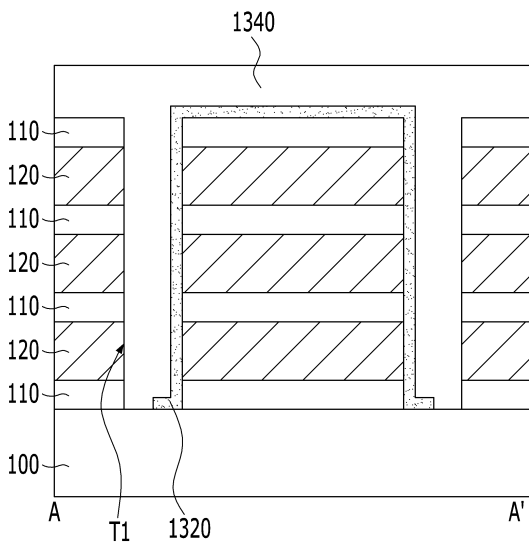
도면9



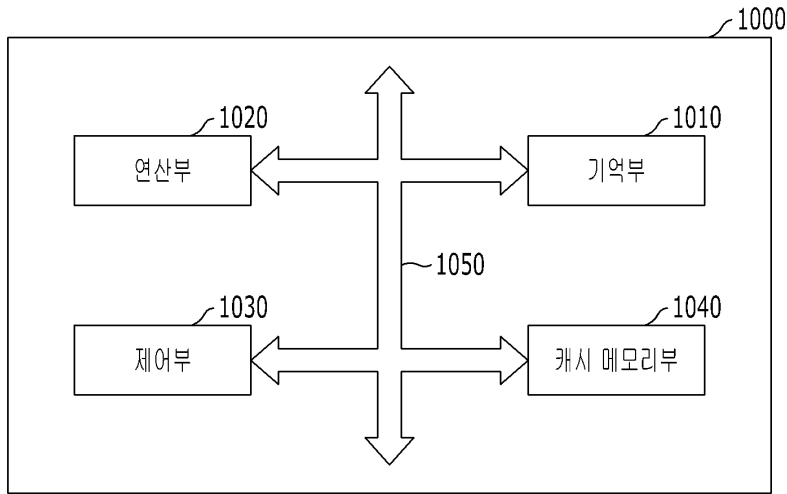
도면10



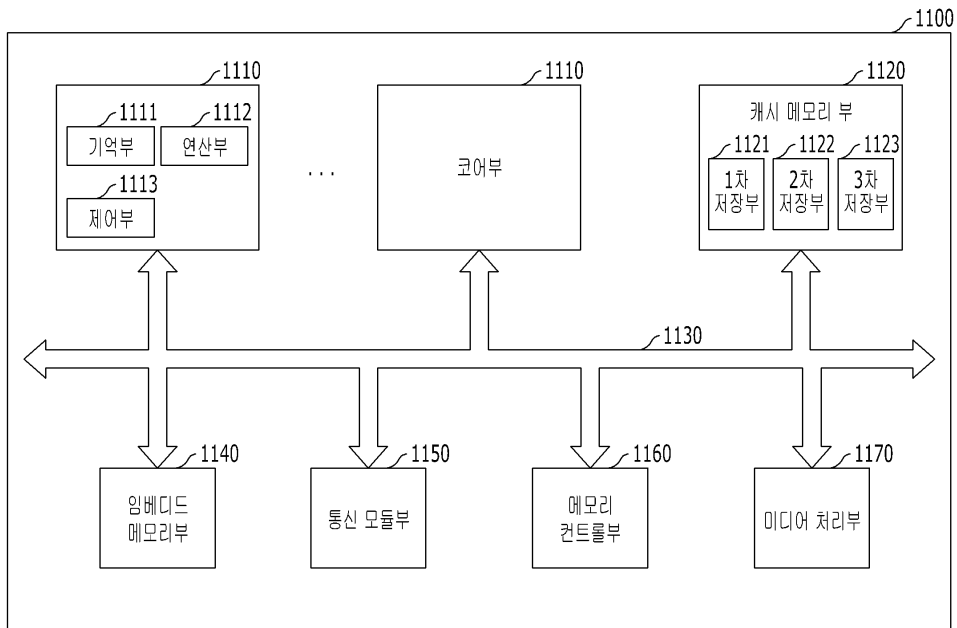
도면11



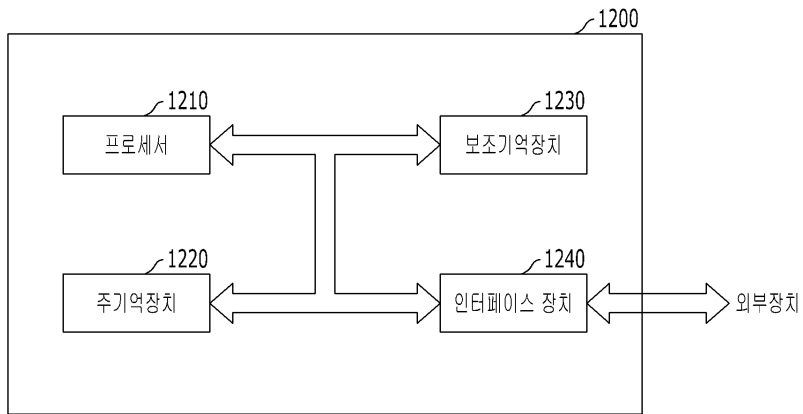
도면12



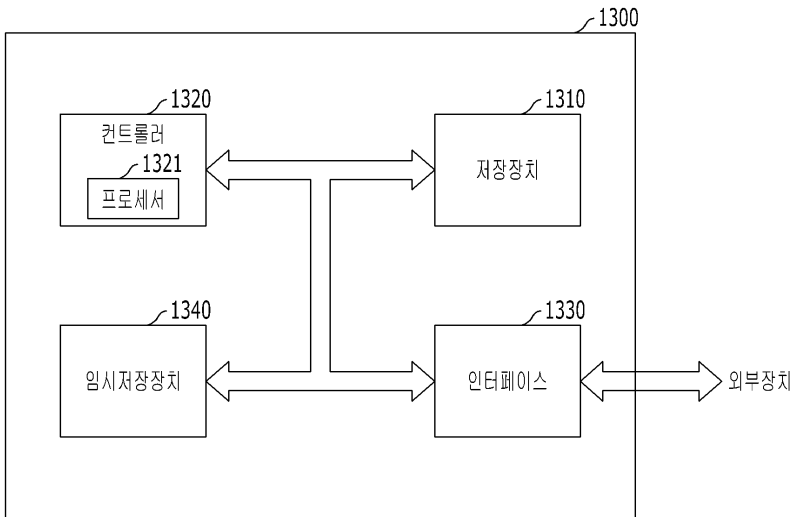
도면13



도면14



도면15



도면16

