



(12)发明专利申请

(10)申请公布号 CN 113299648 A

(43)申请公布日 2021.08.24

(21)申请号 202010504218.6

(22)申请日 2020.06.05

(71)申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

申请人 台积电(南京)有限公司

台积电(中国)有限公司

(72)发明人 王新泳 韩刘 田丽钧 陈志良

(74)专利代理机构 北京东方亿思知识产权代理

有限责任公司 11258

代理人 朱亦林

(51)Int.Cl.

H01L 27/092(2006.01)

H01L 21/8238(2006.01)

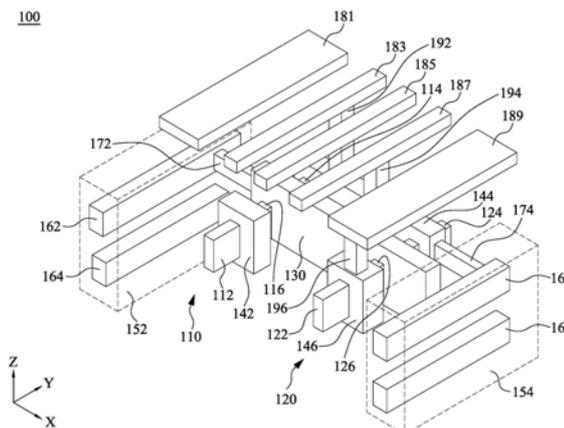
权利要求书1页 说明书19页 附图58页

(54)发明名称

半导体器件及其制造方法

(57)摘要

本公开涉及半导体器件及其制造方法。一种器件包括晶体管、绝缘结构、掩埋导电线和掩埋通孔。该晶体管在衬底上方,并且包括源极/漏极区域和在源极/漏极区域上方的源极/漏极接触件。绝缘结构在衬底上方并横向围绕晶体管。掩埋导电线在绝缘结构中并且与晶体管间隔开。掩埋通孔在绝缘结构中,并且将晶体管和掩埋导电线互连。掩埋导电线的高度大于源极/漏极接触件的高度。



1. 一种半导体器件,包括:
晶体管,位于衬底上方,其中,所述晶体管包括:
源极/漏极区域;和
源极/漏极接触件,位于所述源极/漏极区域上方;
绝缘结构,位于所述衬底上方并且横向围绕所述晶体管;
掩埋导电线,位于所述绝缘结构中并且与所述晶体管间隔开;以及
掩埋通孔,位于所述绝缘结构中并且将所述晶体管和所述掩埋导电线互连,其中,所述掩埋导电线的高度大于所述源极/漏极接触件的高度。
2. 根据权利要求1所述的半导体器件,其中,所述源极/漏极接触件与所述掩埋导电线间隔开。
3. 根据权利要求1所述的半导体器件,其中,所述掩埋通孔与所述掩埋导电线和所述源极/漏极接触件直接接触。
4. 根据权利要求2所述的半导体器件,其中,所述掩埋导电线的底表面低于所述源极/漏极接触件的底表面。
5. 根据权利要求2所述的半导体器件,其中,所述掩埋导电线的顶表面高于所述源极/漏极接触件的顶表面。
6. 根据权利要求1所述的半导体器件,其中,所述晶体管还包括栅极结构,并且所述掩埋通孔与所述掩埋导电线和所述栅极结构直接接触。
7. 根据权利要求6所述的半导体器件,其中,所述栅极结构和所述掩埋导电线沿不同方向延伸。
8. 根据权利要求1所述的半导体器件,其中,所述绝缘结构包括:
隔离结构,位于所述衬底上方;以及
层间电介质,位于所述隔离结构上方。
9. 一种半导体器件,包括:
晶体管,位于衬底上方;
绝缘结构,位于所述衬底上方并且横向围绕所述晶体管;
第一导电线,位于所述绝缘结构和所述晶体管上方;以及
第二导电线,位于所述衬底上方并且被部分地埋入所述绝缘结构中,其中,所述第一导电线和所述第二导电线沿第一方向延伸,所述第一导电线和所述第二导电线的顶面共面,并且所述第二导电线的高度为大于所述第一导电线的高度。
10. 一种用于制造器件的方法,包括:
在衬底上方形成晶体管;
在所述衬底中形成第一沟槽;
在所述衬底上方,围绕所述晶体管并部分地在所述第一沟槽中形成绝缘结构;
在所述绝缘结构中形成第二沟槽,其中,所述第二沟槽不暴露所述晶体管;以及
在所述第二沟槽中并邻近所述晶体管形成第一掩埋导电线。

半导体器件及其制造方法

技术领域

[0001] 本公开涉及半导体器件及其制造方法。

背景技术

[0002] 在集成电路的形成中,标准单元经常被用作构建集成电路的基础元件。标准单元被布置并布线以形成功能电路。在标准单元的某些布局中,电源导轨位于单元的边界上。当多个标准单元被按行布置时,同一行中的标准单元的电源导轨彼此连接以形成长电源导轨,该电源导轨可以延伸穿过例如数千个或更多的标准单元。相邻行中的电源导轨被合并以形成宽度为独立标准单元中的电源导轨宽度两倍的电源导轨。例如,一个行的VDD电源导轨与相邻行的另一VDD电源导轨合并,而一个行的VSS电源导轨与相邻的行的另一VSS电源导轨合并。因此,利用包括多个行的电路,VDD电源导轨和VSS电源导轨以交替的图案被布置。

发明内容

[0003] 根据本公开的一个实施例,提供了一种半导体器件,包括:晶体管,位于衬底上方,其中,所述晶体管包括:源极/漏极区域;和源极/漏极接触件,位于所述源极/漏极区域上方;绝缘结构,位于所述衬底上方并且横向围绕所述晶体管;掩埋导电线,位于所述绝缘结构中并且与所述晶体管间隔开;以及掩埋通孔,位于所述绝缘结构中并且将所述晶体管和所述掩埋导电线互连,其中,所述掩埋导电线的高度大于所述源极/漏极接触件的高度。

[0004] 根据本公开的另一实施例,提供了一种半导体器件,包括:晶体管,位于衬底上方;绝缘结构,位于所述衬底上方并且横向围绕所述晶体管;第一导电线,位于所述绝缘结构和所述晶体管上方;以及第二导电线,位于所述衬底上方并且被部分地埋入所述绝缘结构中,其中,所述第一导电线和所述第二导电线沿第一方向延伸,所述第一导电线和所述第二导电线的顶面共面,并且所述第二导电线的高度为大于所述第一导电线的高度。

[0005] 根据本公开的又一实施例,提供了一种用于制造器件的方法,包括:在衬底上方形成晶体管;在所述衬底中形成第一沟槽;在所述衬底上方,围绕所述晶体管并部分地在所述第一沟槽中形成绝缘结构;在所述绝缘结构中形成第二沟槽,其中,所述第二沟槽不暴露所述晶体管;以及在所述第二沟槽中并邻近所述晶体管形成第一掩埋导电线。

附图说明

[0006] 当结合附图阅读时,根据以下详细描述可以最好地理解本公开的各方面。注意,根据行业中的标准实践,各种特征未按比例绘制。实际上,为了清楚起见,各种特征的尺寸可以任意增大或减小。

[0007] 图1是根据本公开的一些实施例的与半导体器件相对应的布局结构的透视图的示意图。

- [0008] 图2-12C示出了根据本公开的一些实施例的用于在各个阶段制造半导体器件的方法。
- [0009] 图13A是根据本公开的一些实施例的半导体器件的透视图。
- [0010] 图13B是沿图13A中的线B-B截取的截面图。
- [0011] 图14A是根据本公开的一些实施例的半导体器件的透视图。
- [0012] 图14B是沿图14A中的线B-B截取的截面图。
- [0013] 图15A是根据本公开的一些实施例的半导体器件的透视图。
- [0014] 图15B是沿图15A中的线B-B截取的截面图。
- [0015] 图16A是根据本公开的一些实施例的半导体器件的透视图。
- [0016] 图16B是沿图16A中的线B-B截取的截面图。
- [0017] 图17A-20C示出了根据本公开的一些实施例的用于在各个阶段制造半导体器件的方法。
- [0018] 图21A是根据本公开的一些实施例的半导体器件的透视图。
- [0019] 图21B是沿图21A中的线B-B截取的截面图。
- [0020] 图22A是根据本公开的一些实施例的半导体器件的透视图。
- [0021] 图22B是沿图22A中的线B-B截取的截面图。
- [0022] 图23A是根据本公开的一些实施例的半导体器件的透视图。
- [0023] 图23B是沿图23A中的线B-B截取的截面图。
- [0024] 图24A是根据本公开的一些实施例的半导体器件的透视图。
- [0025] 图24B是沿图24A中的线B-B截取的截面图。
- [0026] 图25A-28C示出了根据本公开的一些实施例的用于在各个阶段制造半导体器件的方法。
- [0027] 图29是根据本公开的一些实施例的半导体器件的透视图。
- [0028] 图30是根据本公开的一些实施例的半导体器件的透视图。
- [0029] 图31是根据本公开的一些实施例的半导体器件的透视图。
- [0030] 图32是根据本公开的一些实施例的半导体器件的透视图。
- [0031] 图33是根据本公开的一些实施例的用于形成半导体器件的方法的流程图。

具体实施方式

[0032] 以下公开提供了用于实现所提供的主题的不同特征的许多不同的实施例或示例。以下描述组件和布置的特定示例以简化本公开。当然,这些仅仅是示例,并且不旨在进行限制。例如,在下面的描述中,在第二特征上方或之上形成第一特征可以包括直接接触地形成第一和第二特征的实施例,并且还可以包括在第一特征和第二特征之间形成附加特征使得第一和第二特征可以不直接接触的实施例。另外,本公开可以在各个示例中重复参考数字和/或字母。该重复是出于简单和清楚的目的,并且其本身并不指示所讨论的各种实施例和/或配置之间的关系。

[0033] 此外,为了便于描述,本文中可以使用空间相对术语,例如“在...之下”、“在...下方”、“下方的”、“在...上方”、“上面的”等,以描述如图所示的一个元件或特征与另一元件(多个元件)或特征(多个特征)的关系。除了在图中描述的定向之外,空间相对术语还旨

在涵盖器件 在使用或操作中的不同定向。装置可以以其他方式定向(旋转90度或以 其他定向),并且在此使用的空间相对描述语可以同样地被相应地解释。

[0034] 如本文中所示,“接近”、“大约”、“近似”或“基本上”通常 应指给定值或范围的百分之二十、或百分之十或百分之五以内。在此给出 的数值是近似的,意味着如果没有明确说明,则术语“接近”、“大 约”、“近似”或“基本上”可以被推断出来。

[0035] 可以通过任何合适的方法来图案化鳍。例如,可以使用一种或多种光 刻工艺来图 案化鳍,包括双图案化或多图案化工艺。通常,双图案化或多 图案化工艺将光刻和自对准 工艺相结合,从而允许创建具有例如间距小于 使用单个直接光刻工艺可获得的间距的图 案。例如,在一个实施例中,在 衬底上方形成牺牲层,并使用光刻工艺对其进行图案化。使用自对准工艺 在经图案化的牺牲层旁边形成间隔件。然后去除牺牲层,然后可以使用剩 余的间隔件来图案化鳍。

[0036] 可以通过任何合适的方法来图案化环绕栅极(gate all around,GAA) 晶体管结 构。例如,可以使用一种或多种光刻工艺对结构进行图案化,包 括双图案化或多图案化工 艺。通常,双图案化或多图案化工艺将光刻和自 对准工艺相结合,从而允许创建具有例如 间距小于使用单个直接光刻工艺 可获得的间距的图案。例如,在一个实施例中,在衬底上 方形成牺牲层, 并使用光刻工艺对其进行图案化。使用自对准工艺在图案化的牺牲层旁边 形成间隔件。然后去除牺牲层,然后可以使用剩余的间隔件来图案化 GAA结构。

[0037] 本公开的一些实施例涉及具有(一个或多个)掩埋导电线以减小芯片 尺寸的半导 体器件。尽管下面针对FinFET示出了一些实施方式,但是应 当理解,该概念不限于FinFET, 而是还适用于其他类型的器件,例如 MOSFET、HGAA器件等。

[0038] 图1是根据本公开的一些实施例的与半导体器件100相对应的布局结 构的透视图 的示意图。除了半导体器件100之外,图1还描绘了X轴、Y 轴和Z轴方向。图1描绘了半导体器 件100的简化版本,以示出各种特征 之间的一般空间关系;下面参照图2-32来讨论各个实 施例的具体空间关 系。

[0039] 如图1所示,半导体器件100包括具有独立的源极和漏极的两个晶体 管110和120。 晶体管110和120彼此相邻。在一些实施例中,晶体管110 和120被布置在晶体管110和120下 方的衬底(未示出)上。在一些实施 例中,晶体管110和120是平面结构。在一些其他实施例 中,晶体管110 和120是FinFET。在又一些其他实施例中,晶体管110和120可以形成在 沿着 垂直方向(例如,沿着Z轴方向)彼此分离的两个纳米片或两个或更 多个纳米片(未示出)的 堆叠处。在一些实施例中,晶体管110是p型 FET,并且晶体管120是n型FET,反之亦然,因此, FET器件100是 CFET器件。晶体管110和120下方的衬底是适合于外延生长的任何衬底 和/ 或由包括例如硅、硅锗(SiGe)等的任何适合的晶体材料形成。

[0040] 在一些实施例中,如上所述的术语“p型FET”被称为在例如p型 FET的掺杂源极和 漏极区域中包括p型掺杂剂(例如,硼)的FET,以及 如上所述的术语“n型FET”被称为在例如 n型FET的掺杂源极和漏极区 域中包括n型掺杂剂(例如磷或砷)的FET。

[0041] 术语“纳米片”是指基本上二维的材料,其是单个单层厚或几个单层 厚,从而在 一些实施例中厚度为约1纳米(nm)至约100nm,并且横向 尺寸从例如数百纳米到数十微米。在 一些实施例中,纳米片或纳米片堆叠 限定了类金属的限定的(MD)段。

[0042] 在图1中,晶体管110包括沿水平方向(例如,沿Y轴方向)布置的 第一源极/漏极

112、栅极130和第二源极/漏极114。栅极130被布置在晶体管110的第一源极/漏极112与第二源极/漏极114之间,并且沿预定方向(例如,X轴方向)延伸。栅极130被配置为控制在晶体管110的第一源极/漏极112与第二源极/漏极114之间的沟道116。在一些实施例中,沟道116以及第一源极/漏极112和第二源极/漏极114通过由掺杂剂形成的有源区域来实现。

[0043] 晶体管120包括沿着水平方向(例如,沿着Y轴方向)布置的第一源极/漏极122、栅极130和第二源极/漏极124。换句话说,栅极130被布置为与晶体管110和120相对应的公共栅极,并且晶体管110和120共享栅极130。类似地,栅极130被布置在晶体管120的第一源极/漏极122与第二源极/漏极124之间。栅极130被配置为控制在晶体管120的第一源极/漏极122与第二源极/漏极124之间的沟道126。在一些实施例中,沟道126以及第一源极/漏极122与第二源极/漏极124通过由掺杂剂形成的有源区域实现。注意,图1中的晶体管110和120的配置是说明性的,并且不应限制本公开。在一些其他实施例中,晶体管110和120分别包括栅极。

[0044] 在一些实施例中,术语“源极/漏极”是指可以是源极区域或漏极区域的区域。因此,为了在图1中示出,当晶体管110的第一源极/漏极112是源极区域时,晶体管110的第二源极/漏极114是漏极区域,反之亦然。相应地,当晶体管120的第一源极/漏极122是源极区域时,晶体管120的第二源极/漏极124是漏极区域,反之亦然。

[0045] 半导体器件100还包括源极/漏极接触件142、144和146。源极/漏极接触件142耦合到晶体管110的第一源极/漏极112,源极/漏极接触件144耦合到第二源极/漏极114和124,以及源极/漏极接触件146耦合到晶体管120的第一源极/漏极122。利用源极/漏极接触件144,晶体管110的第二源极/漏极114电连接到晶体管120的第二源极/漏极124。

[0046] 半导体器件100进一步包括分别掩埋导电线162、164、166和168、掩埋通孔172和174、以及在晶体管110和120的相反侧的绝缘结构152和154。绝缘结构152和154可以是浅沟槽隔离(STI)结构、层间电介质(ILD)、电介质材料或其他合适的材料。掩埋导电线162和164被嵌入在绝缘结构152中,并且掩埋导电线166和168被嵌入在绝缘结构154中。掩埋导电线162在掩埋导电线164上方,并且掩埋导电线166在掩埋导电线168上方。掩埋导电线162通过掩埋通孔172耦合到栅极130,并且掩埋导电线166通过掩埋通孔174耦合到源极/漏极接触件144。在一些实施例中,掩埋导电线164和168可以被省略或连接到图1中未示出的其他元件。

[0047] 半导体器件100还包括导电线181、183、185、187和189,以及通孔192、194和196。导电线181、183、185、187和189在晶体管110和120以及掩埋导电线162、164、166和168上方。导电线181和189可以是电源线,导电线183、185和187可以是信号线,使得导电线181和189中每个导电线的宽度大于导电线183、185和187中每个导电线的宽度。在一些实施例中,导电线183通过通孔192耦合到源极/漏极接触件144,导电线187通过通孔194耦合到栅极130,并且导电线189通过通孔196耦合到源极/漏极接触件146。

[0048] 如上所述的半导体器件100的结构是出于说明性目的而给出的。半导体器件100的各种结构在本公开的预期范围内。例如,在各种实施例中,半导体器件100的结构被延伸以省略一些导电线和/或掩埋导电线。可以根据不同的布局设计来调整(掩埋)导电线与晶体管之间的互连。

[0049] 利用如上所述的半导体器件100的结构,如图1所示,能够在邻近晶体管110和120

的绝缘结构152和154中形成掩埋导电线162、164、166 和/或168。这减小了半导体器件100的芯片面积。此外,由于图1中所示的掩埋导电线162、164、166和/或168,实现半导体器件100的标准单元能够按比例缩小。

[0050] 图1中的结构可以应用于各种类型的器件以节省芯片面积。图2-12C 示出了根据本公开的一些实施例的用于在各个阶段制造半导体器件的方法。在一些实施例中,图2-12C中所示的半导体器件可以是在集成电路 (IC) 或其一部分的工艺期间制造的中间器件,其可以包括静态随机存取存储器 (SRAM)、逻辑电路、无源组件 (例如电阻器、电容器和电感器)、和/或有源组件 (例如p型场效应晶体管 (PFET)、n型FET (NFET)、多栅极FET、金属氧化物半导体场效应晶体管 (MOSFET)、互补型金属氧化物半导体 (CMOS) 晶体管、双极型晶体管、高压晶体管、高频晶体管)、其他存储单元及其组合。

[0051] 参考图2。提供了衬底210。衬底210包括至少一个N型区域210n和至少一个P型区域210p。至少一个N型器件将形成在N型区域210n上,并且至少一个P型器件将形成在P型区域210p上。为了便于说明,假设在图2-12C中,衬底210包括两个N型区域210n和与N型区域210n相邻的两个P型区域210p。在一些实施例中,衬底210可以包括硅 (Si)。替代地,衬底210可以包括锗 (Ge)、硅锗 (SiGe)、砷化镓 (GaAs) 或其他合适的半导体材料。在一些实施例中,衬底210可以包括绝缘体上半导体 (SOI) 结构,例如掩埋电介质层。此外替代地,衬底210可以包括掩埋电介质层,例如,掩埋氧化物 (BOX) 层、通过称为氧注入分离 (SIMOX) 技术、晶片键合、SEG的方法或其他合适的方法形成的掩埋电介质层。在各种实施例中,衬底210可以包括多种衬底结构和材料中的任何一种。

[0052] 参考图3。在衬底210的N型区域210n和P型区域210p上方分别形成多个半导体鳍212和多个半导体鳍214。半导体鳍212和214可以用作晶体管的沟道和源极/漏极特征。注意,图3中的半导体鳍212和214的数量是说明性的,并且不应限制本公开的要求保护的范 围。另外,可以在半导体鳍212和/或半导体鳍214的两侧附近设置一个或多个虚设鳍,以提高图案化工艺中的图案保真度。

[0053] 半导体鳍212和214可以例如通过使用光刻技术图案化和蚀刻衬底210来形成。在一些实施例中,光致抗蚀剂材料层(未示出)被沉积在衬底210上方。光致抗蚀剂材料层根据期望的图案(在这种情况下为半导体鳍212和214)被照射(曝光),并且被显影以去除光致抗蚀剂材料的一部分。剩余的光致抗蚀剂材料保护下面的材料免于随后的工艺操作,例如蚀刻。应当注意,在蚀刻工艺中也可以使用其他掩模,例如氧化物或氮化硅掩模。半导体鳍212和214可以由与衬底210相同的材料制成,并且可以从衬底210连续地延伸或突出。半导体鳍212和214可以是本征的,或者适当地掺杂有n型杂质或p型杂质。

[0054] 在一些其他实施例中,半导体鳍212和214可以被外延生长。例如,可以在外延工艺中使用底层材料的暴露部分,例如衬底210的暴露部分,以形成半导体鳍212和214。可以在外延生长工艺期间使用掩模来控制半导体鳍212和214的形状。

[0055] 在衬底210中形成多个隔离结构220,例如浅沟槽隔离 (STI),以分离各种器件。隔离结构220的形成可以包括在衬底210中蚀刻沟槽并且利用诸如氧化硅、氮化硅或氮氧化硅之类的绝缘体材料填充沟槽。经填充的沟槽可以具有诸如热氧化物衬里层之类的多层结构,其中氮化硅填充沟槽。在一些实施例中,可以使用以下工艺序列来创建隔离结构220:生长垫氧化物、形成低压化学气相沉积 (LPCVD) 氮化物层、使用光致抗蚀剂和掩蔽对

STI开口进行图案化、在衬底210中蚀刻沟槽(以形成半导体鳍212和214)、可选地生长热氧化物沟槽衬里以改善沟槽界面、用氧化物填充沟槽、使用化学机械平坦化(CMP)以去除过量的氧化物,并使热氧化物沟槽衬里和氧化物凹陷以形成隔离结构220,从而半导体鳍212和214的顶部从隔离结构220的顶表面突出。

[0056] 参考图4。界面层230被共形地形成以覆盖半导体鳍212、214和隔离结构220。在一些实施例中,界面层230可以包括二氧化硅、氮化硅、高 κ 电介质材料或其他合适的材料。在各种示例中,可以通过ALD工艺、CVD工艺、低于大气压的CVD(SACVD)工艺、可流动的CVD工艺、PVD工艺或其他合适的工艺来沉积界面层230。举例来说,界面层230可用于通过后续工艺(例如,后续形成虚设栅极结构)防止损坏半导体鳍212和214。

[0057] 在界面层230、半导体鳍212、214和隔离结构220上方形成栅极结构240。在一些实施例中,可以在界面层230上方形成栅极层(未示出),然后对其进行图案化以形成栅极电极240。在一些实施例中,栅极电极240可以由多晶硅(poly-Si)、多晶硅锗(poly-SiGe)或其他合适的材料制成。如果采用先栅极(gate-first)技术,则将栅极结构240和界面层230用作栅极电极和栅极电介质层。随后,如图4所示,去除界面层230的未被栅极结构240覆盖的部分,以暴露半导体鳍212和214的部分。

[0058] 参考图5。间隔件结构250至少形成在栅极结构240和界面层230的相反侧。间隔件结构250可以包括密封间隔件和主间隔件(未示出)。间隔件结构250包括一种或多种电介质材料,例如氧化硅、氮化硅、氮氧化硅、SiCN、SiC_xO_yN_z或其组合。密封间隔件被形成在栅极结构240的侧壁上,而主间隔件被形成在密封间隔件上。可以使用诸如等离子体增强化学气相沉积(PECVD)、低压化学气相沉积(LPCVD)、低于大气压的化学气相沉积(SACVD)等之类的沉积方法来形成间隔件结构250。间隔件结构250的形成可以包括毯式(blanket)形成间隔件层,然后执行蚀刻操作以去除间隔件层的水平部分。间隔件层的其余垂直部分形成间隔件结构250。

[0059] 随后,通过蚀刻半导体鳍212和214(参见图4)在栅极结构240的相反侧形成多个凹槽216。栅极结构240和栅极间隔件250在凹槽216的形成中用作蚀刻掩模。蚀刻工艺包括干法蚀刻工艺、湿法蚀刻工艺或它们的组合。

[0060] 然后,将半导体材料沉积在凹槽216中以形成被称为源极/漏极区域的外延结构262和264。在N型区域210n上方分别形成外延结构262,并且在P型区域210p上方分别形成外延结构264。外延结构262和264可以替代地被称为凸起源极和漏极区域。半导体材料包括单元素半导体材料(例如锗(Ge)或硅(Si))、化合物半导体材料(例如砷化镓(GaAs)或铝砷化镓(AlGaAs))、或半导体合金(例如硅锗(SiGe)或砷化镓磷化物(GaAsP))。外延结构262和264具有合适的晶体学取向(例如,(100)、(110)或(111)晶体学取向)。在一些实施例中,外延结构262和264包括源极/漏极外延结构。在一些实施例中,在需要N型器件的情况下,外延结构262可以包括外延生长的磷化硅(SiP)或碳化硅(SiC)。在一些实施例中,在需要P型器件的情况下,外延结构264可以包括外延生长的硅锗(SiGe)。外延工艺包括CVD沉积技术(例如,气相外延(VPE)和/或超高真空CVD(UHV-CVD))、分子束外延和/或其他合适的工艺。在外延工艺期间,可以掺杂或可以不掺杂期望的p型或n型杂质。可以通过离子注入工艺、等离子体浸没离子注入(PIII)工艺、气体和/或固体源扩散工艺、其他合适的工艺或其组合来实现掺杂。

[0061] 参考图6。在隔离结构220和衬底210中形成多个沟槽218。例如，沟槽218形成在栅极结构240之间并且基本平行于半导体鳍212和214。在一些实施例中，在图5中的结构上方形成掩模层，并且掩模层被图案化以暴露在栅极结构240之间的隔离结构220的部分。然后，隔离结构220的这些部分被去除以暴露衬底210的部分，并且衬底的暴露部分被凹陷以在其中形成沟槽218。在一些实施例中，沟槽218的底表面219低于外延结构262和/或264的底表面265。在一些其他实施例中，沟槽218的底表面219高于或基本齐平于外延结构262和/或264的底表面265。

[0062] 参考图7A和7B，其中图7B是沿着图7A中的线B-B截取的截面图。接触蚀刻停止层(CESL) 270被共形地形成在图6的结构上方。在一些实施例中，CESL 270可以是一个或多个应力层。在一些实施例中，CESL 270具有拉应力并且由 Si_3N_4 形成。在一些其他实施例中，CESL 270包括诸如氮氧化物之类的材料。在又一些其他实施例中，CESL 270可以具有包括多个层的复合结构，例如覆盖氧化硅层上的氮化硅层。可以使用等离子体增强CVD(PECVD)来形成CESL 270，然而，也可以使用其他合适的方法，例如低压CVD(LPCVD)、原子层沉积(ALD)等。

[0063] 然后，在CESL 270上形成第一层间电介质(ILD) 275。可以通过化学气相沉积(CVD)、高密度等离子体CVD、旋涂、溅射或其他合适的方法形成第一ILD 275。在一些实施例中，第一ILD 275包括氧化硅。在一些其他实施例中，第一ILD 275可以包括氮氧化硅、氮化硅或低k材料。第一ILD 275的部分被形成在沟槽218中(参见图6)。

[0064] 随后并且可选地，可选地采用替代栅极(RPG)工艺方案。在RPG工艺方案中，预先形成虚设多晶硅栅极(在这种情况下为图6中的栅极结构240)，随后将其替换为金属栅极。在一些实施例中，栅极结构240被去除以形成开口，间隔件结构250作为该开口的侧壁。在一些其他实施例中，界面层230(参见图4)也被去除。可以通过干法蚀刻、湿法蚀刻或干法蚀刻和湿法蚀刻的组合来去除栅极结构240(和界面层230)。

[0065] 在开口中形成栅极电介质层282，并且在开口中和栅极电介质层282上形成至少一个金属层。随后，执行化学机械平坦化(CMP)工艺来平坦化金属层和栅极电介质层282，以在开口中形成金属栅极结构280。金属栅极结构280跨半导体鳍212和214。金属栅极结构280包括栅极电介质层282和在栅极电介质层282上方的金属栅极电极284。金属栅极电极284可以包括金属层285(例如，(一个或多个)功函数金属层和(一个或多个)帽盖层)、(一个或多个)填充层286、和/或金属栅堆叠中期望的其他合适的层。功函数金属层285可以包括n型和/或p型功函数金属。示例性n型功函数金属包括Ti、Ag、TaAl、TaAlC、TiAlN、TaC、TaCN、TaSiN、Mn、Zr、其他合适的n型功函数材料或其组合。示例性p型功函数金属包括TiN、TaN、Ru、Mo、Al、WN、ZrSi₂、MoSi₂、TaSi₂、NiSi₂、WN其他合适的p型功函数材料或其组合。功函数金属层285可以具有多个层。(一个或多个)功函数金属层285可以通过CVD、PVD、电镀和/或其他合适的工艺来沉积。在一些实施例中，帽盖层可以包括难熔金属及其氮化物(例如，TiN、TaN、W₂N、TiSiN和TaSiN)。可以通过PVD、CVD、金属有机化学气相沉积(MOCVD) ALD等来沉积帽盖层。在一些实施例中，填充层286可以包括钨(W)。可以通过ALD、PVD、CVD或其他合适的工艺来沉积填充层286。

[0066] 在图7A和图7B中，在衬底210上方形成多个器件。例如，外延结构262、半导体鳍212(参见图3)和金属栅极结构280形成N型器件(晶体管)TN，并且外延结构264、半导体鳍

214 (参见图3) 和金属栅极结构 280 形成 P 型器件 (晶体管) TP。

[0067] 参考图8A和图8B,其中图8B是沿着图8A中的线B-B截取的截面图。通过各种方法(包括干法蚀刻、湿法蚀刻、或干法蚀刻和湿法蚀刻的组合)来蚀刻第一ILD 275,以形成多个接触开口276、多个沟槽277a、277b、277c和多个互连开口278。接触开口276基本垂直地延伸通过第一ILD 275以暴露外延结构262和264。沟槽277a、277b、277c基本垂直地延伸通过第一ILD 275,但未延伸到第一ILD 275的最底表面。沟槽277a、277b、277c不暴露金属栅极结构280以及外延结构262和264。互连开口278从沟槽277a延伸到相应的接触开口276。在一些实施例中,可以在形成接触开口276和/或互连开口278期间去除外延结构262和264的顶部。可以执行多个图案化工艺以形成接触开口276、沟槽277a、277b、277c和互连开口278。例如,不同的掩模层用于分别图案化接触开口276、沟槽277a、277b、277c和互连开口278。

[0068] 参考图9A和图9B,其中图9B是沿着图9A中的线B-B截取的截面图。源极/漏极接触件292、底部掩埋导电线294、295、296和掩埋通孔298被分别形成在接触开口276、沟槽277a、277b、277c和互连开口278中(参见图8A-8B)。源极/漏极接触件292、底部掩埋导电线294、295、296和掩埋通孔298中的每个包括可选的阻挡层292a、294a、295a、296a和298a以及填充材料292b、294b、295b、296b和298b。

[0069] 在一些实施例中,阻挡层292a、294a、295a、296a和298a分别被形成在接触开口276、沟槽277a、277b、277c和互连开口278中(参见图8A和图8B)。阻挡层292a、294a、295a、296a和298a可以改善外延结构262/264与其上形成的材料(例如填充材料)之间的粘附性。阻挡层292a、294a、295a、296a和298a可以包括金属氮化物材料。例如,阻挡层292a、294a、295a、296a和298a包括Ti、TiN或其组合。在一些实施例中,阻挡层292a、294a、295a、296a和298a包括单层或多个层。对于多层构造,各层包括彼此不同的金属氮化物组成。例如,阻挡层292a、294a、295a、296a和298a具有包括Ti的第一金属氮化物层和包括TiN的第二金属氮化物层。

[0070] 填充材料292b、294b、295b、296b和298b被形成在接触开口276、沟槽277a、277b、277c和互连开口278中,并且在阻挡层292a、294a、295a、295a、296a和298a上方。填充材料292b电连接到外延结构262和264。在一些实施例中,可以在开口中填充金属材料,并且通过执行平坦化(例如,CMP)工艺去除金属材料 and 阻挡层的多余部分,以形成填充材料292b、294b、295b、296b和298b以及阻挡层292a、294a、295a、296a和298a。填充材料292b、294b、295b、296b和298b可以由钨、铝、铜或其他合适的材料制成。

[0071] 在图9A和图9B中,在衬底210的N型区域210n和P型区域210p的上方形成N型器件(晶体管)TN和P型器件(晶体管)TP。源极/漏极接触件292在外延结构262和264上方以将外延结构262和264互连。底部掩埋导电线294在N型器件TN之间,并且N型器件TN与P型器件TP在掩埋导电线294和295(或296)之间。掩埋通孔298将底部掩埋导电线294和两个源极/漏极接触件292互连,使得底部掩埋导电线294电连接到N型器件TN和P型器件TP的外延结构262和264中的一些。第一ILD 275和隔离结构220被称为绝缘结构。底部掩埋导电线294、295和296以及掩埋通孔298被嵌入在绝缘结构(即,第一ILD 275和隔离结构220)中。

[0072] 在图9B中,由于上述平坦化工艺,源极/漏极接触件292、底部掩埋导电线294、295、296、掩埋通孔298和第一ILD 275的顶表面基本共面。在一些实施例中,底部掩埋导电线

线294的底表面294c低于隔离结构 220的顶表面222。此外,在一些实施例中,底部掩埋导电线295和296的底表面295c和296c低于隔离结构220的顶表面222。底部掩埋导电线 294、295和296中的每个导电线的高度H1大于源极/漏极接触件292中的 每个的高度H2(金属栅极结构280也可以具有高度H2)。掩埋通孔298 中的每个的底表面298c和外延结构262的顶表面262d(和/或外延结构 264的顶表面)可以基本共面。在图9B中,阻挡层292a、294a和298a彼此连接,并且填充材料292b、294b和298b彼此连接,使得图9B所示的 源极/漏极接触件292、底部掩埋导电线294、掩埋通孔298彼此电连接。

[0073] 注意,源极/漏极接触件292、底部掩埋导电线294、295、296、掩埋 通孔298可以以不同的工艺形成。例如,可以在形成底部掩埋导电线 294、295、296之前形成源极/漏极接触件292。替代地,可以在形成源极/ 漏极接触件292和底部掩埋导电线294、295、296之后形成掩埋通孔 298。

[0074] 参考图10A和图10B,其中图10B是沿着图10A中的线B-B截取的 截面图。然后在图9A的结构上形成第二层间电介质(ILD) 310。第二 ILD 310可以通过化学气相沉积(CVD)、高密度等离子体CVD、旋涂、溅射或其他合适的方法形成。在一些实施例中,第二ILD 310包括氧化 硅。在一些其他实施例中,第二ILD 310可以包括氮氧化硅、氮化硅或低 k材料。

[0075] 随后,通过各种方法(包括干法蚀刻、湿法蚀刻或干法蚀刻和湿法蚀 刻的组合)蚀刻第二ILD 310以形成多个栅极开口314、多个接触开口 316、多个沟槽317a、317b、317c、以及多个互连开口318、312。栅极开 口314基本垂直地延伸通过第二ILD 310以分别暴露金属栅极结构280。接触开口316基本垂直地延伸通过第二ILD 310以分别暴露源极/漏极接触 件292。沟槽317a、317b、317c基本上垂直地延伸通过第二ILD 310,但 未延伸到第二ILD 310的最底表面311。沟槽317a、317b、317c可以位于 底部掩埋导电线294、295和296的正上方。互连开口318从沟槽317b延 伸到对应的接触开口316,并且互连开口312在沟槽317b下方并且暴露掩 埋导电线295。可以执行多个图案化工艺以形成栅极开口314、接触开口 316、沟槽317a、317b、317c、以及互连开口312、318。例如,使用不同 的掩模层分别图案化栅极开口314、接触开口316、沟槽317a、317b、 317c和互连开口312、318。

[0076] 参考图11A和图11B,其中图11B是沿着图11A中的线B-B截取的 截面图。栅极通孔 321、源极/漏极接触件322、顶部掩埋导电线324、325、326以及掩埋通孔328和329分别被形 成在栅极开口314、接触开口 316、沟槽317a、317b、317c和互连开口312、318(见图10A-10B) 中。栅极通孔321、源极/漏极接触件322、顶部掩埋导电线324、325、326以 及掩埋通孔328和329中的每一个包括可选的阻挡层321a、322a、324a、 325a、326a、328a和329a以及填充材 料321b、322b、324b、325b、 326b、328b和329b。

[0077] 在一些实施例中,阻挡层321a、322a、324a、325a、326a、328a和 329a分别被形成在 栅极开口314、接触开口316、沟槽317a、317b、317c 和互连开口中312、318(参见图10A和图 10B)。阻挡层321a、322a、 324a、325a、326a、328a和329a可以包括金属氮化物材料。例如,阻 挡层 321a、322a、324a、325a、326a、328a和329a包括Ti、TiN或其组合。在 一些实施例中,阻 挡层321a、322a、324a、325a、326a、328a和329a包 括单层或多个层。对于多层构造,各层包 括彼此不同的金属氮化物组成。例如,阻挡层321a、322a、324a、325a、326a、328a和329a具 有包括Ti 的第一金属氮化物层和包括TiN的第二金属氮化物层。

[0078] 填充材料321b、322b、324b、325b、326b、328b和329b被形成在接 触开口276、沟槽

277a、277b、277c和互连开口278中,并且在阻挡层 321a、322a、324a、325a、326a、328a和329a上方。填充材料321b电连接到金属栅极结构280,并且填充材料322b电连接到源极/漏极接触件 292。在一些实施例中,金属材料可以填充在开口中,并且通过执行平坦化(例如,CMP)工艺去除金属材料和阻挡层的多余部分,以形成填充材料321b、322b、324b、325b、326b、328b和329b以及阻挡层321a、322a、324a、325a、326、328a和329a。填充材料321b、322b、324b、325b、326b、328b和329b可以由钨、铝、铜或其他合适的材料制成。

[0079] 在图11B中,由于上述平坦化工艺,栅极通孔321、源极/漏极接触件 322、顶部掩埋导电线324、325、326和掩埋通孔328的顶表面基本共面。顶部掩埋导电线324、325和326中的每个导电线的高度H3小于源极/漏极接触件322中的每个的高度H4。在图11B中,阻挡层322a、325a、328a和329a彼此连接,并且填充材料322b、325b、328b和329a彼此连接,使得图11B所示的源极/漏极接触件322之一、顶部掩埋导电线325、掩埋通孔328、329、源极/漏极接触件292之一和底部掩埋导电线295彼此电连接。

[0080] 参考图12A-12C,其中图12B是沿着图12A中的线B-B截取的截面图,图12C是沿着图12A中的线C-C截取的截面图。然后,在图11A的结构上形成第三ILD 330。第三ILD 330可以通过化学气相沉积(CVD)、高密度等离子体CVD、旋涂、溅射或其他合适的方法形成。在一些实施例中,第三ILD 330包括氧化硅。在一些其他实施例中,第三ILD 330可以包括氮化硅、氮化硅或低k材料。

[0081] 在第三ILD 330上方形成多个导电线341、343、345、347和349。在一些实施例中,导电线341、343、345、347和349的形成包括镶嵌工艺,并且可以通过在第三ILD 330中的形成通孔来电连接到N型器件TN和/或P型器件TP。例如,导电线345通过通孔352和栅极通孔321耦合到栅极结构280,和/或导电线347通过通孔354以及源极/漏极接触件322和292耦合到外延结构262和264。注意,导电线341、343、345、347和349的形成和/或构造是示例,并且不应限制本公开。在一些实施例中,导电线341、343、345、347和349中的每个导电线包括阻挡层和在阻挡层上方的填充材料。在一些实施例中,导电线341和349可以是电源线,并且导电线343、345和347可以是信号线。在一些实施例中,导电线349的宽度W1大于导电线347(或345或343)的宽度W2。导电线341可以与图12A-12C中所示的结构相邻的单元共享,使得导电线341可具有与导电线349的宽度W1基本相同的宽度。

[0082] 在图12A-12C中,由于半导体器件包括顶部和/或底部掩埋导电线 324、325、326、294、295和/或296,因此可以通过使用顶部和/或底部掩埋导电线324、325、326、294、295和/或296来实现N型器件TN和P型器件TP之间的内部电连接。顶部和/或底部掩埋导电线324、325、326、294、295和/或296在导电线341和349(例如,电源线)的正下方,使得顶部和/或底部掩埋导电线324、325、326、294、295和/或296不占据半导体器件的布局区域。利用这种构造,可以减少在第三ILD 330上方的导电线(例如,导电线341、343、345、347和349)的数量,并且可以减小半导体器件的单元高度H5。此外,掩埋导电线294、295和/或296具有减轻第一ILD 275(和隔离结构220)的压力或张力的益处。

[0083] 图13A是根据本公开的一些实施例的半导体器件的透视图,并且图13B是沿着图13A中的线B-B截取的截面图。图13A-13B和图12A-12C中的半导体器件之间的区别涉及导电线341和349的构造。在图13A和图13B中,省略了顶部掩埋导电线324、325和326(参见图12B),并且导电线341和349延伸到第二ILD 310中。即,导电线341和349中每个导电线的

高度 H_6 大于导电线343、345和347中的每个导电线的高度 H_7 。导电线341、343、345、347和349的顶表面341d、343d、345d、347d和349d基本上共面,导电线341和349的底表面341c和349c基本上共面,并且导电线341和349的底表面341c和349c低于导电线343的底表面343c(以及导电线345和347的底表面)。掩埋导电线294在导电线349的正下方,并且掩埋导电线295和296分别在导电线341的正下方,使得掩埋导电线294、295和296不占据半导体器件的布局区域。在一些实施例中,可以在第二ILD 310中形成掩埋通孔(例如,图12B中的掩埋通孔328)以互连导电线341(或349)和源极/漏极接触件322(或图12C中的栅极通孔321)。在一些实施例中,可以在第二ILD 310中形成另一掩埋通孔(例如,图12B中的掩埋通孔329)以互连导电线341(或349)和底部掩埋导电线295(或294或296)。在图13A和图13B中,由于导电线341和349延伸到第二ILD 310中,所以可以增加其导电性,并且可以减小导电线341和349的宽度 W_1' 。在一些实施例中,导电线341和349的宽度 W_1' 不大于导电线343、345和/或347的宽度 W_2 。利用这种结构,可以是进一步减小半导体器件的单元高度 H_5' 。图13A和13B中的半导体器件的其他相关结构细节与图12A-12C中的半导体器件基本相同或相似,因此,这方面的描述在下文将不再重复。

[0084] 图14A是根据本公开的一些实施例的半导体器件的透视图,并且图14B是沿着图14A中的线B-B截取的截面图。图14A-14B和图12A-12C中的半导体器件之间的区别涉及第二ILD 310、顶部掩埋导电线324、325和326以及源极/漏极接触件322的存在。在图14A和图14B中,省略了第二ILD 310、顶部掩埋导电线324、325和326以及源极/漏极接触件322(参见图12B),并且第三ILD 330与第一ILD 275直接接触。即,仅有一层(level)掩埋导电线。图14A和图14B中的半导体器件的其他相关结构细节与图12A-12C中的半导体器件基本相同或相似,因此,这方面的描述在下文将不再重复。

[0085] 注意,上述掩埋导电线的层(例如,图12A-12C中的两个层和图14A-14B中的一个层)是说明性的,并且不应该限制本公开。在一些其他实施例中,半导体器件可以包括多于两个层的掩埋导电线。

[0086] 图15A是根据本公开的一些实施例的半导体器件的透视图,并且图15B是沿着图15A中的线B-B截取的截面图。图15A-15B和图14A-14B中的半导体器件之间的区别涉及导电线341和349的构造。在图15A和图15B中,省略了底部掩埋导电线294、295和296(参见图14B),并且导电线341和349延伸到第一ILD 275中。即,导电线341和349中的每个导电线的高度 H_6' 大于导电线343、345和347中的每个导电线的高度 H_7' 。导电线341、343、345、347和349的顶表面基本共面,并且导电线341和349的底表面341c和349c低于导电线343的底表面343c(以及导电线345和347的底表面)。在一些实施例中,可以在第一ILD 275中形成掩埋通孔(例如,图12B中的掩埋通孔298)以互连导电线341(或349)和源极/漏极接触件292(或图7A中的金属栅极结构280)。在图15A和图15B中,由于导电线341和349延伸到第一ILD 275中,所以可以增加其导电性,并且可以减小导电线341和349的宽度 W_1' 。利用这种构造,可以减小半导体器件的单元高度 H_5' 。图15A和图15B中的半导体器件的其他相关结构细节与图14A和图14B中的半导体器件基本相同或相似,因此,这方面的描述在下文将不再重复。

[0087] 图16A是根据本公开的一些实施例的半导体器件的透视图,并且图16B是沿着图16A中的线B-B截取的截面图。图16A-16B和图12A-12C中的半导体器件之间的区别涉及底

部掩埋导电线294、295和296的深度。在图16A和图16B中,省略了图6中所示的蚀刻工艺,使得在隔离结构220上方形成底部掩埋导电线294、295和296。图16A和图16B中的半导体器件的其他相关结构细节与图12A-12C中的半导体器件基本相同或相似,因此,这方面的描述在下文将不再重复。

[0088] 图17A-20C示出了根据本公开的一些实施例的用于在各个阶段制造半导体器件的方法。在一些实施例中,图17A-20C中所示的半导体器件可以在集成电路(IC)或其一部分的工艺期间制造的中间器件,其可以包括静态随机存取存储器(SRAM)、逻辑电路、无源组件(如电阻器、电容器和电感器)、和/或有源组件(例如p型场效应晶体管(PFET)、n型FET(NFET)、多栅极FET、金属氧化物半导体场效应晶体管(MOSFET)、互补金属氧化物半导体(CMOS)晶体管、双极型晶体管、高压晶体管、高频晶体管)、其他存储单元及其组合。

[0089] 参考图17A-17C,其中图17B是沿着图17A中的线B-B截取的截面图,并且图17C是沿着图17A中的线C-C截取的截面图。在衬底410上方形成至少一个N型器件TN和至少一个P型器件TP。在图17A-17C中,N型器件TN和P型器件TP是平面FET。具体地,衬底410包括至少一个N型区域410n和至少一个P型区域410p。在N型区域410n上形成N型器件TN,并在P型区域410p上形成P型器件TP。为了便于说明,假设在图17A-20C中,衬底410包括两个N型区域410n和两个P型区域410p。

[0090] 在一些实施例中,衬底410和图2中的衬底210可以具有相同或相似的材料,因此,这方面的描述在下文将不再重复。在一些实施例中,隔离结构420被形成在衬底410中以分离各种器件。隔离结构420和图3中的隔离结构220可以具有相同或相似的材料,因此,这方面的描述在下文将不再重复。

[0091] N型器件TN和P型器件TP中的每个包括有源区域412和414,作为N型器件TN和P型器件TP的沟道。隔离结构420在衬底410中限定有源区域412和414。例如,隔离结构420围绕有源区域412和414,并且有源区域412和414通过隔离结构420彼此分离。有源区域412被形成在N型区域410p中,并且有源区域414被形成在P型区域410n中。注意,图17A-17C中的有源区域412和414的布置是说明性的,并且不应限制本公开的范围。

[0092] 栅极结构480被形成在衬底410以及有源区域412和414上方。间隔件结构450被布置在栅极结构480的相反侧。在一些实施例中,间隔件结构450和图5中的间隔件结构250可以具有相同或相似的材料,因此,这方面的描述在下文将不再重复。栅极结构480包括高k栅极电介质层482、一个或多个功函数金属层485和填充层486。功函数金属层485和填充层486被称为栅极电极484。在一些实施例中,高k栅极电介质层482包括诸如氧化铪(HfO_2)、氧化锆(ZrO_2)或氧化镧(La_2O_3)之类的材料。在一些实施例中,高k栅极电介质层482可以通过执行ALD工艺或其他合适的工艺来形成。

[0093] 功函数金属层485共形地形成在高k栅极电介质层482上。功函数金属层485可以包括诸如TiN、TaN、TiAlSi、TiSiN、TiAl、TaAl之类的材料或其他合适的材料。在一些实施例中,可以通过执行ALD工艺或其他合适的工艺来形成功函数金属层485。填充层486被形成在功函数金属层485上方。填充层486可以包括诸如钨或铝之类的材料。

[0094] 外延结构462和464通过执行例如选择性生长工艺而形成在栅极结构480的相反侧壁,并且分别在N型区域410n和P型区域410p上方。在一些实施例中,外延结构462和464和图5中的外延结构262和264可以具有相同或相似的材料,因此,这方面的描述在下文将

不再重复。

[0095] 在一些实施例中,在隔离结构420和衬底410中形成沟槽418,并且接触蚀刻停止层(CESL)470和第一层间电介质(ILD)475被依次形成在隔离结构420、外延结构462和464上,并围绕栅极结构480。在一些实施例中,第一ILD 475和图7A-7B中的第一ILD 275可以具有相同或相似的材料,并且CESL 470和图7A-7B中的CESL 270可以具有相同或相似的材料,因此,这方面的描述在下文将不再重复。

[0096] 参考图18A和图18B,其中图18B是沿着图18A中的线B-B截取的截面图。蚀刻第一ILD 475以形成多个接触开口476、多个沟槽477a、477b、477c和多个互连开口478,并且源极/漏极接触件492、底部掩埋导电线494、495、496、掩埋通孔498分别形成在接触开口476、沟槽477a、477b、477c和互连开口478中。前述工艺可以与图8A-9B所示的工艺相同或相似,因此,这方面的描述在下文将不再重复。

[0097] 参考图19A和图19B,其中图19B是沿着图19A中的线B-B截取的截面图。然后在图18A的结构上形成第二层间电介质(ILD)510。随后,蚀刻第二ILD 510以形成多个栅极开口514、多个接触开口516、多个沟槽517a,517b,517c以及多个互连开口518、512。栅极通孔521、源极/漏极接触件522、顶部掩埋导电线524、525、526以及掩埋通孔528和529被分别形成在栅极开口514、接触开口516,沟槽517a,517b,517c和互连开口512、518中。前述工艺可以与图10A-11B所示的工艺相同或相似,因此,这方面的描述在下文将不再重复。

[0098] 参考图20A-20C,其中图20B是沿着图20A中的线B-B截取的截面图,并且图20C是沿着图20A中的线C-C截取的截面图。然后在图19A的结构上形成第三ILD 530。在第三ILD 530上方形成多个导电线541、543、545、547和549。在一些实施例中,导电线545通过通孔552和栅极通孔521耦合到栅极结构480,和/或导电线547通过通孔554以及源极/漏极接触件522和492耦合到外延结构462和464。前述工艺可以与图12A-12B所示的工艺相同或相似,因此,这方面的描述在下文将不再重复。

[0099] 图21A是根据本公开的一些实施例的半导体器件的透视图,并且图21B是沿着图21A中的线B-B截取的截面图。图21A-21B和图20A-20C中的半导体器件之间的区别涉及导电线541和549的构造。在图21A和图21B中,省略了顶部掩埋导电线524、525和526(参见图20B),并且导电线541和549延伸到第二ILD 510中。在图21A和图21B中,由于导电线541和549延伸到第二ILD 510中,所以可以增加其导电性,并且可以减小导电线541和549的宽度 $W1'$ 。利用这种构造,可以减小半导体器件的单元高度 $H5'$ 。图21A和图21B中的半导体器件的其他相关结构细节与图20A和图20B中的半导体器件基本相同或相似,因此,这方面的描述在下文将不再重复。

[0100] 图22A是根据本公开的一些实施例的半导体器件的透视图,并且图22B是沿着图22A中的线B-B截取的截面图。图22A-22B和图20A-20C中的半导体器件之间的区别涉及第二ILD 510、顶部掩埋导电线524、525和526以及源极/漏极接触件522的存在。在图22A和图22B中,省略了第二ILD 510、顶部掩埋导电线524、525和526以及源极/漏极接触件522(参见图20B),并且第三ILD 530与第一ILD475直接接触。即,仅有一层掩埋导电线。图22A和图22B中的半导体器件的其他相关结构细节与图20A-20C中的半导体器件基本相同或相似,因此,这方面的描述在下文将不再重复。

[0101] 图23A是根据本公开的一些实施例的半导体器件的透视图,并且图23B是沿着图

23A中的线B-B截取的截面图。图23A-23B和图22A-22B 中的半导体器件之间的区别涉及导电线541和549的构造。在图23A和图 23B中,省略了底部掩埋导电线494、495和496(参见图22B),并且导电线541和549延伸到第一ILD 475中。在图23A和图23B中,由于导电线541和549延伸到第一ILD 475中,因此可以增加其导电性,并且可以减小导电线541和549的宽度 $W1'$ 。利用这种构造,可以减小半导体器件的单元高度 $H5'$ 。图23A和图23B中的半导体器件的其他相关结构细节与图22A和图22B中的半导体器件基本相同或相似。因此,这方面的描述在下文将不再重复。

[0102] 图24A是根据本公开的一些实施例的半导体器件的透视图,并且图 24B是沿图24A中的线B-B截取的截面图。图24A-24B与图20A-20C中的 半导体器件之间的区别涉及底部掩埋导电线494、495和496的深度。在图24A和图24B中,省略了隔离结构420的蚀刻工艺,使得在隔离结构420上方形成底部掩埋导电线494、495和496。图24A和图24B中所示的 半导体器件的其他相关结构细节与图20A-20C所示的半导体器件基本相同 或相似,因此,这方面的描述在下文将不再重复。

[0103] 图25A-28C示出了根据本公开的一些实施例的用于在各个阶段制造半 导体器件的方法。在一些实施例中,图25A-28C中所示的半导体器件可以 是集成电路(IC)或其一部分的工艺期间制造的中间器件,其可以包括静 态随机存取存储器(SRAM)、逻辑电路、无源组件(例如电阻器、电容 器和电感器)、和/或有源组件(例如p型场效应晶体管(PFET)、n型 FET(NFET)、多栅极FET、金属氧化物半导体场效应晶体管(MOSFET)、互补金属氧化物半导 体(CMOS)晶体管、双极型晶体 管、高压晶体管、高频晶体管)、其他存储器单元及其组合。

[0104] 参考图25A-25C,其中图25B是沿着图25A中的线B-B截取的截面 图,并且图25C是沿着图25A中的线C-C截取的截面图。在衬底610上方 形成至少一个N型器件TN和至少一个P型器件TP。在图25A-25C中,N 型器件TN和P型器件TP是水平环绕栅极(HGAA)FET。具体地,衬 底 610包括至少一个N型区域610n和至少一个P型区域610p。N型器件TN 被形成在N型区域 610n上,并且P型器件TP被形成在P型区域610p 上。为了便于说明,假设在图25A-28C中,衬 底610包括单个N型区域 610n和单个P型区域610p。衬底610还包括向上延伸的基部606,并 且基 部606可以是鳍结构。

[0105] 在一些实施例中,衬底610和图2中的衬底210可以具有相同或相似 的材料,因此,这方面的描述在下文将不再重复。在一些实施例中,隔离 结构620被形成在衬底610中以分 离各种器件。隔离结构620和图3中的 隔离结构220可以具有相同或相似的材料,因此,这方 面的描述在下文将 不再重复。

[0106] N型器件TN和P型器件TP中的每一个均包括半导体层(或纳米片或 纳米棒或纳米 柱)602,作为N型器件TN和P型器件TP的沟道。半导体 层602在衬底610上方并且彼此间隔 开。在一些实施例中,半导体层602 可以是不含锗的纯硅层。半导体层602也可以是基本上 纯的硅层,例如, 锗百分比低于约1%。此外,半导体层602可以是本征的,其未掺杂有p 型 和n型杂质。可以有两个、三个、四个或更多个半导体层602。然而, 在一些其他实施例中,半 导体层602可以是用于p型半导体器件的硅锗或 锗,或者可以是III-V族材料,例如InAs、 InGaAs、InGaAsSb、GaAs、 InPSb或其他合适的材料。

[0107] 在一些实施例中,底部绝缘层604被形成在最底部半导体层602与衬 底610的基部 606之间,以防止电流从半导体层602泄漏到衬底610。底 部绝缘层604可以由氮化硅、氧化

物、金属氧化物或其他电介质(例如 $\text{SiC}_x\text{O}_y\text{N}_z$)制成。在一些实施例中,可以通过执行ALD工艺或其他合适的工艺来形成底部绝缘层604。

[0108] 栅极结构680被形成在衬底610上方并包围(包裹)半导体层602。间隔件结构650被布置在栅极结构680的相反侧。在一些实施例中,间隔件结构650和图5中的间隔件结构250可以具有相同或相似的材料,因此,这方面的描述在下文将不再重复。栅极结构680包括高k栅极电介质层682、一个或多个功函数金属层685和填充层686。功函数金属层685和填充层686被称为栅极电极684。高k栅极电介质层682共形地包裹半导体层602。在一些实施例中,高k栅极电介质层682包括诸如氧化铪(HfO_2)、氧化锆(ZrO_2)或氧化镧(La_2O_3)之类的材料。在一些实施例中,可以通过执行ALD工艺或其他合适的工艺来形成高k栅极电介质层682。

[0109] 在一些实施例中,功函数金属层685被共形地形成在高k栅极电介质层上,并且功函数金属层685围绕半导体层602。功函数金属层685可以包括诸如TiN、TaN、TiAlSi、TiSiN、TiAl、TaAl之类的材料,或其他合适的材料。在一些实施例中,可以通过执行ALD工艺或其他合适的工艺来形成功函数金属层685。填充层686被形成在功函数金属层685上方。填充层686可以包括诸如钨或铝之类的材料。

[0110] 外延结构662和664通过执行例如选择性生长工艺而形成在半导体层602的相反侧壁,并且分别在N型区域610n和P型区域610p上方。在一些实施例中,外延结构662和664以及图5中的外延结构262和264可以具有相同或相似的材料,因此,这方面的描述在下文将不再重复。

[0111] 在一些实施例中,内侧壁间隔件608形成在栅极结构680与外延结构662(664)之间,以将栅极结构680与外延结构662(664)隔离。内侧壁间隔件608可以由氮化硅、氧化物、金属氧化物或其他电介质(例如 $\text{SiC}_x\text{O}_y\text{N}_z$)制成。在一些实施例中,通过执行ALD工艺或其他合适的工艺形成侧壁间隔件608。在一些实施例中,可以在沉积侧壁间隔件608之后执行修整工艺,以去除侧壁间隔件608在栅极间隔件420外部的部分。

[0112] 第一层间电介质(ILD)675被形成在隔离结构620、外延结构662和664上,并围绕栅极结构680。在一些实施例中,第一ILD675和图7A-7B中的第一ILD275可以具有相同或相似的材料,因此,这方面的描述在下文将不再重复。在一些其他实施例中,可以在形成第一ILD675之前形成接触蚀刻停止层(CESL)670。

[0113] 参考图26。蚀刻第一ILD675以形成多个接触开口676、多个沟槽677a、677b和至少一个互连开口678。源极/漏极接触件692、底部掩埋导电线694、695和至少一个掩埋通孔698分别形成在接触开口676、沟槽677a、677b和互连开口678中。前述工艺可以与图8A-9B所示的工艺相同或相似,因此,这方面的描述在下文将不再重复。

[0114] 参考图27。然后,在图26的结构上形成第二层间电介质(ILD)710。随后,蚀刻第二ILD710以形成多个栅极开口714、多个接触开口716、多个沟槽717a、717b和至少一个互连开口712。栅极通孔721、源极/漏极接触件722、顶部掩埋导电线724、725和掩埋通孔729分别形成在栅极开口714、接触开口716,沟槽717a,717b和互连开口712中。前述工艺可以与图10A-11B所示的工艺相同或相似,因此,这方面的描述在下文将不再重复。

[0115] 参考图28A-28C,其中图28B是沿着图28A中的线B-B截取的截面图,并且图28C是沿着图28A中的线C-C截取的截面图。然后,在图27的结构上形成第三ILD730。在第三ILD

730上方形成多个导电线741、743、745、747和749。前述工艺可以与图12A-12B所示的工艺相同或相似。因此,这方面的描述在下文将不再重复。

[0116] 在一些实施例中,导电线741和749是电源线,并且导电线743、745和747是信号线。导电线741和749可以与图28A所示的结构相邻的单元共享。导电线741、743、745、747和749可以通过第三ILD 730中的通孔(例如,通孔752)电连接到N型器件TN和/或P型器件TP。

[0117] 图29是根据本公开的一些实施例的半导体器件的透视图。图29与图28A-28C中的半导体器件之间的区别在于导电线741和749的构造。在图29中,省略了顶部掩埋导电线724和725(参见图28B),并且导电线741和749延伸到第二ILD 710中。在图29中,由于导电线741和749延伸到第二ILD 710,因此可以增加其导电性,并且可以减小导电线741和749的宽度 $W1'$ 。利用这种构造,可以减小半导体器件的单元高度 $H5'$ 。图29中的半导体器件的其他相关结构细节与图28A-28C中的半导体器件基本相同或相似。因此,这方面的描述在下文将不再重复。

[0118] 图30是根据本公开的一些实施例的半导体器件的透视图。图30和图28A-28C中的半导体器件之间的区别在于第二ILD 710、顶部掩埋导电线724和725以及源极/漏极接触件722的存在。在图30中,省略了第二ILD 710、顶部掩埋导电线724和725以及源极/漏极接触件722(参见图28B),并且第三ILD 730与第一ILD 675直接接触。即,仅有一层掩埋导电线。图30中的半导体器件的其他相关结构细节与图28A-28C中的半导体器件基本相同或相似。因此,这方面的描述在下文将不再重复。

[0119] 图31是根据本公开的一些实施例的半导体器件的透视图。图31和图30中的半导体器件之间的区别在于导电线741和749的构造。在图31中,省略了底部掩埋导电线694和695(见图30),并且导电线741和749延伸到第一ILD 675中。在图31中,由于导电线741和749延伸到第一ILD 675中,因此可以增加其导电性,并且导电线741和749的宽度 $W1'$ 可以被减小。利用这种构造,可以减小半导体器件的单元高度 $H5'$ 。图31中的半导体器件的其他相关结构细节与图30中的半导体器件基本相同或相似,因此,这方面的描述在下文将不再重复。

[0120] 图32是根据本公开的一些实施例的半导体器件的透视图。图32和图28A-28C中的半导体器件之间的区别在于底部掩埋导电线694和695的深度。在图32中,省略了隔离结构620的蚀刻工艺,使得底部掩埋导电线694和695被形成在隔离结构620上方。图32中的半导体器件的其他相关结构细节与图28A-28C中的半导体器件基本相同或相似,因此,这方面的描述在下文将不再重复。

[0121] 图33是根据本公开的一些实施例的用于形成半导体器件的方法M1的流程图。尽管方法M1被示出和/或描述为一系列动作或事件,但是应当理解,该方法不限于所示的顺序或动作。因此,在一些实施例中,可以以与所示出的顺序不同的顺序执行动作,和/或可以同时执行动作。此外,在一些实施例中,可以将所示的动作或事件再分为多个动作或事件,其可以在独立的时间或与其他动作或子动作同时执行。在一些实施例中,可以省略一些示出的动作或事件,并且可以包括其他未示出的动作或事件。

[0122] 在框S12中,在衬底上方形成至少一个器件,其中第一ILD水平围绕该器件。图7A、图17A和图25A示出了对应于框S12中的动作的一些实施例的透视图。在一些实施例中,该器件可以是晶体管,例如图7A、图17A和图25A中的N型器件TN和/或图7A、图17A和图25A中

的P型器件TP。在框S14,在第一ILD中形成至少一条掩埋导电线,使得掩埋导电线和器件电连接。图9A、图18A和图26示出了对应于框S14中的动作的一些实施例的透视图。在框S16中,在器件和掩埋导电线上方形成至少一个导电线,使得导电线和器件电连接。图12A、图20A和图28A示出了对应于框S16中的动作的一些实施例的透视图。

[0123] 基于以上讨论,可以看出本公开提供了优点。然而,应当理解,其他实施例可以提供附加的优点,并且在此不必公开所有优点,并且对于所有实施例都不需要特定的优点。一个优点是半导体器件包括顶部和/或底部掩埋导电线,因此可以通过使用顶部和/或底部掩埋导电线来实现晶体管之间的内部电连接。另一个优点是顶部和/或底部掩埋导电线在电源线正下方,顶部和/或底部掩埋导电线不占据半导体器件的布局区域,并且半导体器件的单元高度可以被减小。此外,当电源线延伸到下面的ILD时,可以进一步减小单元高度。

[0124] 根据一些实施例,一种器件包括晶体管、绝缘结构、掩埋导电线和掩埋通孔。晶体管在衬底上方,并且包括源极/漏极区域和在源极/漏极区域上方的源极/漏极接触件。绝缘结构在衬底上方并横向围绕晶体管。掩埋导电线在绝缘结构中并且与晶体管间隔开。掩埋通孔在绝缘结构中,并且将晶体管和掩埋导电线互连。掩埋导电线的高度大于源极/漏极接触件的高度。

[0125] 根据一些实施例,一种器件包括晶体管、绝缘结构、第一导电线和第二导电线。晶体管在衬底上方。绝缘结构在衬底上方并横向围绕晶体管。第一导电线在绝缘结构和晶体管上方。第二导电线在衬底上方,并且部分地埋入绝缘结构中。第一和第二导电线在第一方向上延伸。第一和第二导电线的顶表面基本共面。第二导电线的高度大于第一导电线的高度。

[0126] 根据一些实施例,一种用于制造器件的方法包括在衬底上方形成晶体管。第一沟槽被形成在衬底中。绝缘结构被形成在衬底上方,围绕晶体管并且部分地在第一沟槽中。第二沟槽被形成在绝缘结构中。第二沟槽不暴露晶体管。第一掩埋导电线被形成在第一沟槽中并邻近晶体管。

[0127] 前述内容概述了几个实施例的特征,使得本领域技术人员可以更好地理解本公开的各方面。本领域技术人员应当理解,他们可以容易地将本公开用作设计或修改其他工艺和结构的基础,以实现与本文介绍的实施例相同的目的和/或实现相同的优点。本领域技术人员还应认识到,这样的等同构造不脱离本公开的精神和范围,并且在不脱离本公开的精神和范围的情况下,他们可以在这里进行各种改变、替换和更改。

[0128] 示例1.一种半导体器件,包括:晶体管,位于衬底上方,其中,所述晶体管包括:源极/漏极区域;和源极/漏极接触件,位于所述源极/漏极区域上方;绝缘结构,位于所述衬底上方并且横向围绕所述晶体管;掩埋导电线,位于所述绝缘结构中并且与所述晶体管间隔开;以及掩埋通孔,位于所述绝缘结构中并且将所述晶体管和所述掩埋导电线互连,其中,所述掩埋导电线的高度大于所述源极/漏极接触件的高度。

[0129] 示例2.根据示例1所述的半导体器件,其中,所述源极/漏极接触件与所述掩埋导电线间隔开。

[0130] 示例3.根据示例1所述的半导体器件,其中,所述掩埋通孔与所述掩埋导电线和所述源极/漏极接触件直接接触。

[0131] 示例4.根据示例2所述的半导体器件,其中,所述掩埋导电线的底表面低于所述源极/漏极接触件的底表面。

[0132] 示例5.根据示例2所述的半导体器件,其中,所述掩埋导电线的顶表面高于所述源极/漏极接触件的顶表面。

[0133] 示例6.根据示例1所述的半导体器件,其中,所述晶体管还包括栅极结构,并且所述掩埋通孔与所述掩埋导电线和所述栅极结构直接接触。

[0134] 示例7.根据示例6所述的半导体器件,其中,所述栅极结构和所述掩埋导线沿不同方向延伸。

[0135] 示例8.根据示例1所述的半导体器件,其中,所述绝缘结构包括:隔离结构,位于所述衬底上方;以及层间电介质,位于所述隔离结构上方。

[0136] 示例9.根据示例8所述的半导体器件,其中,所述掩埋导电线的底表面低于所述隔离结构的顶表面。

[0137] 示例10.根据示例8所述的半导体器件,其中,所述掩埋导电线的顶表面和所述层间电介质的顶表面共面。

[0138] 示例11.一种半导体器件,包括:晶体管,位于衬底上方;绝缘结构,位于所述衬底上方并且横向围绕所述晶体管;第一导线,位于所述绝缘结构和所述晶体管上方;以及第二导线,位于所述衬底上方并且被部分地埋入所述绝缘结构中,其中,所述第一导线和所述第二导线沿第一方向延伸,所述第一导线和所述第二导线的顶面共面,并且所述第二导线的高度为大于所述第一导线的高度。

[0139] 示例12.根据示例11所述的半导体器件,其中,所述第二导线的宽度不大于所述第一导线的宽度。

[0140] 示例13.根据示例11所述的半导体器件,其中,所述绝缘结构包括:隔离结构,位于所述衬底上方;以及层间电介质,位于所述隔离结构上方,并且所述层间电介质的一部分低于所述隔离结构。

[0141] 示例14.根据示例11所述的半导体器件,其中,所述第二导线的底表面低于所述绝缘结构的底表面。

[0142] 示例15.根据示例11所述的半导体器件,还包括掩埋导线,位于所述第二导线正下方,其中,所述掩埋导线邻近所述晶体管。

[0143] 示例16.一种用于制造器件的方法,包括:在衬底上方形成晶体管;在所述衬底中形成第一沟槽;在所述衬底上方,围绕所述晶体管并部分地在所述第一沟槽中形成绝缘结构;在所述绝缘结构中形成第二沟槽,其中,所述第二沟槽不暴露所述晶体管;以及在所述第二沟槽中并邻近所述晶体管形成第一掩埋导线。

[0144] 示例17.根据示例16所述的方法,其中,所述第一掩埋导线被直接形成在所述第一沟槽中的所述绝缘结构的一部分上方。

[0145] 示例18.根据示例16所述的方法,还包括:在所述第一掩埋导线上方形形成第一电介质层;以及在所述电介质层的上方并在所述第一掩埋导线正上方形成电源线。

[0146] 示例19.根据示例18所述的方法,还包括:在形成所述第一电介质之前,在所述掩埋导线上方形形成第二电介质层;以及在所述第二电介质层中并在所述第一掩埋导线正上方形成第二掩埋导线。

[0147] 示例20.根据示例16所述的方法,还包括:在所述绝缘结构中形成开口;以及在所述绝缘结构中形成掩埋通孔,使得所述掩埋通孔将所述第一掩埋导电线和所述晶体管互连。

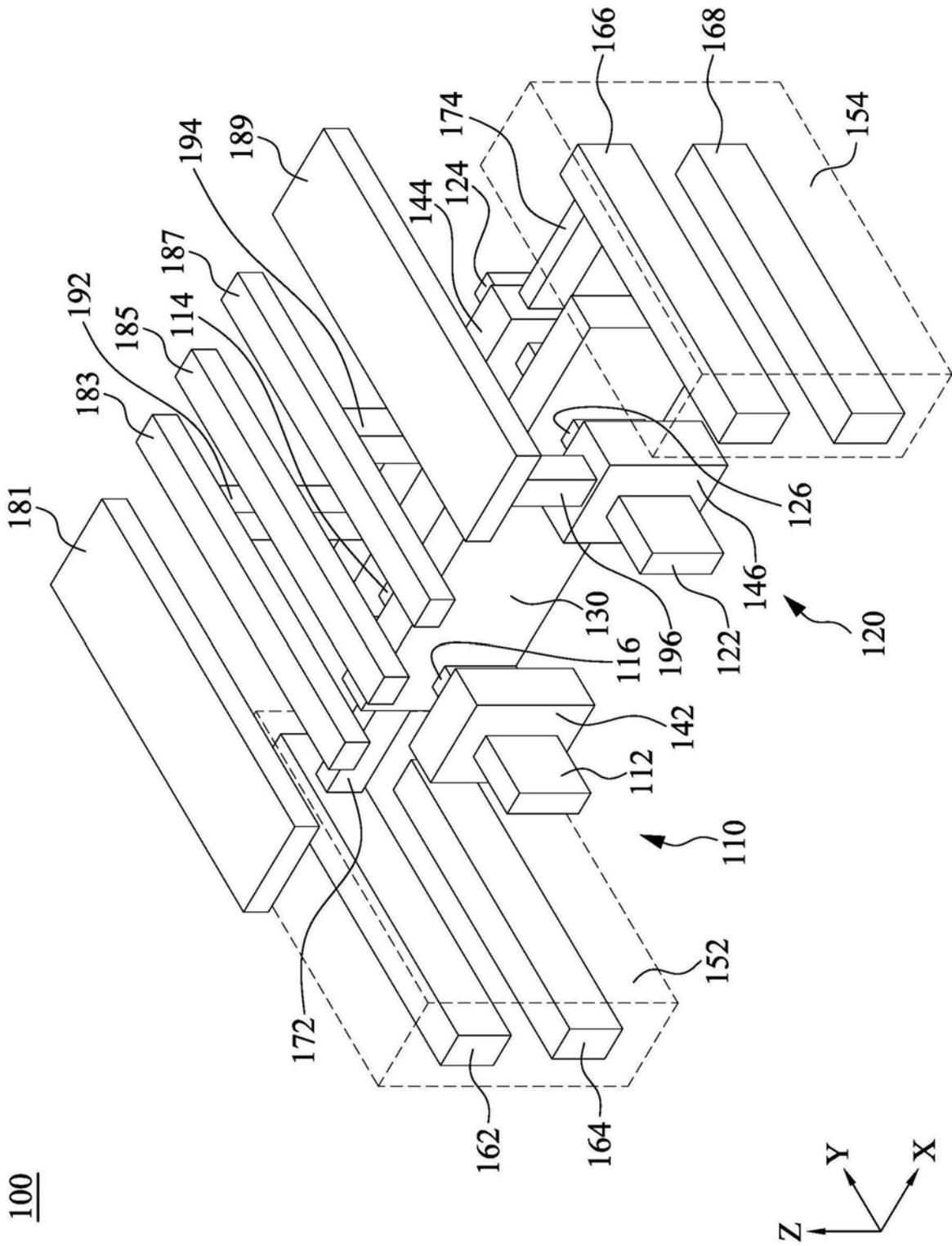


图1

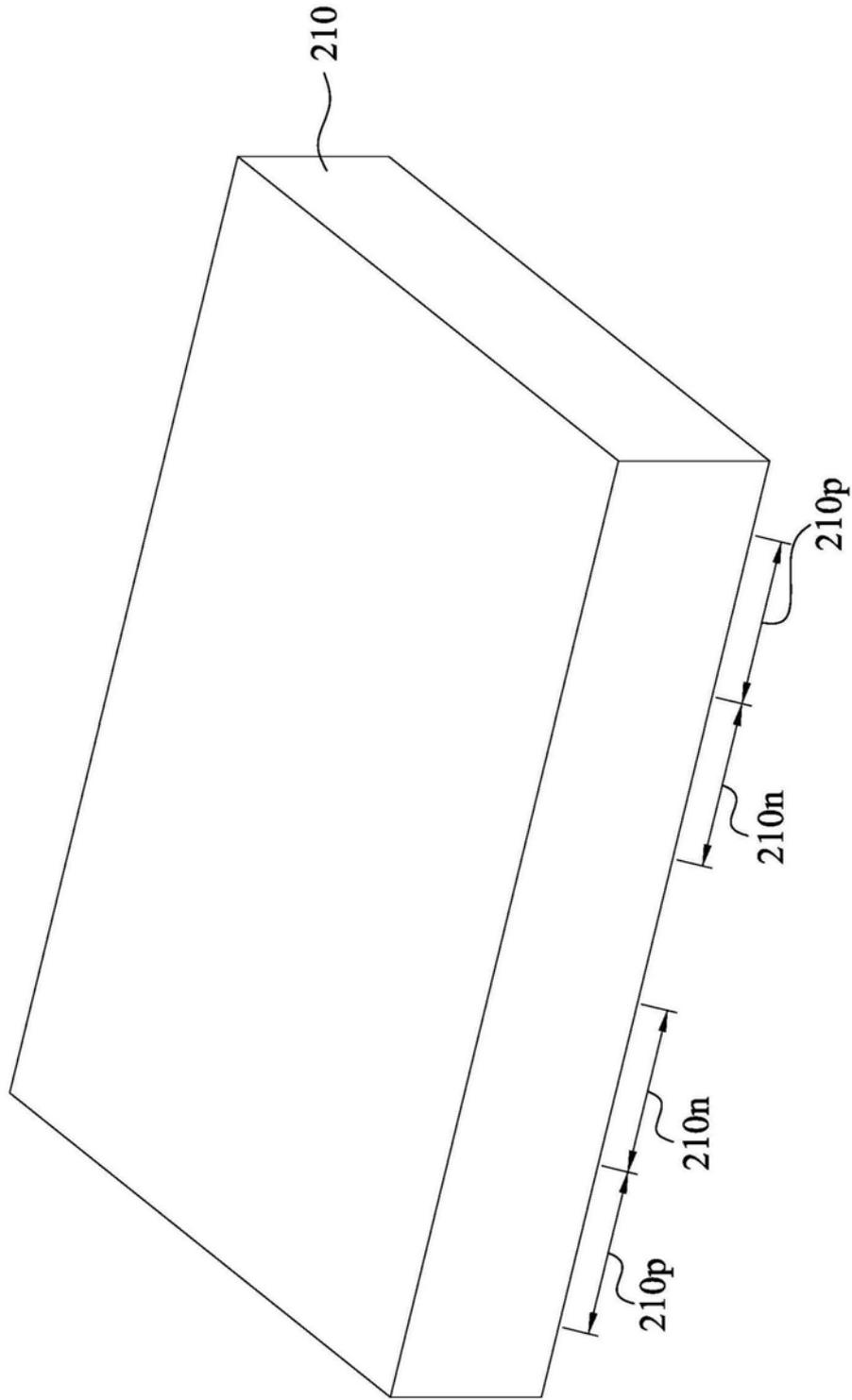


图2

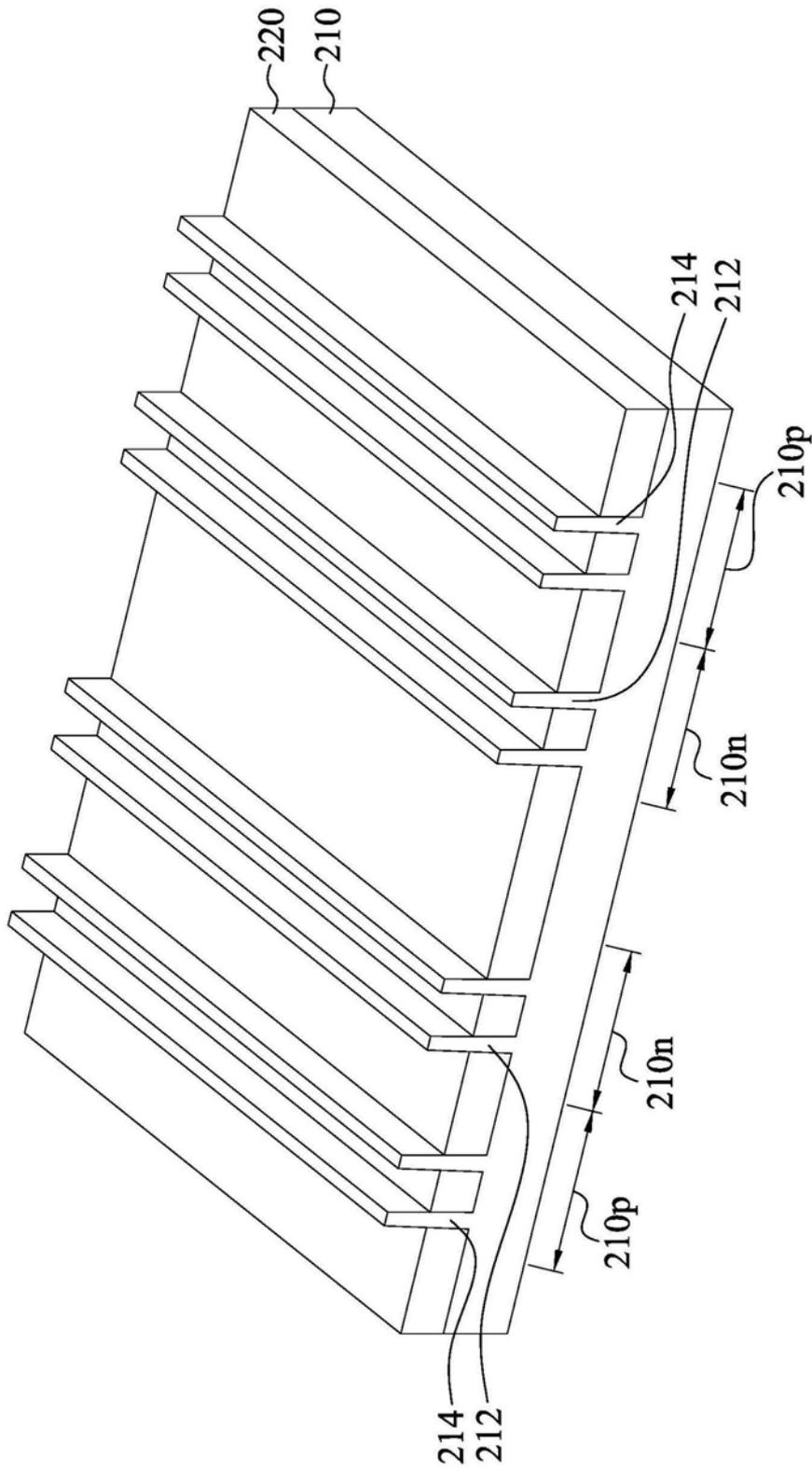


图3

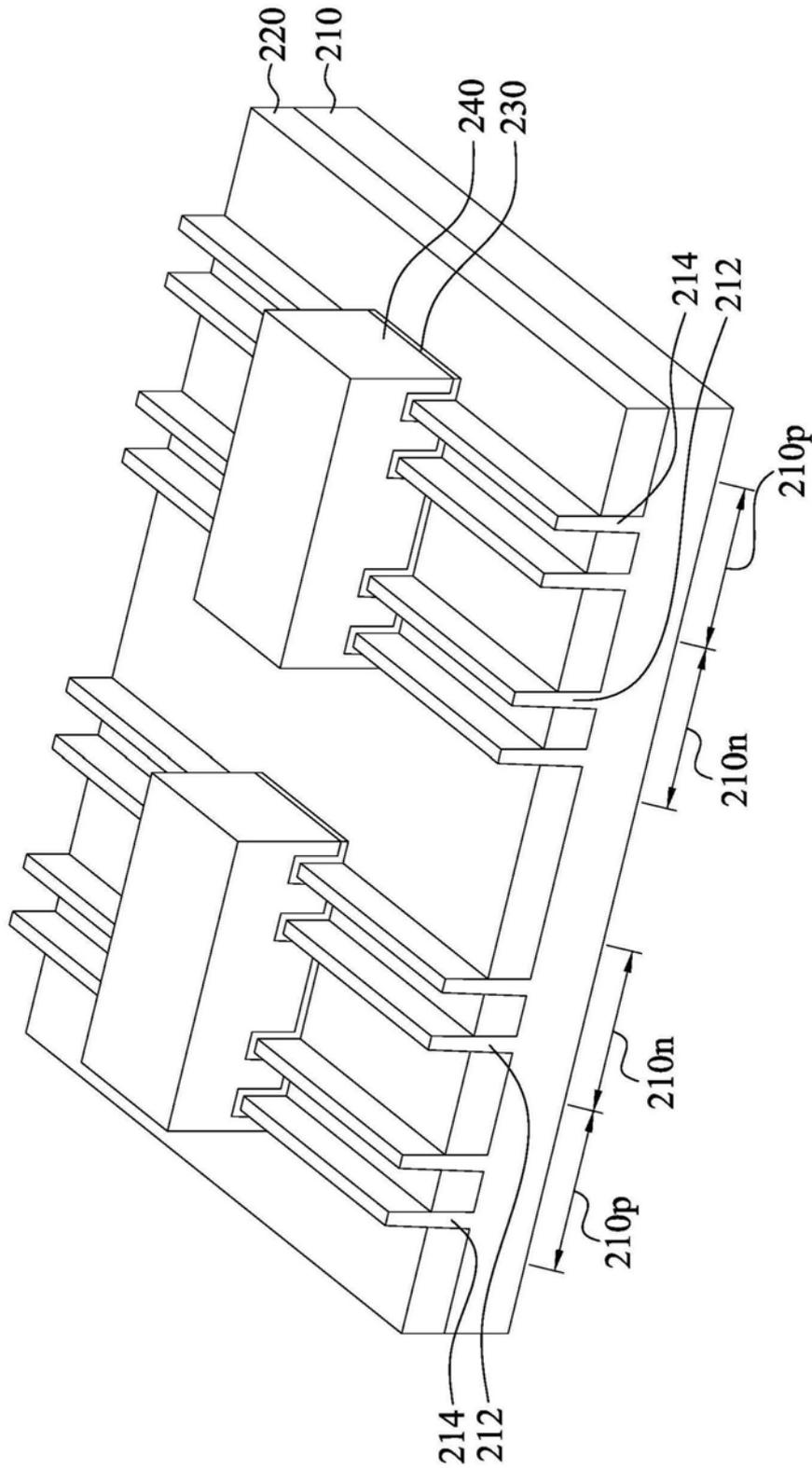


图4

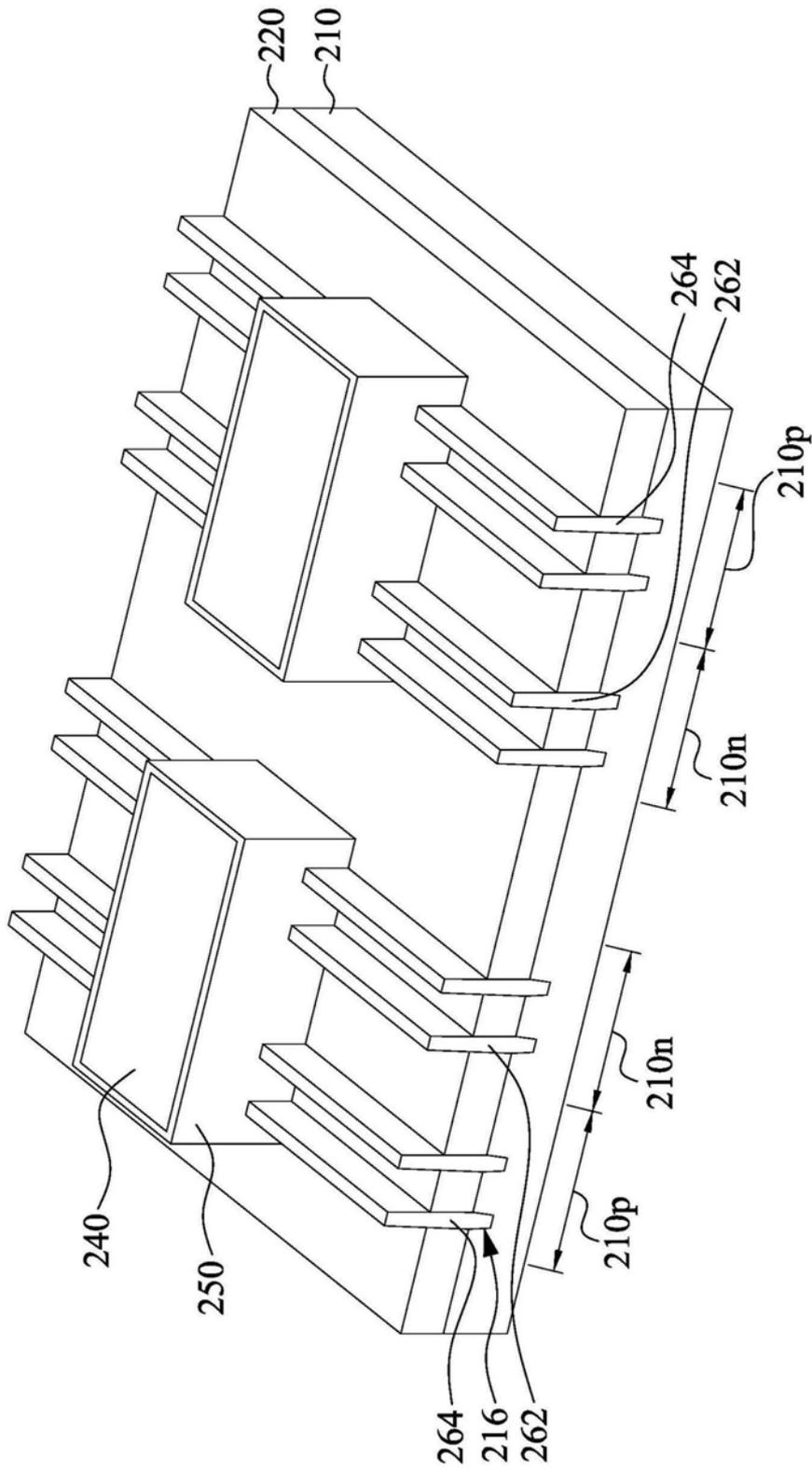


图5

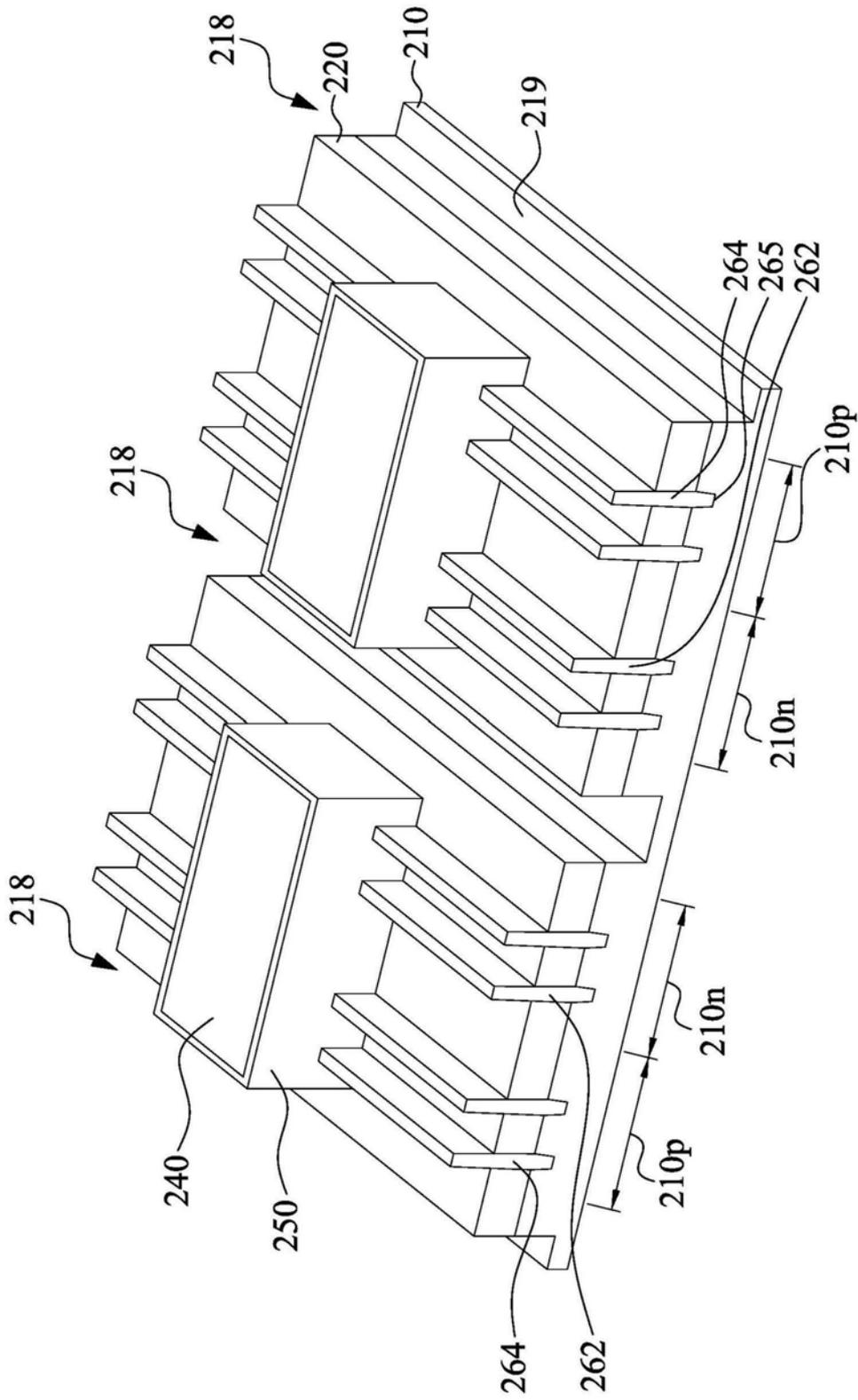


图6

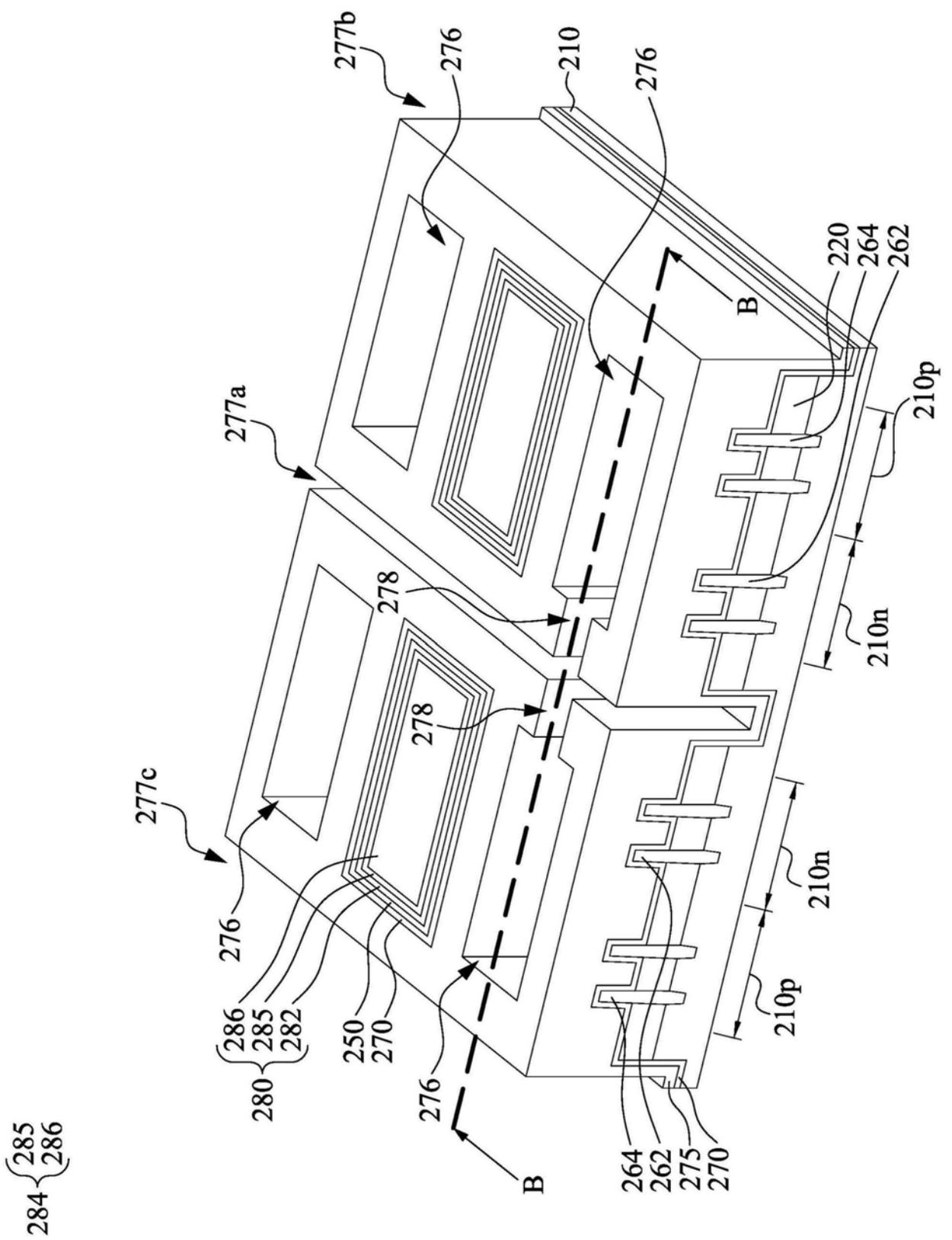


图8A

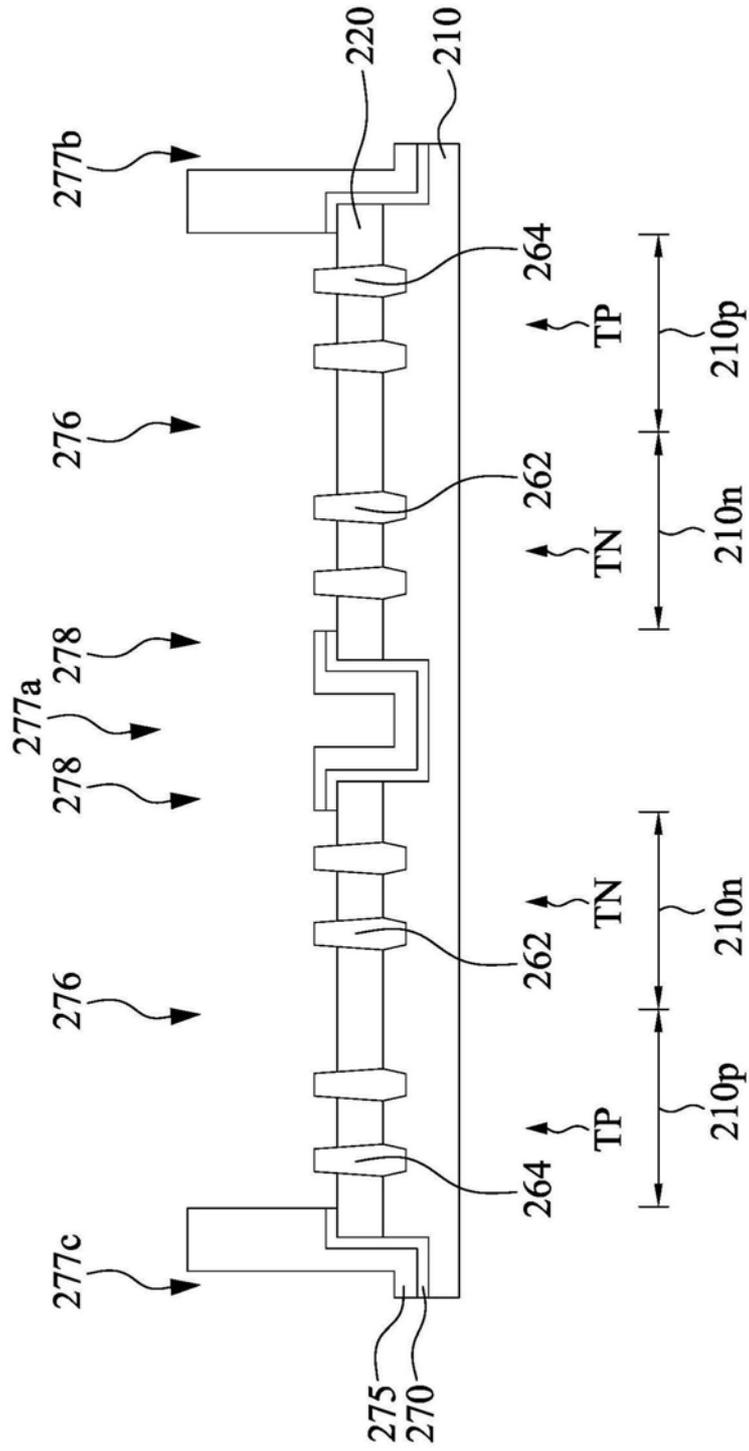


图8B

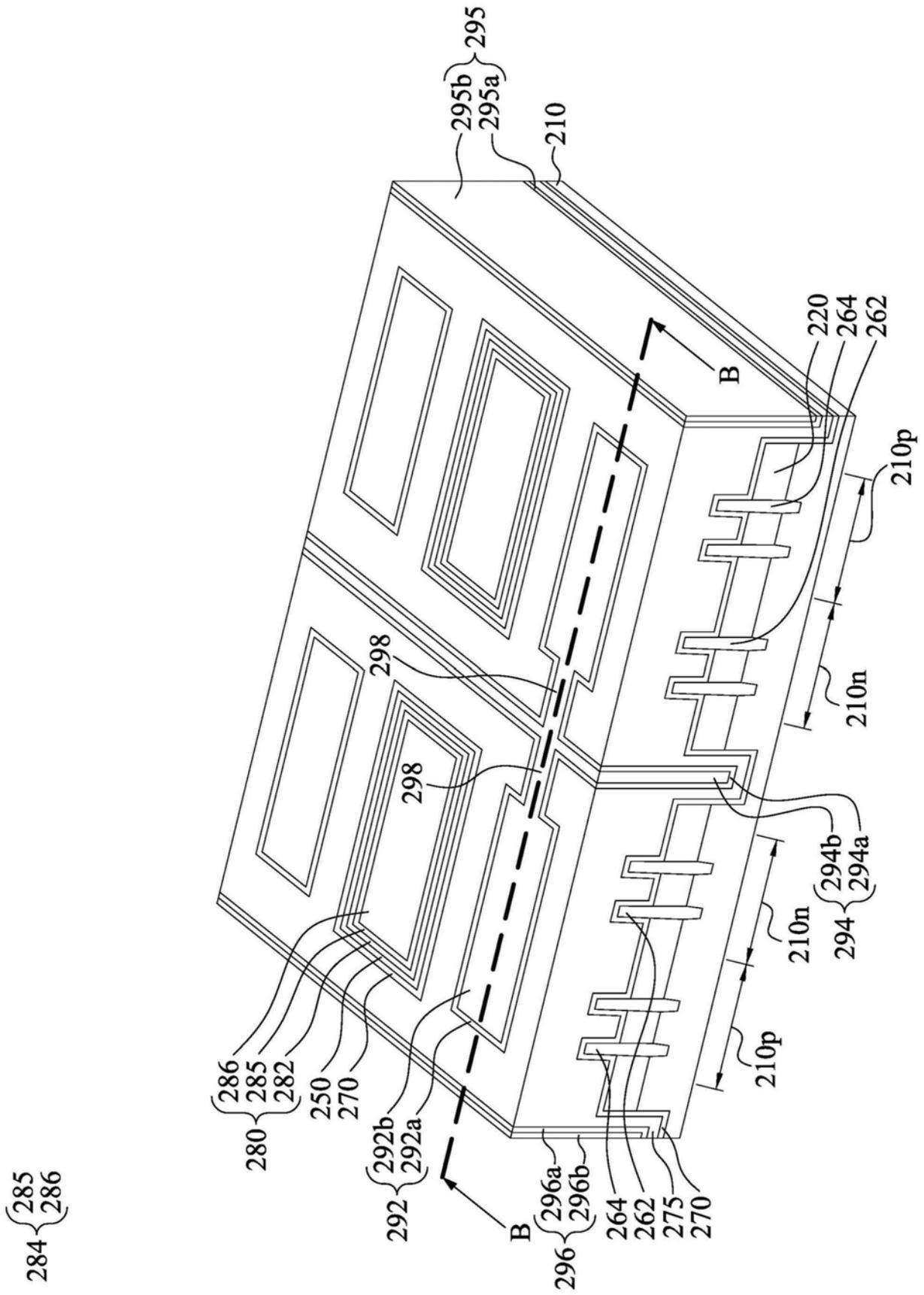


图9A

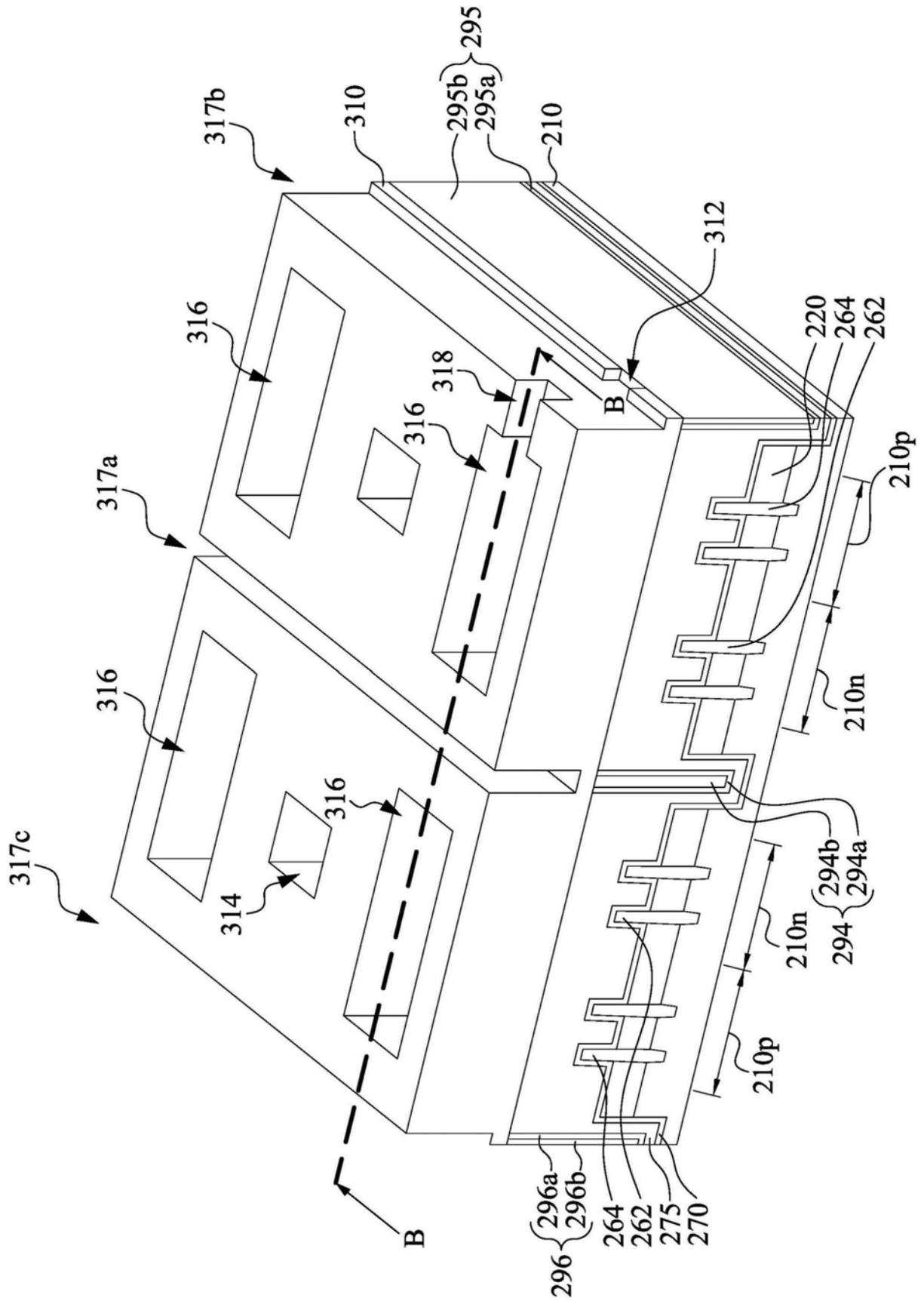


图10A

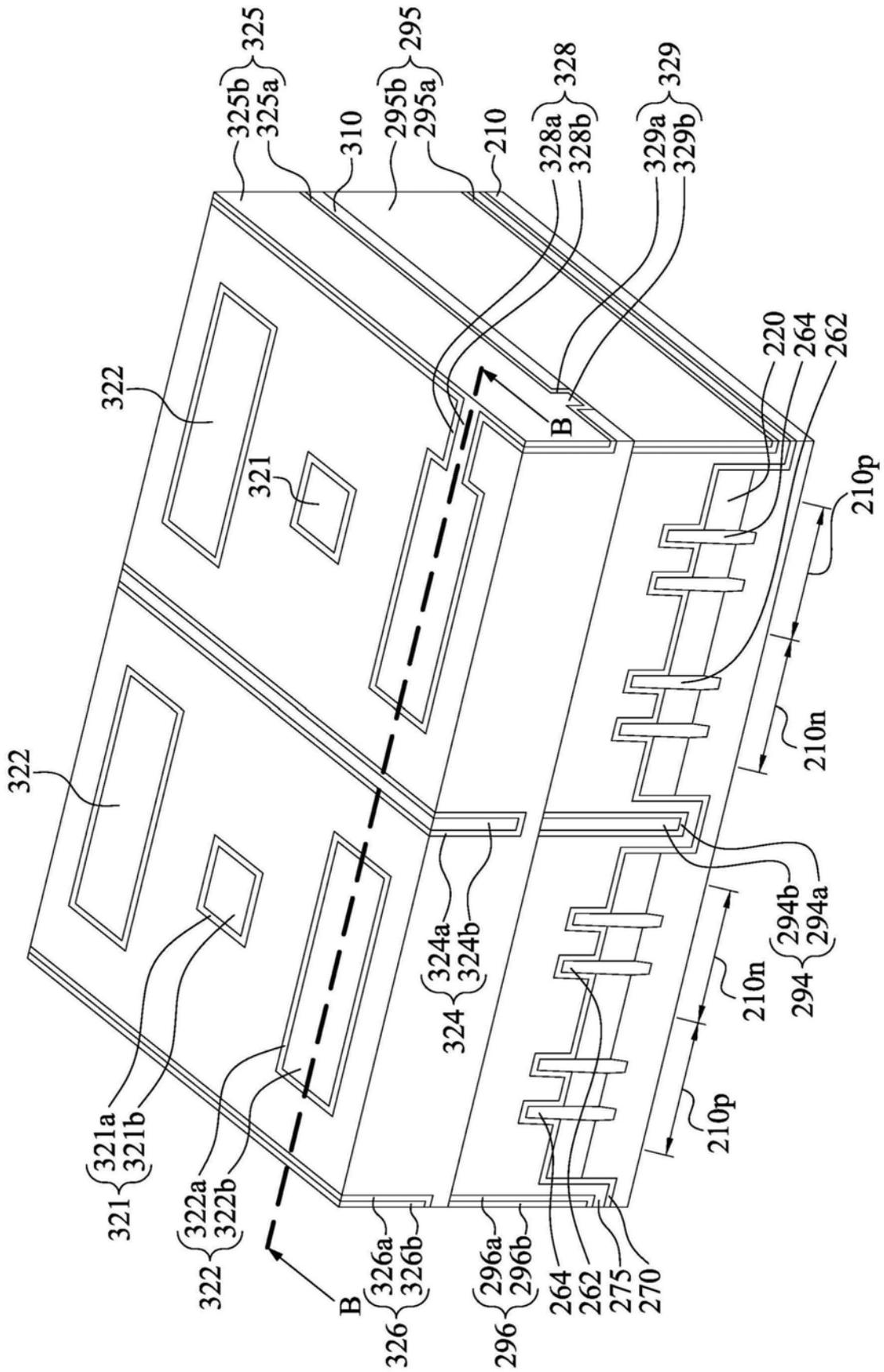


图11A

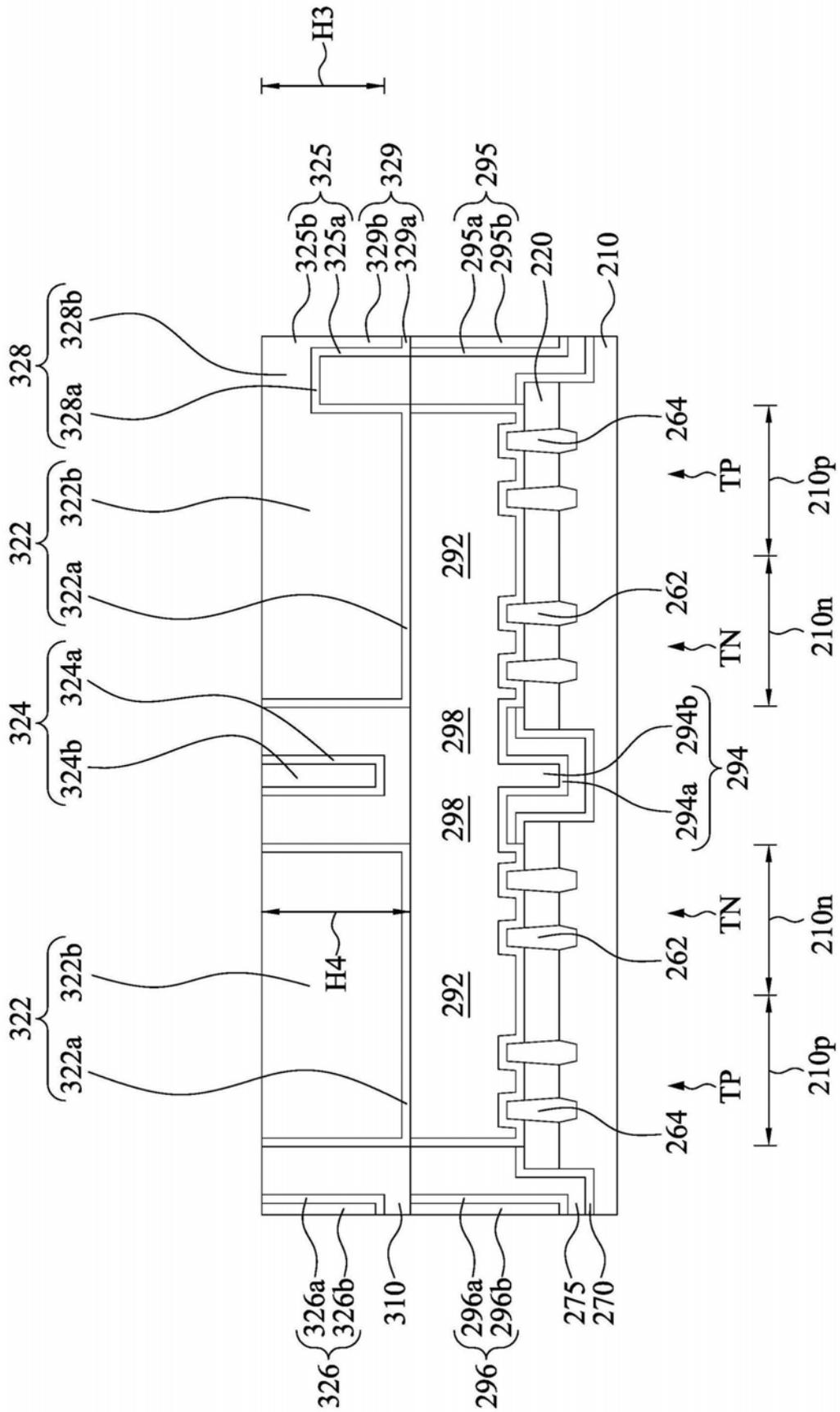


图11B

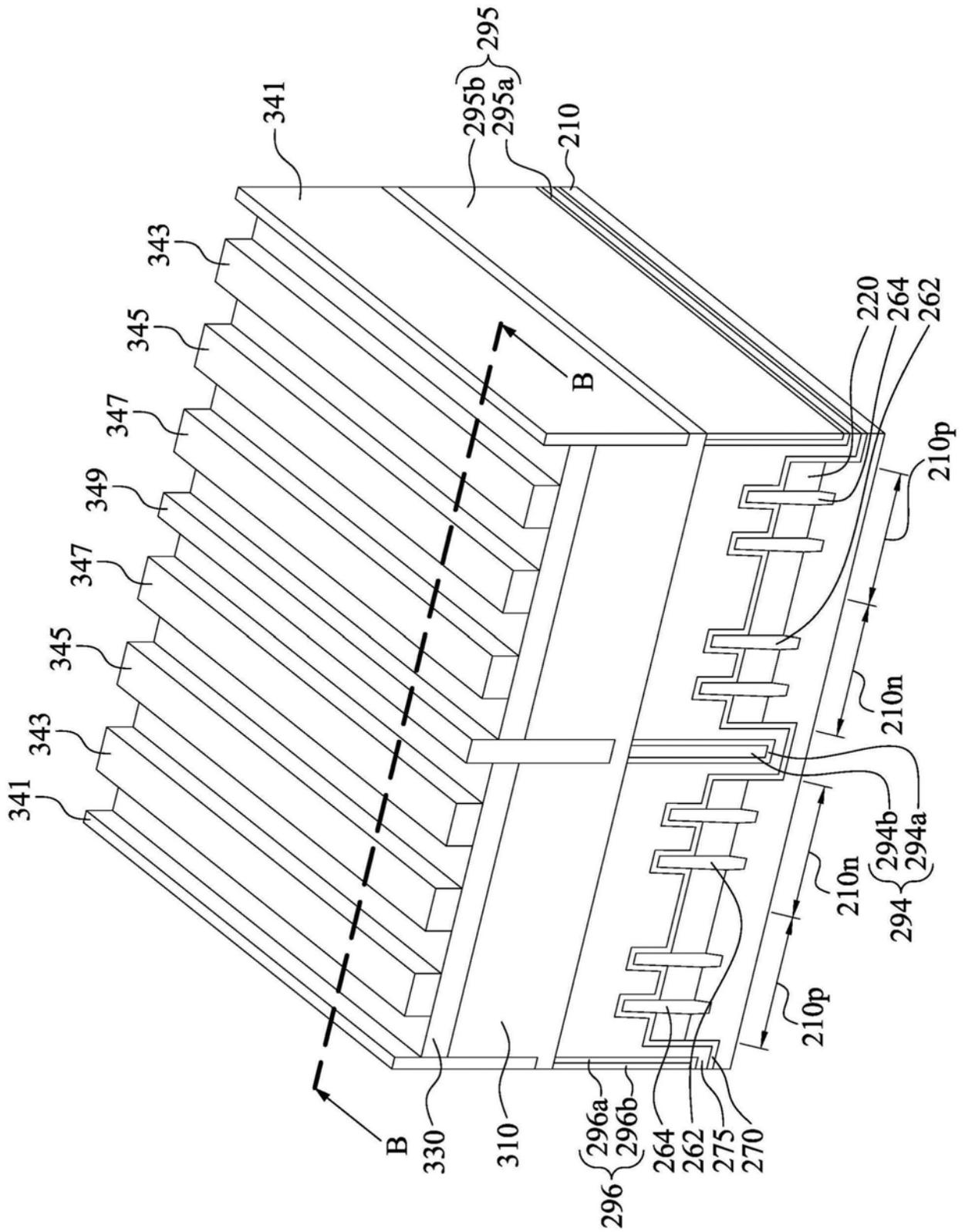


图13A

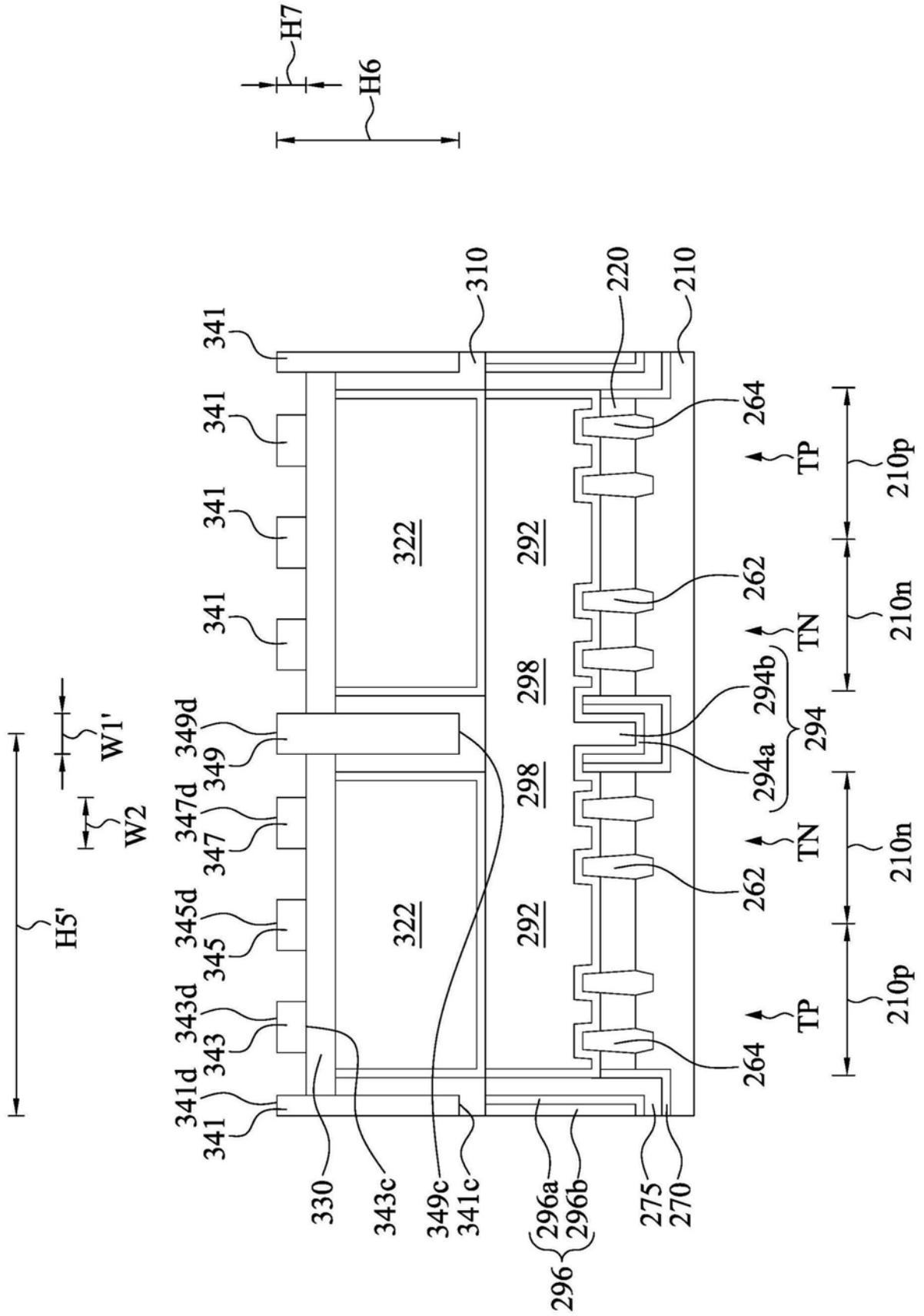


图13B

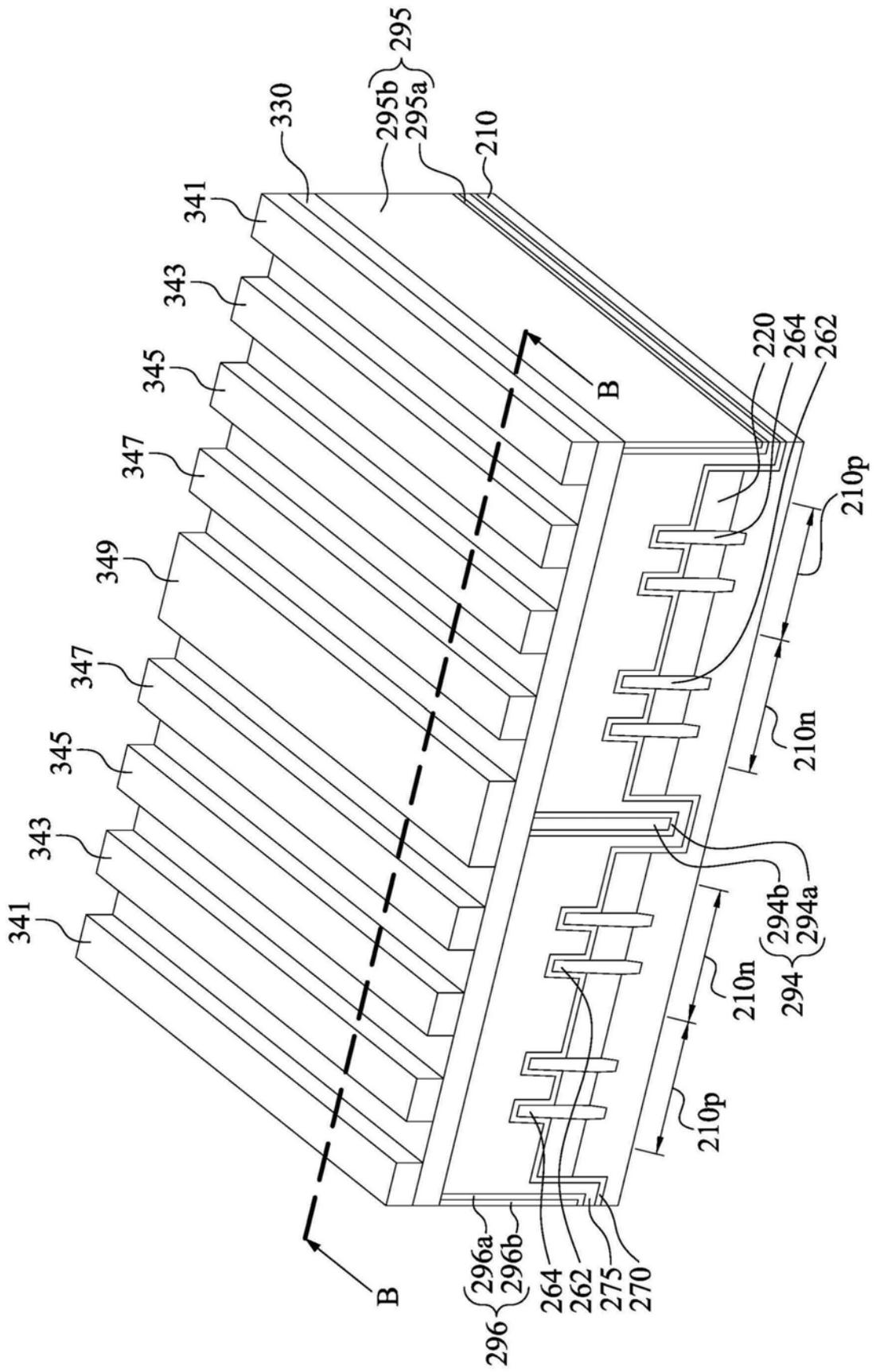


图14A

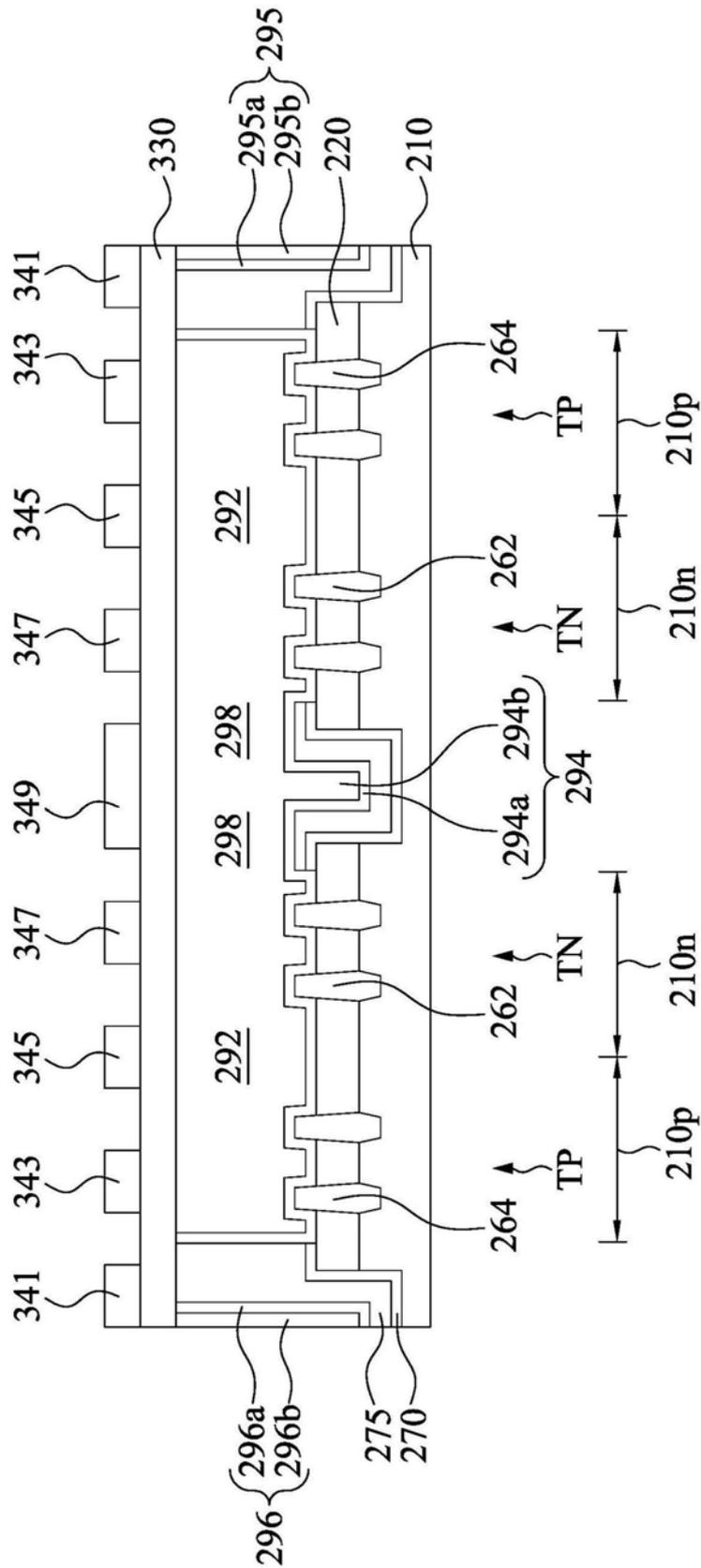


图14B

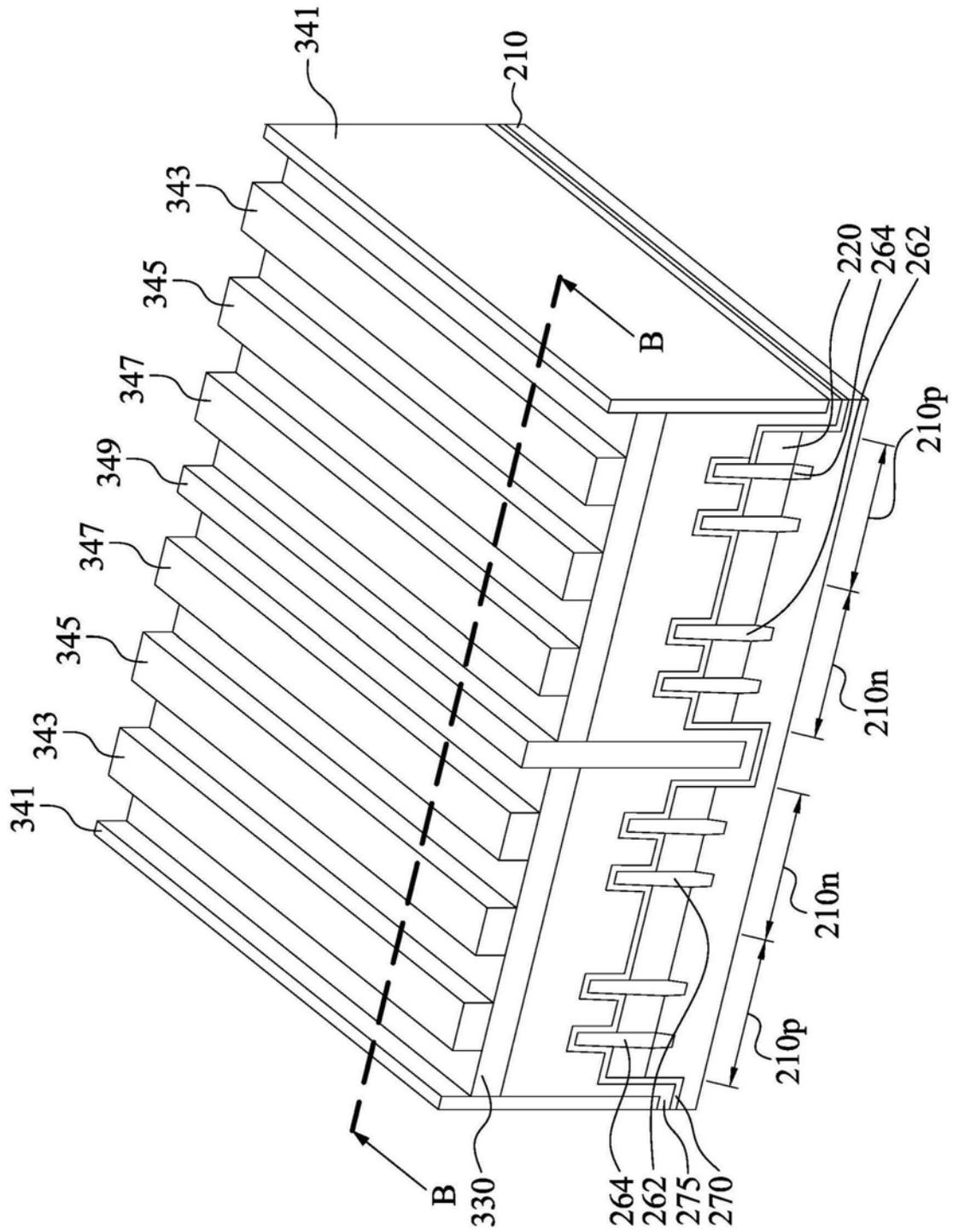


图15A

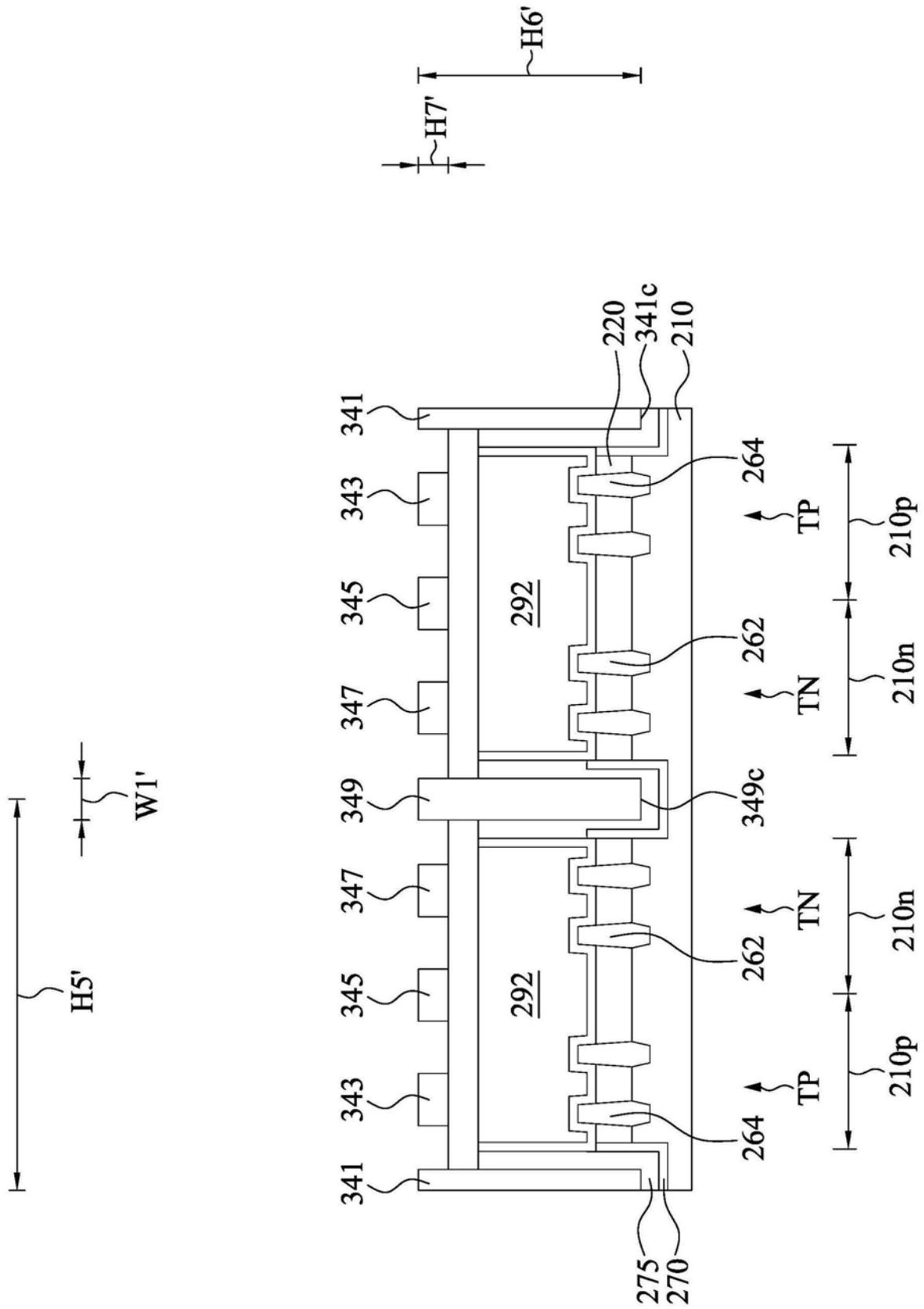


图15B

484 { 485
486

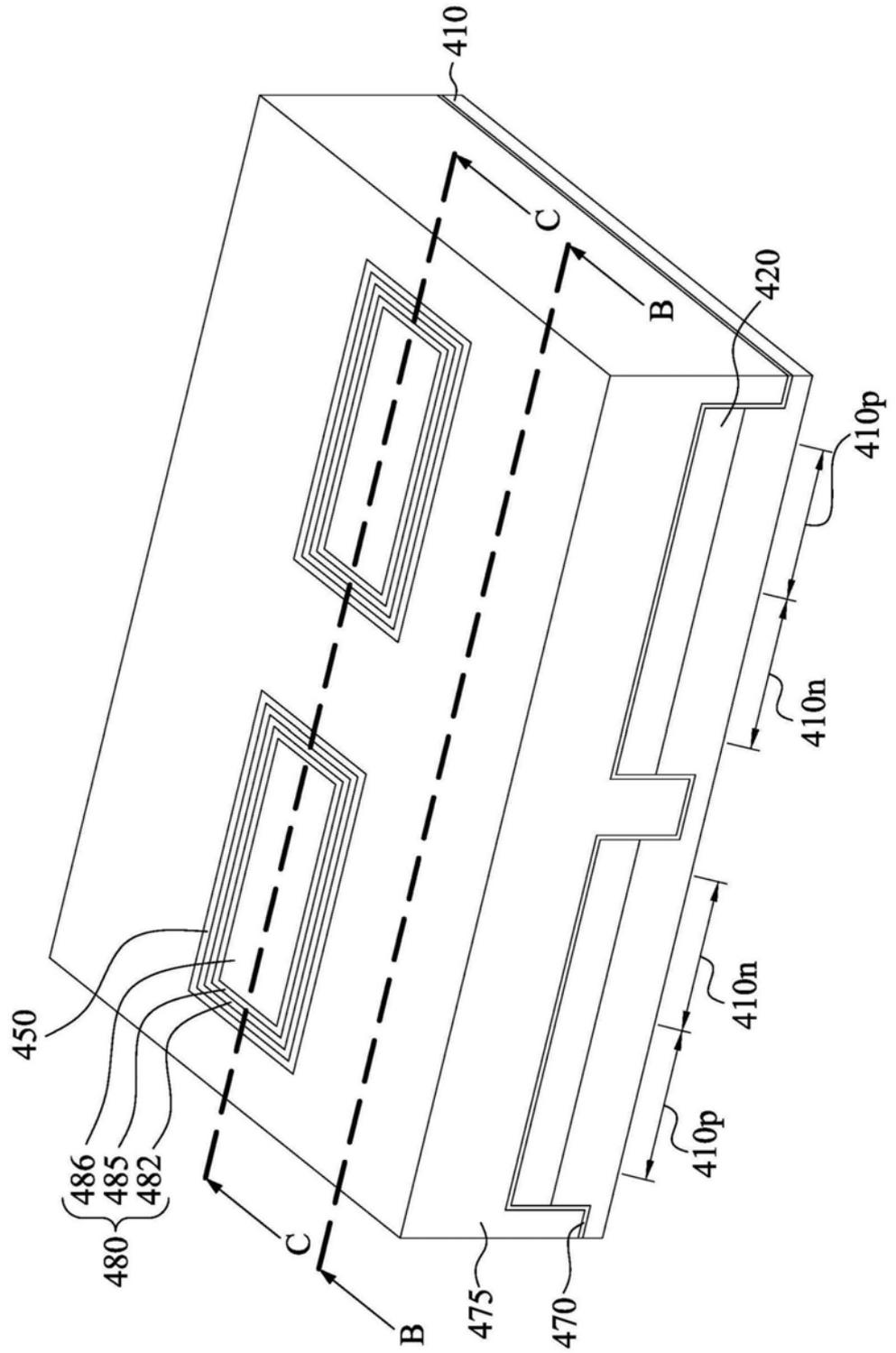


图17A

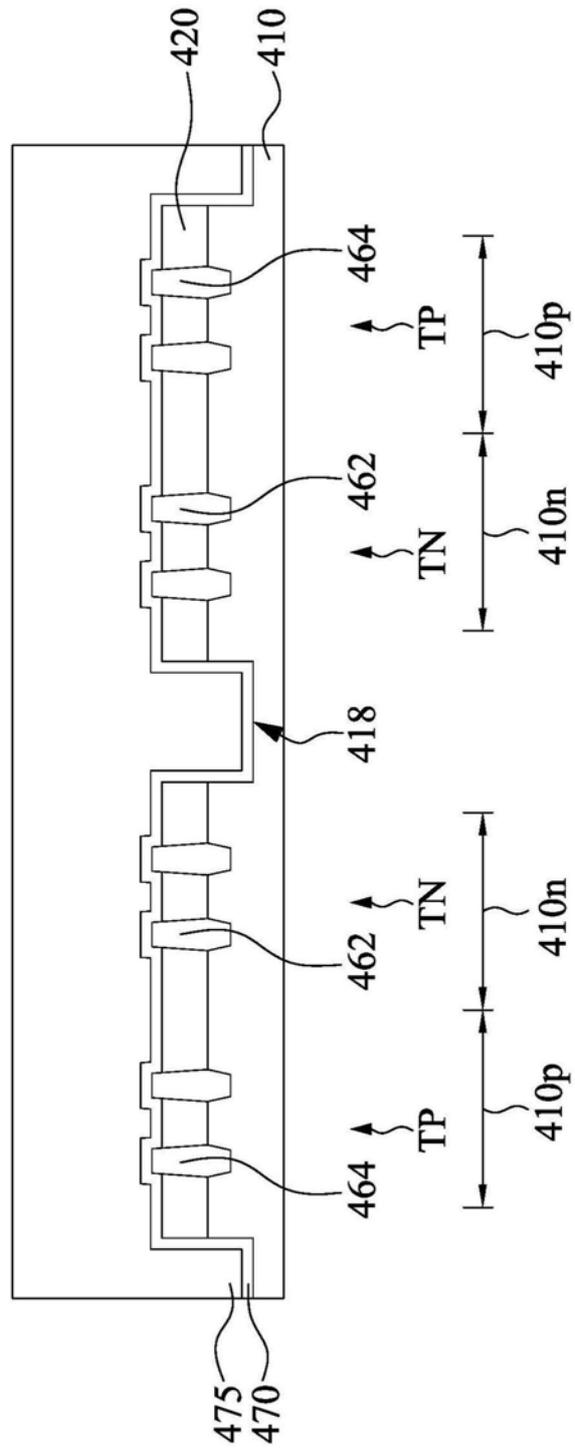


图17B

484 { 485 486 }

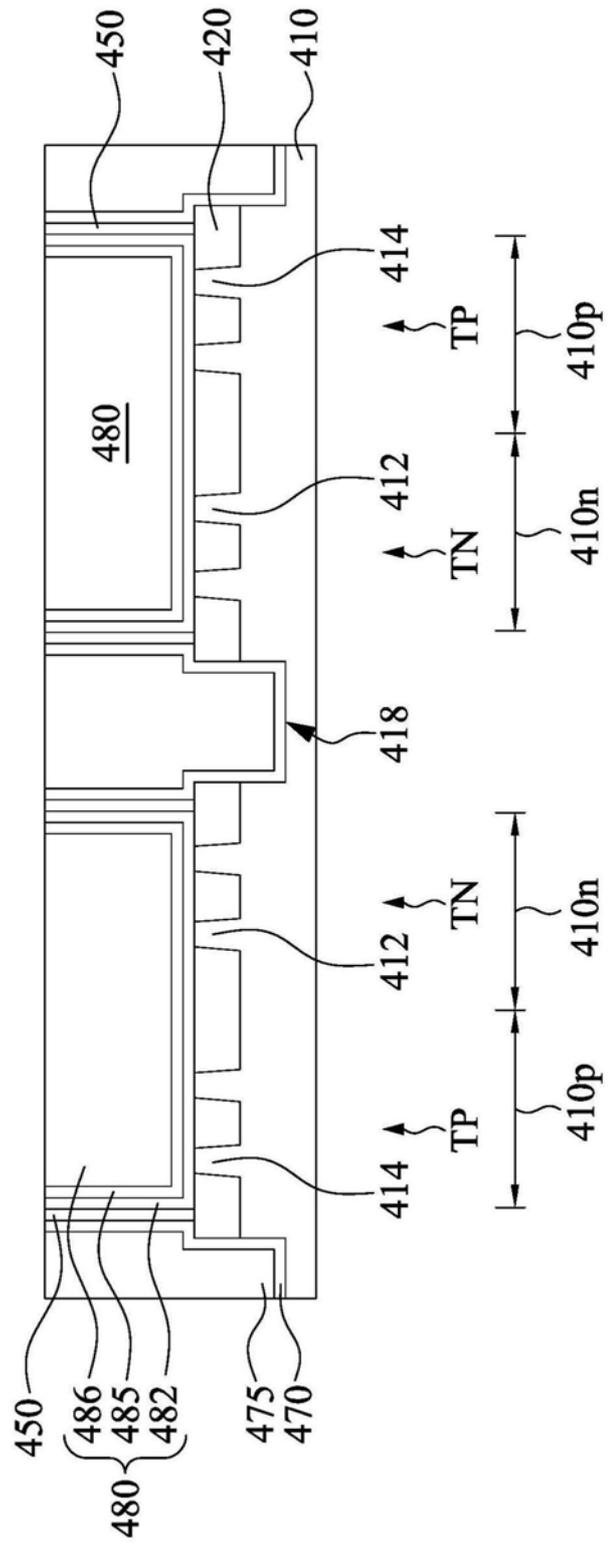


图17C

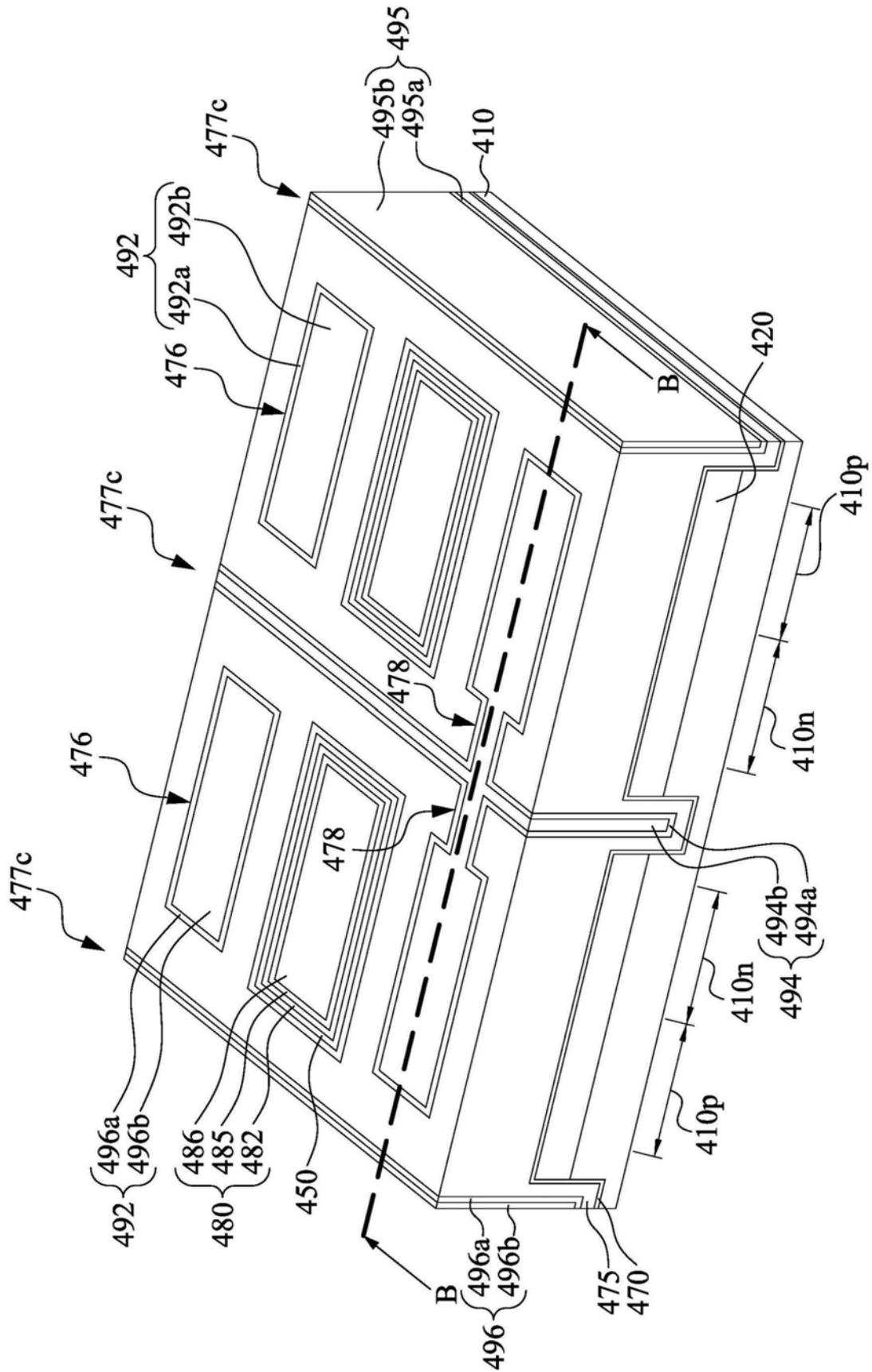


图18A

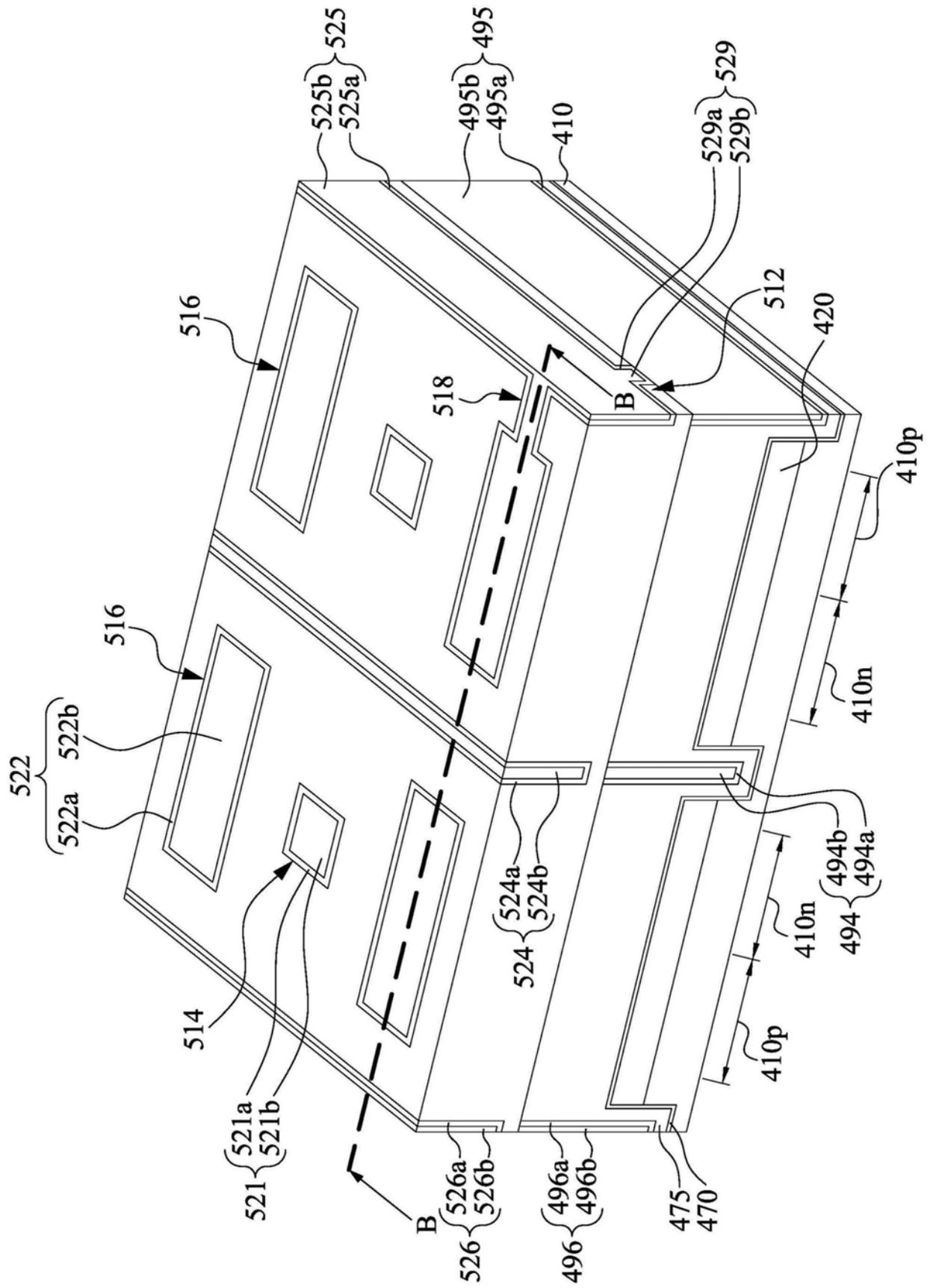


图19A

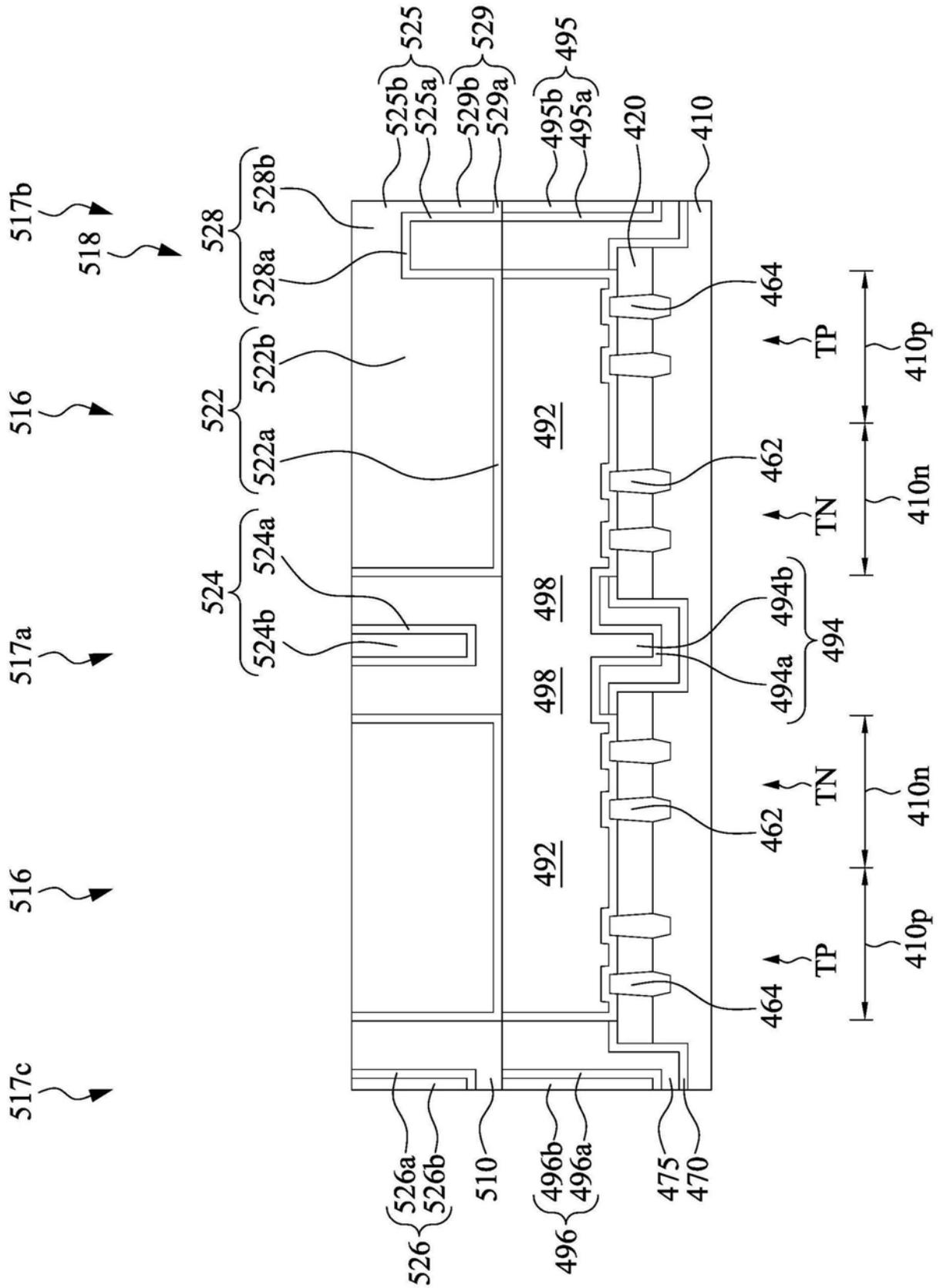


图19B

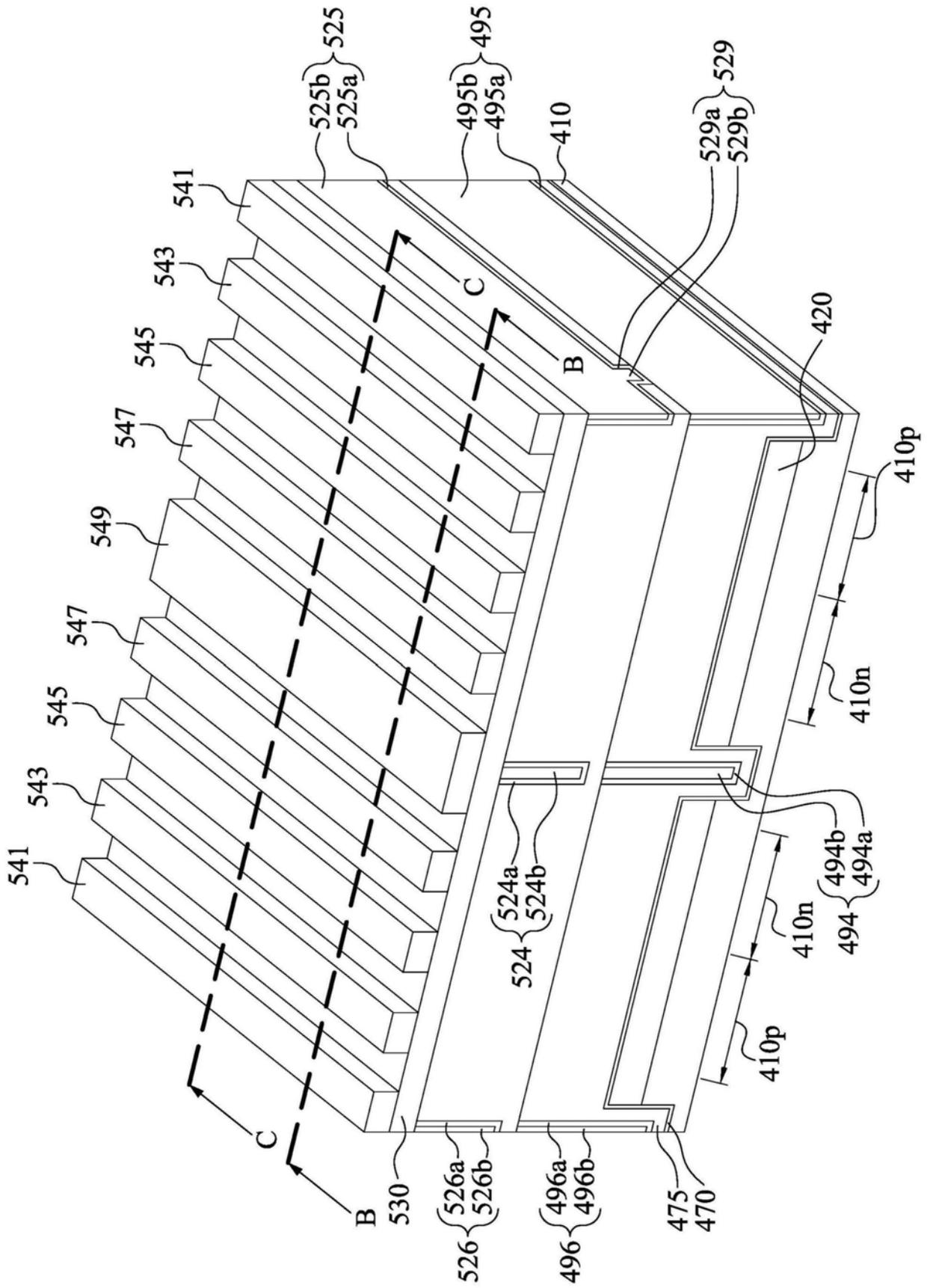


图20A

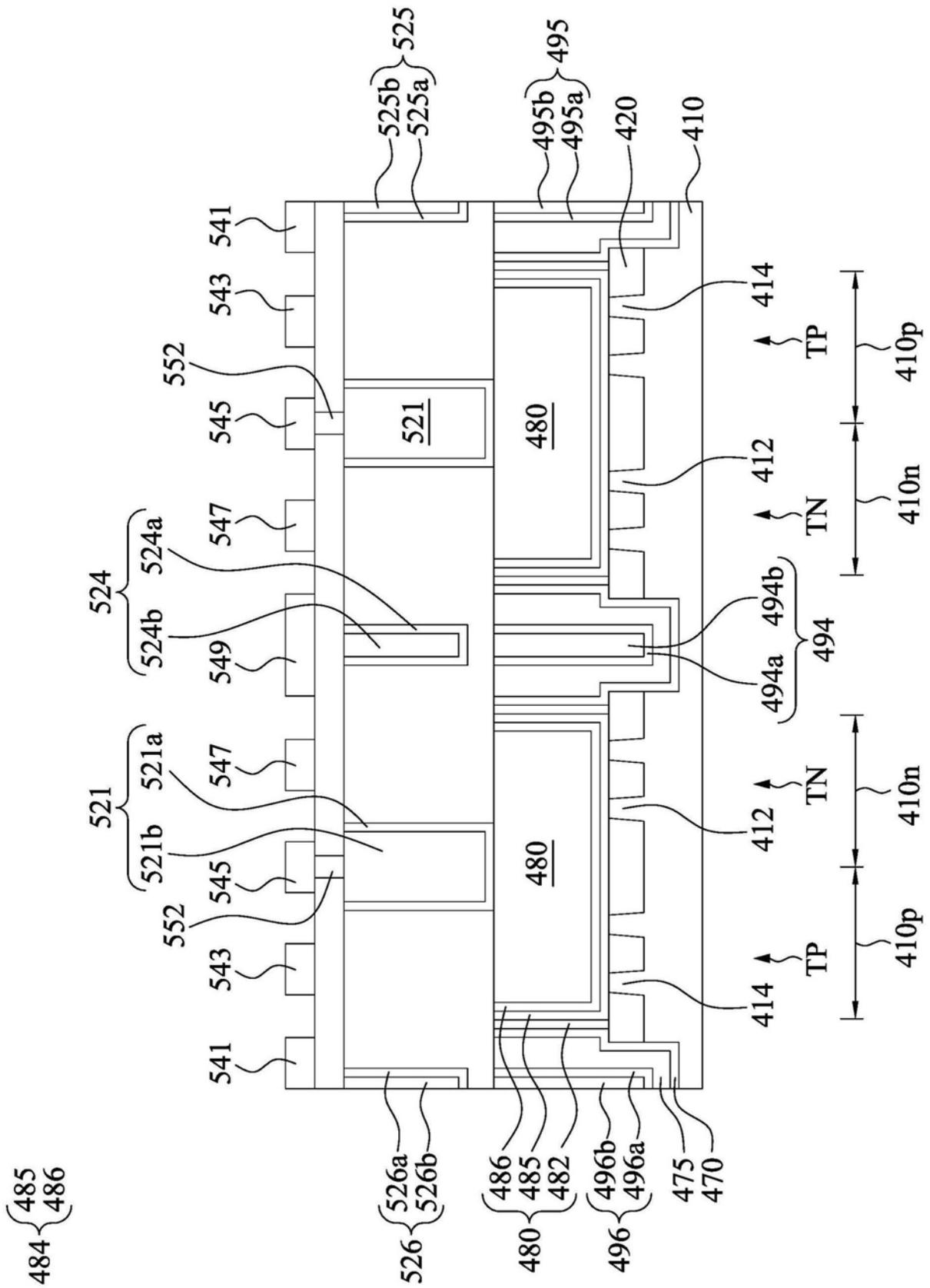


图20C

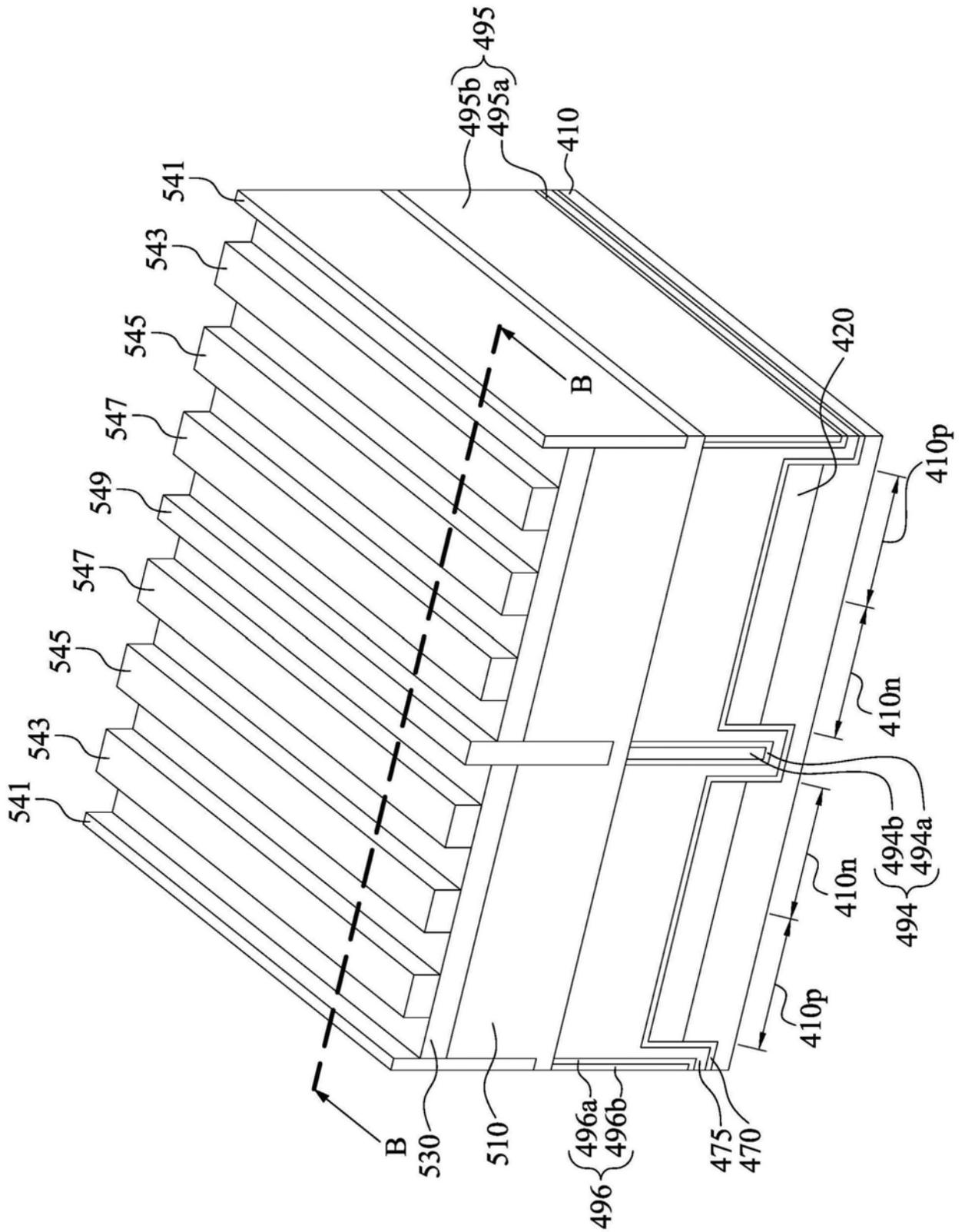


图21A

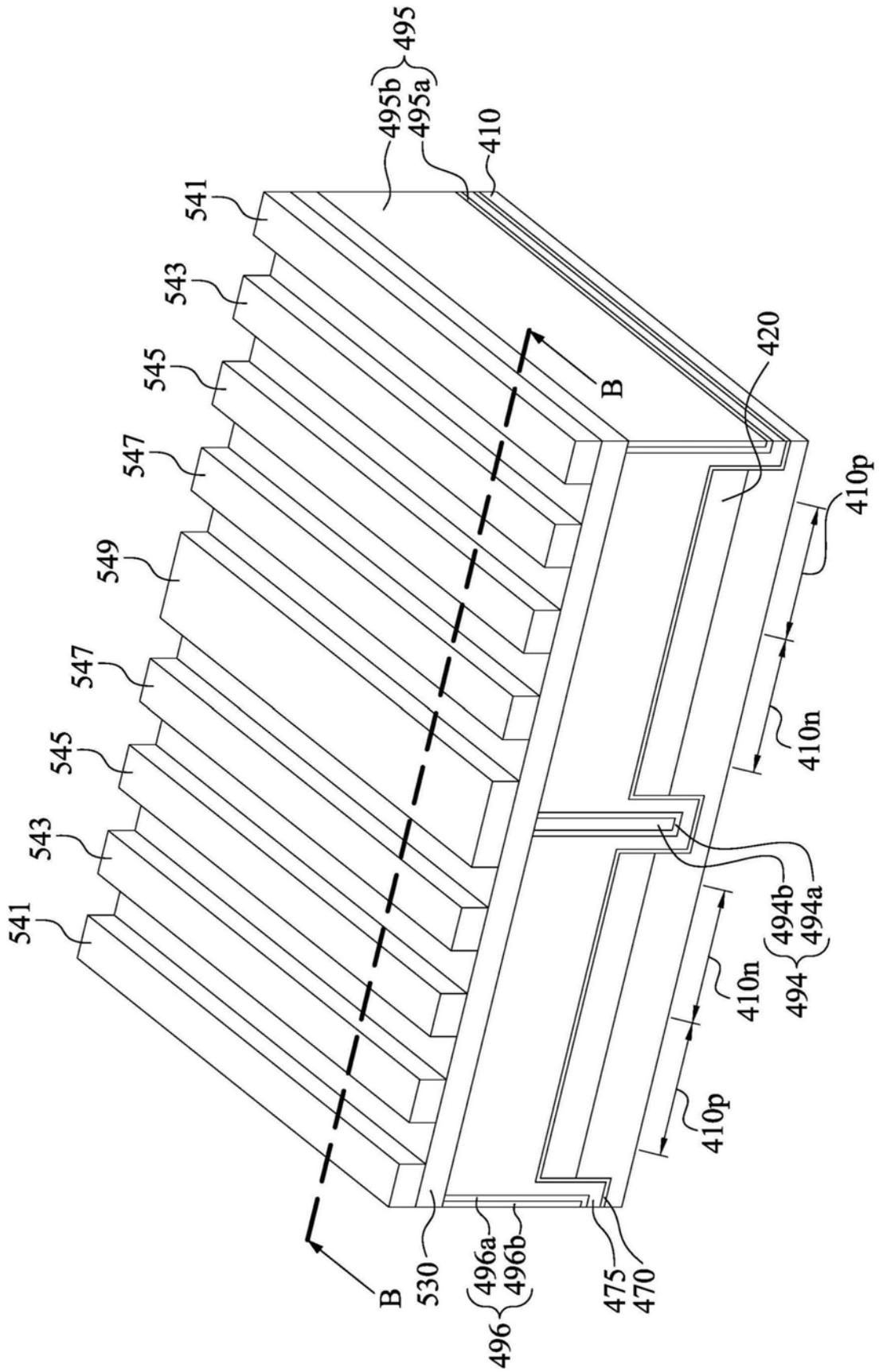


图22A

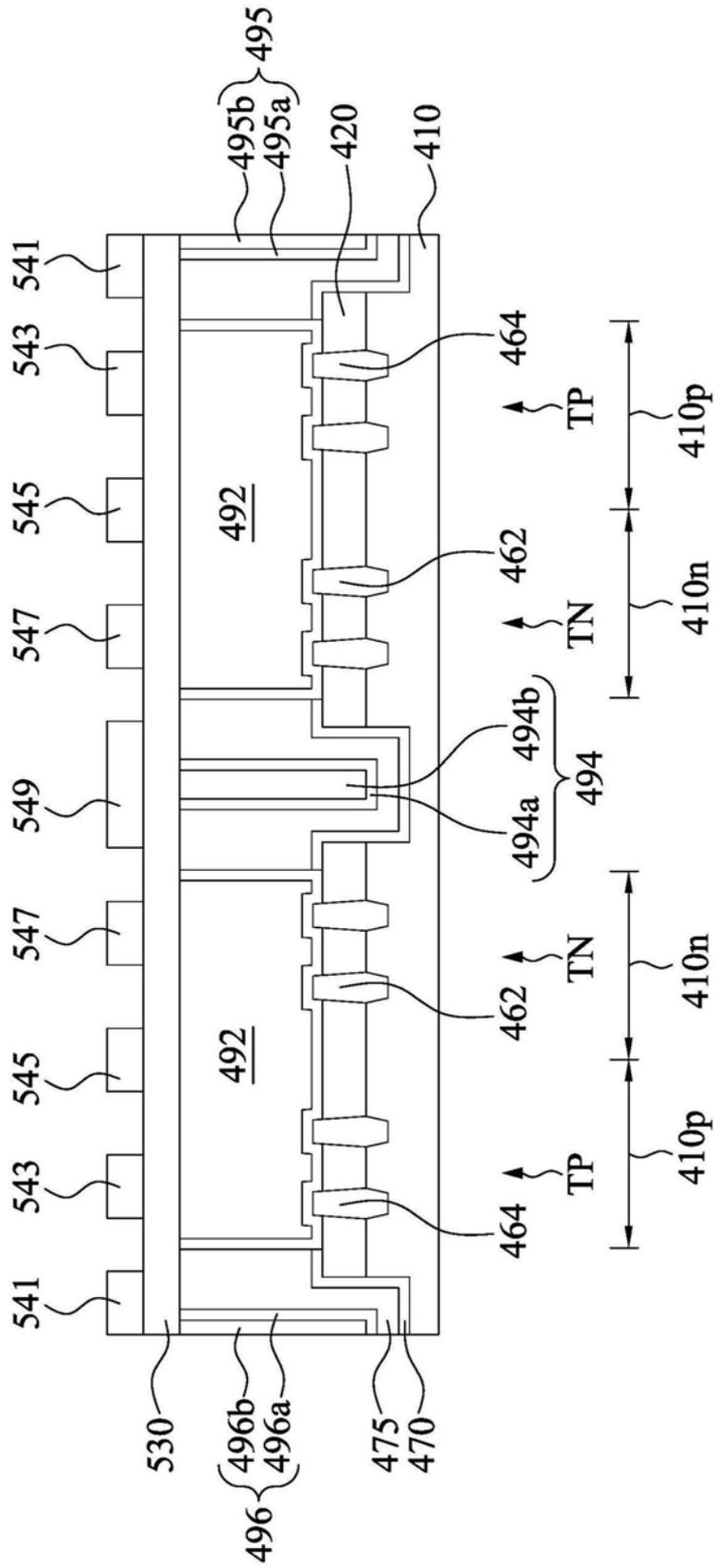


图22B

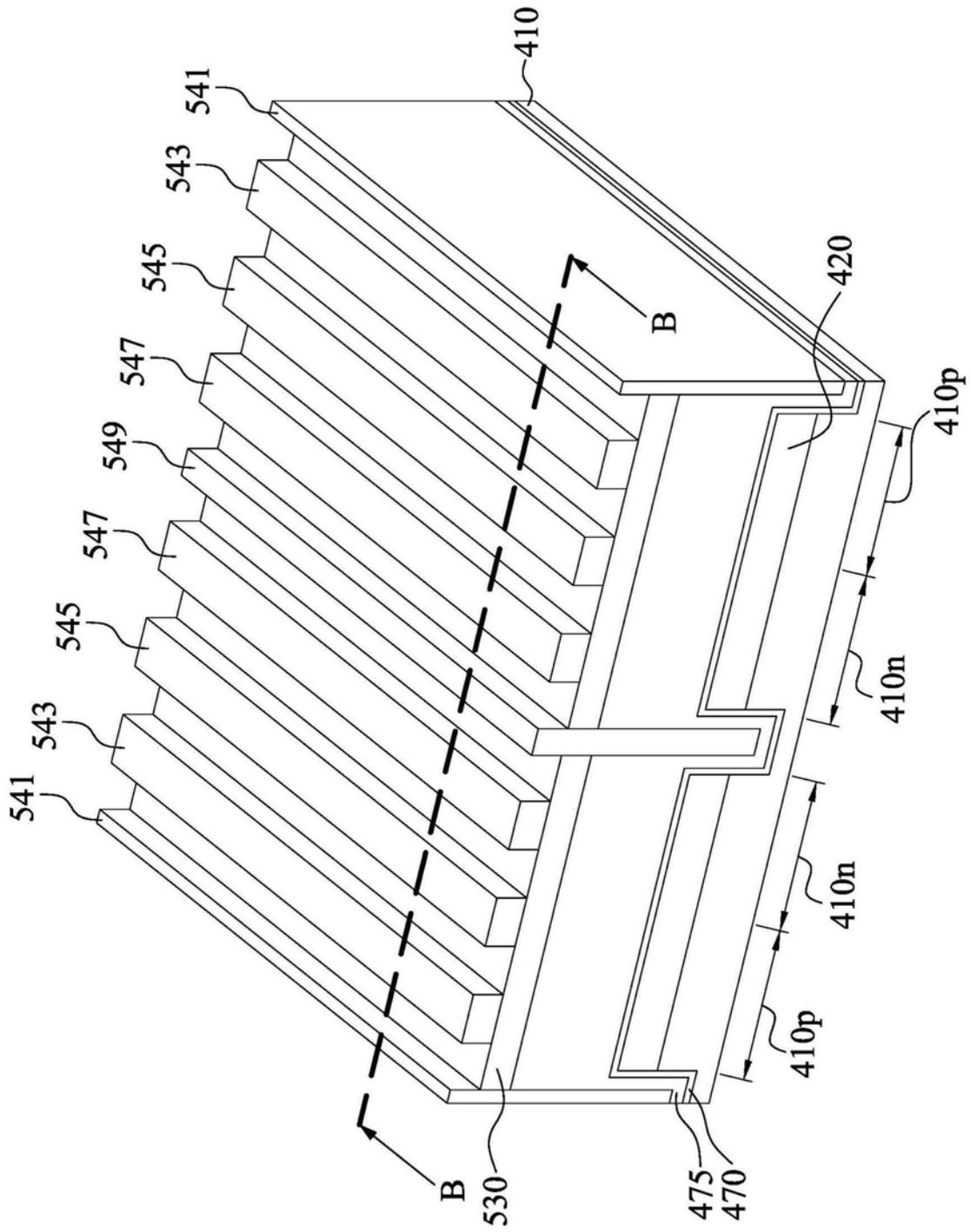


图23A

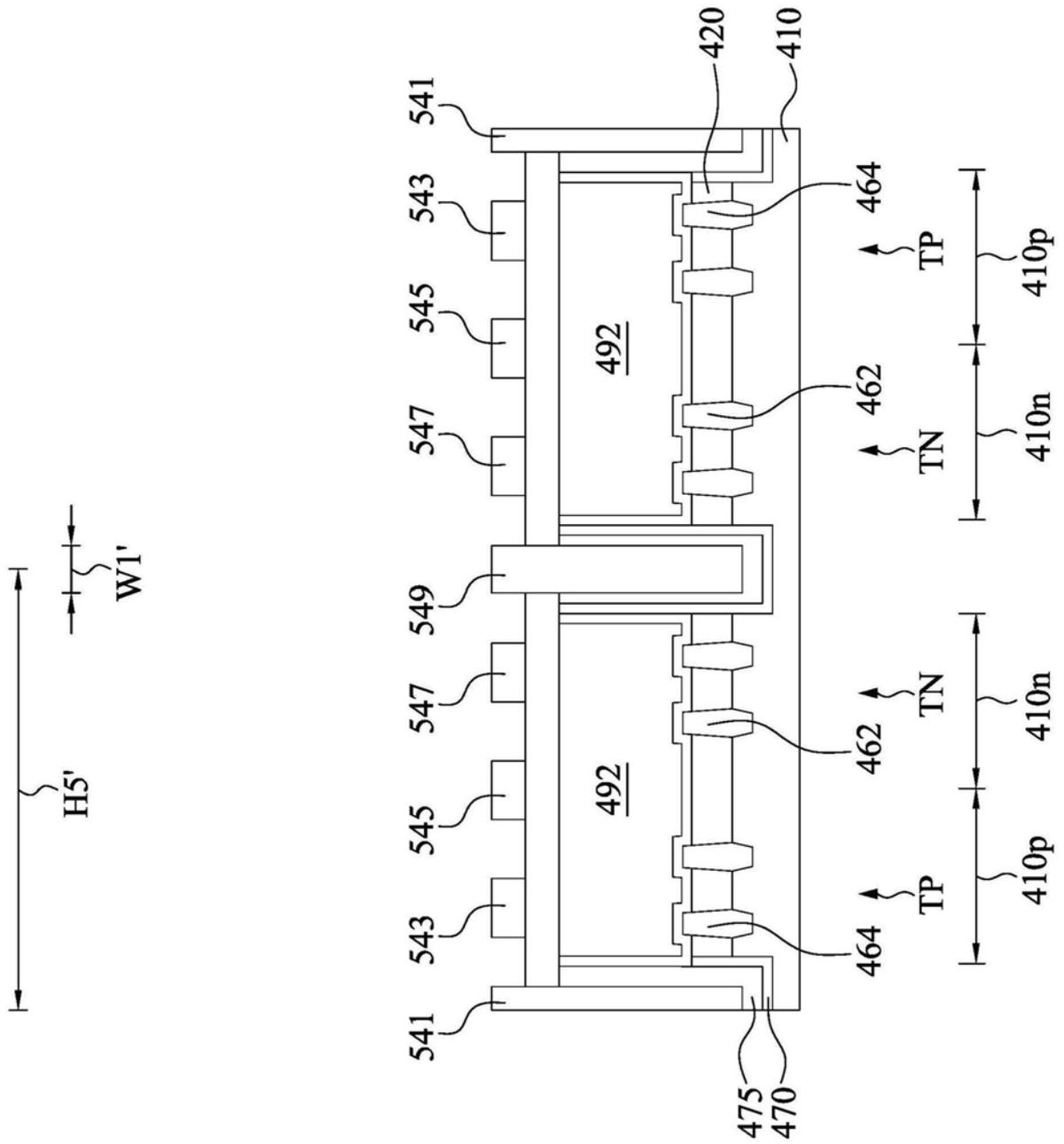


图23B

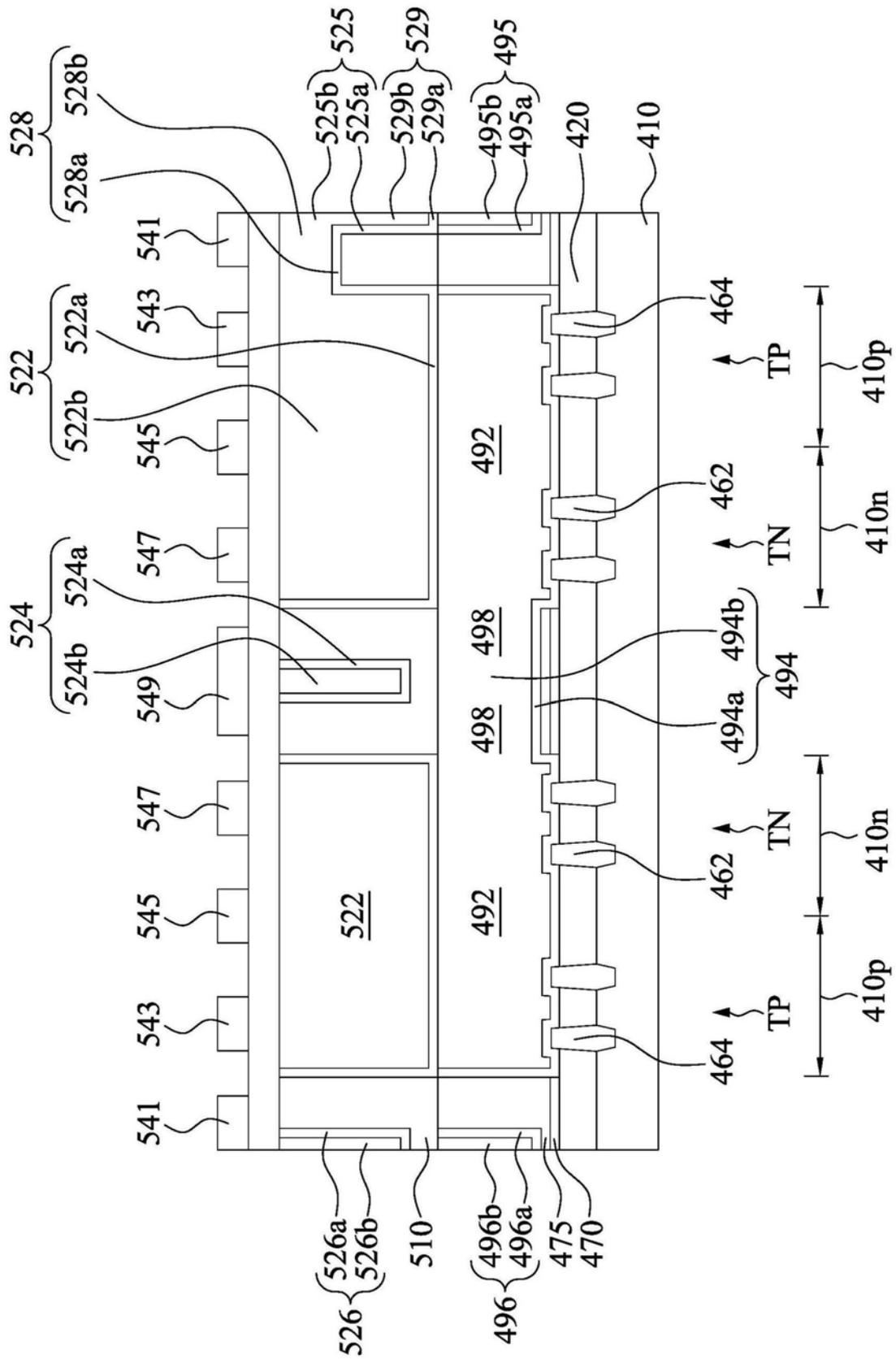


图24B

684 { 685
686

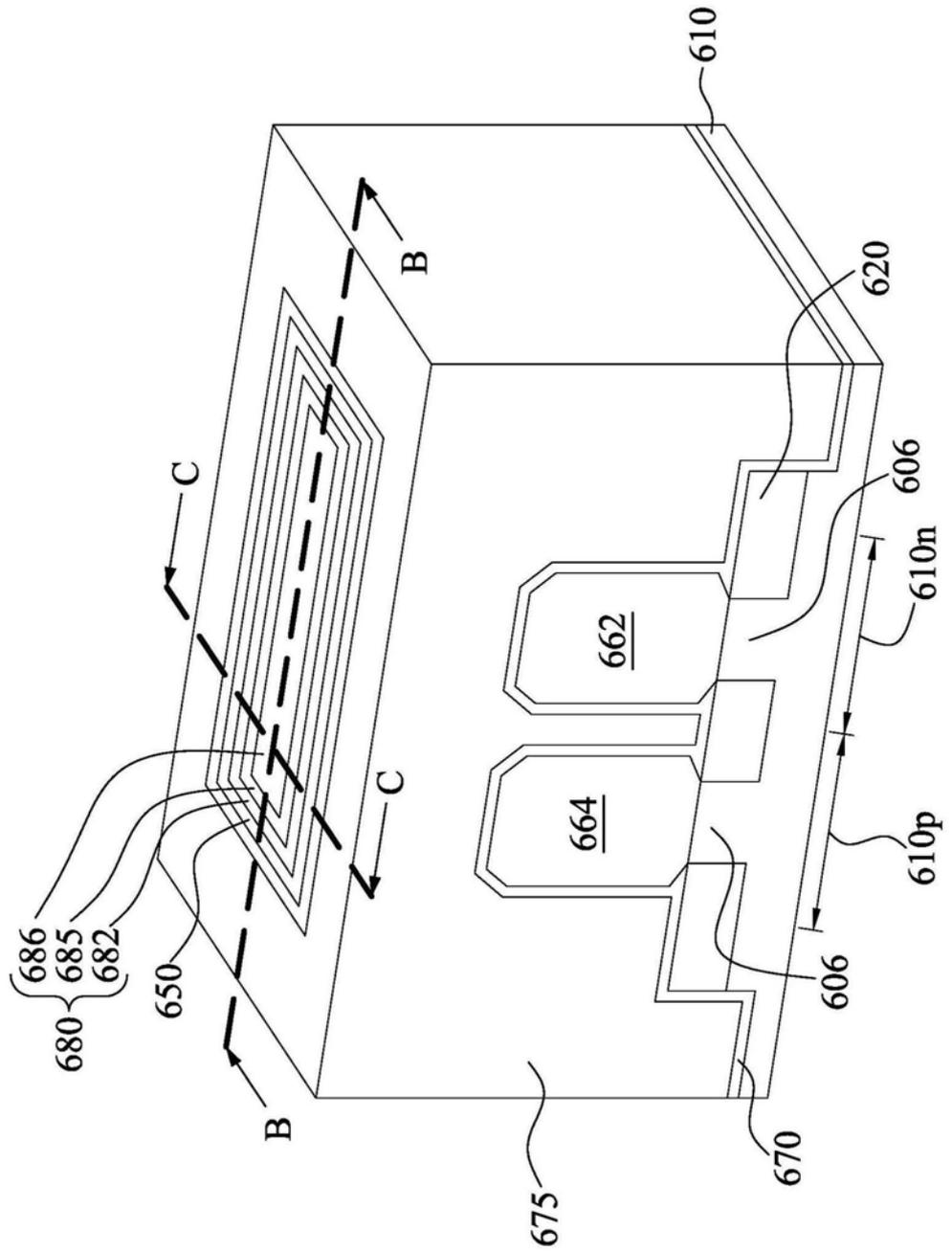


图25A

684 { 685 686 }

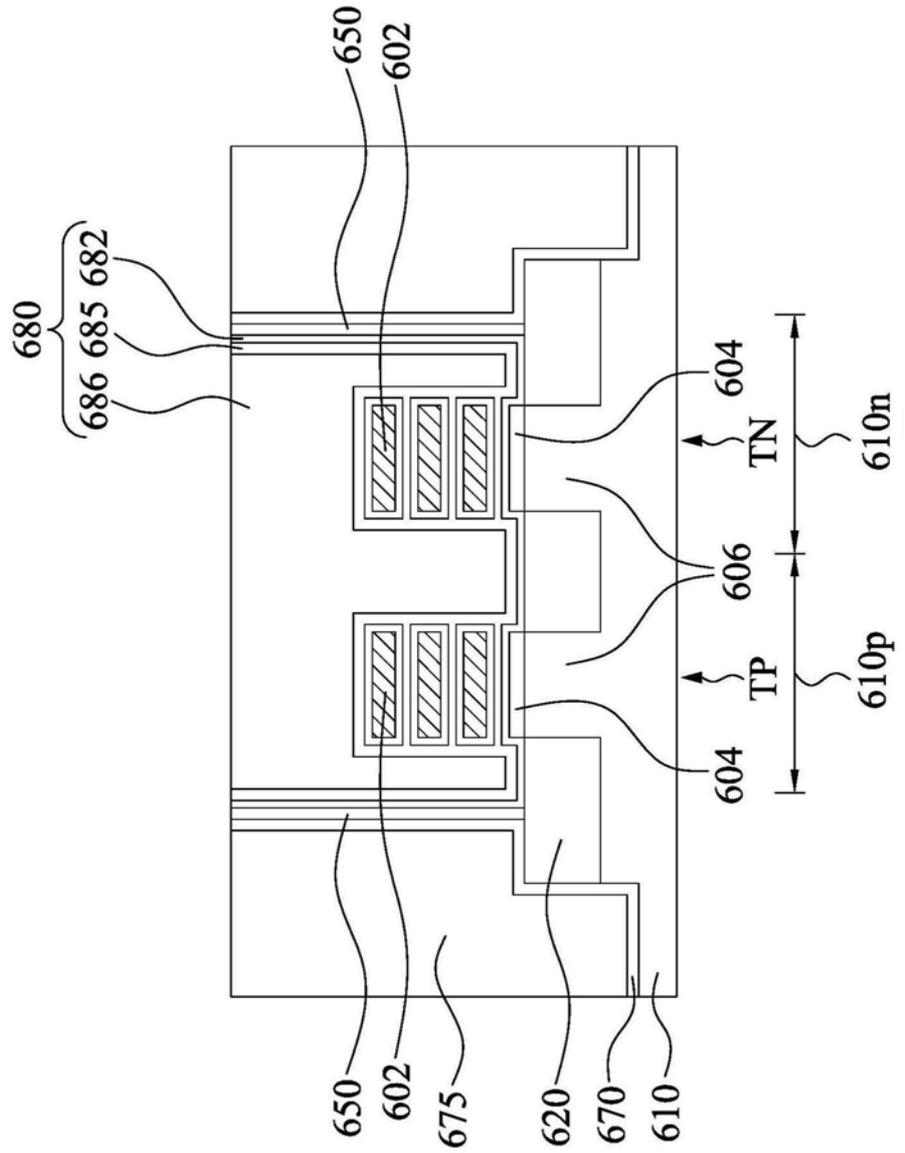


图25B

684 { 685
686 }

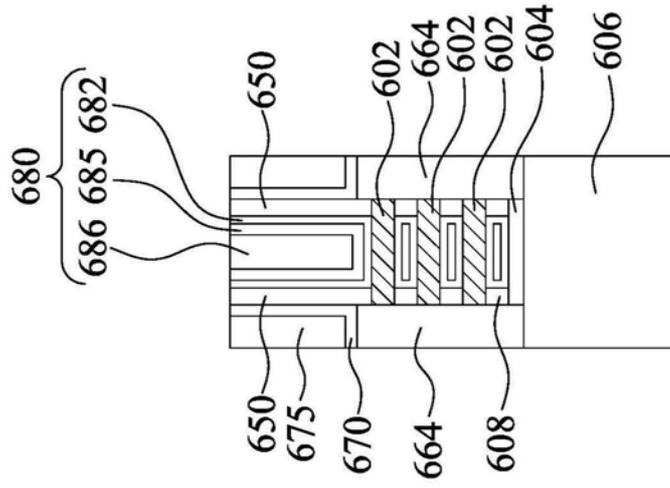


图25C

684 { 685 686 }

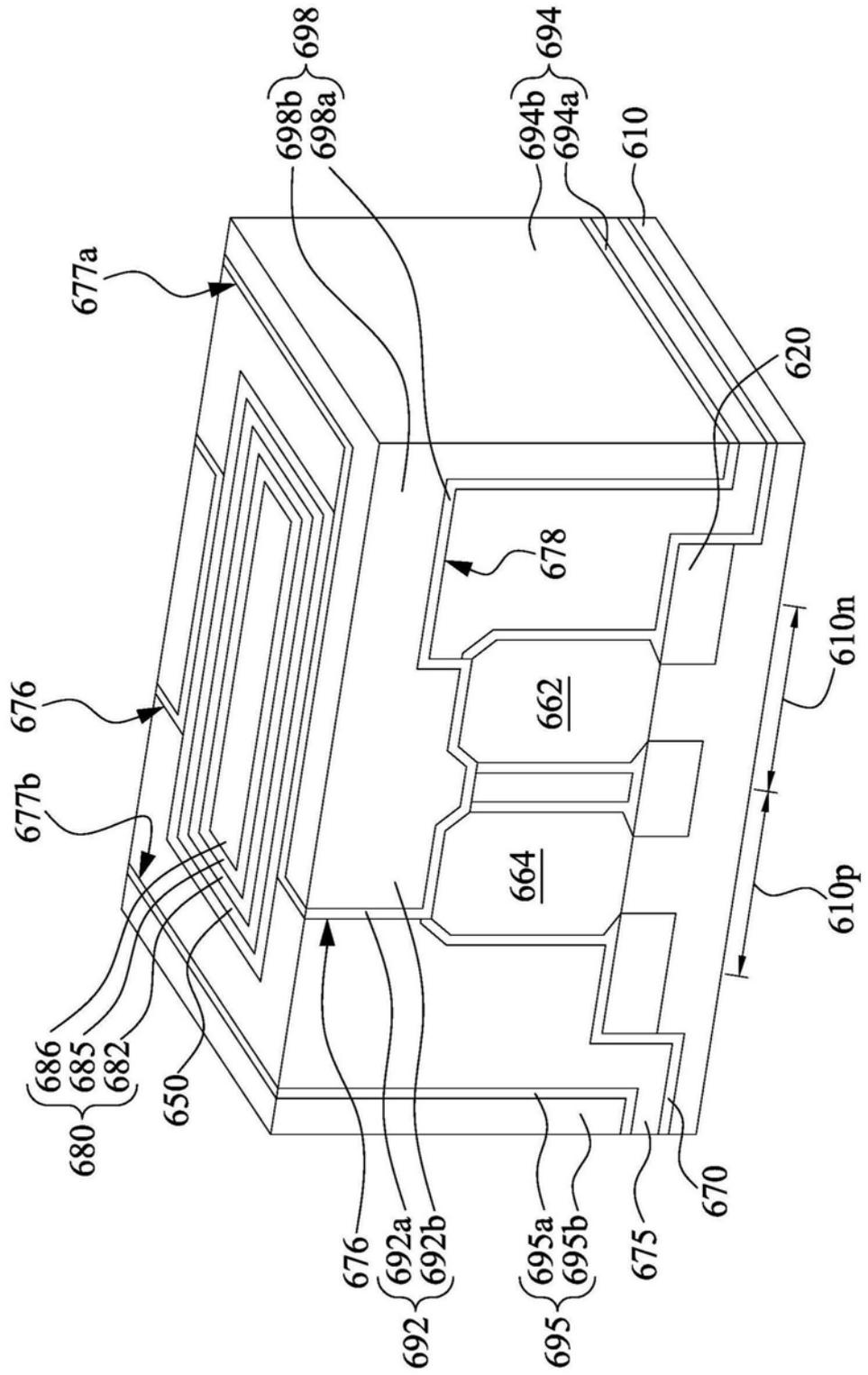


图26

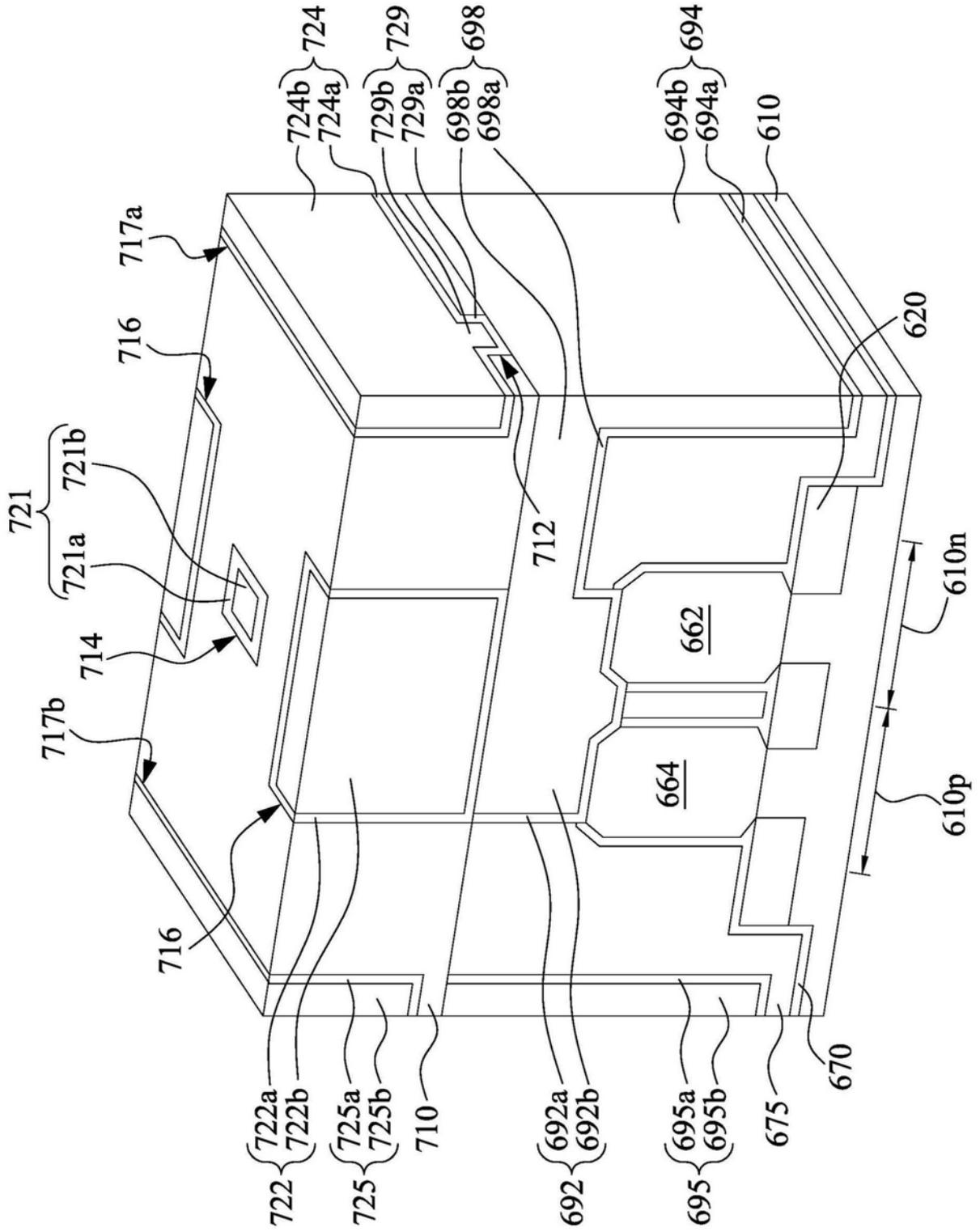


图27

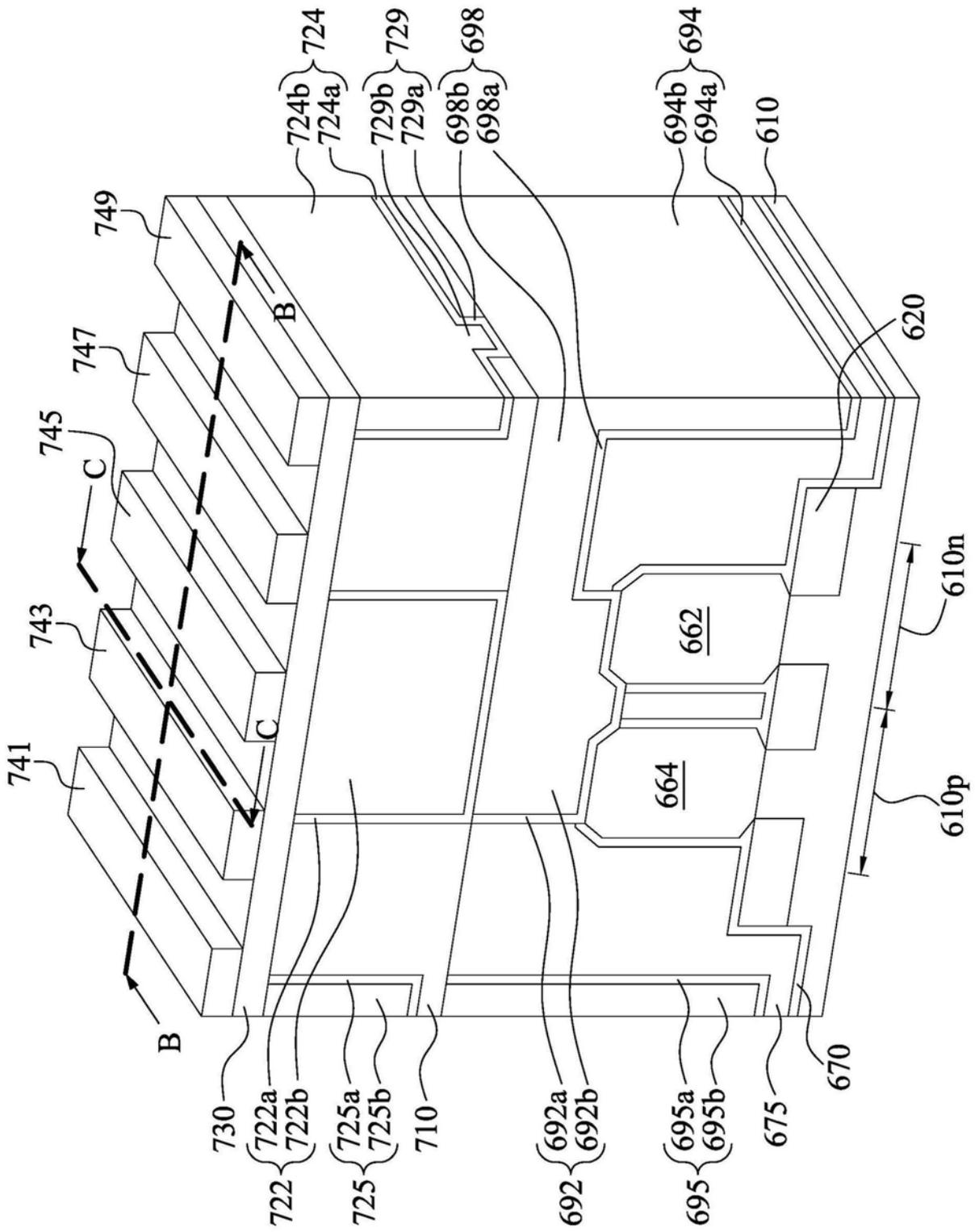


图28A

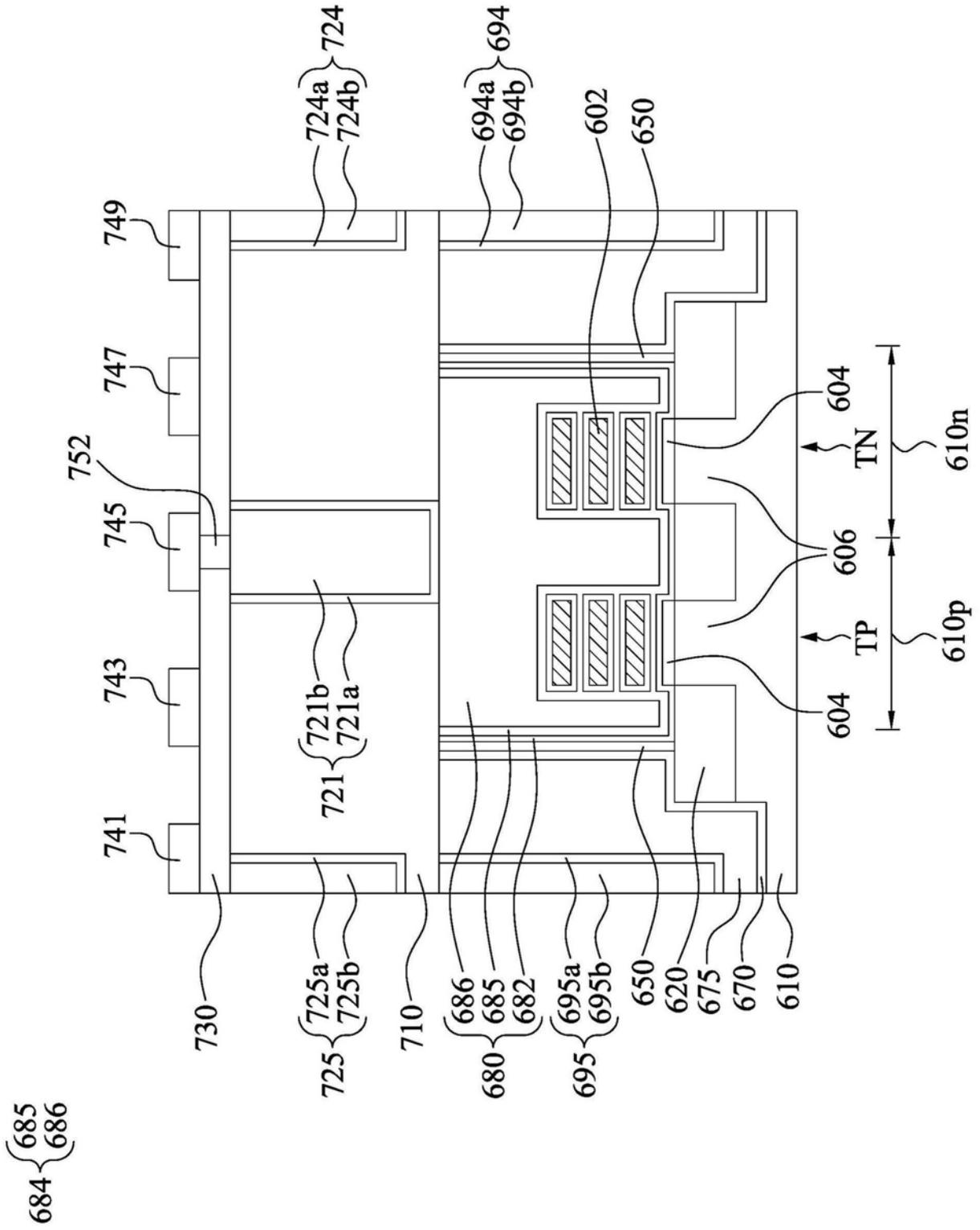


图28B

684 { 685
686

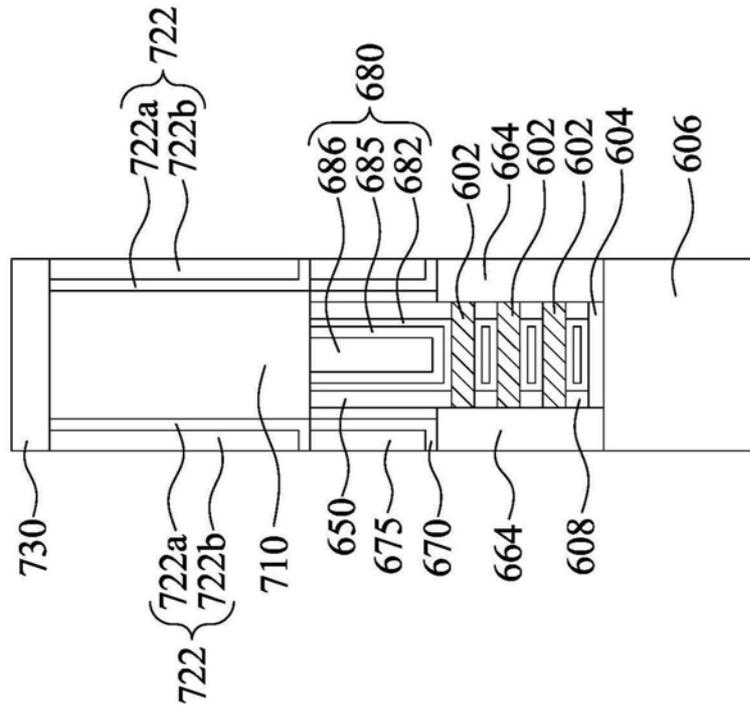


图28C

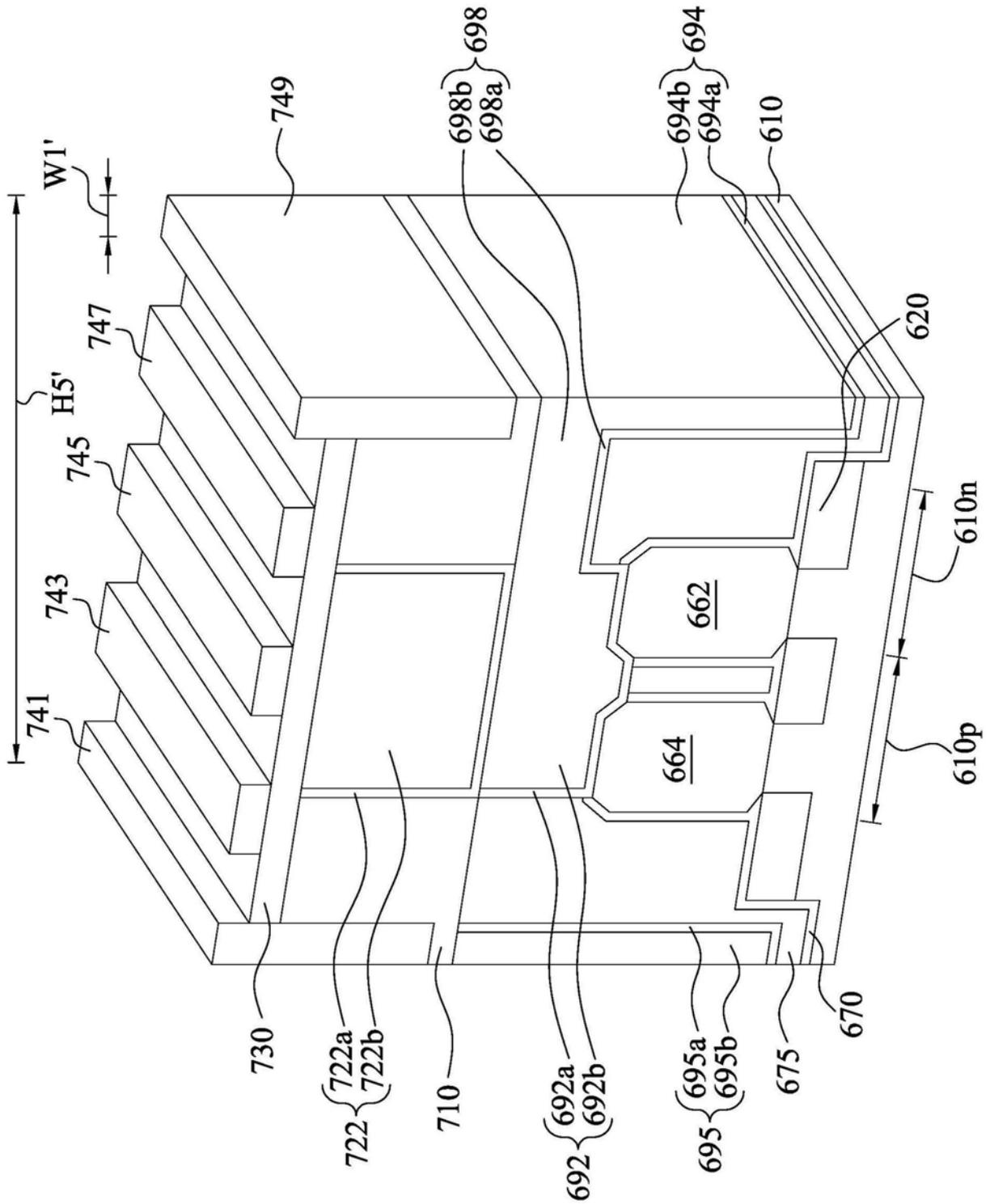


图29

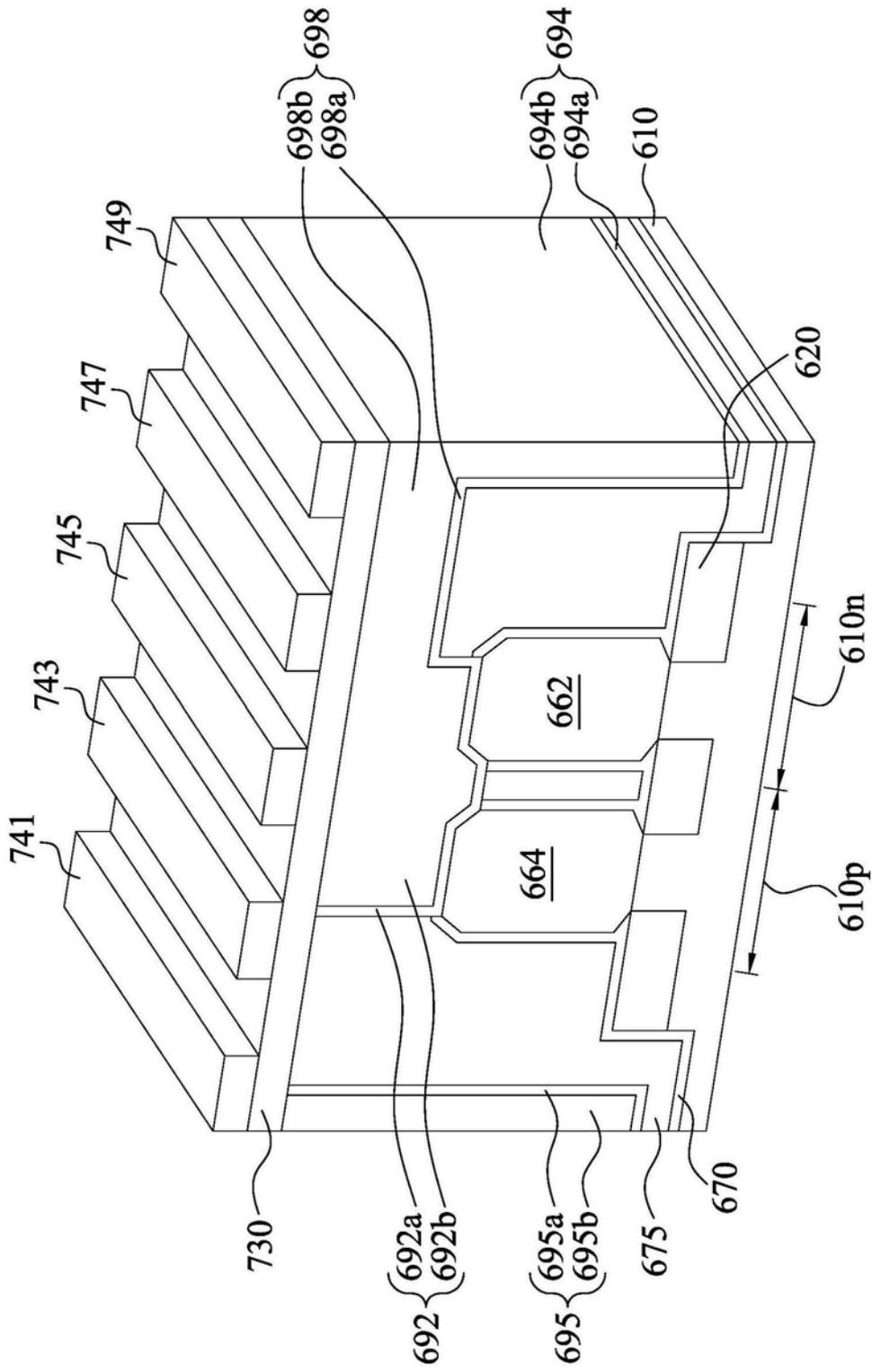


图30

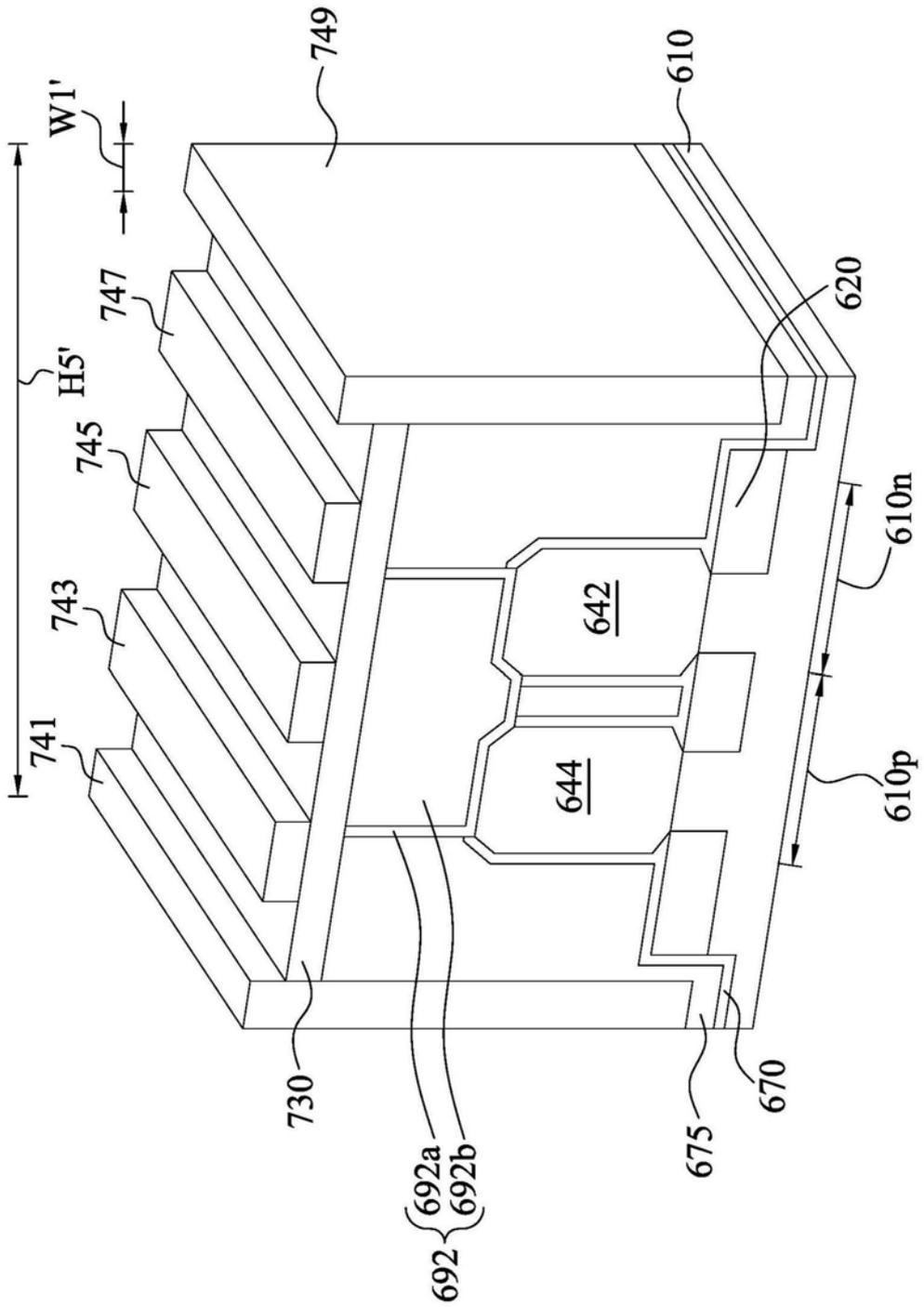


图31

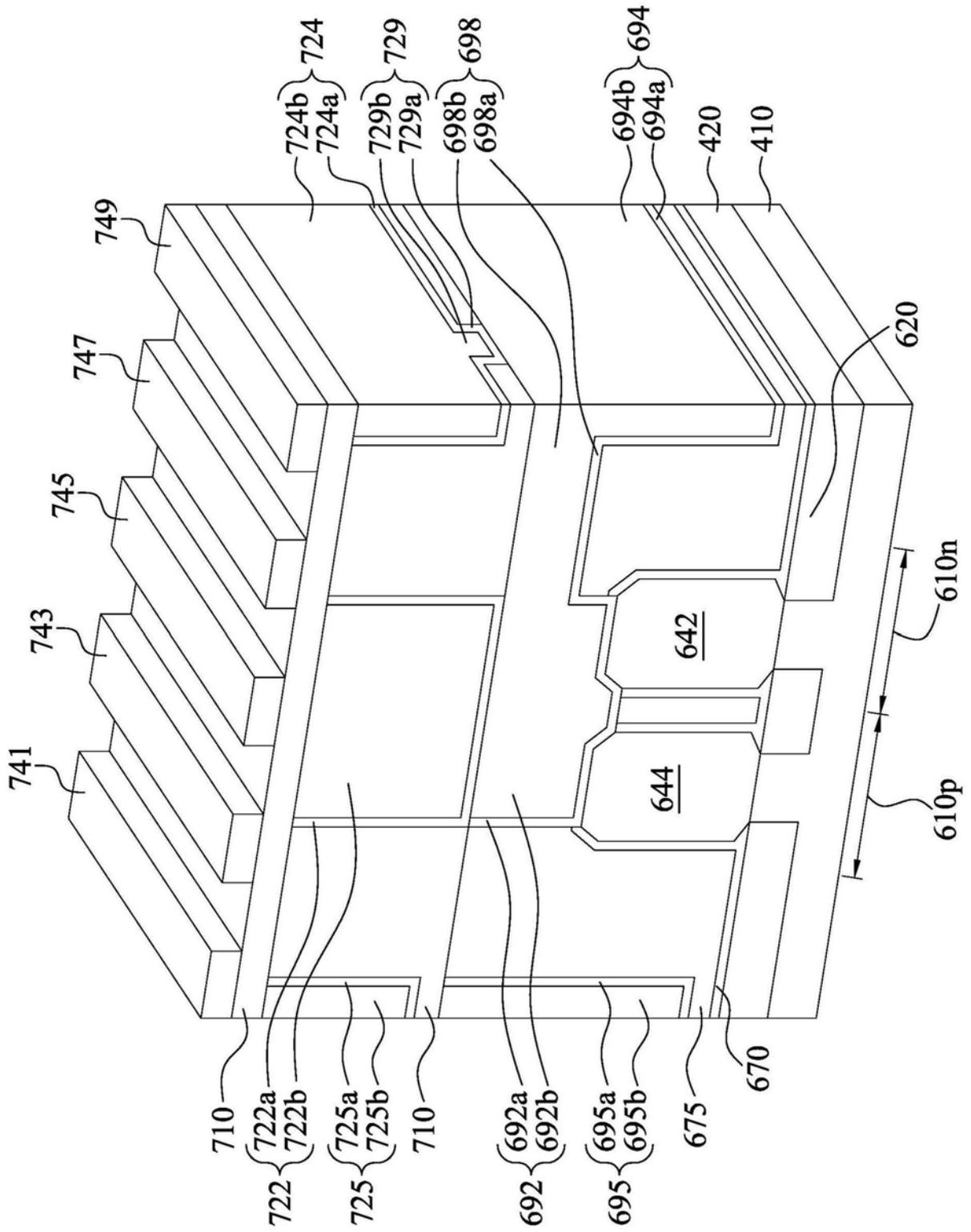


图32

M1

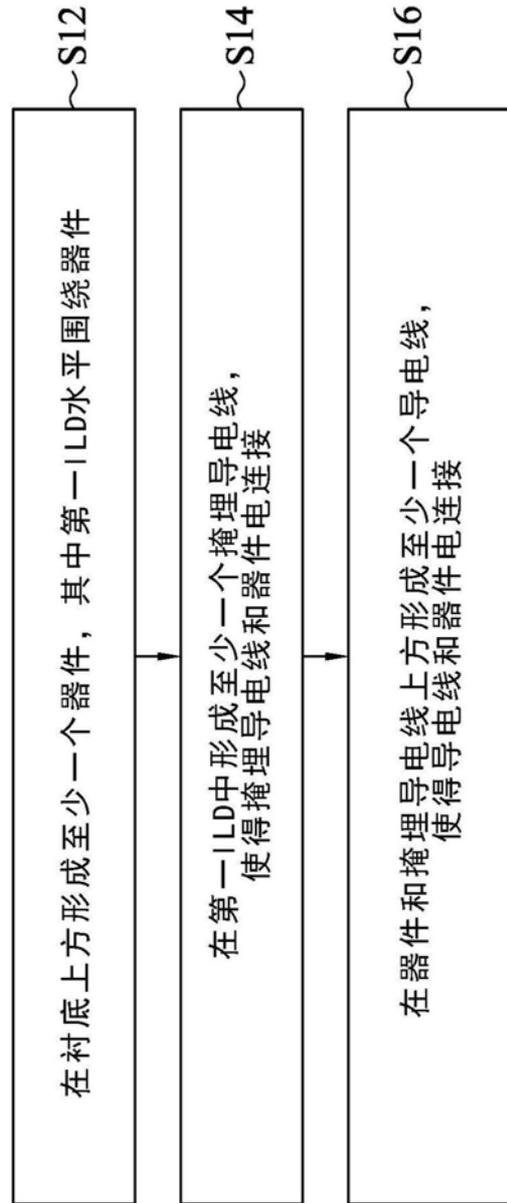


图33