



(12) 发明专利申请

(10) 申请公布号 CN 102415109 A

(43) 申请公布日 2012. 04. 11

(21) 申请号 200980159064. 3

(51) Int. Cl.

(22) 申请日 2009. 04. 30

H04R 25/00 (2006. 01)

H03M 3/02 (2006. 01)

(85) PCT申请进入国家阶段日
2011. 10. 31

(86) PCT申请的申请数据
PCT/EP2009/055279 2009. 04. 30

(87) PCT申请的公布数据
W02010/124737 EN 2010. 11. 04

(71) 申请人 唯听助听器公司
地址 丹麦兰格

(72) 发明人 N·O·努森

(74) 专利代理机构 北京纪凯知识产权代理有限公司 11245

代理人 赵蓉民

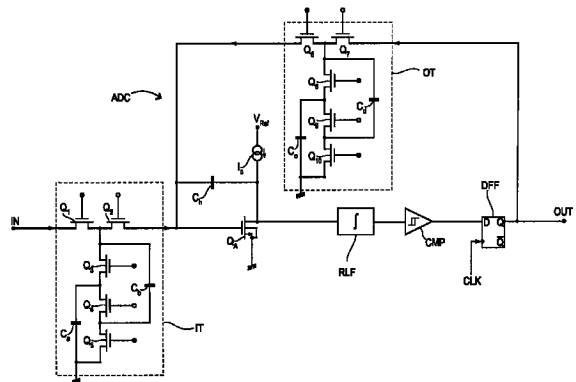
权利要求书 2 页 说明书 10 页 附图 6 页

(54) 发明名称

用于助听器的输入转换器和信号转换方法

(57) 摘要

为了最小化助听器中的噪声和电流消耗, 本发明公开了一种用于助听器的输入转换器, 该输入转换器包括第一电压变换器和德尔塔-西格玛类型的模数转换器。该输入转换器的模数转换器具有输入级、输出级和反馈环路, 并且输入级包括放大器(Q_A)和积分器(RLF)。第一电压变换器具有一变换比例, 使得它提供了比输入电压更大的输出电压, 并且第一电压变换器被放置在输入级上游的输入转换器中。具有一变换比例使得其提供比输入电压更大的输出电压的第二电压变换器(OT)可选地放置在转换器的反馈环路中。电压变换器(IT, OT)是开关电容式电压变换器, 每个变换器(IT, OT)具有至少两个电容器(C_a, C_b, C_c, C_d)。本发明还提供了转换模拟信号的方法。



1. 一种用于助听器的输入转换器,所述转换器包括第一电压变换器和德尔塔-西格玛类型的模数转换器,所述模数转换器具有输入级和输出级、自所述输入级的输出至所述输出级的输入的连接以及在所述输入级的输入和所述输出级的输出之间的反馈环路,所述输入级包括放大器和积分器,其中所述第一电压变换器具有一变换比例,使得它提供比输入电压大的输出电压,并且所述第一电压变换器被设置在所述输入级上游的所述输入转换器中。

2. 根据权利要求1所述的输入转换器,其特征在于,在所述反馈环路中以如下方式设置第二电压变换器,即它提供比所述输入电压大的反馈电压。

3. 根据权利要求1所述的输入转换器,其特征在于,所述第一电压变换器和所述第二电压变换器中的至少一个是开关电容式电压变换器。

4. 根据权利要求3所述的输入转换器,其特征在于,所述第一电压变换器和所述第二电压变换器中的至少一个包括以并联配置方式充电并且以串联配置方式放电的至少两个电容器和控制所述电容器在相应配置中充电和放电的装置。

5. 根据权利要求4所述的输入转换器,其特征在于,所述第一电压变换器和所述第二电压变换器中的至少一个由采样时钟产生器控制。

6. 根据权利要求5所述的输入转换器,其特征在于,所述电压变换器中的至少一个由系统时钟产生器控制。

7. 根据权利要求1所述的输入转换器,其特征在于,所述放大器包括单个放大半导体元件。

8. 根据权利要求3所述的输入转换器,其特征在于,所述第一电压变换器和所述第二电压变换器的每一个输出电压均比相应的输入电压大。

9. 一种在助听器中将模拟信号转换为数字信号的方法,所述助听器包括数字信号处理器、采样时钟产生器和系统时钟产生器,所述方法包括以下步骤:变换输入信号电压,放大变换后的输入信号电压,对变换、放大后的电压积分,对放大、积分后的电压数字化,将数字化、积分后的电压变换为较高的电压,从变换后的输入电压中减去变换、数字化后的电压,以及使用数字化、积分后的电压来产生数字输出比特流,所述数字输出比特流表示所述输入信号电压并且输出至所述助听器中的所述数字信号处理器的后续级。

10. 根据权利要求9所述的方法,其中将所述输入信号电压变换为较高的电压的步骤包括以下步骤:在来自所述采样时钟产生器的信号的第一相位,以并联配置方式将至少两个电容器充电至所述输入电压的瞬时值,并且在来自所述采样时钟产生器的信号的第二相位,以串联配置方式对所述至少两个电容器放电,由此将所述电容器的组合放电电压乘以电容器的数目。

11. 根据权利要求9所述的方法,其中对放大、积分后的电压数字化的步骤包括以下步骤:将放大、积分后的电压与预定电压进行比较并且根据放大、积分后的电压的值和来自所述系统时钟产生器的信号产生离散、逻辑信号。

12. 根据权利要求9所述的方法,其中对数字化、积分后的信号电压进行变换的步骤包括以下步骤:在来自所述采样时钟产生器的信号的第一相位,以并联配置方式将至少两个电容器充电至数字化、积分后的信号电压的瞬时值,并且在来自所述采样时钟产生器的信号的第二相位,以串联配置方式对所述至少两个电容器放电,由此将所述电容器的组合放

电电压乘以电容器的数目。

13. 根据权利要求 12 所述的方法,其中对数字化、积分后的信号电压进行变换的步骤包括以下步骤:在来自所述采样时钟产生器的信号的第一相位对一个电容器充电,并且以如下方式施加数字化、积分后的信号电压和来自所述系统时钟产生器的信号,即要从变压后的输入电压中减去的变压、数字化后的电压的平均值等于零减去数字输出比特流的最大电压。

14. 根据权利要求 12 所述的方法,其中对数字化、积分后的信号电压进行变换的步骤包括以下步骤:在来自所述采样时钟产生器的信号的第一相位对一个电容器充电,并且以如下方式施加数字化、积分后的信号电压和来自所述系统时钟产生器的信号,即要从变换后的输入电压中减去的变压、数字化后的电压的平均值等于数字输出比特流的最大电压的 N 倍,其中 N 是电容器的数目。

用于助听器的输入转换器和信号转换方法

技术领域

[0001] 本申请涉及助听器。更具体地,它涉及数字助听器中的模数输入信号转换器。本发明还涉及在助听器中将模拟信号转换为数字信号的方法。

背景技术

[0002] 模数转换器(以下称为 A/D 转换器)将变化的电流或电压转换为数字数据格式。存在几种不同的 A/D 转换器拓扑结构,各自在转换速度、精度、量化噪声、电流消耗、字长、线性度和电路复杂度方面具有益处和折衷。在目前的数字助听器设计中,德尔塔-西格玛(delta-sigma, $\Delta-\Sigma$) A/D 转换器类型由于许多重要的因素而是优选的转换器类型,这些因素例如容易实现抗混叠滤波器,通过设计可控制转换噪声,功耗比较低,以及由于与现有的 A/D 转换器设计相比具有较少的部件数目而相对容易实现。

[0003] 根据定义,信号处理器件中的固有噪声是由信号处理器件本身引入的不期望的信号。固有噪声可以例如源于不适当的工作条件、较差的设计或者部件值的改变。这些情况不得不在设计信号处理器件时考虑。在 A/D 转换器中,可以观察到若干不同类型的噪声。这些噪声包括转换噪声、量化噪声、热噪声、闪烁噪声、复合噪声和由于增益产生元件中各种物理限制而导致的噪声。为了提供这些不同噪声类型源之间的区别,大部分重要的噪声类型将在以下简要讨论。

[0004] 量化噪声源于将连续的输入电压跨度量化为可以由离散的、二元电平表示的一组有限的电压电平的过程,其根据表达式:

$$[0005] \quad L_N = 2^n$$

[0006] 其中, L_N 是可能的离散电平的数目并且 n 是用来表示数字域中单个采样值的位数。量化噪声可以被认为是单个采样值的实际输入电压和用来表示它的离散电压之间的差值。因此,这种类型的噪声可以通过例如任意增加表示信号的位数而被最小化,并且因此不再进一步讨论。

[0007] 热噪声源于阻性介质中电子的随机布朗运动。在给出阻值、带宽和温度的情况下,均方根热噪声 V_{nt} 由以下等式给出:

$$[0008] \quad V_{nt} = \sqrt{4k_b T \Delta f R}$$

[0009] 其中 k_b 是波尔兹曼常数, $1,38065 \times 10^{-23}$ J/K, T 是以开尔文为单位的绝对温度, Δf 是以 Hz 为单位的感兴趣的带宽, R 是以 Ω 为单位的所考虑的电路元件的阻值。

[0010] 闪烁噪声或者 $1/f$ 噪声是低频噪声频谱中的主要噪声。自真空管时代就已经在电子器件中观察到它,并且它还存在于现在的半导体器件中。

[0011] 散粒噪声是由穿过势垒(例如在半导体元件中 P 掺杂材料和 N 掺杂材料之间发现的势垒)的电流导致的随机现象的结果。电流散粒噪声 I_n 是与温度无关的量,并且可以通过以下表达式描述:

$$[0012] \quad I_n = \sqrt{2qI}$$

[0013] 其中 q 是电子电荷, $1,602 \times 10^{-19}$ 库伦, I 是半导体元件的偏置电流。散粒噪声的谱

密度的单位是 A/\sqrt{Hz} 。

[0014] 为了提供能够不间断工作几天而不需更换电池的助听器,助听器的一个设计目标是尽可能减小电子电路从电池中吸取的电流,优选低于 1mA 的值。将其输入处的信号放大在一百倍至也许一千倍之间的量级的半导体元件使用该电流的较大百分比作为其偏置电流,以便在其工作极限内处理较大的增益。从上述可以明显看出,散粒噪声依赖于流过半导体元件的电流,该事实提供了尽可能减小 A/D 转换器中用于放大器的偏置电流的进一步动机。

[0015] $\Delta - \Sigma$ A/D 转换器在现有技术中是熟知的。它们的目的是将变化的模拟输入电压转换为二进制比特流,以便在数字域中进一步处理。 $\Delta - \Sigma$ A/D 转换器与其他 A/D 转换器设计相比具有明显的优点。它们具有相对少的部件数目,并且它们与其他 A/D 转换器设计相比具有多种信号处理的优点。为了降低转换噪声,使用了过采样。通过多次测量每个离散电压,例如,64 次,平衡 (level out) 由于输入信号中统计变化而导致的误差,并且转换噪声谱线被推到远离奈奎斯特 (Nyquist) 限制,因此使得转换噪声非常容易从信号中滤除。一个缺点是在该示例中的转换器时钟速率需要为期望采样时钟速率的 64 倍。

[0016] 本质上, $\Delta - \Sigma$ A/D 转换器包括 $\Delta - \Sigma$ 调制器和低通滤波器。这可以使用积分器、比较器和 D 触发器做成。通过包括 1 位 D/A 转换器的反馈环路反馈触发器的输出信号,并且将其从积分器上游的输入信号中减去。被减去的反馈信号将误差信号提供给 $\Delta - \Sigma$ 调制器的输入。

[0017] 来自 A/D 转换器的反馈环路的误差信号用来保证总体上转换器的输出信号电平总是等于输入信号电平。如果在转换器输入上没有信号存在,则 A/D 转换器产生二进制 1 和 0 的对称输出比特流。当输入信号电压变为更正的电压时,更多的二进制 1 将出现在输出比特流中,当输入信号电压变为更负的电压时,更多的二进制 0 将出现在输出比特流中。因此, $\Delta - \Sigma$ A/D 转换器将模拟输入信号转换为输出比特流中 1 和 0 之间的平衡。

发明内容

[0018] 在第一方面,本发明提供了如权利要求 1 所述的输入转换器。在第二方面,本发明提供了如权利要求 9 所述的方法。

[0019] 为了克服以上缺点,根据本发明的输入转换器包括第一电压变换器,其被置于输入级上游的输入转换器中并且具有一变换比例,使得其提供了大于输入电压的输出电压。当输入信号电压在被放大器级放大之前被变高时,需要更少的放大倍数以便将输入信号升至可接受的电平,并且放大器噪声对放大信号的相对贡献较低,并且当反馈信号电压在被呈现至放大器输入之前被变高时,情况是相同的。

[0020] 根据本发明,输入变换器和反馈变换器均被实现为电压变换器。电压变换器容易实现在同步(时钟控制)的数字网络中,并且可以被设计为相对放大器和 A/D 转换器的随后级的阻抗优化它们的阻抗。

[0021] 其他特征和优点从从属权利要求中显而易见。

附图说明

[0022] 现在将针对附图更详细地描述本发明,其中

- [0023] 图 1 是现有技术的 $\Delta - \Sigma$ A/D 转换器的示意图，
- [0024] 图 2 是图 1 中现有技术 $\Delta - \Sigma$ 转换器的更详细的示意图，
- [0025] 图 3 是图解说明图 2 中 $\Delta - \Sigma$ 转换器的放大器的噪声水平电压 V_n 的等效示意图，
- [0026] 图 4 是图解说明至图 3 中的放大器的输入信号的等效变换原理的示意图，
- [0027] 图 5 是图解说明现有技术的采样电容积分器的第一相位的示意图，
- [0028] 图 6 是图解说明现有技术的采样电容积分器的第二相位的示意图，
- [0029] 图 7 是图解说明根据本发明的采样电容积分器的第一相位的示意图，
- [0030] 图 8 是图解说明根据本发明的采样电容积分器的第二相位的示意图，
- [0031] 图 9 是根据本发明的输入变换器在第一相位的实现的示意图，
- [0032] 图 10 是根据本发明的输入变换器在第二相位的实现的示意图，
- [0033] 图 11 是根据本发明的 $\Delta - \Sigma$ 模数转换器的实施例的示意图，
- [0034] 图 12 是根据本发明的 $\Delta - \Sigma$ 模数转换器的优选实施例的示意图，
- [0035] 图 13 是具有根据本发明的四个 $\Delta - \Sigma$ 转换器的助听器的示意图。

具体实施方式

[0036] 图 1 示出了现有技术的 $\Delta - \Sigma$ A/D 转换器的方框示意图，该 $\Delta - \Sigma$ A/D 转换器包括输入端 IN、减法运算器 1、积分器 2、比较器 3、D 触发器 4、1 位数模转换器 5、时钟产生器 6 和输出端 OUT。施加到输入端 IN 的模拟信号被馈送至减法运算器 1，在这里将来自 1 位 D/A 转换器 5 的输出信号从输入信号中减去，从而产生误差信号。来自减法运算器 1 的差值信号被馈送至积分器 2 的输入，以便产生来自减法运算器 1 的差值信号的积分。来自积分器 2 的输出信号施加到比较器 3 的输入，用于当积分信号超过由比较器 3 设定的预定阈值限制时产生逻辑“1”电平，并且当自积分器 2 的输出信号降低至低于预定阈值时产生逻辑“0”电平。然后，该逻辑信号馈送至触发器 4 的数据输入。

[0037] 时钟产生器 6 以这样一种方式控制触发器 4，即来自比较器 3 的输出信号被及时量化并且与时钟信号同步，触发器 4 作用为锁存器 (latch)，因此产生了表示输入信号的比特流。来自触发器 4 的输出的比特流在输出端 OUT 和至减法运算器 1 的 1 位 D/A 转换器 5 的输入之间被分离并且从输入信号中减掉。1 位 D/A 转换器 5 将比特流中的逻辑 1 和 0 转换为相对输入信号的正电压或负电压，用于在减法运算器 1 中从输入信号中减去。

[0038] 这种布置本质上产生了反馈环路，从而使得比特流表示输入信号随时间的变化，即当输入信号电平为零时，相等数目的数字 1 和 0 将出现在比特流中，每当输入信号变正时，比 0 更多的 1 将以与输入信号电平成比例的方式出现在比特流中，并且每当信号变负时，比 1 更多的 0 将与输入信号电平成比例的方式出现在比特流中。然后，可以将比特流转换为适当的数字格式，用于在数字域中的进一步处理。

[0039] 用于助听器的 $\Delta - \Sigma$ A/D 转换器设计应该具有小的噪声系数和低的电流消耗。然而，如果降低 A/D 转换器的输入放大器的电流消耗而不对设计做任何改变，则放大器的噪声系数将相应增大。该问题和可能的解决方案将在以下更详细地说明。

[0040] 图 2 示出了现有技术的 $\Delta - \Sigma$ A/D 转换器的更详细的示意图。该转换器包括输入 IN、第一电阻器 R1、第二电阻器 R2、放大器 A、电容器 C、剩余环路滤波器 RLF、D 触发器 DFF 和产生时钟信号的时钟产生器 CLK。放大器 A 和电容器 C 形成了在图 1 中示出的转换器拓

扑结构的积分器 2, 并且剩余环路滤波器 RLF 包括存在于二阶或高阶 $\Delta - \Sigma$ 转换器中的后续低通滤波器级。转换器在输入端 IN 接收电压 U 形式的模拟输入信号并且在输入端 OUT 给出表示数字输出信号 Y 的比特流。应该注意, 转换器中的信号是时间连续的直到从触发器 DFF 的输出 Q 产生比特流。

[0041] 放大器 A 和剩余环路滤波器 RLF 包括转换器的环路滤波器, 并且环路滤波器的频率传递函数 (即 A 和 RLF 的频率传递函数) 决定了转换器抑制依赖频率的量化噪声的能力。放大器 A 的增益还抑制来自 RLF 的噪声, 因为滤波器 RLF 位于转换器的反馈环路中。在该讨论中, 分别区分放大器和环路滤波器的原因是将来自放大器 A 的噪声贡献与反馈环路中的其他噪声源隔离。所有其他方面相同, 因此放大器 A 的噪声水平构成了除量化噪声之外的转换器的主要噪声分量。这就是应该最小化来自该特定噪声源的贡献的原因, 如在以上提到的。

[0042] 如果放大器 A 具有无限的增益, 则放大器的输入端上的信号电平将为零。替代地, 可以假设 A 和 RLF 组合的总增益在整个转换器的期望频率宽带足够大, 使得转换器量化噪声被忽略。因此, 给定输入电压 U 和得到的输出电压 Y, 图 2 中的完整转换器在理想情况下的传递函数 H 被估计为:

$$[0043] \quad H = \frac{Y}{U} = \frac{-R2}{R1}$$

[0044] 为了解决来自转换器的输入级的噪声贡献问题, 该特定噪声源必须被隔离。这在图 3 中的示意图中示出。

[0045] 在图 3 中, 理想的无噪声放大器 A 和噪声电压源 V_n 替代图 2 中的放大器 A, 并且 C、R1、R2 和 A 的配置与输入电压 U、输出电压 Y 和放大器噪声电压源 V_n 被绘制在一起, 但是为了清楚, 图 2 中的剩余部件从示意图中省略。如果假设 A 和 RLF (在图 3 中未示出) 的总放大倍数对于转换器的期望带宽是足够的, 则噪声对输出电压 Y 的贡献 Y_n 可以写为:

$$[0046] \quad Y_n = \left(1 + \frac{R2}{R1}\right) \cdot V_n$$

[0047] 然后通过组合两个表达式计算参考输入电压 U 的噪声电压贡献 U_n , 因此:

$$[0048] \quad U_n = \frac{Y_n}{U} = -\left(1 + \frac{R2}{R1}\right) \cdot V_n$$

[0049] 这意味着输入噪声 U_n 依赖于放大器噪声 V_n 。换言之, 如果可以降低 V_n , 则输入噪声 U_n 也将降低。

[0050] 放大器噪声电压 V_n 具有三个主要来源: 由于放大器 A 具有有限的增益而导致的噪声、由于源于放大器 A 中非线性的互调产物而导致的噪声和由放大器 A 的输入级产生的热噪声。为了最小化热噪声, 传统上使用具有较大增益值的多级放大器。同样地, 也可以通过向放大器中的半导体元件供给足够大的电流来减小噪声, 以便将输出信号中的总噪声保持在可接受的水平。

[0051] 然而, 对于助听器的转换器设计, 这些方法没有一种是特别具有吸引力的, 在助听器的转换器设计中, 电流的消耗和部件的数目不得不保持最小值, 以便延长电池的寿命。因此, 减小转换器中放大器的噪声灵敏度的替代方式是期望的。

[0052] 理论上, 可以通过例如在输入端 U 和 R_1 之间以及输出端和 R_2 之间放置具有给定变

换因子 N 的理想变换器来对输入信号 U 和输出信号 Y 进行变换,从而缩减噪声电压 V_n 。图 4 示出了图 3 中转换器的等效示意图,其在转换器的输入分支和输出分支中分别具有理想变换器 T_1 和 T_2 。输入变换器 T_1 以比例 $1 : N$ 变换输入电压 (即变换器输出的电压是变换器输入的电压的 N 倍),并且反馈变换器 T_2 以比例 $1 : N$ 变换反馈电压 (即呈现到放大器的电压是出现在输出节点 Y 的电压的 N 倍)。电阻器 R_1 和 R_2 的值均用因子 N^2 进行缩放,以便分别维持输入和输出的电流负荷。同样地,积分电容器 C 的值用因子 N^2 进行缩放。可以看出,得到的放大器噪声电压 V_n 相应地缩放 V_n/N 。理论上,将放大器级的噪声贡献缩减任意量是可能的,只要放大器级能够处理升高的输入电压而没有饱和。转换器的电流要求由于阻抗变化也较小。

[0053] 真实的变换器是非理想的并且因此由于它们的尺寸、重量、电流消耗和功率损失而不可能用于实际的助听器。本发明人已经认识到,理想变换器的等价体可以被应用为该问题的解决方法并且具有令人满意的结果。这种等价体将在以下更详细地描述。该讨论的出发点是利用基于采样电容器的拓扑结构的 $\Delta - \Sigma$ A/D 转换器。采样电容器级被认为是现有技术中熟知的,并且这种采样电容器 A/D 转换器的工作原理在以下参考图 5 和图 6 进行更详细地描述。

[0054] 图 5 是图解说明现有技术的采样电容器 $\Delta - \Sigma$ A/D 转换器的采样时钟控制信号的第一相位的示意图,该采样电容器 $\Delta - \Sigma$ A/D 转换器包括输入端 U 、第一采样电容器 C_s 、第一开关 S_1 、第二开关 S_E 、保持电容器 C_h 、放大器 A 、反馈环路电容器 C_s' 、反馈环路端 Q 和输出端 Y 。反馈环路端 Q 承载来自 D 触发器 (未示出) 的输出的反馈信号。开关 S_1 和 S_E 由采样时钟 (未示出) 控制。在采样时钟控制信号的第一相位中,如在图 5 中示出的,呈现在输入端 U 上的输入电压在第一特定时间周期期间经由开关 S_1 对采样电容器 C_s 进行充电。第二开关 S_E 在第一相位中打开。

[0055] 在采样时钟控制信号的第二相位中,如在图 6 中的示意图中示出的,开关 S_1 将采样电容器 C_s 与输入端 U 断开,并且将其连接至放大器 A 和保持电容器 C_h 的输入,由此采样电容器 C_s 经由开关 S_1 在第二特定时间周期内放电,从而将其电荷传递至保持电容器 C_h 。开关 S_E 在第二相位中闭合,并且将反馈环路电容器 C_s' 连接至放大器 A 的输入。现在,放大器 A 的输入端上的电压等于第一时间周期期间的输入端 U 上的电压减去呈现在反馈端 Q 上的误差电压。当第二相位结束时,开关 S_1 和 S_E 返回至图 5 中示出的它们的初始位置,并且该过程周期性地重复。

[0056] 如果开关 S 的位置通过具有频率 f_s 的周期性信号控制,则采样电容器 C_s 的阻抗 Z_s 可以被描述为:

$$[0057] \quad Z_h = \frac{1}{(C_s \cdot f_s)}$$

[0058] 考虑将图 5 中示出的第一相位中的采样电容器 $\Delta - \Sigma$ A/D 转换器的采样电容器 C_s 分离为两个电容器,每一个具有 $C_s/2$ 的电容值。然后,可以通过分别将采样电容器设计改变为图 7 和图 8 中的示意图那样来实现电压变换。图 7 和图 8 中示出的采样电容器电路设计包括两个控制开关 S_1 和 S_E 、放大器 A 、保持电容器 C_h 以及四个电容器 C_a 和 C_b 、 C_c 和 C_d ,四个电容器中的每一个具有 $C_s/2$ 的电容值。在图 7 中,在第一相位,开关 S_1 以类似于图 5 中示出的方式将两个电容器 C_a 和 C_b 并联连接至输入端 IN ,并且在图 8 中,在第二相位,开关 S_1

以类似于图 6 中示出的方式将两个电容器 C_a 和 C_b 串联连接至放大器 A。

[0059] 同样地,在图 7 中的第一相位,反馈电容器 C_c 和 C_d 经由开关 S_E 被并联充电至相对于地呈现在反馈环路端 Q 上的电压,并且在图 8 中示出的第二相位中,反馈电容器 C_c 和 C_d 在反馈电容器 C_c 和 C_d 的放电期间经由开关 S_E 串联连接在反馈环路端 Q 和放大器 A 之间,由此反馈环路端 Q 和保持电容器 C_n 之间的压降被加倍。于是,在第二相位中呈现在放大器 A 的输入处的电压为 $V_U - V_Q$,即加倍的输入电压减去加倍的反馈电压。

[0060] 该布置的效果在于,放大器 A 的输入节点通过由电容器 C_a 、 C_b 、 C_c 和 C_d 形成的电压变换器分别与输入端 U 和反馈环路端 Q 隔离。加倍输入电压和反馈环路电压的最终结果是放大器 A 的本征噪声水平 V_n 变得比较小,从而在保持分别从图 7 和图 8 中示出的电路外看到的放大器级 A 的输入阻抗和输出阻抗的同时,改善了信噪比。

[0061] 借助于电容器 C_a 、 C_b 、 C_c 和 C_d 分别具有 $C_s/2$ 的值,该配置对于输入变换器和反馈变换器等效于变换因子分别为 1 : 2 和 2 : 1 的电压变换,因为保持电容器 C_s 的阻抗 Z_s 现在变为 :

$$[0062] \quad Z_s = \frac{4}{(C_s \cdot f_s)}$$

[0063] 因此,该布置有效地将放大器 A 的输入阻抗变为四倍。通过借助于图 7 和图 8 中示出的开关 S_I 和 S_E ,与采样电容器 $\Delta - \Sigma$ A/D 转换器的采样时钟频率 f_s 的两个相位同步地改变电路的配置,则呈现到放大器 A 的输入端的输入电压 U 被加倍为 2U。

[0064] 考虑放大器 A 具有单位增益并且 0V 误差信号出现在反馈环路端 Q。那么,第二电压变换器 C_c 和 C_d 下游的输出信号是 :

$$[0065] \quad \frac{2 \cdot U + V_n}{2} = U + \frac{V_n}{2}$$

[0066] 这是基于这样的规则,电容器 C_c 和 C_d 在图 7 中示出的第一相位中的并联配置和图 8 中示出的第二相位中的串联配置之间转换。通过用第一电压变换器和第二电压变换器以此方式将 A/D 转换器的输入级的放大器 A 的输入与剩余电路隔离,可以以简单而有效的方式获得有效的、相对的噪声系数 $V_n/2$ 。

[0067] 以下参考图 9 和图 10 描述图解说图 7 和图 8 的输入电压变换器电路的功能的第一相位和第二相位的示意图。在图 9 和图 10 中,电压变换器电路包括输入端 U、输出端 V_A 、五个控制开关 S_1 、 S_2 、 S_3 、 S_4 和 S_5 以及两个采样电容器 C_a 和 C_b ,它们相对图 5 和图 6 中示出的电路的示意图具有 $C_s/2$ 电容值。电压变换器电路的输出端 V_A 将被连接至放大器 (未示出),如在图 7 和图 8 中图解说明的。

[0068] 在电压变换器的第一相位中,如在图 9 中示出的,开关 S_1 、 S_3 和 S_5 闭合,并且开关 S_2 和 S_4 打开。因此两个电容器在图 9 中并联连接至输入端 U。因此,呈现在输入端 U 上的电压将电容器 C_a 和 C_b 充电至相同的电压。

[0069] 在电压变换器的第二相位中,如在图 10 中示出的,开关 S_1 、 S_3 和 S_5 现在都打开,并且开关 S_2 和 S_4 现在都闭合。两个电容器 C_a 和 C_b 现在串联连接,因此在将总电容值减小为 $C_s/4$ 的同时加倍了它们的总充电电压,两个电容器 C_a 和 C_b 连接至输出端 V_A 。由电容器 C_a 和 C_b 收集的组合电荷现在呈现为至输出端 V_A 的电压。由于改变了电容器 C_a 和 C_b 的配置,这个电压是电压 U 的加倍。

[0070] 考虑图 9 和图 10 中示出的输入电压变换器的输出端 V_A 以图 7 和图 8 中示出的方式连接至放大器 A 的输入级。如果放大器 A 具有放大增益 β ，则输入电压 U 被加倍并且乘以 β ，但是噪声电压 V_n 仅乘以 β 。对于给定的输入电压 U ，来自放大器 A 的电压输出 V_Y 将为：

$$[0071] \quad V_Y = 2 \cdot \beta \cdot U + \beta \cdot V_n \Leftrightarrow V_Y = \beta(2 \cdot U + V_n)$$

[0072] 然后在此情况下，噪声电压对输出电压 V_Y 的贡献 V_n 是未变换的输入电压的噪声电压贡献的一半，只要放大器能够处理变换后的输入电压 $2U$ 。

[0073] 来自 $\Delta - \Sigma$ A/D 转换器的反馈回路信号的电压贡献以类似的方式通过第二电压变换器 C_c 和 C_d 加倍，如在图 7 和图 8 中指示的。

[0074] 电压变换的原理可扩展至任意数目 N 的采样电容器，其均具有电容值 C_s/N ，在效果上将放大器的视在噪声系数 (apparent noise figure) 减小为等于 V_n/N 。对于本发明的操作，输入变换器和反馈变换器具有相同的变换比率不是必要的。由于对其性能（放大增益、热噪声、互调噪声和由于放大器的有限增益而导致的误差）的要求降低，这个原理允许输入放大器以更简单的方式实现。

[0075] 根据本发明的 A/D 转换器的输入级中的放大器可以因此被实现为简单的单级放大器，该单级放大器包括一个单个的半导体元件，例如 BJT、FET 或其他具有足够增益的放大元件。单级放大器在热电压噪声和电流消耗之间固有地具有非常有吸引力的关系。电压变换器还降低了放大器的偏置电流要求并且因此降低了整个 A/D 转换器的电流消耗，输入放大器的偏置电流构成了该电流消耗的主要部分。

[0076] 图 11 示出了根据本发明的 $\Delta - \Sigma$ A/D 转换器 ADC。A/D 转换器 ADC 包括输入端 IN、输入变换器级 IT、放大器级 Q_A 、保持电容器 C_h 、恒定电流产生器 I_c 、反馈变换器级 OT、剩余环路滤波器 RLF、比较器 CMP、触发器 DFF 和输出端 OUT。触发器 DFF 由系统时钟源（未示出）控制。从恒定电流源 I_c 将恒定电流馈送给放大器级 Q_A ，恒定电流源 I_c 通过连接到参考电压源 V_{ref} 而被供电。该电流控制放大器 Q_A 的工作点，以便其能够向输入信号提供期望的增益。

[0077] 输入变换器级 IT 包括开关晶体管 Q_1 、 Q_2 、 Q_3 、 Q_4 和 Q_5 以及电容器 C_a 和 C_b 。反馈变换器级 OT 包括开关晶体管 Q_6 、 Q_7 、 Q_8 、 Q_9 和 Q_{10} 以及电容器 C_c 和 C_d 。为了简便，这四个电容器被认为具有相等的电容值，即 $C_a = C_b = C_c = C_d$ 。

[0078] 输入变换器级 IT 的开关电容器 Q_1 、 Q_2 、 Q_3 、 Q_4 和 Q_5 由采样时钟产生器（未示出）以如下方式控制，即当采样时钟产生器的信号边沿在第一相位中变正时，开关晶体管 Q_1 、 Q_3 和 Q_5 闭合（即它们允许电流通过）并且 Q_2 和 Q_4 打开（即它们阻止电流）。这在图 11 中分别通过各开关晶体管的基极端上的空心圆圈或实心圆圈示出。在采样时钟产生器的信号边沿的第一相位中，实心圆圈指示闭合的晶体管并且空心圆圈指示打开的晶体管。

[0079] 当采样时钟产生器的信号边沿在第二相位中变负时，输入变换器 IT 的开关晶体管 Q_1 、 Q_3 和 Q_5 打开并且晶体管 Q_2 和 Q_4 闭合。在采样时钟产生器的信号边沿的第二相位中，空心圆圈指示闭合的晶体管并且实心圆圈指示打开的晶体管。该配置等效于分别在图 9 和图 10 中示出的示意图，其中晶体管 Q_1 、 Q_2 、 Q_3 、 Q_4 和 Q_5 分别替代开关 S_1 、 S_2 、 S_3 、 S_4 和 S_5 ，从而保持了图 9 和图 10 中示出的电路的基本功能。采样时钟产生器（未示出）的时钟频率是 30kHz 的幅值，并且系统时钟产生器（未示出）的时钟频率是 1-2MHz 的幅值。这给出了转

换器从 30 到 60 次过采样的过采样比率。

[0080] 在第一相位, Q_1 、 Q_3 和 Q_5 闭合并且 Q_2 和 Q_4 打开, 电容器 C_a 和 C_b 并联连接至输入端 IN, 并且每个电容器被充电至呈现在输入端 IN 上的电压。在第二相位, Q_1 、 Q_3 和 Q_5 打开并且 Q_2 和 Q_4 闭合, 电容器 C_a 和 C_b 串联连接至 Q_A 的输入, 从而将它们组合的电荷输送至 Q_A 的输入和保持电容器 C_h 。由于该布置, 被馈送至输入变换器 IT 的输入电压将在其输出处被加倍, 如以上说明的。

[0081] 反馈变换器 OT 的开关晶体管 Q_6 、 Q_7 、 Q_8 、 Q_9 和 Q_{10} 也由采样时钟产生器 (未示出) 以如下方式控制, 即当采样时钟产生器的信号边沿在第一相位中变正时, 开关晶体管 Q_6 、 Q_8 和 Q_{10} 闭合并且 Q_7 和 Q_9 打开。这也分别通过各开关晶体管的基极端上的空心圆圈或实心圆圈示出, 其中实心圆圈指示闭合的晶体管并且空心圆圈指示打开的晶体管。这意味着晶体管 C_c 和 C_d 在第一相位并联连接至放大器 Q_A 的输入, 从而将它们组合的电荷输送至放大器 Q_A 的输入。

[0082] 在第二相位, 当采样时钟产生器的信号边沿变负时, 开关晶体管 Q_6 、 Q_8 和 Q_{10} 打开并且 Q_7 和 Q_9 闭合。在此情况下, 各晶体管的基极端上的空心圆圈指示闭合的晶体管并且实心圆圈指示打开的晶体管。这意味着电容器 C_c 和 C_d 在第二相位串联连接至输出端 OUT 并且由来自触发器 DFF 的误差电压充电。电容器 C_c 和 C_d 本质上放置在放大器 Q_A 的反馈环路中, 在将误差电压呈现在放大器 Q_A 的输入之前, 将来自触发器 DFF 的输出反馈电压加倍。

[0083] 剩余环路滤波器 RLF 输出来自 Q_A 的信号的积分, 并且每当积分低于预定阈值时, 比较器 CMP 输出逻辑 0 值, 每当积分高于预定阈值时, 输出逻辑 1 值。触发器 DFF 将来自比较器 CMP 的二进制积分信号转换为通过时钟信号 CLK 控制的比特流, 并且其被馈送至输出端 OUT 和反馈变换器 OT 的输入作为反馈信号。

[0084] 通过分别使用电压变换器 IT 和 OT 来加倍呈现在放大器 Q_A 的输入的电压, 输入电压增加到 2 倍, 结果是在无需增加供给放大器 Q_A 的电流的情况下, 减小了相对噪声电压水平 V_n 。

[0085] 图 12 中示出了根据本发明的 A/D 转换器的优选实施例。输入端 IN、输入变换器 IT、反馈变换器 OT、恒定电流产生器 I_c 、放大器 Q_A 、保持电容器 C_h 、剩余环路滤波器 RLF、比较器 CMP、触发器 DFF 和输出端 OUT 的一般配置类似于图 11 中示出的配置, 但是输入变换器 IT 和反馈变换器 OT 的拓扑结构不同于图 11 中示出的实施例。

[0086] 输入变换器 IT 包括开关晶体管 Q_1 、 Q_2 、 Q_3 、 Q_4 和 Q_5 以及电容器 C_a 和 C_b , 并且反馈变换器 OT 包括开关晶体管 Q_6 、 Q_7 、 Q_8 、 Q_9 、 Q_{10} 和 Q_{11} 、一个电容器 C_c 以及两个与门 AG_1 和 AG_2 。在该优选的实施例中, 反馈变换器 OT 比图 11 中示出的实施例少一个电容器。

[0087] 输入变换器 IT 的所有开关晶体管和反馈变换器 OT 的一些开关晶体管由采样时钟产生器 (未示出) 以如下方式控制, 即当采样时钟信号在第一相位变正时, 晶体管 Q_1 、 Q_2 、 Q_5 、 Q_7 和 Q_{10} 闭合, 即它们允许电流通过, 并且晶体管 Q_3 和 Q_4 打开, 即它们阻止电流。当时钟信号在第二相位变负时, 晶体管 Q_1 、 Q_2 、 Q_5 、 Q_7 和 Q_{10} 打开, 并且晶体管 Q_3 和 Q_4 闭合。

[0088] 开关晶体管 Q_6 、 Q_8 、 Q_9 和 Q_{11} 分别由第一与门 AG_1 和第二与门 AG_2 控制。当逻辑触发器输出 \overline{Q} 是逻辑高并且反相系统时钟信号 \overline{CLK} 为逻辑高时, 第一与门 AG_1 输出逻辑高电平。当触发器输出 Q 是逻辑高并且系统时钟信号 CLK 是逻辑高时, 第二与门 AG_2 输出逻辑高电平。逻辑触发器输出信号 \overline{Q} 和 Q 是互斥的, 并且 \overline{CLK} 和 CLK 也是互斥的, 所以在任一时刻两

个与门 AG_1 和 AG_2 中的仅一个与门可以输出逻辑高电平。当逻辑 0 出现在比特流中时, AG_1 在每个负时钟脉冲上为逻辑高, 并且当逻辑 1 出现在比特流中时, AG_2 在每个正时钟脉冲上为逻辑高。

[0089] 当第一与门 AG_1 输出逻辑高电平时, 开关晶体管 Q_6 和 Q_8 闭合, 而开关晶体管 Q_9 和 Q_{11} 打开。这具有以下效果: 电容器 C_c 的第一节点通过 Q_8 连接至地, 并且电容器 C_c 的第二节点连接至放大器 Q_A 的输入, 并且呈现在电容器 C_c 的第一节点上的任何电压均被镜像为在放大器 Q_A 的输入处的负电压。在采样周期的第一相位, 开关晶体管 Q_7 和 Q_{10} 闭合。它们将电压 V_{ref} 提供至电容器 C_c 的第一节点, 并且将 C_c 的第二节点连接至地, 而 V_{ref} 增加至已经呈现在 C_c 的第一节点上的电压。在采样周期的第二相位, 开关晶体管 Q_7 和 Q_{10} 打开。现在电容器 C_c 的第一节点连接至 AG_1 的输出, 并且 C_c 的第二节点连接至放大器 Q_A 的输入。

[0090] 当第二与门 AG_2 输出逻辑高电平时, 开关晶体管 Q_9 和 Q_{11} 闭合, 而开关晶体管 Q_6 和 Q_8 打开。结果, 电容器 C_c 的第一节点连接至放大器 Q_A 的输入, 并且电容器 C_c 的第二节点通过 Q_8 连接至 V_{ref} 。在采样周期的第一相位, 开关晶体管 Q_7 和 Q_{10} 闭合。它们将电压 V_{ref} 提供至电容器 C_c 的第一节点, 并且将 C_c 的第二节点连接至地, 而 V_{ref} 增加至已经呈现在 C_c 的第一节点上的电压。在采样周期的第二相位, 开关晶体管 Q_7 和 Q_{10} 打开。电容器 C_c 的第一节点现在连接至放大器 Q_A 的输入, 并且 C_c 的第二节点连接至 AG_1 的输出。

[0091] 该布置的结果是, 每当逻辑 1 出现在至输出端 OUT 的比特流中时, 来自 OT 的电压贡献等于 $2V_{ref}$, 并且每当逻辑 0 出现在比特流中, 来自 OT 的电压贡献等于 $-V_{ref}$ 。因此, 对于由相等数目的 1 和 0 组成的比特流, 来自 OT 的误差信号的平均值等于 $1/2V_{ref}$ 。

[0092] 根据本发明的 $\Delta-\Sigma$ A/D 转换器同时完成了两个目标。首先, 单级输入放大器设计意味着可以显著减小输入放大器的电流消耗; 其次, 通过将信号的电平在其达到输入级之前升高来改善信噪比。应用采样时钟控制的电压变换器来将输入级分别与输入和误差反馈环路隔离, 这提供了在不显著增加功耗的情况下对由于使用单级输入放大器而产生的信噪比问题的解决方案。这个设计优选在电池供电的电路 (例如助听器) 中, 并且因此可以将多于一个的 $\Delta-\Sigma$ A/D 转换器实现在包括助听器的电子电路的主要部分的电路芯片上。

[0093] 图 13 是包括根据本发明的多个 A/D 转换器的助听器 20 的示意图。助听器 20 包括第一麦克风 21、第二麦克风 22、电子线圈 23、天线 24、无线接收器 25、第一 A/D 转换器 26、第二 A/D 转换器 27、第三 A/D 转换器 28、第四 A/D 转换器 29、数字信号处理器 30 和扬声器 31。助听器 20 的所有部件由设置在助听器内的电池单元 (未示出) 供电。

[0094] 当在使用时, 第一麦克风 21 和第二麦克风 22 从环境中接收声学信号并且将它们转换成连续变化的电信号, 以便助听器 20 使用。来自第一麦克风 21 的连续变化的电信号被馈送至第一 A/D 转换器 26, 第一 A/D 转换器 26 将电信号中的变化转换为适于由数字信号处理器 30 处理的第一数字比特流。以类似的方式, 来自第二麦克风 22 的连续变化的电信号被馈送至第二 A/D 转换器 27, 第二 A/D 转换器 27 将电信号中的变化转换为适于由数字信号处理器 30 处理的第三数字比特流。由于第一 A/D 转换器 26 和第二 A/D 转换器 27 是独立的实体, 因此它们产生由数字信号处理器 30 独立处理的单独的比特流。

[0095] 数字信号处理器 30 可以将来自第一 A/D 转换器 26 和第二 A/D 转换器 27 的单独的比特流 (它们分别代表来自第一麦克风 21 和第二麦克风 22 的信号) 以如下方式进行组合, 即保留由麦克风接收的声学信号中固有的方向性信息, 用于在数字信号处理器 30 中进

行处理和由扬声器 31 随后再现。

[0096] 在合适的无线信号可用的情况中,无线接收器 25 可以用于接收并且解调无线信号,以便由助听器 20 再现。无线信号由天线 24 接收,由无线接收器 25 解调并且作为变化的电信号呈现至第三 A/D 转换器 28,第三 A/D 转换器 28 将电信号中的变化转换为适于由数字信号处理器 30 处理的第三数字比特流。第三 A/D 转换器 28 独立于第一 A/D 转换器 26 和第二 A/D 转换器而工作,并且因此即便是同时使用第一麦克风 21 和第二麦克风 22,也可以选择来自无线接收器 25 的信号。

[0097] 如果助听器用户处于电子线圈环路系统存在的位置,则使用来自电子线圈 23 的信号会是有利的。在此情况下,来自环路系统(未示出)的信号由电子线圈 23 接收并且呈现至第四 A/D 转换器 29 的输入,第四 A/D 转换器 29 将电信号中的变化转换为适于由数字信号处理器 30 处理的第四数字比特流。第四 A/D 转换器 29 分别独立于第一、第二和第三 A/D 转换器 26、27 和 28 而工作,并且即便是同时使用第一麦克风 21 和第二麦克风 22 和无线接收器 25,也可以选择信号。

[0098] 数字信号处理器 30 包括选择分别来自四个 A/D 转换器 26、27、28 和 29 的多达四个单独的比特流的装置(未示出)。比特流由数字信号处理器 30 优选地间插并且相互加权,以便在来自供给四个 A/D 转换器 26、27、28 和 29 的四个信号源的信号之间产生优选的平衡,以便再现到助听器用户。

[0099] 数字信号处理器 30 对单独的比特流执行一系列计算,以便根据助听器用户的个人设定来处理音频信号的数字表示。当将助听器配合到用户时,可以确定来自供给四个 A/D 转换器 26、27、28 和 29 的四个信号源的信号之间的平衡,并且可以将不同信号源平衡的子集作为程序存储在助听器中,以使用户随后调用。

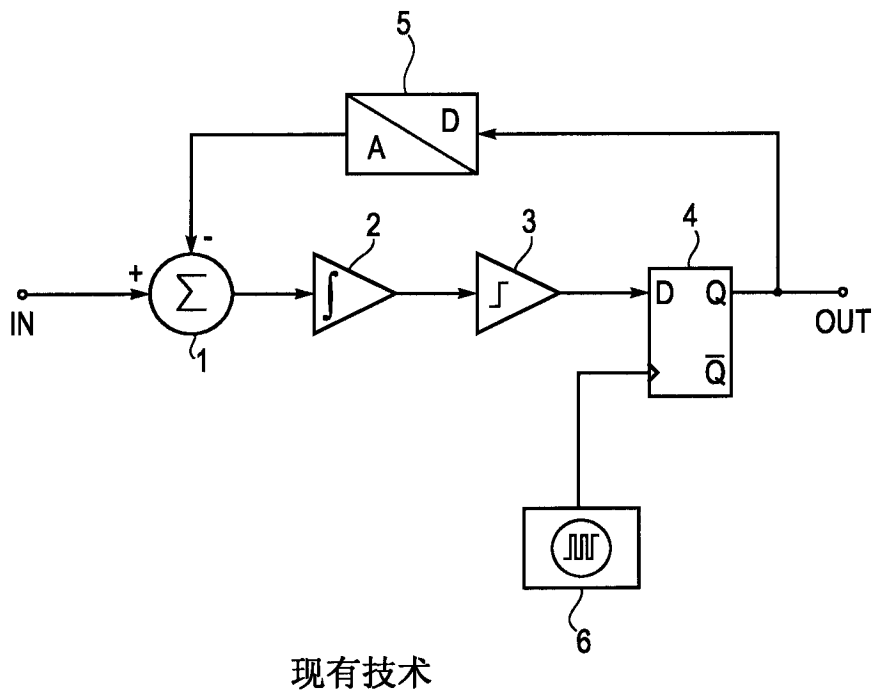


图 1

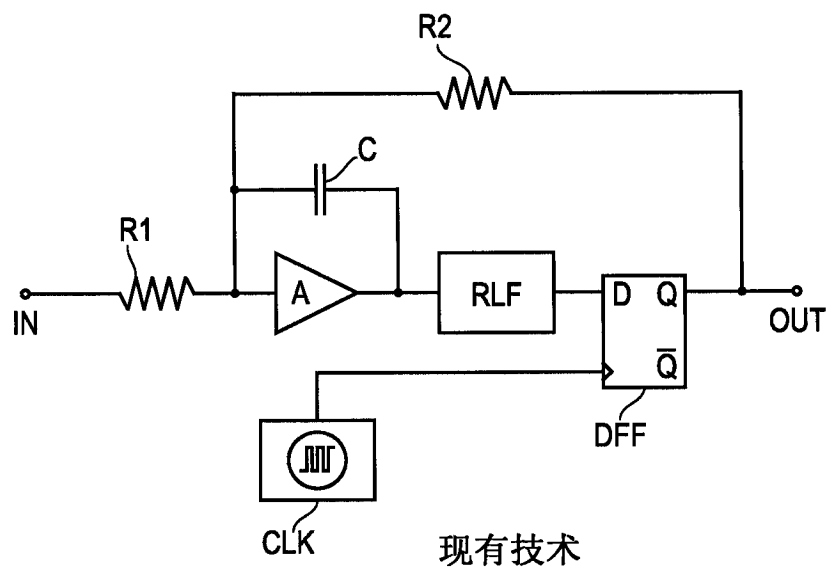


图 2

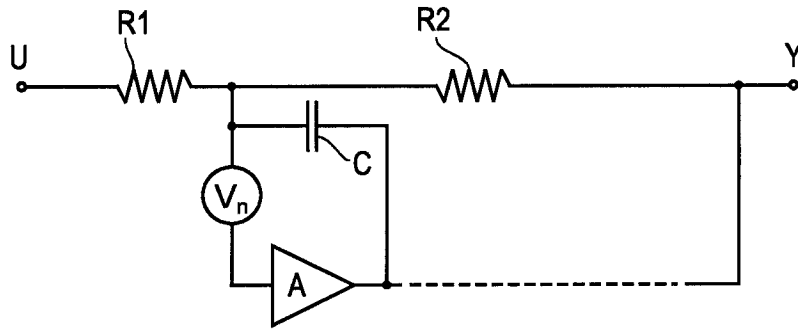


图 3

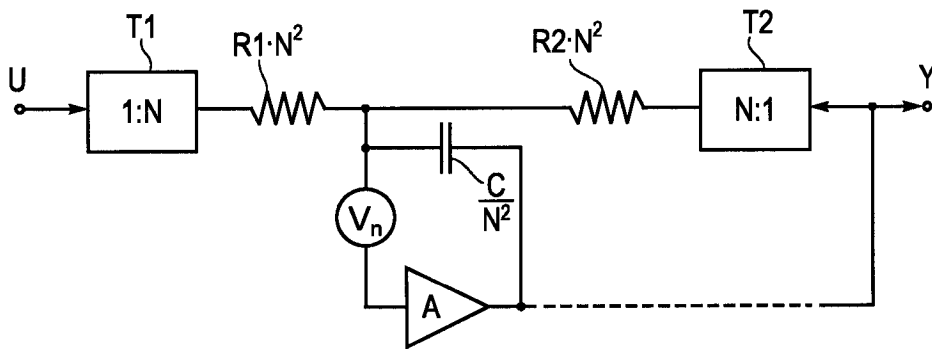


图 4

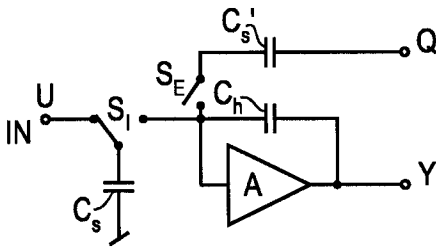


图 5

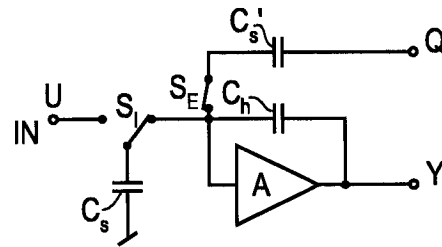


图 6

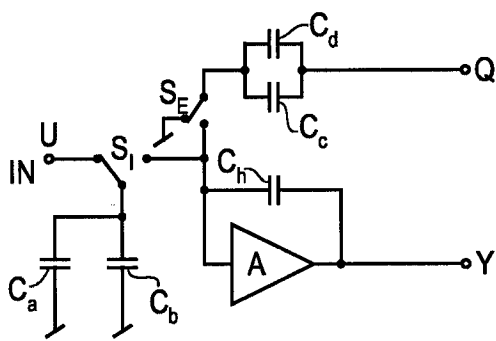


图 7

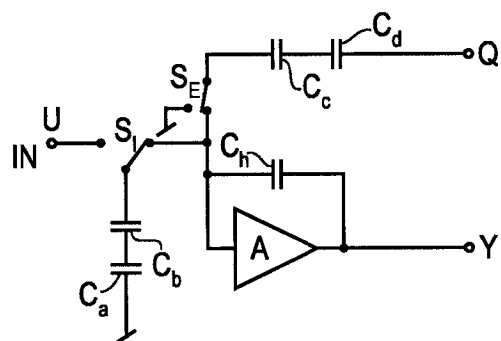


图 8

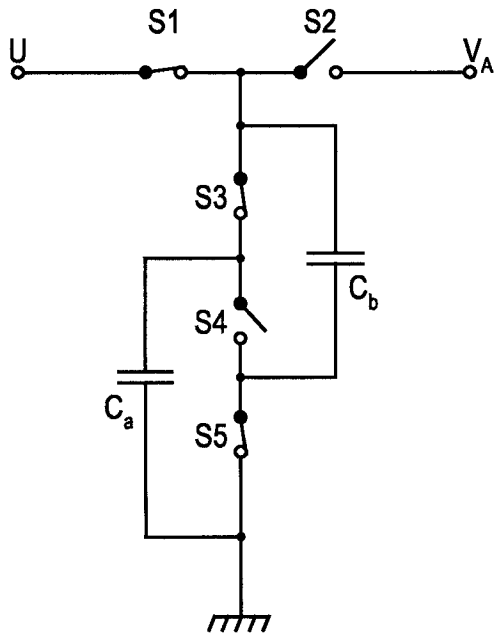


图 9

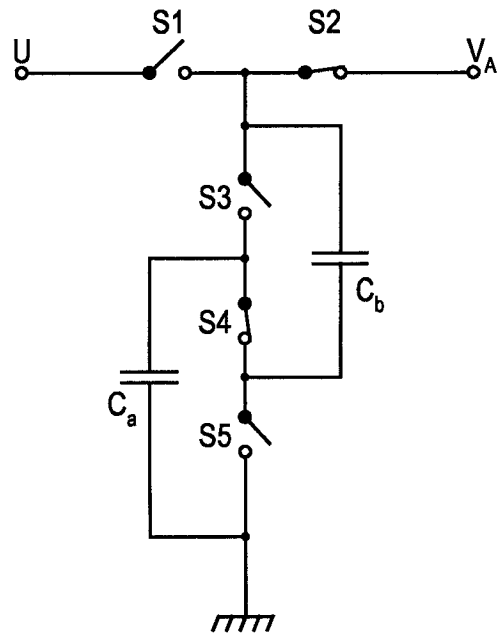


图 10

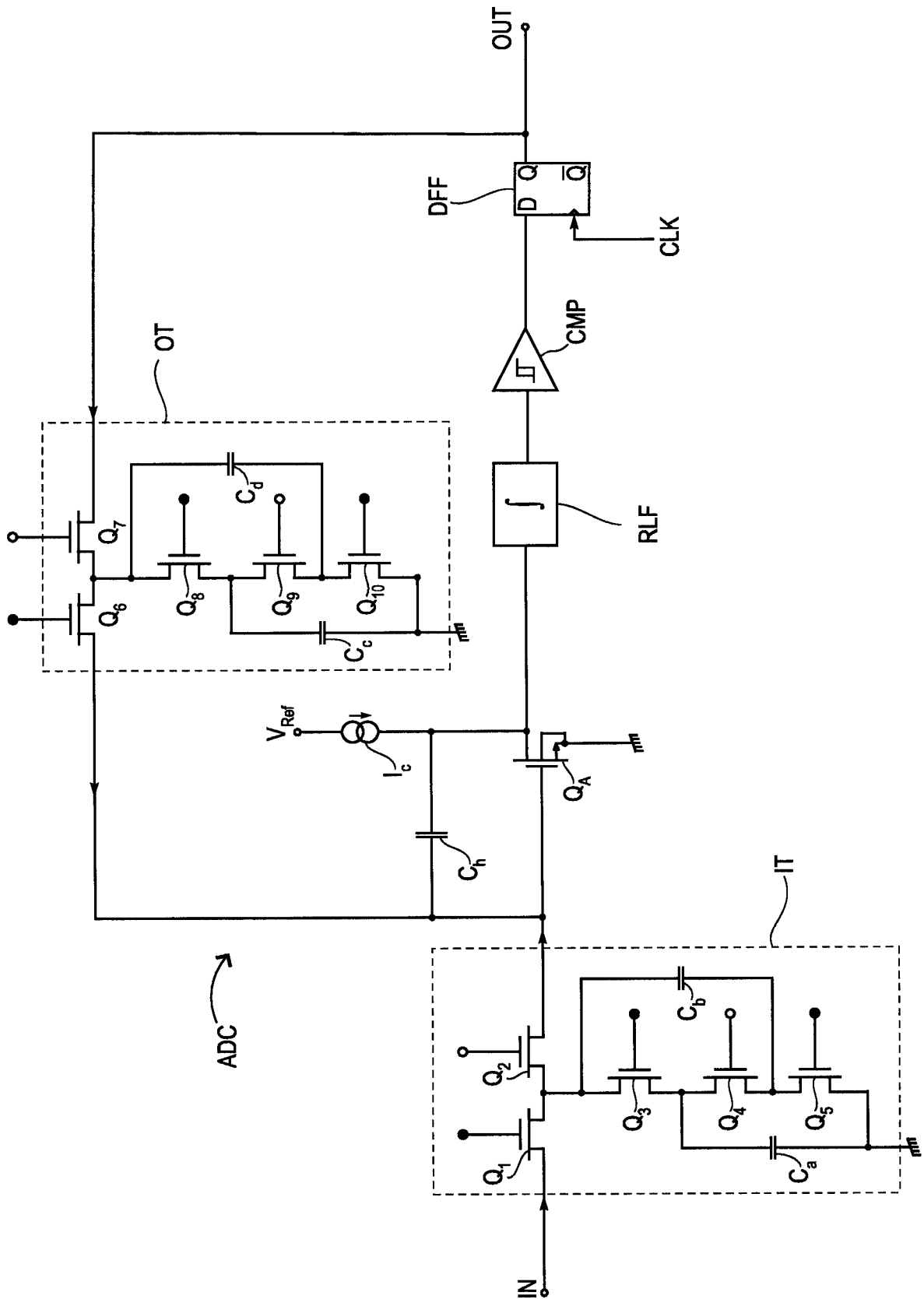


图 11

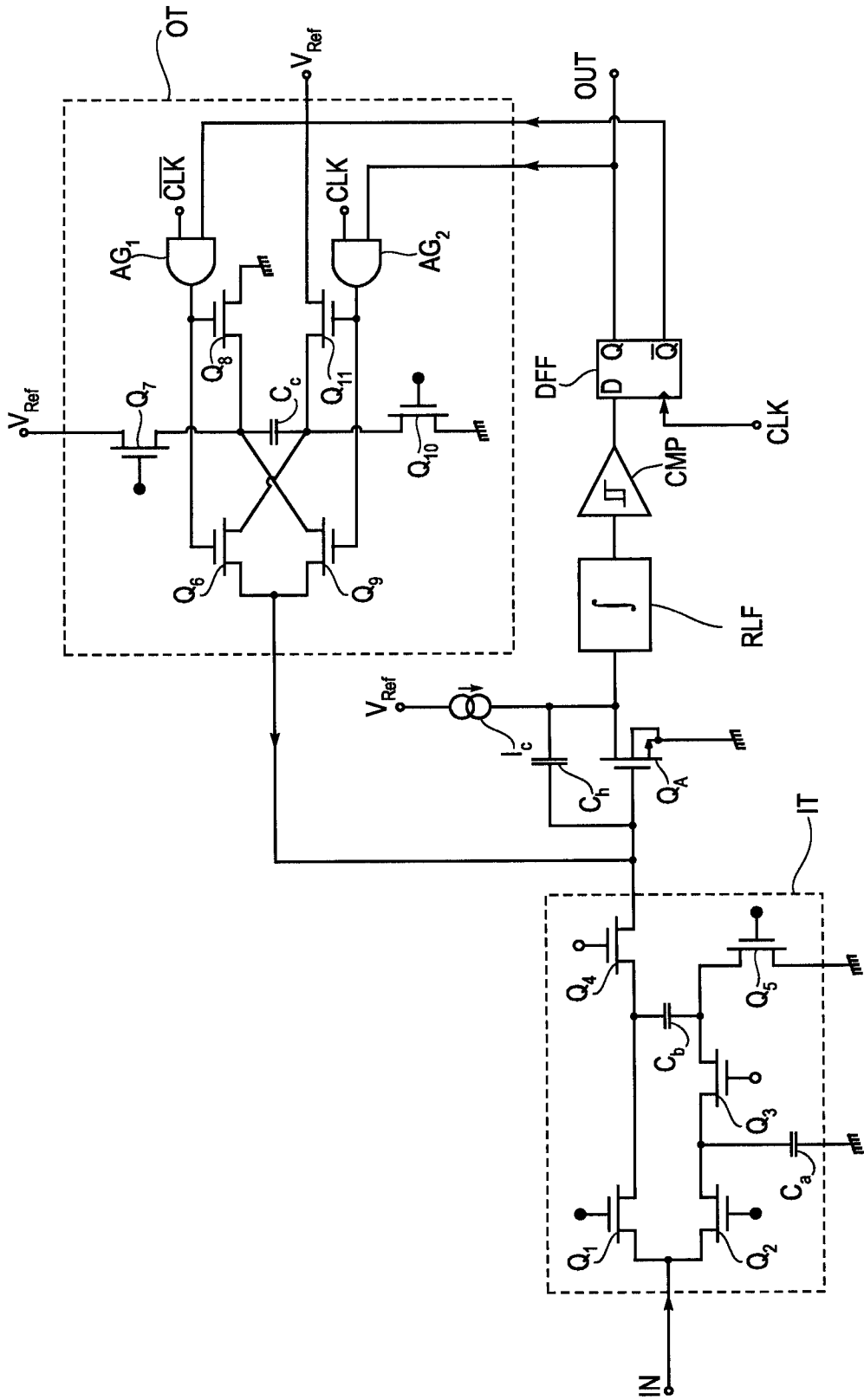


图 12

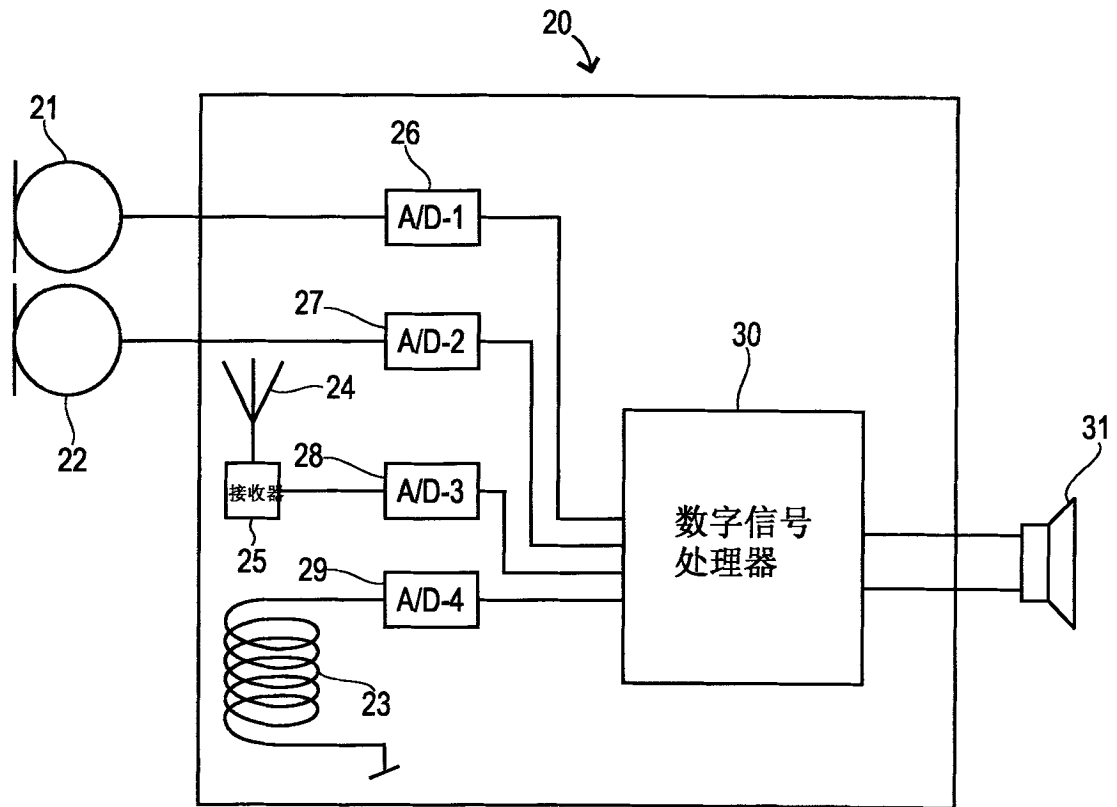


图 13