

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97125886

※申請日期：97.7.9

※IPC 分類：H01L 21/31

H01L 27/04
H01L 21/8242

一、發明名稱：(中文/英文)

半導體元件及其製法

SEMICONDUCTOR DEVICE AND METHOD FOR
MANUFACTURING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

海力士半導體股份有限公司 / Hynix Semiconductor Inc.

代表人：(中文/英文)

崔鉉求 / CHOI, HYUN KOO

住居所或營業所地址：(中文/英文)

韓國京畿道利川市夫鉢邑牙美里山 136-1

San 136-1, Ami-ri, Bubal-eup, Icheon-si, Gyeonggi-do 467-701, KOREA

國籍：(中文/英文)

韓國 / Korea

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 金鍾國 / KIM, JONG KUK

2. 金承範 / KIM, SEUNG BUM

國籍：(中文/英文)

1.2 韓國 / Korea

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，
其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

韓國、2007.09.28.、10-2007-0098455

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

提供一種半導體元件及其製法。該半導體元件包括連接至形成於半導體基板上之接觸插塞的圓柱型底部電極，及形成於該等圓柱型底部電極之間的支撐圖案，其中該等底部電極之側壁之一部分高於該支撐圖案，且該底部電極之該等側壁的另一部分低於該支撐圖案。

六、英文發明摘要：

A semiconductor device and a method for manufacturing the same are provided. The semiconductor device includes cylinder type bottom electrodes connected to a contact plug formed over a semiconductor substrate, and a supporting pattern formed between the cylinder type bottom electrodes, wherein a portion of sidewalls of the bottom electrodes is higher than the supporting pattern and the other portion of the sidewalls of the bottom electrodes is lower than the supporting pattern.

七、指定代表圖：

(一)本案指定代表圖為：第 (1f) 圖。

(二)本代表圖之元件符號簡單說明：

100：半導體基板

110：第一層間絕緣膜

115：底部電極接觸孔

120：底部電極接觸插塞

130：第二層間絕緣膜

140：蝕刻阻障膜

200：底部電極

230：支撐圖案

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

與本發明一致之實施例大體而言係關於半導體元件及其製法，且更特定言之，係關於具有電容器之半導體元件及其製法。

【先前技術】

歸因於在包括電容器之半導體記憶體元件之容量上的增加之需求，已開發各種技術來增大電容器之電容。

一般而言，電容器具有包括形成於底部電極（或儲存節點）與頂部電極（或板狀電極）之間的介電膜之結構。電容器之電容與電極表面面積及介電膜之介電常數成比例，且與頂部電極與底部電極之間隔（亦即，介電膜之厚度）成反比。

為了使電容器具有高電容，可使用各種方法來製造電容器。舉例而言，可使用具有大介電常數之介電膜，減小介電膜之厚度，增大電極表面面積或減小頂部電極與底部電極之間的距離。

然而，隨著元件大小歸因於半導體記憶體元件之增大的整合性而變小，難以製造具有小的尺寸而仍保證足夠電容之電容器。

為了保證足夠電容，研究者已集中關注底部電極之結構。因此，已開發具有三維結構之凹型（或圓柱型）電容器。

近來已廣泛使用採用外部表面及內部表面作為節點表

面而非僅採用內部表面作為節點表面之圓柱型電容器。一般而言，藉由浸出製程(dip-out process)來形成圓柱型電容器。

雖然可藉由增大電容器之高度來增大電容器之電容，但電容器可能由於高度增大而發生傾斜現象。

【發明內容】

揭示一種半導體元件及其製法。

根據與本發明一致之一實施例，該方法包括：在半導體基板上形成第一犧牲絕緣膜；在第一犧牲絕緣膜上形成支撐層；在支撐層上形成第二犧牲絕緣膜；蝕刻第二犧牲絕緣膜、支撐層及第一犧牲絕緣膜以形成底部電極區域，該底部電極區域暴露形成於半導體基板上之接觸插塞；在形成底部電極區域之後，於所得結構上形成底部電極傳導層；平坦化底部電極傳導層以暴露第二犧牲絕緣膜；在平坦化底部電極傳導層之後，於所得結構上形成第三犧牲絕緣膜；蝕刻第三犧牲絕緣膜、第二犧牲絕緣膜及支撐層，以形成在底部電極與相鄰底部電極之間的第三犧牲絕緣圖案、第二犧牲絕緣圖案及支撐圖案；及移除第一犧牲絕緣圖案、第二犧牲絕緣圖案及第三犧牲絕緣圖案以形成底部電極。

根據與本發明一致之一實施例，半導體元件包括：連接至形成於半導體基板上之接觸插塞的圓柱型底部電極，及形成於圓柱型底部電極之間的支撐圖案，其中底部電極之側壁之一部分高於支撐圖案，且底部電極之側壁的另一

部分低於支撐圖案。

【實施方式】

圖 1a 至圖 1f 為說明用於製造與本發明一致之半導體元件之方法的橫截面圖。

參看圖 1a，在半導體基板 100 上形成第一層間絕緣膜 110。可在第一層間絕緣膜 110 上形成光阻膜。可藉由使用暴露遮罩對光阻膜執行暴露與顯影製程來形成光阻圖案（未圖示）。可藉由使用光阻圖案作為遮罩而蝕刻第一層間絕緣膜 110，來形成暴露半導體基板 100 之部分的底部電極接觸孔 115。

可移除光阻圖案，且可在底部電極接觸孔 115 中形成底部電極接觸插塞 120。在一實施例中，可藉由在底部電極接觸孔 115 中填充接觸材料且平坦化接觸材料以獲得底部電極接觸插塞 120 而形成底部電極接觸插塞 120。

可在形成底部電極接觸插塞 120 之後，於所得結構上依次形成第二層間絕緣膜 130、蝕刻阻障膜 140、第一犧牲絕緣膜 150、支撐層 160 及第二犧牲絕緣膜 170。第一犧牲絕緣膜 150 可包含 TEOS、USG、BPSG、PSG、SOD、HDP、SROX、SOG 或其組合。支撐層 160 可包含具有在約 300Å 至約 2000Å 之範圍內之厚度的氮化膜。第二犧牲絕緣膜 170 可形成為具有在約 500Å 至約 5000Å 之範圍內之厚度。

可在第二犧牲絕緣膜 170 上形成光阻膜（未圖示）。可藉由使用底部電極遮罩對光阻膜執行暴露與顯影製程來

形成光阻圖案（未圖示）。

參看圖 1b，可藉由使用光阻圖案（未圖示）而蝕刻第二犧牲絕緣膜 170、支撐層 160、第一犧牲絕緣膜 150、蝕刻阻障膜 140 及第二層間絕緣膜 130，以形成暴露底部電極接觸插塞 120 之底部電極區域 180。

可藉由使用 SF_6 及 Cl_2 作為主要氣體且使用 Ar 、 N_2 、 O_2 、碳氟化合物及其組合中之一者作為額外氣體，而蝕刻第一犧牲絕緣膜 150 及第二犧牲絕緣膜 170。

可在形成底部電極區域 180 之後，於所得結構上形成底部電極傳導層 190。底部電極傳導層 190 可包含 Ti 、 TiN 及其組合中之一者，且可具有在約 200\AA 至約 2000\AA 之範圍內的厚度。

參看圖 1c，可在形成底部電極傳導層 190 之後，於所得結構上形成用於覆蓋底部電極區域 180 之填充絕緣膜（未圖示）。對填充絕緣膜及底部電極傳導層 190 進行平坦化，直至第二犧牲絕緣膜 170 暴露為止，且因此形成底部電極 200。在一實施例中，底部電極 200 可為具有閉合下部末端及開放上部末端之圓柱形外殼。閉合下部末端電接觸底部電極接觸插塞 120。填充絕緣膜可包含光阻膜及氧化膜。在平坦化步驟中，可自第二犧牲絕緣膜 170 之上表面進一步蝕刻圖 1b 之底部電極傳導層 190 約 100\AA 至約 2000\AA 。接著移除仍處於底部電極區域 180 中之填充絕緣膜。

參看圖 1d (i)，在暴露第二犧牲絕緣膜 170 之平坦化步驟之後，於所得結構上形成第三犧牲絕緣膜 210。可

以低階梯覆蓋而形成第三犧牲絕緣膜 210。

亦即，第三犧牲絕緣膜 210 可在第二犧牲絕緣膜 170 上形成，且僅填充底部電極區域 180 之上部部分。

或者，如圖 1d (ii) 所示，可以高階梯覆蓋而形成第三犧牲絕緣膜 210。

亦即，第三犧牲絕緣膜 210 可在第二犧牲絕緣膜 170 上形成，且填充底部電極區域 180 之整個空間。

第三犧牲絕緣膜 210 可包含正矽酸四乙酯 (TEOS) 膜，其可藉由在真空腔室中、在約 300°C 至約 500°C 之範圍內的溫度下進行之電漿增強化學氣相沈積 (PECVD) 製程而形成。可用以形成第三犧牲絕緣膜 210 之 TEOS 膜可藉由 He 氣使液體 TEOS 成為氣泡，且使氣泡型 TEOS 以氣態流入真空腔室中，以經由 PECVD 方法、藉由 O₂ 使氣態 TEOS 電漿化而形成。

再次參看圖 1d，使第三犧牲絕緣膜 210 平坦化且在第三犧牲絕緣膜 210 上形成光阻圖案 220。

光阻圖案 220 覆蓋相鄰底部電極之間的間隔及相鄰底部電極 200 之側壁的一部分，以保護底部電極 200 之間的支撐層 160。接著，可藉由使用光阻圖案 220 作為額外暴露遮罩而暴露並顯影第三犧牲絕緣膜 210。

在一實施例中，可根據暴露遮罩 400a 之襯墊型遮蔽圖案 420a (見圖 2a) 形成圖 1d 之光阻圖案 220。光阻圖案 220 與相鄰底部電極 200 之側壁的一部分重疊。在另一實施例中，可根據暴露遮罩 400b 之閉合曲線型遮蔽圖案 420b (見

圖 2b) 形成圖 1d 之光阻圖案 220。在另一實施例中，可根據暴露遮罩 400c 之逐一重疊型遮蔽圖案 420c 或矩形遮蔽圖案 420c (見圖 2c) 形成圖 1d 之光阻圖案 220。

參看圖 1e，藉由使用光阻圖案 220 作為蝕刻遮罩而蝕刻第三犧牲絕緣膜 210、第二犧牲絕緣膜 170 及支撐層 160。因此，未被蝕刻的支撐層 160 之部分形成支撐圖案 230。接著移除光阻圖案 220。

如圖 1e 所示，底部電極 200 之側壁與光阻圖案 220 重疊之部分高於支撐圖案 230。底部電極 200 之側壁不與光阻圖案 220 重疊之部分低於支撐圖案 230。

第二犧牲絕緣膜 170 與支撐層 160 之間的蝕刻選擇性差異可減小對底部電極 200 之損害。

參看圖 1f，執行浸出製程以移除第一犧牲絕緣膜 150。藉由使用第一犧牲絕緣膜 150 與其他結構之間的蝕刻選擇性差異而執行浸出製程，以移除支撐圖案 230 周圍的第二犧牲絕緣膜 170 及第三犧牲絕緣膜 210。

可在底部電極 200 上形成介電膜 (未圖示)。可在介電膜上形成可為板狀電極之頂部電極 (未圖示)。底部電極 200 與頂部電極因此形成電容器。

圖 2a 至圖 2c 為說明與本發明一致之暴露遮罩的平面圖。

參看圖 2a，暴露遮罩 400a 包括透明基板 410a 及形成於透明基板 410a 上之襯墊型遮蔽圖案 420a。在一實施例中，襯墊型遮蔽圖案 420a 可為正方形，且可重疊並覆蓋相

鄰底部電極 200 的側壁之一部分。

參看圖 2b，暴露遮罩 400b 包括透明基板 410b 及閉合曲線型遮蔽圖案 420b。在一實施例中，閉合曲線型遮蔽圖案 420b 可為正方環形，且可重疊並覆蓋相鄰底部電極 200 的側壁之一部分。

參看圖 2c，暴露遮罩 400c 包括透明基板 410c 及逐一型遮蔽圖案 420c。在一實施例中，逐一型遮蔽圖案 420c 可為矩形，且可重疊並覆蓋兩個相鄰底部電極 200 之間的側壁之一部分。

雖然已描述與本發明一致之許多說明性實施例，但應瞭解，可由熟習此項技術者設計將處於本揭示案之原理的精神及範疇內之眾多其他修改及實施例。更特定言之，在所附申請專利範圍之範疇內的標的組合配置之組件部分及/或配置中的許多變化及修改為可能的。除了組件部分及/或配置之變化及修改以外，替代使用對於熟習此項技術者亦將顯而易見。

【圖式簡單說明】

圖 1a 至圖 1f 為說明用於製造與本發明一致之半導體元件之方法的橫截面圖。

圖 2a 至圖 2c 為說明與本發明一致之暴露遮罩的平面圖。

【主要元件符號說明】

100：半導體基板

110：第一層間絕緣膜

- 115 : 底部電極接觸孔
- 120 : 底部電極接觸插塞
- 130 : 第二層間絕緣膜
- 140 : 蝕刻阻障膜
- 150 : 第一犧牲絕緣膜
- 160 : 支撐層
- 170 : 第二犧牲絕緣膜
- 180 : 底部電極區域
- 190 : 底部電極傳導層
- 200 : 底部電極
- 210 : 第三犧牲絕緣膜
- 220 : 光阻圖案
- 230 : 支撐圖案
- 400a、400b、400c : 暴露遮罩
- 410a、410b、410c : 透明基板
- 420a、420b、420c : 遮蔽圖案

十、申請專利範圍：

1. 一種製造半導體元件之方法，其包含：

在半導體基板上形成第一犧牲絕緣膜；

在該第一犧牲絕緣膜上形成支撐層；

在該支撐層上形成第二犧牲絕緣膜；

蝕刻該第二犧牲絕緣膜、該支撐層及該第一犧牲絕緣膜以形成底部電極區域，該底部電極區域暴露形成於該半導體基板上之接觸插塞；

在形成底部電極區域之後，於所得結構上形成底部電極傳導層；

平坦化該底部電極傳導層以暴露該第二犧牲絕緣膜；

在平坦化該底部電極傳導層之後，於該所得結構上形成第三犧牲絕緣膜；

蝕刻該第三犧牲絕緣膜、該第二犧牲絕緣膜及該支撐層，以形成在該底部電極與相鄰底部電極之間的第三犧牲絕緣圖案、第二犧牲絕緣圖案及支撐圖案；及

移除該第一犧牲絕緣膜、該第二犧牲絕緣圖案及該第三犧牲絕緣圖案以形成底部電極。

2. 如申請專利範圍第 1 項之方法，其中該第一犧牲絕緣膜、該第二犧牲絕緣膜及該第三犧牲絕緣膜包含氧化膜。

3. 如申請專利範圍第 1 項之方法，其中該第一犧牲絕緣膜及該第二犧牲絕緣膜包含選自由 TEOS、USG、BPSG、PSG、SOD、HDP、SROX、SOG 及其組合組成之群中之一者。

者。

4.如申請專利範圍第 1 項之方法，其中該支撐層包含氮化膜，其具有在約 300Å 至約 2000Å 之範圍內的厚度。

5.如申請專利範圍第 1 項之方法，其中該支撐層包含氮化矽膜。

6.如申請專利範圍第 1 項之方法，其中該第二犧牲絕緣膜具有在約 500Å 至約 5000Å 之範圍內的厚度。

7.如申請專利範圍第 1 項之方法，其中藉由使用 SF₆ 及 Cl₂ 作為主要氣體，且使用選自由 Ar、N₂、O₂、碳氟化合物及其組合組成之群中之一者作為額外氣體，而蝕刻該第一犧牲絕緣膜及該第二犧牲絕緣膜。

8.如申請專利範圍第 1 項之方法，其中該底部電極傳導層包含選自由 Ti、TiN 及其組合組成之群中之一者，且具有在約 200Å 至約 2000Å 之範圍內的厚度。

9.如申請專利範圍第 1 項之方法，其中平坦化該底部電極傳導層進一步包含：

在形成底部電極傳導層之後，在該所得結構上形成絕緣膜；及

平坦化該第二犧牲絕緣膜上之該絕緣膜及該底部電極傳導層以暴露該第二犧牲絕緣膜；及

移除仍處於該底部電極區域中之該絕緣膜。

10.如申請專利範圍第 1 項之方法，其中自該第二犧牲絕緣膜之上表面進一步蝕刻該底部電極傳導層約 100Å 至約 2000Å。

101年9月19日修正替換頁

101年9月19日修正替換頁

11.如申請專利範圍第 1 項之方法，其中該第三犧牲絕緣膜包含正矽酸四乙酯 (TEOS) 膜，其係藉由在約 300°C 至約 500°C 之範圍內的溫度下進行電漿增強化學氣相沈積 (PECVD) 製程而形成。

12.如申請專利範圍第 1 項之方法，其中蝕刻該第三犧牲絕緣膜、該第二犧牲絕緣膜及該支撐層進一步包含：

在該第三犧牲絕緣膜上形成光阻膜；

藉由使用該光阻膜作為暴露遮罩，而執行暴露與顯影過程來形成光阻圖案；及

蝕刻該第三犧牲絕緣膜、該第二犧牲絕緣膜及該支撐層，以形成該第三犧牲絕緣圖案、該第二犧牲絕緣圖案及該支撐圖案，以支撐該底部電極及該相鄰底部電極的側壁。

13.如申請專利範圍第 12 項之方法，其中該暴露遮罩包括遮蔽圖案，該遮蔽圖案具有視墊形狀、閉合曲線形狀或矩形。

14.如申請專利範圍第 13 項之方法，其中該遮蔽圖案與該底部電極及該相鄰底部電極之該等側壁的一部分重疊。

十一、圖式：

如次頁

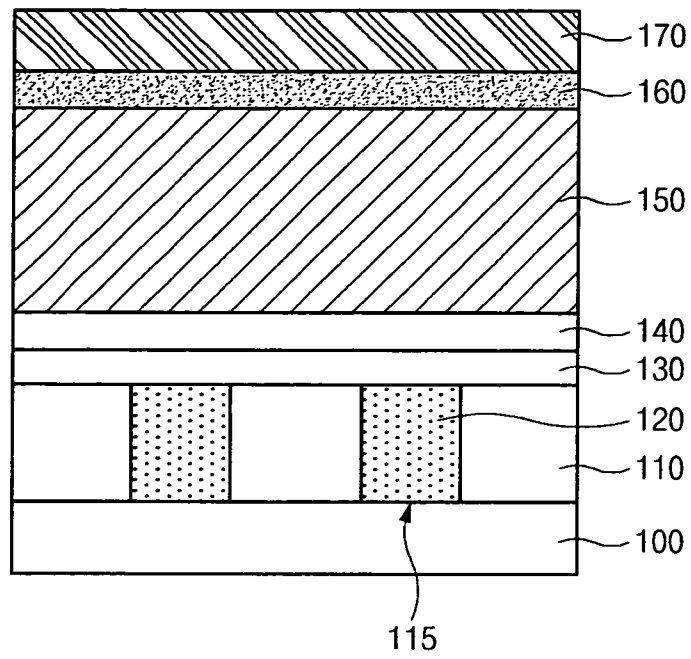


圖 1a

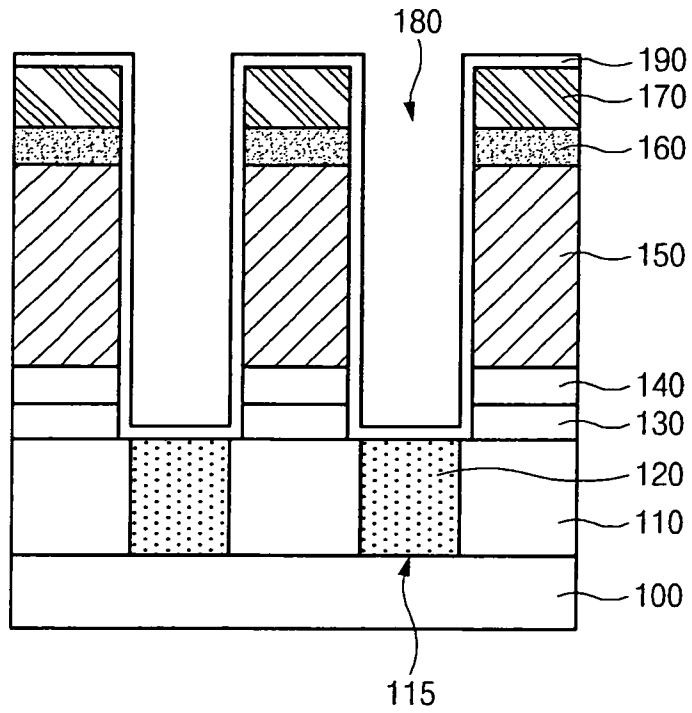


圖 1b

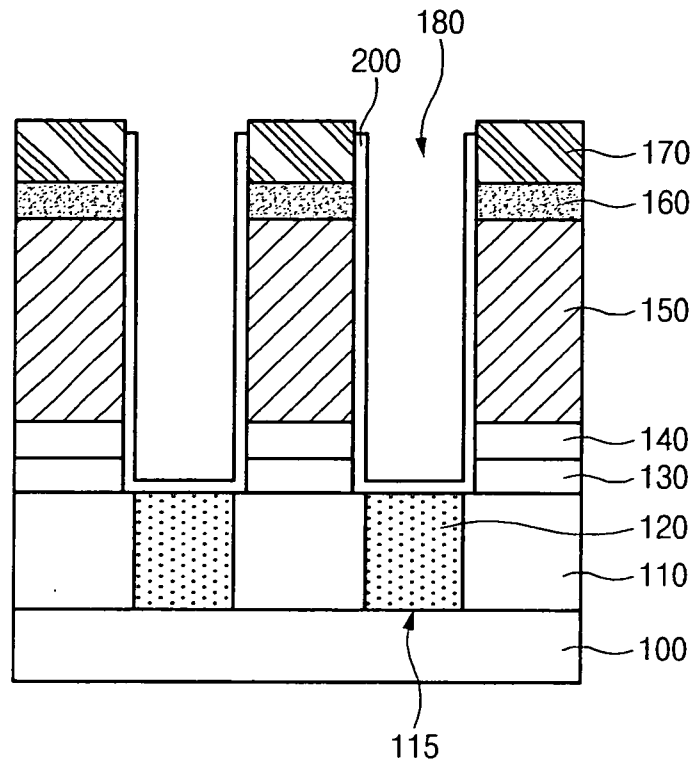


圖 1c

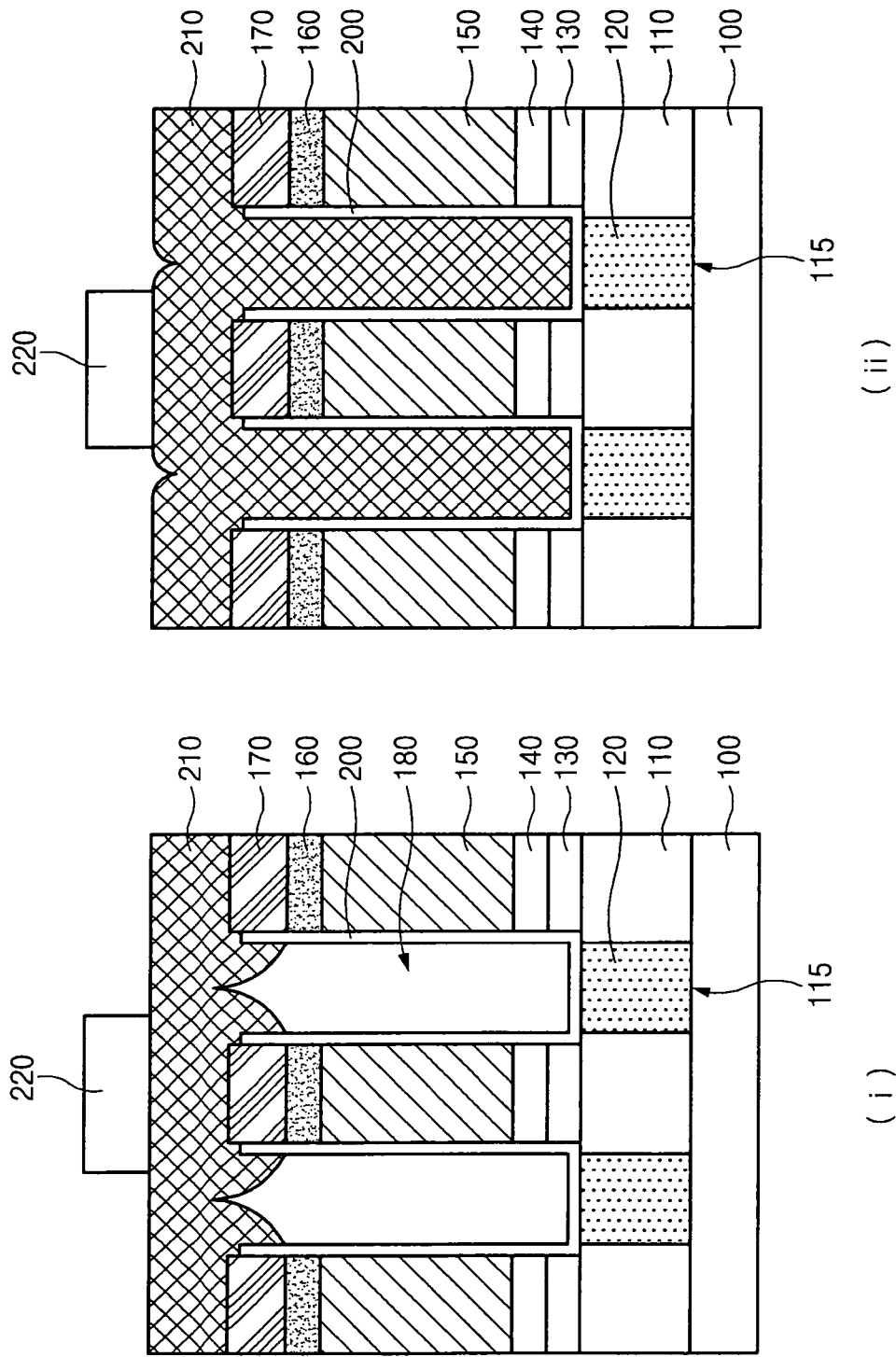


圖 1d

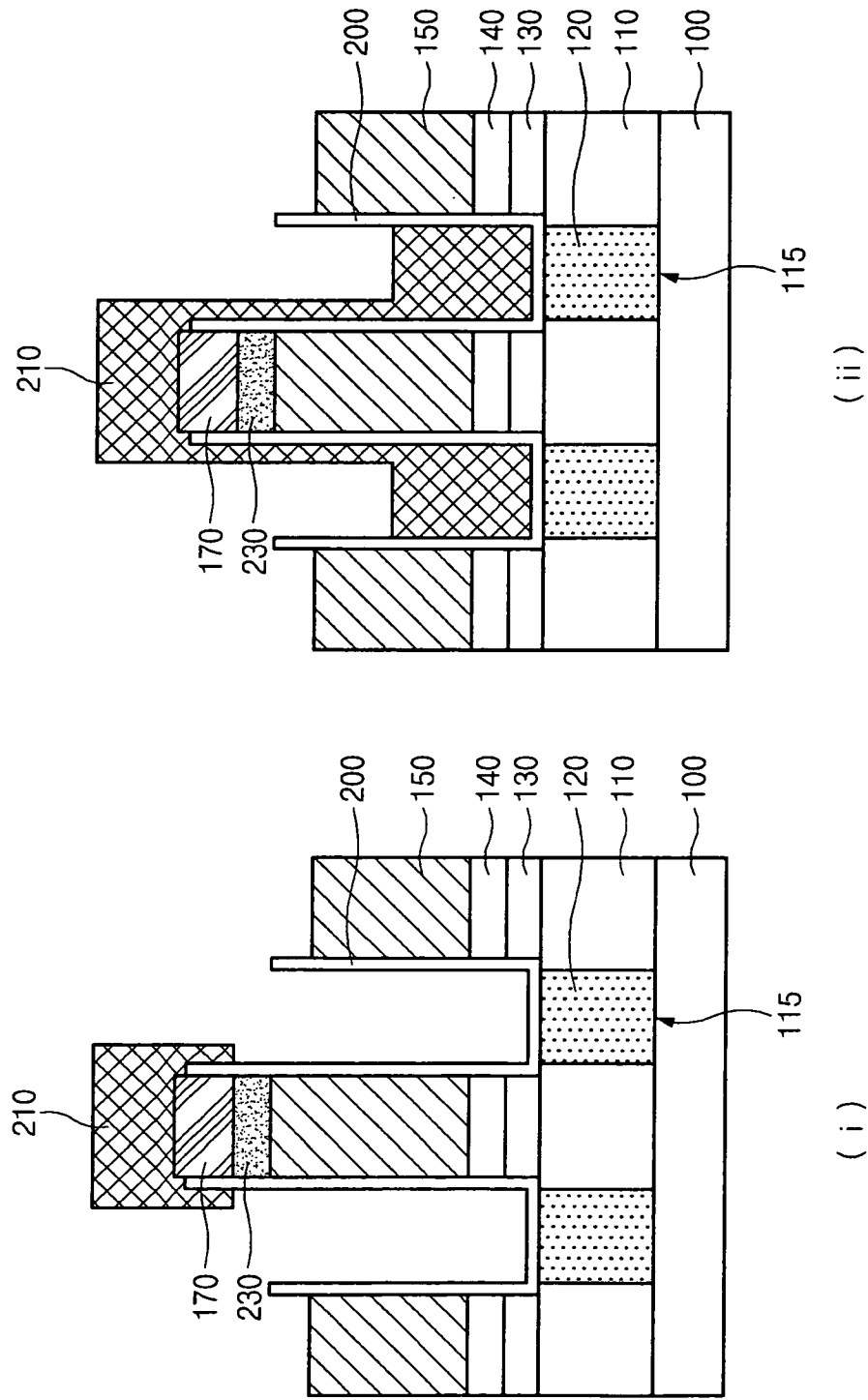


圖 1e

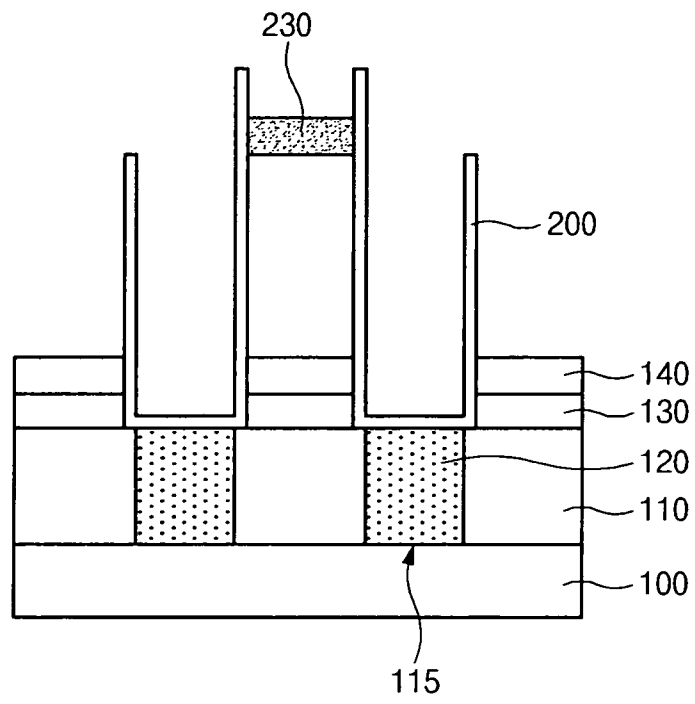


圖 1f

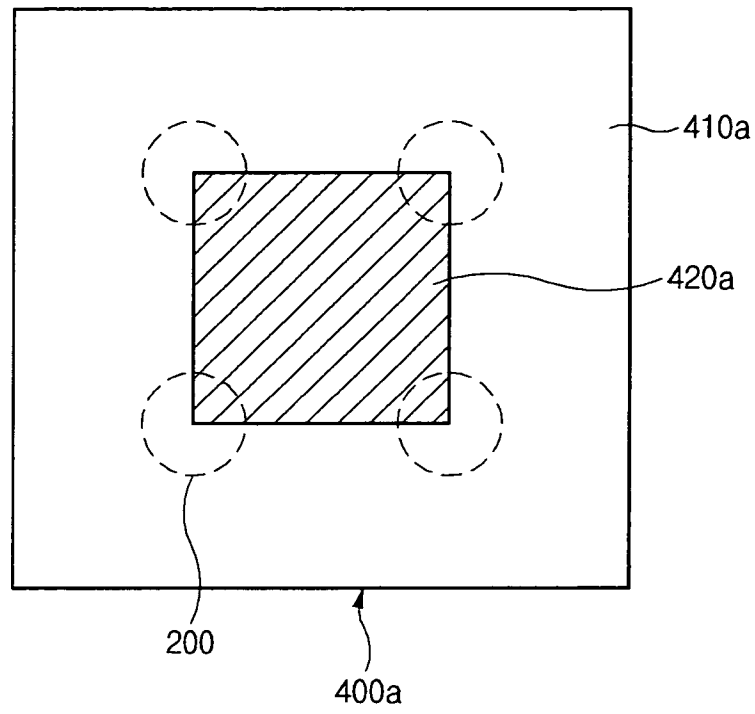


圖 2a

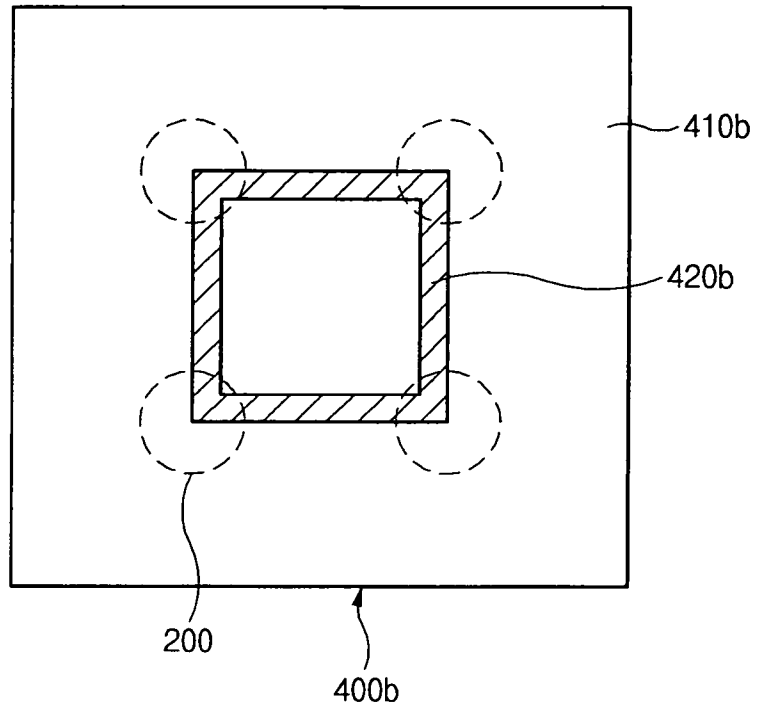


圖 2b

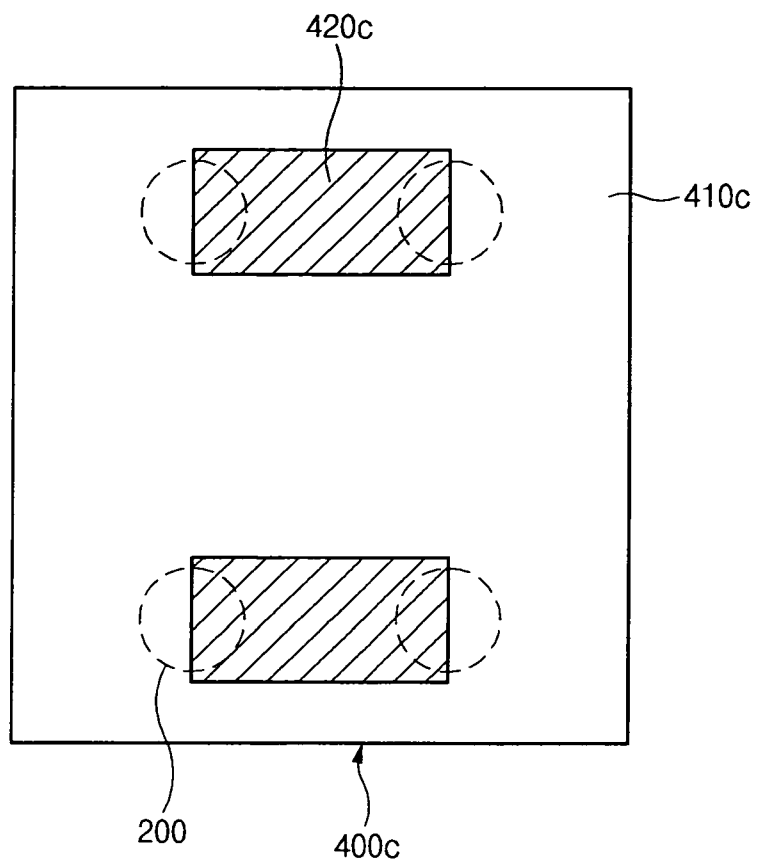


圖 2c