



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I473222 B

(45)公告日：中華民國 104 (2015) 年 02 月 11 日

(21)申請案號：098134686

(22)申請日：中華民國 98 (2009) 年 10 月 13 日

(51)Int. Cl. : H01L23/488 (2006.01)

H01L21/60 (2006.01)

(71)申請人：頡邦科技股份有限公司 (中華民國) CHIPBOND TECHNOLOGY CORPORATION
(TW)

新竹市新竹科學工業園區東區力行五路3號

鉍澤科技股份有限公司 (中華民國) GOLD JET TECHNOLOGY INC. (TW)

高雄加工出口區南五路5號2樓

(72)發明人：何志文 HO, CHIH WEN (TW)；柯遜華 KO, SUN HUA (TW)；魏明國 WEI, MING KUO (TW)；李柏堅 LEE, PO CHIEN (TW)

(74)代理人：張啟威；許慶祥

(56)參考文獻：

TW 468246

TW M352128

US 2004/0166661A1

審查人員：黃泰淵

申請專利範圍項數：12 項 圖式數：6 共 30 頁

(54)名稱

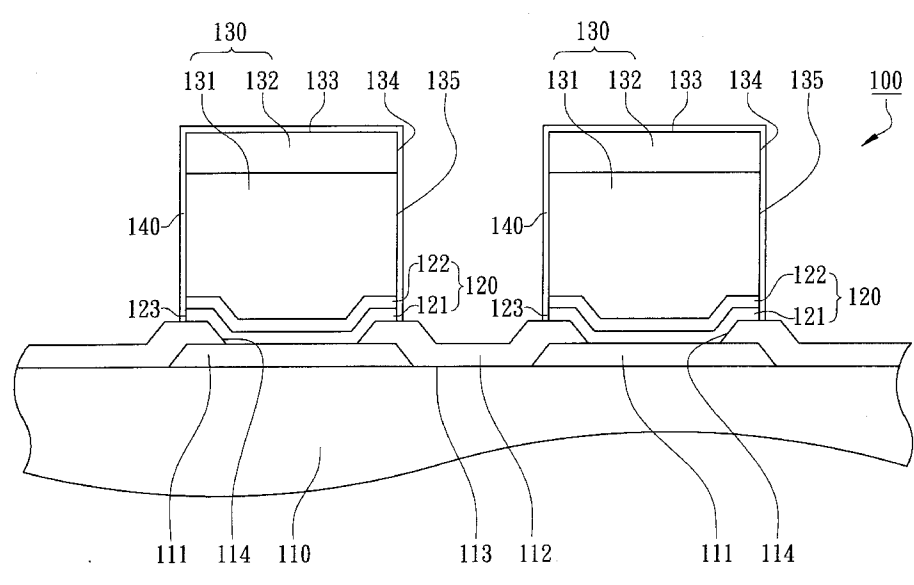
具有仿金凸塊之晶片結構

CHIP STRUCTURE HAVING IMITATION GOLD BUMPS

(57)摘要

揭示一種具有仿金凸塊之晶片結構，包括一晶片、一凸塊下金屬層、複數個複合式金屬凸塊以及一抗潛變層。每一複合式金屬凸塊係由一本體與一接合部相疊所構成而呈柱狀。抗潛變層係完全覆蓋複合式金屬凸塊，並且接合部之厚度遠大於抗潛變層。因此，可防止在探測時抗潛變層被探針刺穿所導致的凸塊氧化問題，亦能避免在內引腳壓合的應用中造成直接壓觸至本體而損壞之情況。

Disclosed is a chip structure having imitation gold bumps, comprising a chip, a UBM layer, a plurality of composite metal bumps, and a creeping-resist layer. Each composite metal bump consists of a body and a bonding part stacked to be pillar-shaped. The composite metal bumps are completely covered by the creeping-resist layer and the thickness of the bonding part is far larger than the one of the creeping-resist layer. Accordingly, there can be prevented bump oxidation caused from the pierced creeping-resist layer under probing, and avoids damage caused by the directly pressing the body during the application of inner lead bonding.



第 1 圖

- 100 . . . 具有仿金凸塊之晶片結構
- 110 . . . 晶片
- 111 . . . 錫墊
- 112 . . . 保護層
- 113 . . . 表面
- 114 . . . 開孔
- 120 . . . 凸塊下金屬層
- 121 . . . 黏著層
- 122 . . . 導電層
- 123 . . . 側緣
- 130 . . . 複合式金屬凸塊
- 151 . . . 本體
- 132 . . . 接合部
- 133 . . . 上表面
- 134 . . . 第一外側邊
- 135 . . . 第二外側邊
- 140 . . . 抗潛變層

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98134686

※ 申請日：98.12.13

※IPC 分類：

H01L 23/488 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/60 (2006.01)

具有仿金凸塊之晶片結構

CHIP STRUCTURE HAVING IMITATION GOLD BUMPS

二、中文發明摘要：

揭示一種具有仿金凸塊之晶片結構，包括一晶片、一凸塊下金屬層、複數個複合式金屬凸塊以及一抗潛變層。每一複合式金屬凸塊係由一本體與一接合部相疊所構成而呈柱狀。抗潛變層係完全覆蓋複合式金屬凸塊，並且接合部之厚度遠大於抗潛變層。因此，可防止在探測時抗潛變層被探針刺穿所導致的凸塊氧化問題，亦能避免在內引腳壓合的應用中造成直接壓觸至本體而損壞之情況。

三、英文發明摘要：

Disclosed is a chip structure having imitation gold bumps, comprising a chip, a UBM layer, a plurality of composite metal bumps, and a creeping-resist layer. Each composite metal bump consists of a body and a bonding part stacked to be pillar-shaped. The composite metal bumps are completely covered by the creeping-resist layer and the thickness of the bonding part is far larger than the one of the creeping-resist layer. Accordingly, there can be prevented bump oxidation caused from the pierced creeping-resist layer under probing, and avoids damage caused by the directly pressing the body during the application of inner lead bonding.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

- | | | | | | |
|-----|-------------|-----|-------|-----|-----|
| 100 | 具有仿金凸塊之晶片結構 | | | | |
| 110 | 晶片 | 111 | 鉚墊 | 112 | 保護層 |
| 113 | 表面 | | | 114 | 開孔 |
| 120 | 凸塊下金屬層 | | | 121 | 黏著層 |
| 122 | 導電層 | | | 123 | 側緣 |
| 130 | 複合式金屬凸塊 | | | | |
| 131 | 本體 | 132 | 接合部 | 133 | 上表面 |
| 134 | 第一外側邊 | 135 | 第二外側邊 | | |
| 140 | 抗潛變層 | | | | |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係有關於半導體裝置，特別係有關於一種具有仿金凸塊之晶片結構

【先前技術】

覆晶接合技術 (flip-chip bonding technology) 與內引腳接合技術 (Inner Lead Bonding, ILB) 是將晶片之主動面的錫墊上設置複數個導電凸塊 (或稱為突出狀電極)，藉由晶片翻轉或壓合內引腳方式以使凸塊能與一基板接合以完成電性連接。相較於使用打線連接 (wire bond) 之電性連接方式，提供了晶片至基板之較短電性連接路徑與適用於高密度輸出/入接點數量之產品製造，具有良好的高頻訊號的傳輸品質。

目前較為常見的覆晶接合或內引腳接合技術是使用金凸塊 (Au bump) 的接合技術，金凸塊以熱壓合或是異方性導電膠電性連接至基板。雖然其可靠性較佳且不會有回焊成球狀的橋接短路問題，但由於材料成本過高，仍亟需發展同等級品質的替代凸塊。

近來，有人提出一種低成本的銅凸塊來取代金塊，然而銅凸塊因其質地較硬相對使得延展性較差，故施加於銅凸塊的應力會直接傳遞到銅凸塊與晶片金屬墊的接合界面，導致銅凸塊的底部斷裂或是造成晶片受損。特別在多個凸塊無法控制相當準確的等高或是基板與晶片之間的覆晶間隙為非一致 (例如基板翹曲變形時) 的狀況

時，銅凸塊的底部斷裂問題會變得更嚴重。此外，銅凸塊容易產生氧化問題，在製程中必須保持在還原氣氛，並在凸塊製成之後須另作防氧化的保護，製程限制頗多而無法有效降低凸塊的製造成本。

【發明內容】

為了解決上述之問題，本發明之主要目的係在於提供一種具有仿金凸塊之晶片結構，可避免在探測時因為抗潛變層被刺穿，導致凸塊外露引起的氧化問題，亦能避免壓合內引腳時直接壓觸而造成凸塊損壞。

本發明之次一目的係在於提供一種具有仿金凸塊之晶片結構，形成可取代金凸塊的仿金凸塊，更優於習知的銅凸塊，不會有銅凸塊的底部斷裂問題，能符合無鉛化、高可靠度與低成本之凸塊要求。

本發明的目的及解決其技術問題是採用以下技術方案來實現的。本發明揭示一種具有仿金凸塊之晶片結構，主要包括一晶片、一凸塊下金屬層、複數個複合式金屬凸塊以及一抗潛變層。該晶片係具有複數個鐳墊與一保護層，該保護層係覆蓋於該晶片之一表面上並形成有複數個開孔，以顯露該些鐳墊。該凸塊下金屬層係設置於該些鐳墊上，並覆蓋該保護層之該些開孔之周邊。該些複合式金屬凸塊每一複合式金屬凸塊係由一本體與一接合部相疊所構成而呈柱狀，該本體係對準該些鐳墊並設置於該凸塊下金屬層上，該接合部係設置於該本體上，其中該本體係包含不小於 99wt% 的銀 (Ag) 含量，該

接合部之材質係選自於金(Au)，並且該接合部之厚度係小於該本體之厚度。該抗潛變層係形成於該接合部之一上表面與一第一外側邊以及該本體之一第二外側邊，以完全覆蓋該些複合式金屬凸塊。

本發明的目的及解決其技術問題還可採用以下技術措施進一步實現。

在前述之具有仿金凸塊之晶片結構中，該接合部之該第一外側邊與該本體之該第二外側邊係可相互切齊，以構成一柱側壁。

在前述之具有仿金凸塊之晶片結構中，該凸塊下金屬層係可具有不被該本體覆蓋之側緣，並且上述側緣係相對凹入於該第二外側邊。

在前述之具有仿金凸塊之晶片結構中，該本體與該接合部之間係可形成有一接合面，該接合面係為非平坦。

在前述之具有仿金凸塊之晶片結構中，該凸塊下金屬層係可具有一黏著層與一導電層，該黏著層係貼附於該鍍墊，該導電層係貼附於該黏著層上。

在前述之具有仿金凸塊之晶片結構中，該抗潛變層係可覆蓋至該導電層之側緣而顯露該黏著層之側緣。

在前述之具有仿金凸塊之晶片結構中，該抗潛變層之材質係可選自於金(Au)、鈀(Pd)、銅(Cu)與鎳(Ni)之其中一種。

在前述之具有仿金凸塊之晶片結構中，該抗潛變層係可選自於置換金與還原金之其中之一，使其具有抗氧化

與高導電之特性。

在前述之具有仿金凸塊之晶片結構中，該接合部之該上表面與該第一外側邊之間係可為有角度彎曲。

在前述之具有仿金凸塊之晶片結構中，該本體之厚度係可介於 $6\mu\text{m}$ 到 $20\mu\text{m}$ ，該接合部之厚度係介於 $2\mu\text{m}$ 到 $6\mu\text{m}$ ，該抗潛變層之厚度係不超過 $1\mu\text{m}$ 。

在前述之具有仿金凸塊之晶片結構中，該接合部之厚度係可大於該抗潛變層之厚度。

在前述之具有仿金凸塊之晶片結構中，該些複合式金屬凸塊之外形係可選自圓柱體、立方體以及長方體之其中之一。

由以上技術方案可以看出，本發明之具有仿金凸塊之晶片結構，有以下優點與功效：

- 一、可藉由本體、接合部與抗潛變層之特定組合關係作為其中一技術手段，由於每一複合式金屬凸塊係由本體與接合部相疊所構成，接合部係設置於本體上且接合部之厚度遠大於抗潛變層之厚度，可避免在探測時因為抗潛變層過薄而被探針刺穿，導致複合式金屬凸塊外露引起的氧化問題，亦能避免在內引腳壓合時直接壓觸至本體而造成複合式金屬凸塊損壞之情況。
- 二、可藉由複合式金屬凸塊與抗潛變層之特定組合關係作為其中一技術手段，由於複合式金屬凸塊之本體包含不小於 99wt% 的銀含量，複合式金屬凸塊之接

合部之材質係選自於金，形成可取代金凸塊的仿金凸塊，更優於習知的銅凸塊，不會有銅凸塊的底部斷裂問題，能符合無鉛化、高可靠度與低成本之凸塊要求。此外，利用包覆在複合式金屬凸塊表面的抗潛變層，亦能避免複合式金屬凸塊在應力作用下產生潛變的緩慢變形現象。

- 三、可藉由複合式金屬凸塊與抗潛變層之特定組合關係作為其中一技術手段，由於抗潛變層係為置換金(或還原金)並完全覆蓋複合式金屬凸塊，故抗潛變的處理時間短、形成厚度可控制在 $1\mu\text{m}$ 以內，能避免複合式金屬凸塊之潛變發生，不會使複合式金屬凸塊的尺寸橫向變大，故在高溫下不會產生覆晶間隙變化，具有成本更低、厚度更薄之功效。
- 四、可藉由複合式金屬凸塊內本體與接合部之間的非平坦接合面以及抗潛變層的完全覆蓋，以避免複合式金屬凸塊內接合部的分離或變形。

【實施方式】

以下將配合所附圖示詳細說明本發明之實施例，然應注意的是，該些圖示均為簡化之示意圖，僅以示意方法來說明本發明之基本架構或實施方法，故僅顯示與本案有關之元件與組合關係，圖中所顯示之元件並非以實際實施之數目、形狀、尺寸做等比例繪製，某些尺寸比例與其他相關尺寸比例或已誇張或是簡化處理，以提供更清楚的描述。實際實施之數目、形狀及尺寸比例為一種

選置性之設計，詳細之元件佈局可能更為複雜。

依據本發明之第一具體實施例，一種具有仿金凸塊之晶片結構 100 舉例說明於第 1 圖之局部截面示意圖與第 2A 至 2G 圖之製程中元件截面示意圖。本發明的具有仿金凸塊之晶片結構 100 係主要包括一晶片 110、一凸塊下金屬層 120、複數個複合式金屬凸塊 130 以及一抗潛變層 140。該晶片 110 係具有複數個鐳墊 111 與一保護層 112，該保護層 112 係覆蓋於該晶片 110 之一表面 113 上並形成有複數個開孔 114，以顯露該些鐳墊 111。該晶片 110 係為半導體材質，例如矽或是 III-V 族半導體，而前述的該表面 113 係可為該晶片 110 之主動面，可形成有積體電路元件，例如選自於微控制器、微處理器、記憶體、邏輯電路、特殊應用積體電路(例如顯示器驅動電路)等或上述的任意組合。該些鐳墊 111 係由金屬製成，例如鋁、銅以及其合金等，可作為該晶片 110 訊號輸出入之端子。該保護層 112 係為電絕緣性的表面層，或稱其為鈍化層 (passivation layer)，材質可為聚亞醯胺、苯環丁烯 (BCB)、磷矽玻璃 (phosphosilicate glass)、氧化矽 (silicon oxide)、氮化矽 (silicon nitride) 或氮化物 (nitride)，可藉由化學氣相沉積 (CVD) 技術所形成，能提供保護該表面 113 上之積體電路元件並使該表面 113 更為平坦。在本實施例中，該保護層 112 之該些開孔 114 係可局部覆蓋該些鐳墊 111 之周緣，即該些開孔 114 之尺寸略小於該些鐳墊 111 之尺寸。

請參閱第 1 圖所示，該凸塊下金屬層 120 係設置於該些銲墊 111 上，並覆蓋該保護層 112 之該些開孔 114 之周邊。該凸塊下金屬層 120 係為墊片狀，以供設置該些複合式金屬凸塊 130，而該些銲墊 111 係與位置對應的該凸塊下金屬層 120 電性連接。具體而言，該凸塊下金屬層 120 係可具有一黏著層 121 與一導電層 122，用以增進該些複合式金屬凸塊 130 與該些銲墊 111 之間的連結。更進一步地，該黏著層 121 係貼附於該銲墊 111，可以提供該些銲墊 111 與該保護層 112 良好的黏著性並具有阻障作用，以防止金屬擴散。該黏著層 121 之材質可為鈦 (Ti) 或鎢化鈦 (TiW)。該導電層 122 係貼附於該黏著層 121 上，該導電層 122 的導電性應高於該黏著層 121 並厚度可更薄，可作為形成該些複合式金屬凸塊 130 之電鍍種子層 (容後詳述)，並且該導電層 122 可提供對該些複合式金屬凸塊 130 之良好的沾附性，該導電層 122 之材質可為金 (Au)。在本實施例中，該黏著層 121 與該導電層 122 係可以電鍍、濺鍍或化學氣相沉積方式形成。通常該凸塊下金屬層 120 係可略大於該保護層 112 之該些開孔 114，以延伸至該保護層 112 之對應之開孔 114 的周緣。

請再參閱第 1 圖所示，每一複合式金屬凸塊 130 係由一本體 131 與一接合部 132 相疊所構成而呈柱狀，該本體 131 係對準該些銲墊 111 並設置於該凸塊下金屬層 120 上，該接合部 132 係設置於該本體 131 上，其中該本體

131 係包含不小於 99wt% 的銀 (Ag) 含量，該接合部 132 之材質係選自於金 (Au)，並且該接合部 132 之厚度係小於該本體 131 之厚度。在本實施例中，該接合部 132 之一第一外側邊 134 與該本體 131 之一第二外側邊 135 係可相互切齊，以構成一柱壁外側面，並且該接合部 132 之一上表面 133 與該第一外側邊 134 之間係可為有角度彎曲，例如約 90 度，用以界定該上表面 133 之面積進而有效控制凸塊接合區域，有利於非迴焊之導電接合。關於該些複合式金屬凸塊 130 的柱狀型態，該些複合式金屬凸塊 130 的高度可大於該些複合式金屬凸塊 130 的底部面積之一直徑或一寬度。其中，每一複合式金屬凸塊 130 之該本體 131 之厚度係可介於 $6\mu\text{m}$ 到 $20\mu\text{m}$ ，該接合部 132 之厚度係介於 $2\mu\text{m}$ 到 $6\mu\text{m}$ 。此外，由於該些複合式金屬凸塊 130 之本體 131 係包含不小於 99wt% 的銀含量，故具有極高的純度，適合以電鍍方式大量形成，並具有在電鍍製程中達到均質化之功效，不會有因成份散布不均的缺陷導致凸塊硬度的差異變化，又接合部 132 係具有金 (Au) 的特性與接合作用。因此，該些複合式金屬凸塊 130 係可猶如習知的金凸塊一般，具有與習知金凸塊相同但低於銅凸塊的硬度，並且導電性與金屬延伸性良好。並且，該些複合式金屬凸塊 130 之成本卻較低於習知的金凸塊之成本，並符合無鉛化之要求，能在不會影響凸塊的性能與品質下形成仿金凸塊，以取代習知的金凸塊，更優於習知的銅凸塊，不會有習知銅凸

塊的底部斷裂問題。

請參閱第 1 圖所示，該抗潛變層 140 係形成於該接合部 132 之該上表面 133 與該第一外側邊 134 以及該本體 131 之該第二外側邊 135，以完全覆蓋該些複合式金屬凸塊 130。該抗潛變層 140 之主要作用在於避免該些複合式金屬凸塊 130 之本體 131 由該第二外側邊 135 產生銀的潛變現象。該抗潛變層 140 之厚度係不超過 $1\ \mu\text{m}$ ，可約為 0.03 至 $0.3\ \mu\text{m}$ 。如第 4 圖所示，由於該接合部 132 之厚度係可遠大於該抗潛變層 140 之厚度，故可以避免在探測 (probing) 時因為該抗潛變層 140 過薄而被探針 30 刺穿，導致該些複合式金屬凸塊 130 的銀成份外露所引起的氧化問題。在本實施例中，該抗潛變層 140 之材質係可選自於金 (Au)、鈦 (Pd)、銅 (Cu) 與鎳 (Ni) 之其中一種，可為純金屬或是合金，較佳地，該抗潛變層 140 係可選自於置換金 (displacement Au) 與還原金 (reduced Au) 之其中之一，使其具有抗氧化與高導電之特性，故抗潛變的處理時間短、形成厚度可控制在 $1\ \mu\text{m}$ (微米) 以內 (約數十到數百埃)，便能避免該些複合式金屬凸塊 130 之潛變發生，並且不會使該些複合式金屬凸塊 130 的尺寸橫向變大，故在高溫下不會產生覆晶間隙變化，具有成本更低、厚度更薄之功效。特別是，該抗潛變層 140 之硬度係可不高於或接近該些複合式金屬凸塊 130 之硬度，而不需要有凸塊結構補強之作用，故該抗潛變層 140 的厚度增加與減少皆不會影響與改變整體凸塊的結構強

度。因此，如第 5 圖所示，在內引腳接合製程中，壓合一內引腳 40 至該些複合式金屬凸塊 130 上時，由於該接合部 132 係具有一定厚度，在承受該內引腳 40 擠壓之後，該接合部 132 會稍微向左右兩側外擴，但不致使該內引腳 40 直接碰觸至該本體 131，除了能免除該些複合式金屬凸塊 130 外露所引起的氧化問題，甚至發生該內引腳 40 過度擠壓而使得該抗潛變層 140 產生破損處時，由於該接合部 132 之材質係可選自於金，與該抗潛變層 140 具有相近之材質，亦可主動彌補該抗潛變層 140 之破損處，而不會影響整體的電性連接品質。

一般而言，金屬材料在常溫下，受到彈性限度以下之應力長時間作用時，並不容易發生變化。但在高溫環境下，受到較低於彈性限度之應力作用時，金屬材料會隨著時間漸漸地產生變形，此一現象稱之為潛變(creep)。由於複合式金屬凸塊 130 的潛變現象會高於金凸塊與銅凸塊，故本發明必須利用在該些複合式金屬凸塊 130 表面之該抗潛變層 140 的薄膜包覆效果，特別是包覆該些複合式金屬凸塊 130 之本體 131，避免該些複合式金屬凸塊 130 在長期應力作用下發生潛變而產生緩慢變形之現象，防止該些複合式金屬凸塊 130 往側向變胖的變形，以維持覆晶間隙並達到有效接合。

請參閱第 2A 至 2G 圖所示，本發明進一步說明該具有仿金凸塊之晶片結構 100 之製造方法，以彰顯本案的功效。

首先，如第 2A 圖所示，提供一晶片 110，多個晶片 110 在該步驟中可構成於一晶圓，該晶片 110 係具有複數個鐳墊 111 與一保護層 112，該保護層 112 係覆蓋於該晶片 110 之一表面 113 上並具有複數個開孔 114，以顯露該些鐳墊 111。

接著，如第 2B 圖所示，包含上述之凸塊下金屬層 120 的金屬層係整面覆蓋於該晶片 110 之該保護層 112 上與該些鐳墊 111。該凸塊下金屬層 120 係可包含上述之黏著層 121 與導電層 122，且可藉由已知半導體製程之沉積技術形成，例如濺鍍 (sputtering) 方式。在此步驟中，尚未界定面積尺寸之該凸塊下金屬層 120 係覆蓋整面的保護層 112 以及暴露出的鐳墊 111。

之後，如第 2C 圖所示，形成一圖案化遮罩，例如一光阻層 10 形成於該金屬層之外表面。一般而言，該光阻層 10 可選自液態光阻或乾膜光阻，接著進行一曝光顯影製程，形成複數個開孔 11，以相對應地曝露出各鐳墊 111 上方預定形成該凸塊下金屬層 120 之位置。該些開孔 11 係提供作為複合式金屬凸塊 130 與凸塊下金屬層 120 之形成區域。在本實施例中，該些開孔 11 係大於對應位置之該些鐳墊 111。或者，不受限地，該些開孔 11 亦可形成於該些鐳墊 111 之外，並配合 RDL (重配置線路層) 製程中因接點配置設計上的需要而需變更接點的位置。

接著，如第 2D 圖所示，在該些開孔 114 內以電鍍 (electroplating) 方式形成上述之複數個本體 131，該些本

體 131 係接合於該凸塊下金屬層 120 上。接著，如第 2E 圖所示，可沿用同一光阻層 10 再形成複數個接合部 132 於該些本體 131 上，以構成複數個複合式金屬凸塊 130，不會額外增加圖案化遮罩的設置成本。

接著，如第 2F 圖所示，移除該光阻層 10，以使得該金屬層中不包含該凸塊下金屬層 120 的部位為外露。接著，如第 2G 圖所示，可以蝕刻方式移除部分之該黏著層 121 與該導電層 122，以形成該凸塊下金屬層 120，其尺寸係可由該些複合式金屬凸塊 130 的底部覆蓋面積所界定。其中，每一複合式金屬凸塊 130 係形成該接合部 132 之一第一外側邊 134 與該本體 131 之一第二外側邊 135，並且該第一外側邊 134 與該第二外側邊 135 係相互切齊。

最後，再如第 1 圖所示，形成一抗潛變層 140 於該接合部 132 之一上表面 133 與該第一外側邊 134 以及該本體 131 之第二外側邊 135。該抗潛變層 140 可藉由置換金、電鍍或化學鍍方法形成。利用該抗潛變層 140 包覆該些複合式金屬凸塊 130，能避免該些複合式金屬凸塊 130 之本體 131 產生潛變現象。

具體而言，該些複合式金屬凸塊之外形係可選自圓柱體、立方體以及長方體之其中之一，但不受限制地，亦可為各種形狀之多角柱體。在本實施例中，如第 3A 圖所示，該些複合式金屬凸塊 130 之外形係為立方體，以使該上表面 133 為正方形，而每一複合式金屬凸塊 130

有四個柱體外側面，每一柱體外側面包含該接合部 132 之第一外側邊 134 與對應切齊之該本體 131 之第二外側邊 135，並亦為正方形，可應用於矩陣排列或微間距排列之覆晶接合。在另一形狀變化例中，如第 3B 圖所示，複合式金屬凸塊 130' 之外形係為圓柱體，以使該上表面 133' 為圓形，而每一複合式金屬凸塊 130' 有一個圓弧狀柱體外側面，其係包含該接合部 132' 之外側邊與對應切齊之該本體 131' 之外側邊，可應用於矩陣排列或微間距排列之覆晶接合，並有助於底部填充膠之填充以防止填充膠空隙的形成。在另一形狀變化例中，如第 3C 圖所示，該些複合式金屬凸塊 130'' 之外形係為長方體，以使該上表面 133'' 為矩形，而每一複合式金屬凸塊 130'' 有四個柱體外側面，每一柱體外側面包含該接合部 132'' 之外側邊與對應切齊之該本體 131'' 之外側邊，並為兩兩對應的矩形或正方形，可應用於內引腳接合。

依據本發明之第二具體實施例，另一種仿金凸塊之晶片結構 200 舉例說明於第 6 圖之截面示意圖。該仿金凸塊之晶片結構 200 主要包括一晶片 110、一凸塊下金屬層 120、複數個複合式金屬凸塊 130 以及一抗潛變層 140。其中與第一實施例相同的主要元件將以相同符號標示，並不再詳予贅述。

在本實施例中，該凸塊下金屬層 120 係可具有不被該本體 131 覆蓋之側緣 123，並且上述側緣 123 係相對凹入於該第二外側邊 135，而該抗潛變層 140 係局部覆蓋

至該凸塊下金屬層 120。詳細而言，該抗潛變層 140 係可覆蓋至該導電層 122 之側緣，但顯露該黏著層 121 之側緣。因此，不會使得該抗潛變層 140 接觸至該晶片 110 之該保護層 112，以達成凸塊高密度排列，並能增加晶片與基板間的結合力，進而提升高頻訊號的傳輸品質。更進一步地，由於該抗潛變層 140 未接觸至該晶片 110 之該保護層 112，故能產生一緩衝空間，以控制該抗潛變層 140 完整覆蓋該複合式金屬凸塊 130 之表面卻不會延伸到該保護層 112，以減少凸塊間短路的問題，並可以預防該複合式金屬凸塊 130 因變形擠壓至該晶片 110 而從該複合式金屬凸塊 130 底部斷開，影響了整體電性連接效果。此外，再如第 6 圖所示，由於每一複合式金屬凸塊 130 是以電鍍(electroplating)方式形成，該本體 131 與該接合部 132 之間係形成有一接合面 250，該接合面 250 係為非平坦。因此，可藉由該非平坦接合面 250 以及該抗潛變層 140 的完全覆蓋，以避免該些複合式金屬凸塊 130 內接合部 132 的分離或變形。詳細而言，該本體 131 隨著該凸塊下金屬層 120 之凹陷處而形成非平坦之該接合面 250，並且該接合面 250 之凹陷深度係略為該凸塊下金屬層 120 之凹陷深度的二分之一。

總而言之，本發明之具有仿金凸塊之晶片結構利用抗潛變層包覆複合式金屬凸塊，能避免複合式金屬凸塊之潛變發生，故在高溫下不會產生覆晶間隙變化的問題，可符合無鉛化、高可靠度與低成本之凸塊要求。因此，

複合式金屬凸塊可具體應用於半導體晶片上的柱狀凸塊。更由於抗潛變層不會接觸至保護層，可達成凸塊高密度排列，以增加晶片與基板間的結合力，進而提升高頻訊號的傳輸品質。

以上所述，僅是本發明的較佳實施例而已，並非對本發明作任何形式上的限制，雖然本發明已以較佳實施例揭露如上，然而並非用以限定本發明，任何熟悉本項技術者，在不脫離本發明之技術範圍內，所作的任何簡單修改、等效性變化與修飾，均仍屬於本發明的技術範圍內。

【圖式簡單說明】

第 1 圖：依據本發明之第一具體實施例的一種具有仿金凸塊之晶片結構之局部截面示意圖。

第 2A 至 2G 圖：依據本發明之第一具體實施例的具有仿金凸塊之晶片結構在製程中元件的截面示意圖。

第 3A 至 3C 圖：依據本發明之第一具體實施例的具有仿金凸塊之晶片結構中不同形狀複合式金屬凸塊的變化例之立體示意圖。

第 4 圖：依據本發明之第一具體實施例的具有仿金凸塊之晶片結構繪示其在探測時被探針刺穿之截面示意圖。

第 5 圖：依據本發明之第一具體實施例的具有仿金凸塊之晶片結構繪示其在接合引腳時之截面示意

圖。

第 6 圖：依據本發明之第二具體實施例的另一種具有仿金凸塊之晶片結構之局部截面示意圖。

【主要元件符號說明】

10	光阻層	11	開孔	
20	基板	21	表面	22 連接墊
30	探針	40	內引腳	
100	具有仿金凸塊之晶片結構			
110	晶片	111	鍍墊	112 保護層
113	表面	114	開孔	
120	凸塊下金屬層			121 黏著層
122	導電層	123	側緣	
130	複合式金屬凸塊			
131	本體	132	接合部	133 上表面
134	第一外側邊	135	第二外側邊	
130'	複合式金屬凸塊			
131'	本體	132'	接合部	133' 上表面
130''	複合式金屬凸塊			
131''	本體	132''	接合部	133'' 上表面
140	抗潛變層			
200	具有仿金凸塊之晶片結構			
250	接合面			

七、申請專利範圍：

1、一種具有仿金凸塊之晶片結構，包括：

一晶片，係具有複數個鐳墊與一保護層，該保護層係覆蓋於該晶片之一表面上並形成有複數個開孔，以顯露該些鐳墊；

一凸塊下金屬層，係設置於該些鐳墊上，並覆蓋該保護層之該些開孔之周邊；

複數個複合式金屬凸塊，每一複合式金屬凸塊係由一本體與一接合部相疊所構成而呈柱狀，該本體係對準該些鐳墊並設置於該凸塊下金屬層上，該接合部係設置於該本體上，其中該本體係包含不小於 99wt% 的銀 (Ag) 含量，該接合部之材質係選自於金 (Au)，並且該接合部之厚度係小於該本體之厚度；以及

一抗潛變層，係形成於該接合部之一上表面與一第一外側邊以及該本體之一第二外側邊，以完全覆蓋該些複合式金屬凸塊，其中該些複合式金屬凸塊的本體之潛變 (creep) 高於該抗潛變層的潛變。

2、根據申請專利範圍第 1 項之具有仿金凸塊之晶片結構，其中該接合部之該第一外側邊與該本體之該第二外側邊係相互切齊，以構成一柱側壁。

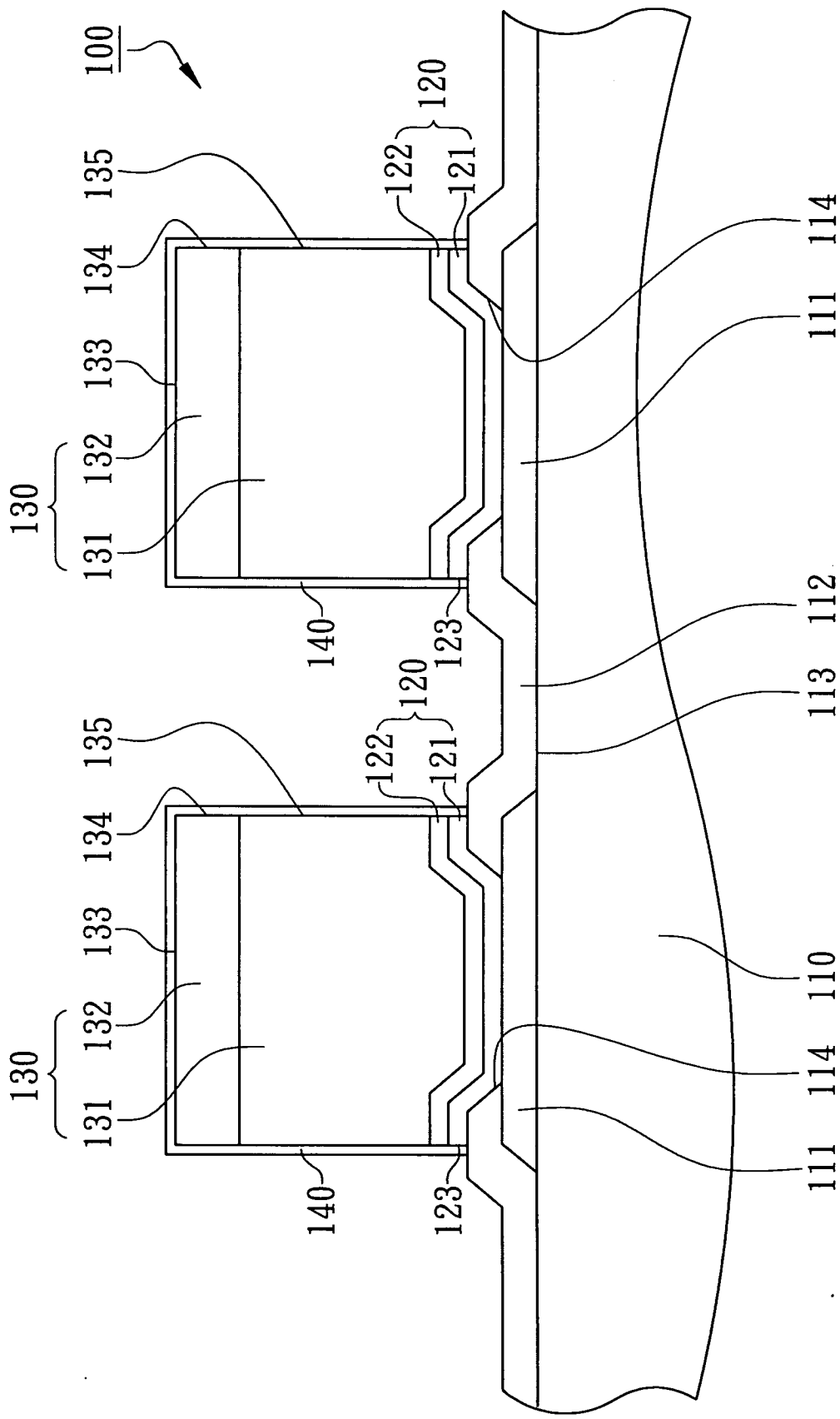
3、根據申請專利範圍第 2 項之具有仿金凸塊之晶片結構，其中該凸塊下金屬層係具有不被該本體覆蓋之側緣，並且上述側緣係相對凹入於該第二外側邊。

- 4、根據申請專利範圍第3項之具有仿金凸塊之晶片結構，其中該本體與該接合部之間係形成有一接合面，該接合面係為非平坦。
- 5、根據申請專利範圍第3項之具有仿金凸塊之晶片結構，其中該凸塊下金屬層係具有一黏著層與一導電層，該黏著層係貼附於該鉚墊，該導電層係貼附於該黏著層上。
- 6、根據申請專利範圍第5項之具有仿金凸塊之晶片結構，其中該抗潛變層係覆蓋至該導電層之側緣而顯露該黏著層之側緣。
- 7、根據申請專利範圍第1項之具有仿金凸塊之晶片結構，其中該抗潛變層之材質係選自於金(Au)、鈀(Pd)、銅(Cu)與鎳(Ni)之其中一種。
- 8、根據申請專利範圍第1項之具有仿金凸塊之晶片結構，其中該抗潛變層係選自於置換金與還原金之其中之一，使其具有抗氧化與高導電之特性。
- 9、根據申請專利範圍第1項之具有仿金凸塊之晶片結構，其中該接合部之該上表面與該第一外側邊之間係為有角度彎曲。
- 10、根據申請專利範圍第1項之具有仿金凸塊之晶片結構，其中該本體之厚度係介於 $6\mu\text{m}$ 到 $20\mu\text{m}$ ，該接合部之厚度係介於 $2\mu\text{m}$ 到 $6\mu\text{m}$ ，該抗潛變層之厚度係不超過 $1\mu\text{m}$ 。
- 11、根據申請專利範圍第1項之具有仿金凸塊之晶片結

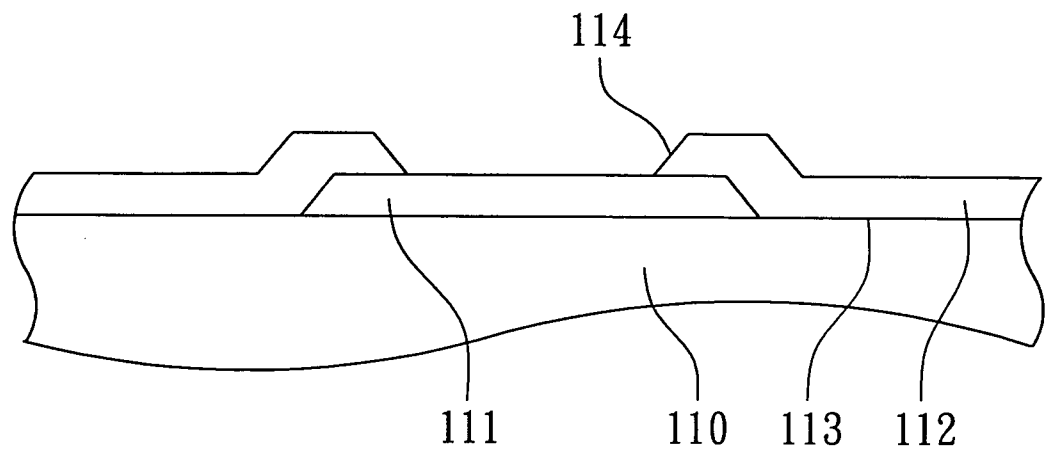
構，其中該接合部之厚度係大於該抗潛變層之厚度。

- 12、根據申請專利範圍第 1 項之具有仿金凸塊之晶片結構，其中該些複合式金屬凸塊之外形係選自圓柱體、立方體以及長方體之其中之一。

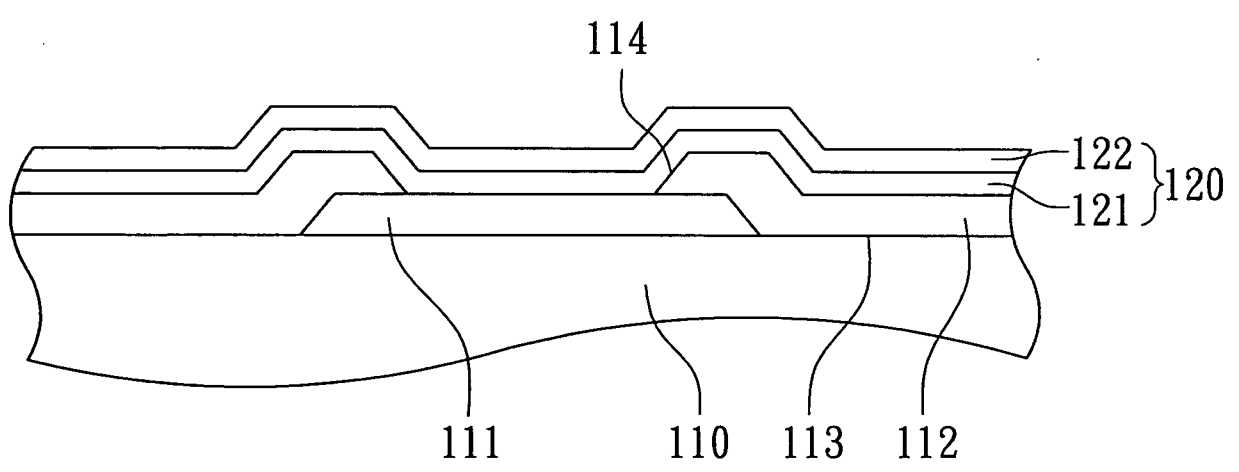
八、圖式：



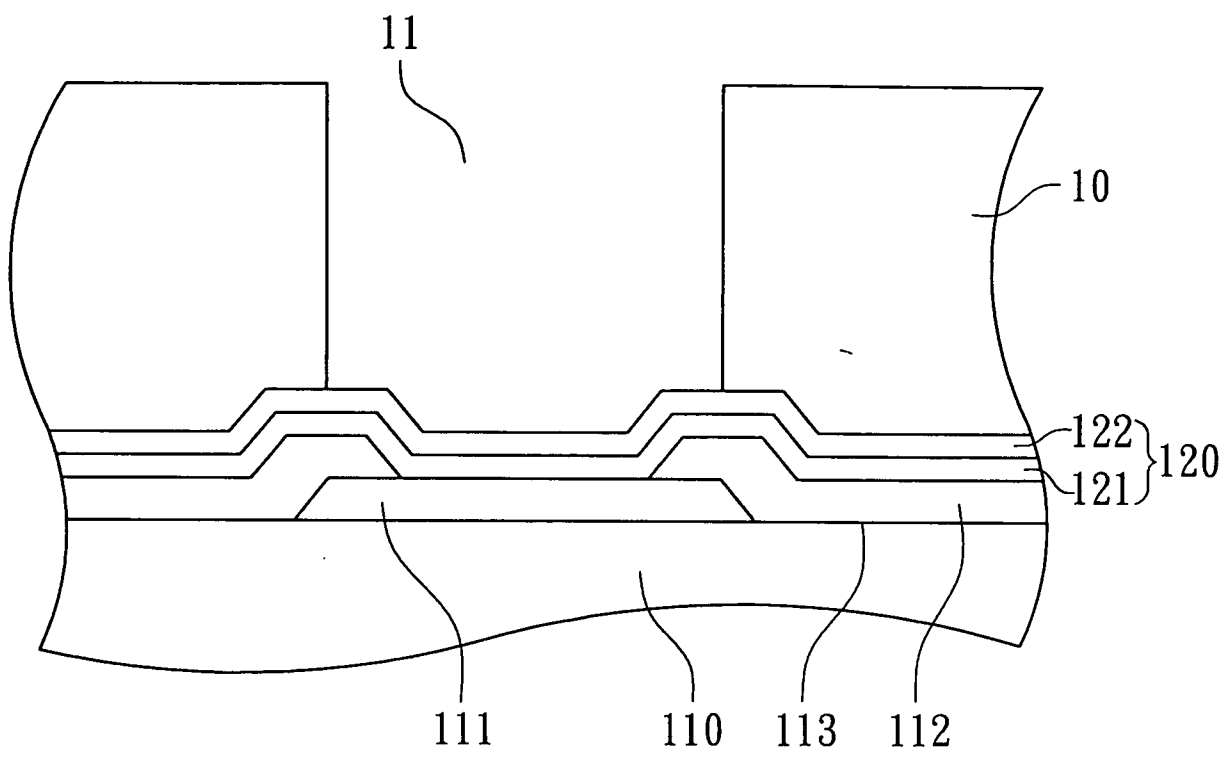
第 1 圖



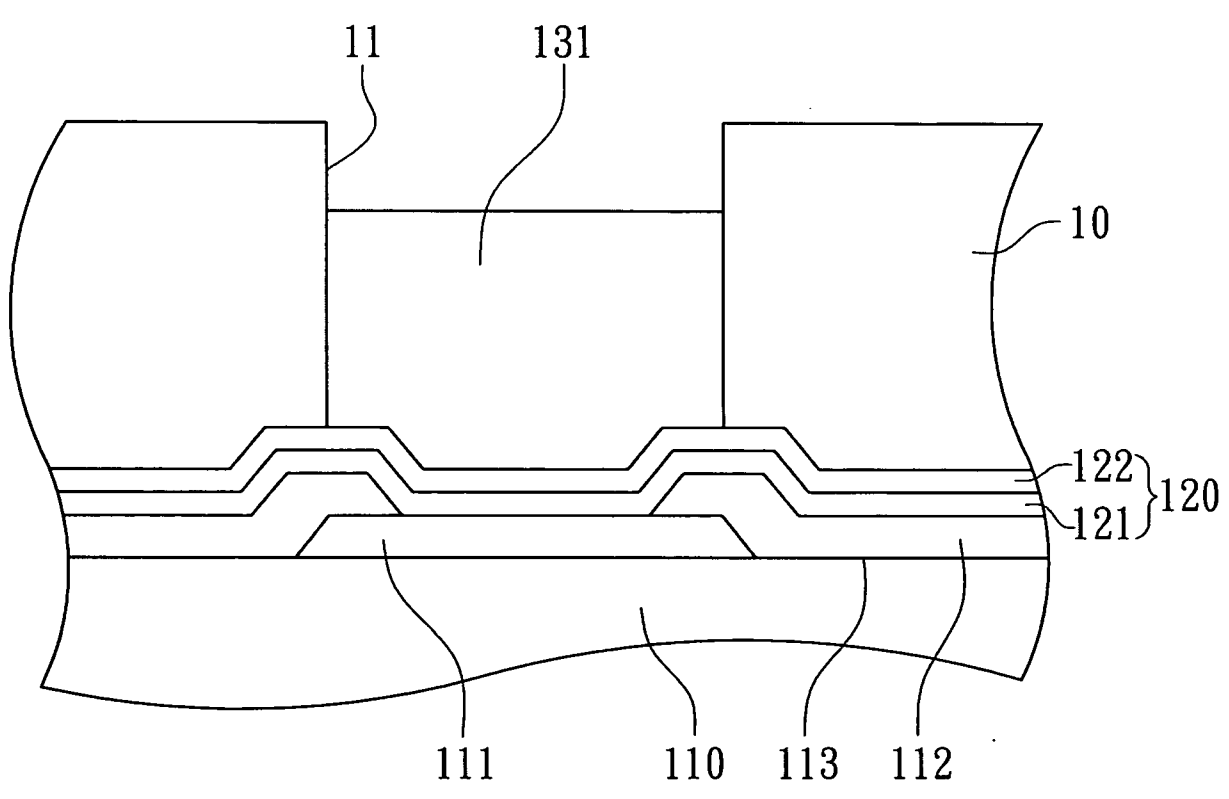
第 2A 圖



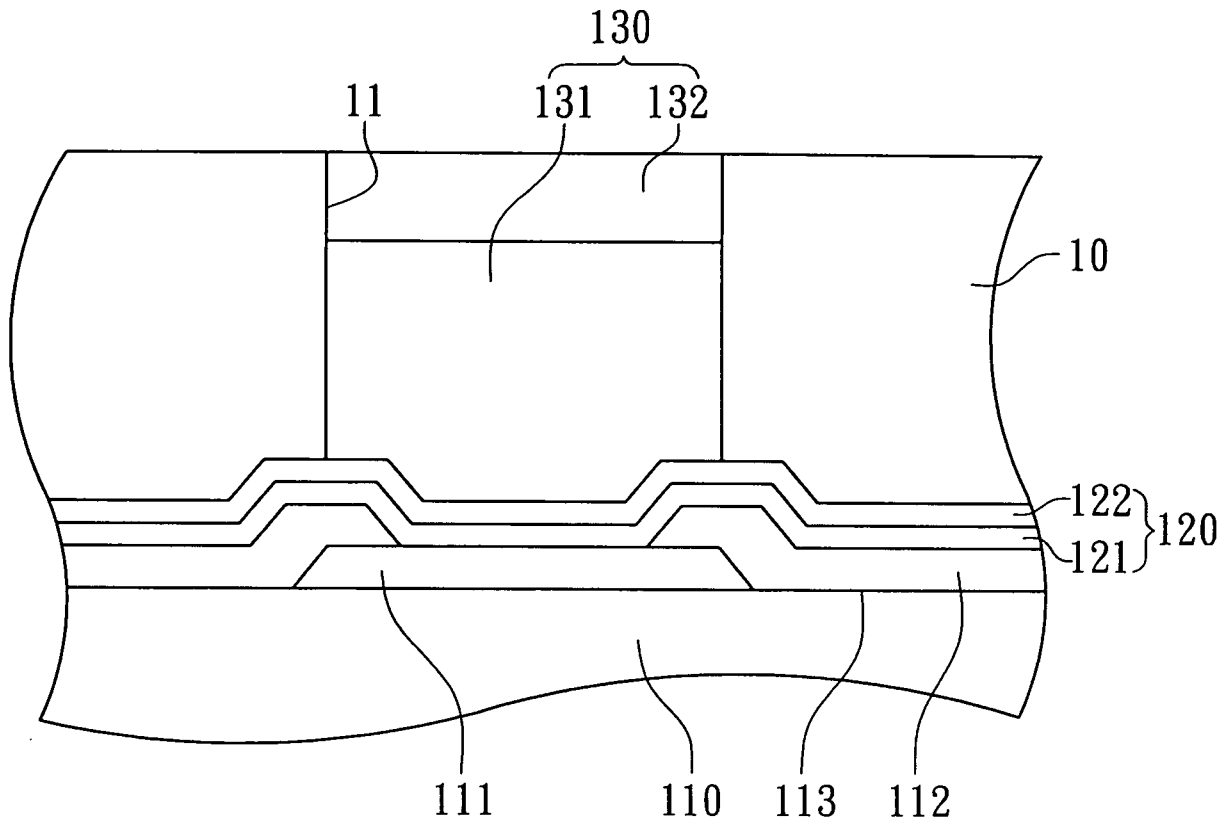
第 2B 圖



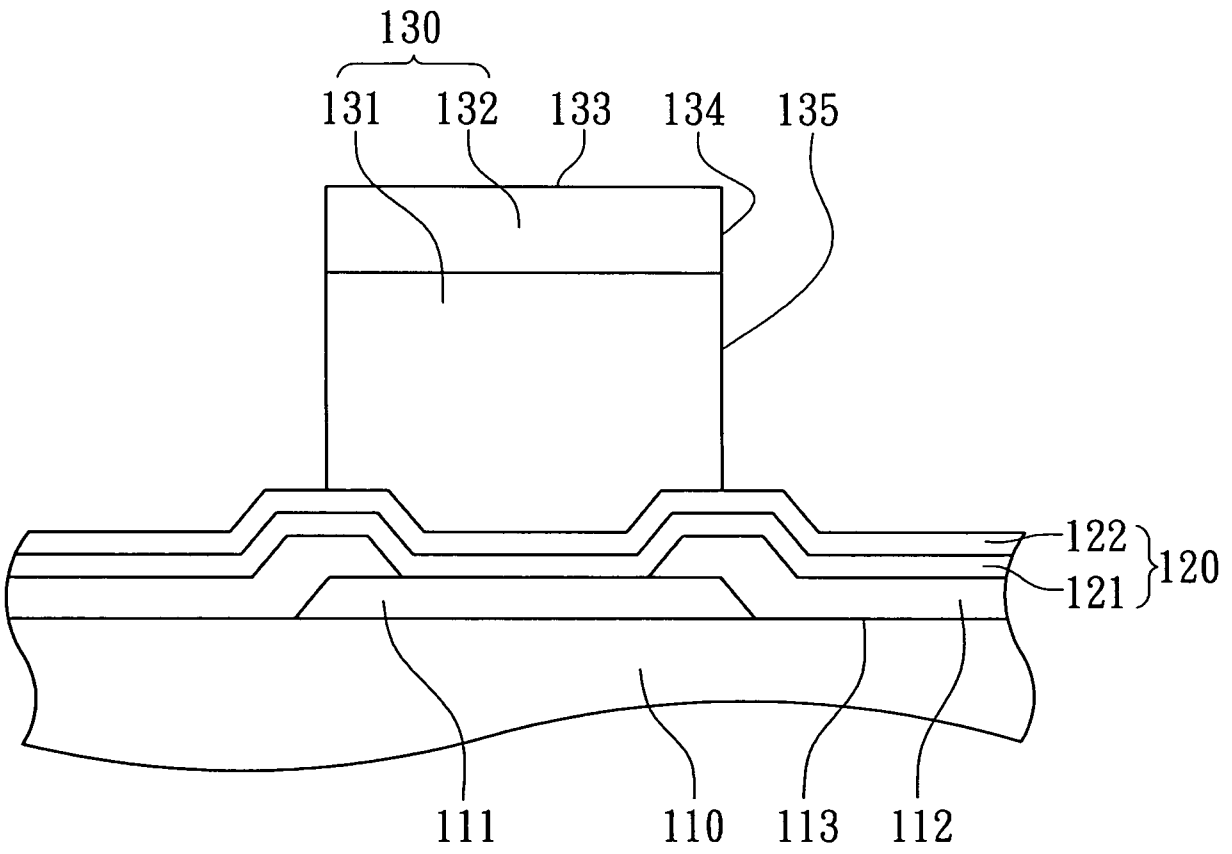
第 2C 圖



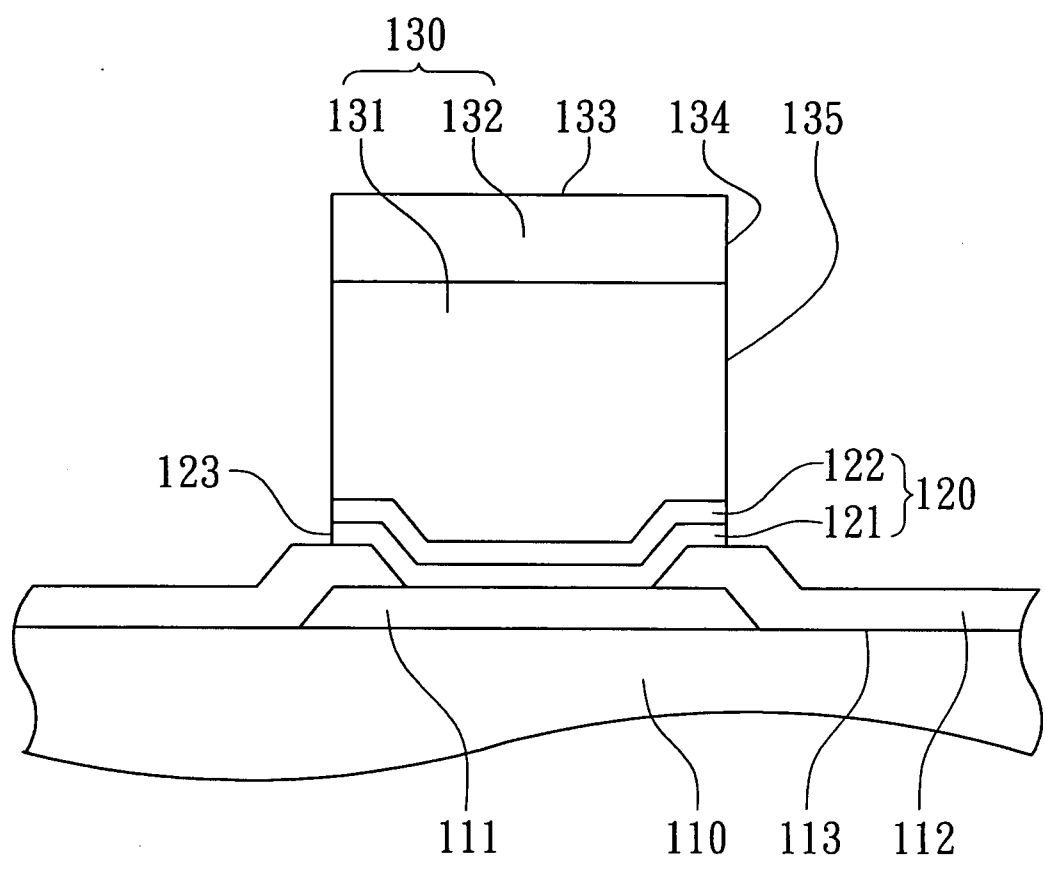
第 2D 圖



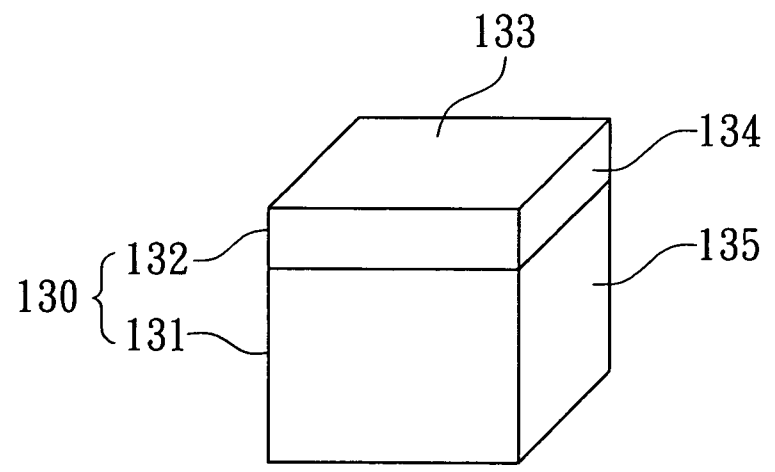
第 2E 圖



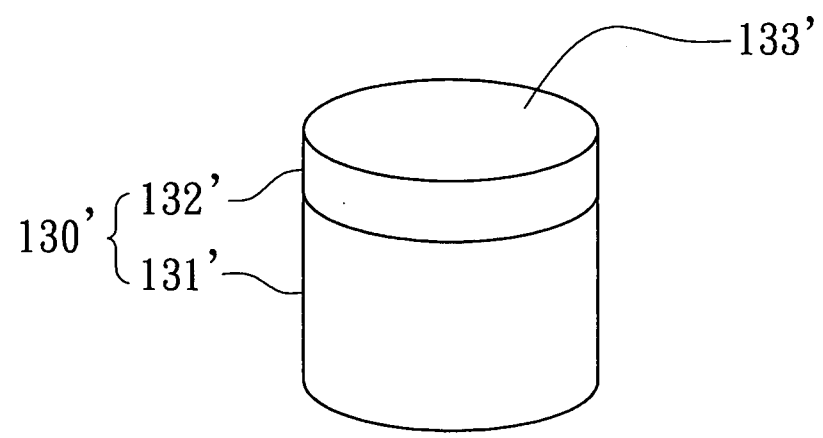
第 2F 圖



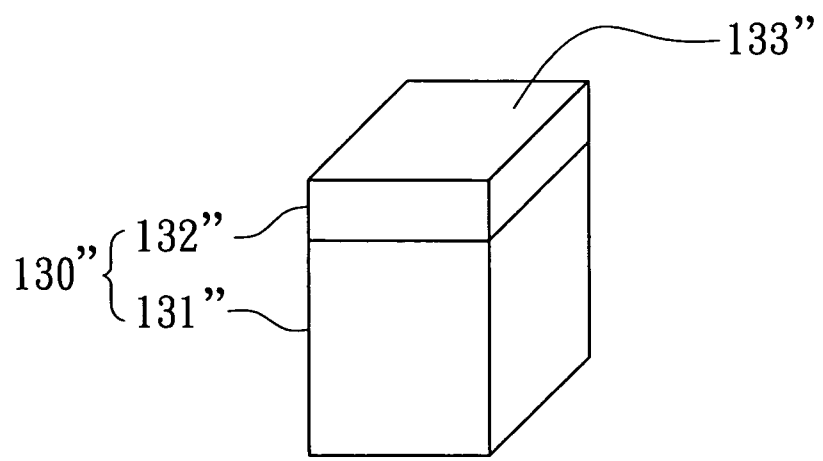
第 2G 圖



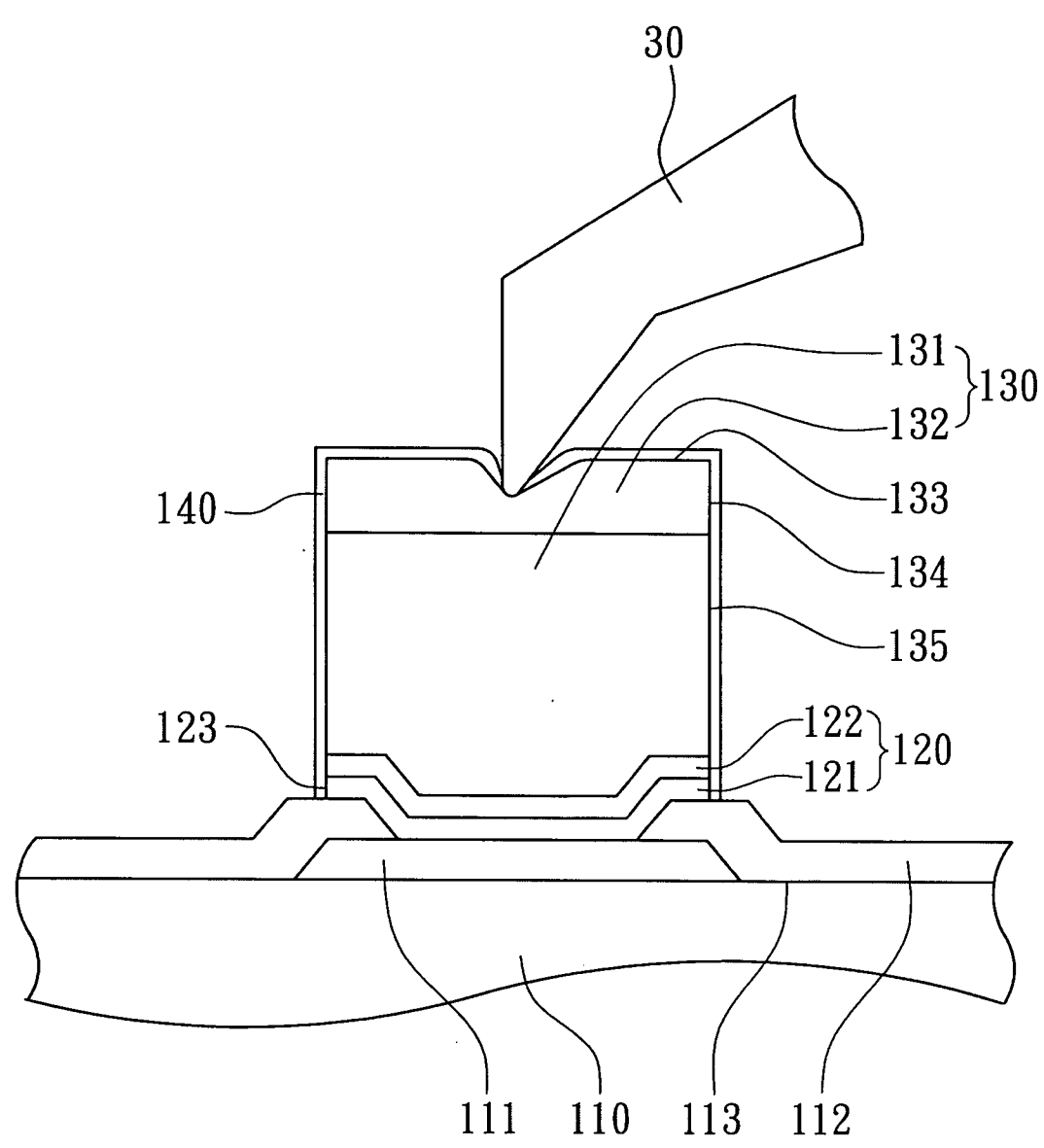
第 3A 圖



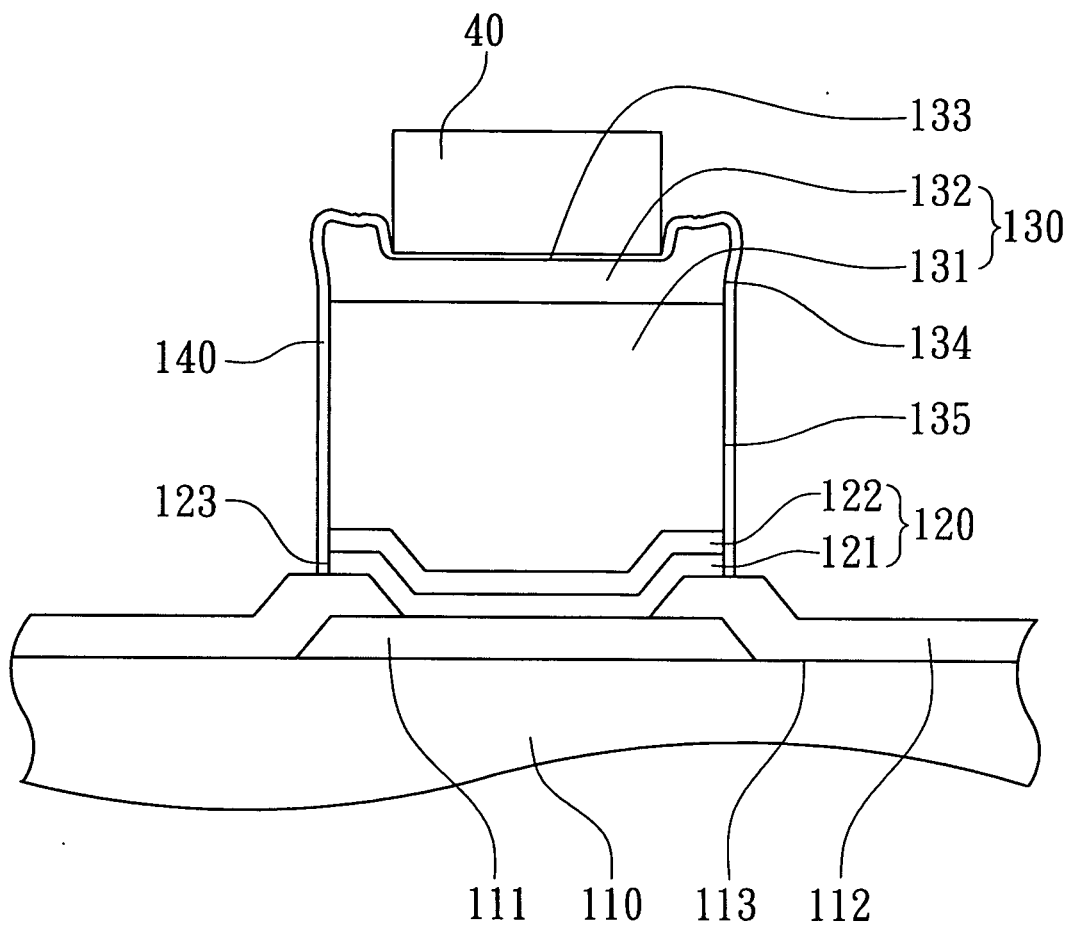
第 3B 圖



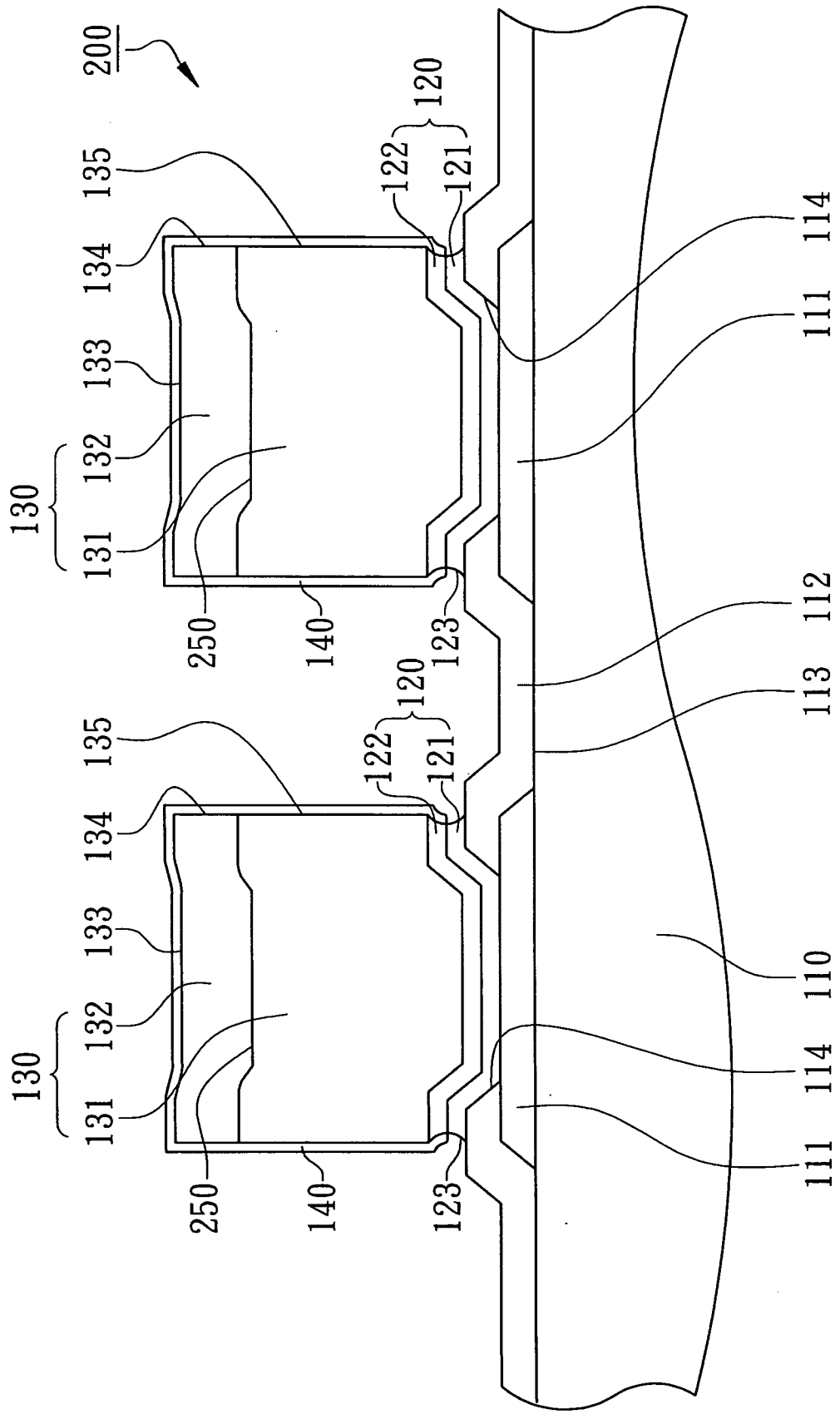
第 3C 圖



第 4 圖



第 5 圖



第 6 圖