

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-8890

(P2009-8890A)

(43) 公開日 平成21年1月15日(2009.1.15)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	5C006
<b>H01L 29/786 (2006.01)</b>	H01L 29/78 612B	5C080
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 623B	5F110
	G09G 3/20 623H	
	G09G 3/20 623G	
審査請求 未請求 請求項の数 14 O L (全 56 頁) 最終頁に続く		

(21) 出願番号 特願2007-170161 (P2007-170161)  
 (22) 出願日 平成19年6月28日 (2007.6.28)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 梅崎 敦司  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 Fターム(参考) 5C006 BB16 BC02 BC03 BC06 BC08  
 BC16 BC20 BF03 BF04 BF14  
 BF27 BF31 BF46 FA33  
 5C080 AA10 BB05 DD17 JJ02 JJ03  
 JJ06 KK02 KK07 KK20 KK43

最終頁に続く

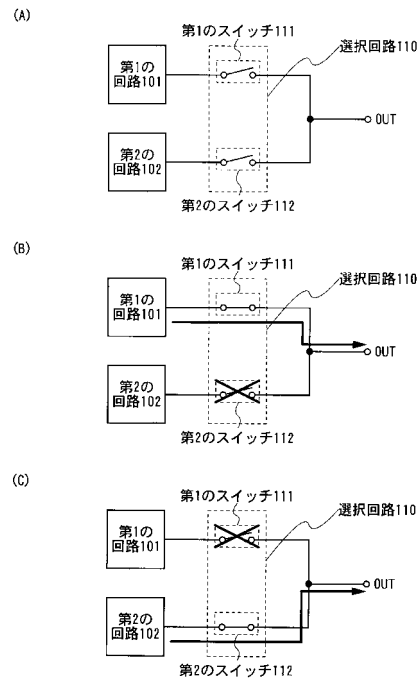
(54) 【発明の名称】 表示装置及び電子機器

(57) 【要約】

【課題】一部の回路が動作不良の場合でも正常な動作の可能な半導体装置または表示装置を提供する。

【解決手段】画素部と、ゲートドライバ及びソースドライバのいずれかと、を有する表示装置において、ゲートドライバ及びソースドライバにおけるシフトレジスタのいずれかに冗長回路と、さらに冗長回路のうち、どの回路を動作させるかを選択する選択回路と、が設けられた構成とする。これによりゲートドライバ及びソースドライバのいずれかにおいて、冗長回路のうち、一の回路が動作不良を起こした場合においても、他の回路に切り換えることにより、動作を補うことができる。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

複数の画素を有する画素部と、  
前記画素部に電氣的に接続されたソースドライバを有し、  
前記ソースドライバは、第 1 のシフトレジスタと、  
第 2 のシフトレジスタと、  
ラッチ回路と、  
レベルシフタと、  
バッファと、

前記第 1 のシフトレジスタ及び前記第 2 のシフトレジスタに電氣的に接続され、前記第 1 のシフトレジスタ及び前記第 2 のシフトレジスタのいずれかの信号を選択し、前記画素部

10

部

**【請求項 2】**

請求項 1 において、  
前記ソースドライバは、半導体層を有するトランジスタを有し、  
前記半導体層は、単結晶半導体であることを特徴とする表示装置。

**【請求項 3】**

複数の画素を有する画素部と、  
前記画素部に電氣的に接続されたゲートドライバを有し、  
前記ゲートドライバは、第 1 のシフトレジスタと、  
第 2 のシフトレジスタと、  
ラッチ回路と、  
レベルシフタと、  
バッファと、

20

前記第 1 のシフトレジスタ及び前記第 2 のシフトレジスタに電氣的に接続され、前記第 1 のシフトレジスタ及び前記第 2 のシフトレジスタのいずれかの信号を選択し、前記画素部

**【請求項 4】**

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 のシフトレジスタに電氣的に接続され、前記第 1 のシフトレジスタの信号と基準

30

となる信号を比較する第 1 の比較回路と、  
前記第 2 のシフトレジスタに電氣的に接続され、前記第 2 のシフトレジスタの信号と基準

となる信号を比較する第 2 の比較回路と、  
前記第 1 の比較回路、前記第 2 の比較回路、及び前記選択回路に電氣的に接続され、前記基準となる信号のデータが記憶された記憶素子及び前記第 1 の比較回路における比較結果及び前記第 2 の比較回路における比較結果から、前記選択回路を制御する信号を出力する比較結果判定回路と、を有することを特徴とする表示装置。

**【請求項 5】**

請求項 1 乃至請求項 4 のいずれか一項において、

前記選択回路は、前記第 1 のシフトレジスタ及び前記画素部に電氣的に接続された第 1

40

のアナログスイッチと、  
前記第 2 のシフトレジスタ及び前記画素部に電氣的に接続された第 2 のアナログスイッチと、を有することを特徴とする表示装置。

**【請求項 6】**

請求項 1 乃至請求項 4 のいずれか一項において、

前記選択回路は、前記第 1 のシフトレジスタ及び前記画素部に電氣的に接続された第 1

のクロックインバータと、  
前記第 2 のシフトレジスタ及び前記画素部に電氣的に接続された第 2 のクロックインバータと、を有することを特徴とする表示装置。

**【請求項 7】**

50

請求項 3 乃至請求項 6 のいずれか一項において、  
前記ゲートドライバは、半導体層を有するトランジスタを有し、  
前記半導体層は、単結晶半導体であることを特徴とする表示装置。

【請求項 8】

複数の画素を有する画素部と、  
前記画素部に電氣的に接続されたソースドライバ及びゲートドライバと、を有し、  
前記ソースドライバは、第 1 のシフトレジスタと、  
第 2 のシフトレジスタと、  
第 1 のラッチ回路と、  
第 1 のレベルシフトと、  
第 1 のバッファと、  
前記ゲートドライバは、第 3 のシフトレジスタと、  
第 4 のシフトレジスタと、  
第 2 のラッチ回路と、  
第 2 のレベルシフトと、  
第 2 のバッファと、

10

前記第 3 のシフトレジスタ及び前記第 4 のシフトレジスタに電氣的に接続され、前記第 3 のシフトレジスタ及び前記第 4 のシフトレジスタのいずれかの信号を選択し、前記画素部へ出力する第 2 の選択回路と、を有することを特徴とする表示装置。

【請求項 9】

20

請求項 8 において、

前記第 1 のシフトレジスタに電氣的に接続され、前記第 1 のシフトレジスタの信号と第 1 の基準となる信号を比較する第 1 の比較回路と、

前記第 2 のシフトレジスタに電氣的に接続され、前記第 2 のシフトレジスタの信号と第 1 の基準となる信号を比較する第 2 の比較回路と、

前記第 1 の比較回路、前記第 2 の比較回路、及び前記第 1 の選択回路に電氣的に接続され、前記第 1 の基準となる信号のデータが記憶された記憶素子及び前記第 1 の比較回路における比較結果及び前記第 2 の比較回路における比較結果から、前記第 1 の選択回路を制御する信号を出力する第 1 の比較結果判定回路と、

前記第 3 のシフトレジスタに電氣的に接続され、前記第 3 のシフトレジスタの信号と第 2 の基準となる信号を比較する第 1 の比較回路と、

30

前記第 4 のシフトレジスタに電氣的に接続され、前記第 4 のシフトレジスタの信号と第 2 の基準となる信号を比較する第 2 の比較回路と、

前記第 1 の比較回路、前記第 2 の比較回路、及び前記第 2 の選択回路に電氣的に接続され、前記第 2 の基準となる信号のデータが記憶された記憶素子及び前記第 1 の比較回路における比較結果及び前記第 2 の比較回路における比較結果から、前記第 2 の選択回路を制御する信号を出力する第 2 の比較結果判定回路と、を有することを特徴とする表示装置。

【請求項 10】

請求項 8 または請求項 9 において、

前記第 1 の選択回路は、前記第 1 のシフトレジスタ及び前記画素部に電氣的に接続された第 1 のアナログスイッチと、

40

前記第 2 のシフトレジスタ及び前記画素部に電氣的に接続された第 2 のアナログスイッチと、を有し、

前記第 2 の選択回路は、前記第 3 のシフトレジスタ及び前記画素部に電氣的に接続された第 3 のアナログスイッチと、

前記第 4 のシフトレジスタ及び前記画素部に電氣的に接続された第 4 のアナログスイッチと、を有することを特徴とする表示装置。

【請求項 11】

請求項 8 または請求項 9 において、

前記第 1 の選択回路は、前記第 1 のシフトレジスタ及び前記画素部に電氣的に接続され

50

た第 1 のクロックインバータと、

前記第 2 のシフトレジスタ及び前記画素部に電氣的に接続された第 2 のクロックインバータと、を有し、

前記第 2 の選択回路は、前記第 3 のシフトレジスタ及び前記画素部に電氣的に接続された第 3 のクロックインバータと、

前記第 4 のシフトレジスタ及び前記画素部に電氣的に接続された第 4 のクロックインバータと、を有することを特徴とする表示装置。

【請求項 1 2】

請求項 8 乃至請求項 1 1 のいずれか一項において、

前記ゲートドライバ及び前記ソースドライバのいずれかは、半導体層を有するトランジスタを有し、

前記半導体層は、単結晶半導体であることを特徴とする表示装置。

【請求項 1 3】

請求項 1 乃至請求項 1 2 のいずれか一項において、

前記画素は、半導体層を有するトランジスタを備え、

前記半導体層は、単結晶半導体であることを特徴とする表示装置。

【請求項 1 4】

請求項 1 乃至請求項 1 3 のいずれか一項に記載の表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。より具体的には表示装置、または電子機器に関する。

【背景技術】

【0002】

単結晶半導体のインゴットを薄くスライスして作製されるシリコンウエハーに代わり、絶縁表面に薄い単結晶半導体層を設けたシリコン・オン・インシュレータ（以下 SOI という）と呼ばれる半導体基板を使った集積回路が開発されている。SOI 基板を使った集積回路は、トランジスタのドレインと基板間における寄生容量を低減し、半導体集積回路の性能を向上させるものとして注目を集めている。

【0003】

SOI 基板を製造する方法が特許文献 1 に開示されている。特許文献 1 では、スマートカット法を利用して得られる単結晶シリコン薄膜を、高耐熱性ガラスである結晶化ガラス上に形成している。

【特許文献 1】特開平 1 1 1 6 3 3 6 3 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来技術では、スマートカット法によって、単結晶シリコン薄膜が基板に張り合わせられる。しかしながら、単結晶シリコン薄膜の一部が基板に張り合わされていない部分ができてしまうという問題が考えられる。さらに、単結晶シリコン薄膜を全て基板に張り合わせることができても、時間が経過すると、単結晶シリコン薄膜が基板から剥れてしまうという問題が考えられる。このように、基板に単結晶シリコン薄膜など、半導体膜が十分に張り合わされていないと、この基板及び半導体膜を用いて形成される回路が正常に動作せず、誤動作してしまうことが考えられる。

【0005】

このような問題に鑑み、ある回路に不良が生じ、正常に動作できない場合においても、誤動作せずに正常な動作が可能な半導体装置、より具体的には表示装置を提供することを課題とする。

【課題を解決するための手段】

10

20

30

40

50

## 【0006】

本発明は、複数の回路を有し、当該複数の回路のうち、正常動作可能と判断される回路から出力され、正常動作できないと判断される回路からは出力されない半導体装置である。

## 【0007】

より具体的には、本発明の一は、複数の画素を有する画素部と、前記画素部に電氣的に接続されたソースドライバを有し、前記ソースドライバは、第1のシフトレジスタと、第2のシフトレジスタと、ラッチ回路と、レベルシフトと、バッファと、前記第1のシフトレジスタ及び前記第2のシフトレジスタに電氣的に接続され、前記第1のシフトレジスタ及び前記第2のシフトレジスタのいずれかの信号を選択し、前記画素部に出力する選択回路と、を有する表示装置である。

10

## 【0008】

なお、本発明の一において、前記ソースドライバは、半導体層を有するトランジスタを有し、前記半導体層は、単結晶半導体である構成とすることも可能である。

## 【0009】

本発明の一は、複数の画素を有する画素部と、前記画素部に電氣的に接続されたゲートドライバを有し、前記ゲートドライバは、第1のシフトレジスタと、第2のシフトレジスタと、ラッチ回路と、レベルシフトと、バッファと、前記第1のシフトレジスタ及び前記第2のシフトレジスタに電氣的に接続され、前記第1のシフトレジスタ及び前記第2のシフトレジスタのいずれかの信号を選択し、前記画素部に出力する選択回路と、を有する表示装置である。

20

## 【0010】

なお、本発明の一において、前記ゲートドライバは、半導体層を有するトランジスタを有し、前記半導体層は、単結晶半導体である構成とすることも可能である。

## 【0011】

また、本発明の一において、前記第1のシフトレジスタに電氣的に接続され、前記第1のシフトレジスタの信号と基準となる信号を比較する第1の比較回路と、前記第2のシフトレジスタに電氣的に接続され、前記第2のシフトレジスタの信号と基準となる信号を比較する第2の比較回路と、前記第1の比較回路、前記第2の比較回路、及び前記選択回路に電氣的に接続され、前記基準となる信号のデータが記憶された記憶素子及び前記第1の比較回路における比較結果及び前記第2の比較回路における比較結果から、前記選択回路を制御する信号を出力する比較結果判定回路と、を有する構成とすることも可能である。

30

## 【0012】

また、本発明の一において、前記選択回路は、前記第1のシフトレジスタ及び前記画素部に電氣的に接続された第1のアナログスイッチと、前記第2のシフトレジスタ及び前記画素部に電氣的に接続された第2のアナログスイッチと、を有する構成とすることも可能である。

## 【0013】

また、本発明の一において、前記選択回路は、前記第1のシフトレジスタ及び前記画素部に電氣的に接続された第1のクロックインバータと、前記第2のシフトレジスタ及び前記画素部に電氣的に接続された第2のクロックインバータと、を有する構成とすることも可能である。

40

## 【0014】

本発明の一は、複数の画素を有する画素部と、前記画素部に電氣的に接続されたソースドライバ及びゲートドライバと、を有し、前記ソースドライバは、第1のシフトレジスタと、第2のシフトレジスタと、第1のラッチ回路と、第1のレベルシフトと、第1のバッファと、前記ゲートドライバは、第3のシフトレジスタと、第4のシフトレジスタと、第2のラッチ回路と、第2のレベルシフトと、第2のバッファと、前記第3のシフトレジスタ及び前記第4のシフトレジスタに電氣的に接続され、前記第3のシフトレジスタ及び前記第4のシフトレジスタのいずれかの信号を選択し、前記画素部に出力する第2の選択回路と、を有する表示装置である。

50

## 【0015】

なお、本発明の一において、前記第1のシフトレジスタに電氣的に接続され、前記第1のシフトレジスタの信号と第1の基準となる信号を比較する第1の比較回路と、前記第2のシフトレジスタに電氣的に接続され、前記第2のシフトレジスタの信号と第1の基準となる信号を比較する第2の比較回路と、前記第1の比較回路、前記第2の比較回路、及び前記第1の選択回路に電氣的に接続され、前記第1の基準となる信号のデータが記憶された記憶素子及び前記第1の比較回路における比較結果及び前記第2の比較回路における比較結果から、前記第1の選択回路を制御する信号を出力する第1の比較結果判定回路と、前記第3のシフトレジスタに電氣的に接続され、前記第3のシフトレジスタの信号と第2の基準となる信号を比較する第1の比較回路と、前記第4のシフトレジスタに電氣的に接続され、前記第4のシフトレジスタの信号と第2の基準となる信号を比較する第2の比較回路と、前記第1の比較回路、前記第2の比較回路、及び前記第2の選択回路に電氣的に接続され、前記第2の基準となる信号のデータが記憶された記憶素子及び前記第1の比較回路における比較結果及び前記第2の比較回路における比較結果から、前記第2の選択回路を制御する信号を出力する第2の比較結果判定回路と、を有する構成とすることも可能である。

10

## 【0016】

また、本発明の一において、前記第1の選択回路は、前記第1のシフトレジスタ及び前記画素部に電氣的に接続された第1のアナログスイッチと、前記第2のシフトレジスタ及び前記画素部に電氣的に接続された第2のアナログスイッチと、を有し、前記第2の選択回路は、前記第3のシフトレジスタ及び前記画素部に電氣的に接続された第3のアナログスイッチと、前記第4のシフトレジスタ及び前記画素部に電氣的に接続された第4のアナログスイッチと、を有する構成とすることも可能である。

20

## 【0017】

また、本発明の一において、前記第1の選択回路は、前記第1のシフトレジスタ及び前記画素部に電氣的に接続された第1のクロックインバータと、前記第2のシフトレジスタ及び前記画素部に電氣的に接続された第2のクロックインバータと、を有し、前記第2の選択回路は、前記第3のシフトレジスタ及び前記画素部に電氣的に接続された第3のクロックインバータと、前記第4のシフトレジスタ及び前記画素部に電氣的に接続された第4のクロックインバータと、を有する構成とすることも可能である。

30

## 【0018】

なお、本発明の一において、前記ゲートドライバ及び前記ソースドライバのいずれかは、半導体層を有するトランジスタを有し、前記半導体層は、単結晶半導体である構成とすることも可能である。

## 【0019】

また、本発明において、前記画素は、半導体層を有するトランジスタを備え、前記半導体層は、単結晶半導体である構成とすることも可能である。

## 【0020】

本発明の一は、上記記載の表示装置を有する電子機器である。

## 【0021】

なお、スイッチは、様々な形態のものを用いることができる。例としては、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、サイリスタなどを用いることができる。または、これらを組み合わせた論理回路（例えばアナログスイッチやクロックインバータなど）をスイッチとして用いることができる。

40

## 【0022】

50

機械的なスイッチの例としては、デジタルマイクロミラーデバイス(DMD)のように、MEMS(マイクロ・エレクトロ・メカニカル・システム)技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが出来る電極を有し、その電極が動くことによって、接続と非接続とを制御して動作する。

#### 【0023】

スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性(導電型)は特に限定されない。ただし、オフ電流を抑えたい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を有するトランジスタやマルチゲート構造を有するトランジスタ等がある。または、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源( $V_{ss}$ 、GND、0Vなど)の電位に近い状態で動作する場合はNチャンネル型トランジスタを用いることが望ましい。反対に、ソース端子の電位が、高電位側電源( $V_{dd}$ など)の電位に近い状態で動作する場合はPチャンネル型トランジスタを用いることが望ましい。なぜなら、Nチャンネル型トランジスタではソース端子が低電位側電源の電位に近い状態で動作するとき、Pチャンネル型トランジスタではソース端子が高電位側電源の電位に近い状態で動作するとき、ゲートとソースの間の電圧の絶対値を大きくできるため、スイッチとして、より正確な動作を行うことができるためである。ソースフォロワ動作をしてしまうことが少ないため、出力電圧の大きさが小さくなってしまいうことが少ないからである。

10

#### 【0024】

なお、Nチャンネル型トランジスタとPチャンネル型トランジスタの両方を用いて、CMOS型のスイッチをスイッチとして用いてもよい。CMOS型のスイッチにすると、Pチャンネル型トランジスタまたはNチャンネル型トランジスタのどちらか一方のトランジスタが導通すれば電流が流れるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることが出来る。さらに、スイッチをオンまたはオフさせるための信号の電圧振幅値を小さくすることが出来るので、消費電力を小さくすることも出来る。

20

#### 【0025】

なお、スイッチとしてトランジスタを用いる場合、スイッチは、入力端子(ソース端子またはドレイン端子の一方)と、出力端子(ソース端子またはドレイン端子の他方)と、導通を制御する端子(ゲート端子)とを有している。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。そのため、トランジスタよりもダイオードをスイッチとして用いた方が、端子を制御するための配線を少なくすることが出来る。

30

#### 【0026】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

40

#### 【0027】

例えば、AとBとが電氣的に接続されている場合として、AとBとの電氣的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど)が、AとBとの間に1個以上配置されていてもよい。あるいは、AとBとが機能的に接続されている場合として、AとBとの機能的な接続を可能とする回路(例えば、論理回路(インバータ、NAND回路、NOR回路など)、信号変換回路(DA変換回路、AD変換回路、ガンマ補正回路など)、電位レベル変換回路(電源回路(昇圧回路、降圧回路など)、信号の電位レベルを変えるレベルシフト回路など)、電圧源、電流源、切り替え回路、増幅回路(信号振幅または電流量などを大きく出来る回路、オペアンプ、

50

差動増幅回路、ソースフォロワ回路、バッファ回路など)、信号生成回路、記憶回路、制御回路など)が、AとBとの間に1個以上配置されていてもよい。あるいは、AとBとが直接接続されている場合として、AとBとの間に他の素子や他の回路を挟まずに、AとBとが直接接続されていてもよい。

【0028】

なお、AとBとが直接接続されている、と明示的に記載する場合は、AとBとが直接接続されている場合(つまり、AとBとの間に他の素子や他の回路を間に介さずに接続されている場合)と、AとBとが電氣的に接続されている場合(つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合)とを含むものとする。

【0029】

なお、AとBとが電氣的に接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合(つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合)と、AとBとが機能的に接続されている場合(つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合)と、AとBとが直接接続されている場合(つまり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合)とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0030】

なお、表示素子、表示素子を有する装置である表示装置、発光素子、発光素子を有する装置である発光装置は、様々な形態を用いたり、様々な素子を有することが出来る。例えば、表示素子、表示装置、発光素子または発光装置としては、EL(エレクトロルミネセンス)素子(有機物及び無機物を含むEL素子、有機EL素子、無機EL素子)、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ(GLV)、プラズマディスプレイ(PDP)、デジタルマイクロミラーデバイス(DMD)、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を用いることができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ(FED)やSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)など、液晶素子を用いた表示装置としては液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)、電子インクや電気泳動素子を用いた表示装置としては電子ペーパーがある。

【0031】

なお、EL素子とは、陽極と、陰極と、陽極と陰極との間に挟まれたEL層とを有する素子である。なお、EL層としては、1重項励起子からの発光(蛍光)を利用するもの、3重項励起子からの発光(燐光)を利用するもの、1重項励起子からの発光(蛍光)を利用するものと3重項励起子からの発光(燐光)を利用するものを含むもの、有機物によって形成されたもの、無機物によって形成されたもの、有機物によって形成されたものと無機物によって形成されたものを含むもの、高分子の材料、低分子の材料、高分子の材料と低分子の材料とを含むものなどを用いることができる。ただし、これに限定されず、EL素子として様々なものを用いることができる。

【0032】

なお、電子放出素子とは、先鋭な陰極に高電界を集中してかけて電子を引き出す素子である。例えば、電子放出素子として、スピント型、カーボンナノチューブ(CNT)型、金属絶縁体金属を積層したMIM(Metal-Insulator-Metal)型、金属絶縁体半導体を積層したMIS(Metal-Insulator-Semiconductor)型、MOS型、シリコン型、薄膜ダイオード型、ダイヤモンド型、表面伝導エミッタSCD型、オード型、金属絶縁体半導体-金属型等の薄膜型、HEED型、EL型、ポーラスシリコン型、表面伝導(SED)型などを用いることができる

10

20

30

40

50



。ただし、これに限定されず、電子放出素子として様々なものを用いることができる。

#### 【0033】

なお、液晶素子とは、液晶の光学的変調作用によって光の透過または非透過を制御する素子であり、一对の電極、及び液晶により構成される。なお、液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界又は斜め方向の電界を含む）によって制御される。なお、液晶素子としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、ライオトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶（PDL C）、パナナ型液晶、TN（Twisted Nematic）モード、STN（Super Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、MVA（Multi-domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）、ASV（Advanced Super View）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optical Compensated Birefringence）モード、ECB（Electrically Controlled Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（AntiFerroelectric Liquid Crystal）モード、PDLC（Polymer Dispersed Liquid Crystal）モード、ゲストホストモードなどを用いることができる。ただし、これに限定されず、液晶素子として様々なものを用いることができる。

#### 【0034】

なお、電子ペーパーとしては、光学異方性と染料分子配向のような分子により表示されるもの、電気泳動、粒子移動、粒子回転、相変化のような粒子により表示されるもの、フィルム的一端が移動することにより表示されるもの、分子の発色/相変化により表示されるもの、分子の光吸収により表示されるもの、電子とホールが結合して時発光により表示されるものなどのことをいう。例えば、電子ペーパーとして、マイクロカプセル型電気泳動、水平移動型電気泳動、垂直移動型電気泳動、球状ツイストボール、磁気ツイストボール、円柱ツイストボール方式、帯電トナー、電子粉流体、磁気泳動型、磁気感熱式、エレクトロウエッティング、光散乱（透明白濁）、コレステリック液晶/光導電層、コレステリック液晶、双安定性ネマチック液晶、強誘電性液晶、2色性色素・液晶分散型、可動フィルム、ロイコ染料発消色、フォトクロミック、エレクトロクロミック、エレクトロデポジション、フレキシブル有機ELなどを用いることができる。ただし、これに限定されず、電子ペーパーとして様々なものを用いることができる。ここで、マイクロカプセル型電気泳動を用いることによって、電気泳動方式の欠点である泳動粒子の凝集、沈殿を解決することができる。電子粉流体は、高速応答性、高反射率、広視野角、低消費電力、メモリ性などのメリットを有する。

#### 【0035】

なお、プラズマディスプレイは、電極を表面に形成した基板と、電極及び微小な溝を表面に形成し且つ溝内に蛍光体層を形成した基板とを狭い間隔で対向させて、希ガスを封入した構造を有する。なお、電極間に電圧をかけることによって紫外線を発生させ、蛍光体を光らせることで、表示を行うことができる。なお、プラズマディスプレイとしては、DC型PDP、AC型PDPでもよい。ここで、プラズマディスプレイパネルとしては、ASW（Address While Sustain）駆動、サブフレームをリセット期間、アドレス期間、維持期間に分割するADS（Address Display Separated）駆動、CLEAR（Low Energy Address and Reduction of False Contour Sequence）駆動、ALIS（Alternate Lighting of Surfaces）方式、TERES（Technology of Reciprocal Sustain）駆動

などを用いることができる。ただし、これに限定されず、プラズマディスプレイとして様々なものを用いることができる。

【0036】

なお、光源を必要とする表示装置、例えば、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、グレーティングライトバルブ（GLV）を用いた表示装置、デジタルマイクロミラーデバイス（DMD）を用いた表示装置などの光源としては、エレクトロルミネッセンス、冷陰極管、熱陰極管、LED、レーザー光源、水銀ランプなどを用いることができる。ただし、これに限定されず、光源として様々なものを用いることができる。

10

【0037】

なお、トランジスタとして、様々な形態のトランジスタを用いることが出来る。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFET）などを用いることが出来る。このような半導体を有するTFETを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。さらに、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透明基板上にトランジスタを製造できる。そして、透明な基板上のトランジスタを用いて表示素子での光の透過を制御することが出来る。あるいは、トランジスタの膜厚が薄いため、トランジスタを構成する膜の一部は、光を透過させることが出来る。そのため、開口率が向上させることができる。

20

【0038】

なお、多結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路（信号線駆動回路）、信号処理回路（信号生成回路、ガンマ補正回路、DA変換回路など）を基板上に一体形成することが出来る。

30

【0039】

なお、微結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。このとき、レーザー照射を行うことなく、熱処理を加えるだけで、結晶性を向上させることができる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路の一部（アナログスイッチなど）を基板上に一体形成することが出来る。さらに、結晶化のためにレーザー照射を行わない場合は、シリコンの結晶性のムラを抑えることができる。そのため、画質の向上した画像を表示することが出来る。

【0040】

ただし、触媒（ニッケルなど）を用いずに、多結晶シリコンや微結晶シリコンを製造することは可能である。

40

【0041】

なお、シリコンの結晶性を、多結晶または微結晶などへと向上させることは、パネル全体で行うことが望ましいが、これに限定されない。パネルの一部の領域のみにおいて、シリコンの結晶性を向上させてもよい。選択的に結晶性を向上させることは、レーザー光を選択的に照射することなどにより可能である。例えば、画素以外の領域である周辺回路領域にのみ、レーザー光を照射してもよい。または、ゲートドライバ回路、ソースドライバ回路等の領域にのみ、レーザー光を照射してもよい。あるいは、ソースドライバ回路の一部（例えば、アナログスイッチ）の領域にのみ、レーザー光を照射してもよい。その結果、回路を高速に動作させる必要がある領域にのみ、シリコンの結晶化を向上させることがで

50

きる。画素領域は、高速に動作させる必要性が低いため、結晶性が向上されなくても、問題なく画素回路を動作させることが出来る。結晶性を向上させる領域が少なく済むため、製造工程も短くすることが出来、スループットが向上し、製造コストを低減させることが出来る。必要とされる製造装置の数も少ない数で製造できるため、製造コストを低減させることが出来る。

【0042】

または、半導体基板やSOI基板などを用いてトランジスタを形成することが出来る。これらにより、特性やサイズや形状などのバラツキが少なく、電流供給能力が高く、サイズの小さいトランジスタを製造することができる。これらのトランジスタを用いると、回路の低消費電力化、又は回路の高集積化を図ることができる。

10

【0043】

または、ZnO、a-InGaZnO、SiGe、GaAs、IZO、ITO、SnOなどの化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどを用いることが出来る。これらにより、製造温度を低くでき、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することが出来る。なお、これらの化合物半導体または酸化物半導体を、トランジスタのチャンネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体または酸化物半導体を抵抗素子、画素電極、透明電極として用いることができる。さらに、それらをトランジスタと同時に成膜又は形成できるため、コストを低減できる。

20

【0044】

または、インクジェットや印刷法を用いて形成したトランジスタなどを用いることが出来る。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。マスク(レチクル)を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

【0045】

または、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することが出来る。そのため、衝撃に強くできる。

30

【0046】

さらに、様々な構造のトランジスタを用いることができる。例えば、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどをトランジスタとして用いることが出来る。MOS型トランジスタを用いることにより、トランジスタのサイズを小さくすることが出来る。よって、多数のトランジスタを搭載することができる。バイポーラトランジスタを用いることにより、大きな電流を流すことが出来る。よって、高速に回路を動作させることができる。

40

【0047】

なお、MOS型トランジスタ、バイポーラトランジスタなどを1つの基板に混在させて形成してもよい。これにより、低消費電力、小型化、高速動作などを実現することが出来る。

【0048】

その他、様々なトランジスタを用いることができる。

【0049】

なお、トランジスタは、様々な基板を用いて形成することが出来る。基板の種類は、特定のものに限られることはない。その基板としては、例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基

50

板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。または、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。または、ある基板を用いてトランジスタを形成し、その基板を研磨して薄くしてもよい。研磨される基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

10

20

30

40

50

**【0050】**

なお、トランジスタの構成は、様々な形態をとることができ、特定の構成に限定されない。例えば、ゲート電極が2個以上のマルチゲート構造を適用することができる。マルチゲート構造にすると、チャンネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構成となる。このマルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上による信頼性の向上を図ることができる。また、マルチゲート構造により、飽和領域で動作する時にドレイン・ソース間電圧が変化してもドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きをフラットな特性にすることができ、この電圧・電流特性の傾きがフラットである特性を利用すると、理想的な電流源回路や、非常に高い抵抗値をもつ能動負荷などを実現することができ、その結果、特性のよい差動回路やカレントミラー回路などを実現することができる。

**【0051】**

さらにトランジスタの構成の別の例として、チャンネルの上下にゲート電極が配置されている構造を適用することができる。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値の増加、又は空乏層ができやすくなることによるS値の低減を図ることができる。チャンネルの上下にゲート電極が配置される構成とすることにより、複数のトランジスタが並列に接続された構成と同様の機能を有する。

**【0052】**

また、チャンネル領域の上にゲート電極が配置されている構造、チャンネル領域の下にゲート電極が配置されている構造、正スタガ構造、または逆スタガ構造、チャンネル領域を複数の領域に分けた構造、チャンネル領域を並列に接続した構造、またはチャンネル領域が直列に接続する構成も適用できる。さらに、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造も適用できる。チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることによって、チャンネル領域の一部に電荷が溜まることにより動作が不安定になることを防ぐことができる。また、LDD領域を設けた構成も適用できる。LDD領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上による信頼性の向上を図ることができる。あるいは、LDD領域を設けることにより、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きがフラットな特性にすることができる。

## 【0053】

なお、トランジスタは、様々なタイプを用いることができ、様々な基板を用いて形成させることができる。したがって、所定の機能を実現させるために必要な回路の全てが、同一の基板に形成することも可能である。例えば、所定の機能を実現させるために必要な回路の全てが、ガラス基板、プラスチック基板、単結晶基板、またはSOI基板を用いて形成することも可能である。所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。また、所定の機能を実現させるために必要な回路の一部を、ある基板に形成し、所定の機能を実現させるために必要な回路の別の一部を、別の基板に形成することも可能である。つまり、所定の機能を実現させるために必要な回路の全てを同じ基板を用いて形成することも可能である。例えば、所定の機能を実現させるために必要な回路の一部を、ガラス基板上にトランジスタにより形成し、所定の機能を実現させるために必要な回路の別の一部を、単結晶基板に形成し、単結晶基板を用いて形成されたトランジスタで構成されたICチップをCOG (Chip On Glass) でガラス基板に接続して、ガラス基板上にそのICチップを配置することもできる。また、そのICチップをTAB (Tape Automated Bonding) やプリント基板を用いてガラス基板と接続することも可能である。このように、回路の一部を同じ基板に形成することにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。また、駆動電圧が高い部分及び駆動周波数が高い部分の回路は、消費電力が大きくなってしまいうので、そのような部分の回路は同じ基板に形成せず、そのかわりに、例えば、単結晶基板に形成して、その回路で構成されたICチップを用いるようにすれば、消費電力の増加を防ぐことができる。

10

20

## 【0054】

なお、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R (赤) G (緑) B (青) の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、三色以上、またはRGB以外の色を用いることも可能である。例えば、白色を加えて、RGBW (Wは白) としてもよい。また、RGBに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加することも可能である。また、例えば、RGBの中の少なくとも一色に類似した色を、RGBに追加することも可能である。例えば、R、G、B1、B2とすることも可能である。B1とB2とは、どちらも青色であるが、少し周波数が異なっている。同様に、R1、R2、G、Bとすることも可能である。このような色要素を用いることにより、より実物に近い表示を行うことができ、また、消費電力を低減することが出来る。

30

## 【0055】

また、一画素の別の例としては、一つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素とすることも可能である。よって、一例として、面積階調を行う場合または副画素 (サブ画素) を有している場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するが、明るさを制御する領域の一つ分を一画素とすることも可能である。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。あるいは、明るさを制御する領域が一つの色要素の中に複数あっても、それらをまとめて、一つの色要素を一画素とすることも可能である。よって、その場合は、一つの色要素は、一つの画素で構成されることとなる。あるいは、一つの色要素について、複数の領域を用いて明るさを制御する場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。あるいは、一つの色要素につき複数ある、明るさを制御する領域において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにすることも可能である。つまり、一つの色要素について、複数個ある領域が各々有する画素電極の電位が、各々異なってもよい。その結果、液晶分子

40

50

に加わる電圧が各画素電極によって各々異なり、よって、視野角を広くすることが出来る。

【0056】

なお、一画素（三色分）と明示的に記載する場合は、RとGとBの三画素分を一画素と考える場合であるとする。一画素（一色分）と明示的に記載する場合は、一つの色要素につき、複数の領域がある場合、それらをまとめて一画素と考える場合であるとする。

【0057】

なお、画素は、マトリクス状に配置（配列）されている場合がある。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている場合、又はギザギザな線上に配置されている場合を含む。よって、例えば三色の色要素（例えばRGB）でフルカラー表示を行う場合に、ストライプ配置されている場合、又は三色の色要素のドットがデルタ配置されている場合も含む。さらに、ペイヤー配置されている場合も含む。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBW（Wは白）、又はRGBに、イエロー、シアン、マゼンタなどを一色以上追加したものなどがある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。これにより、低消費電力化、又は表示素子の長寿命化を図ることができる。

10

【0058】

なお、画素に能動素子を有するアクティブマトリクス方式、または、画素に能動素子を有しないパッシブマトリクス方式を用いることが出来る。

20

【0059】

アクティブマトリクス方式では、能動素子（アクティブ素子、非線形素子）として、トランジスタだけでなく、さまざまな能動素子（アクティブ素子、非線形素子）を用いることが出来る。例えば、MIM（Metal Insulator Metal）やTFD（Thin Film Diode）などを用いることも可能である。これらの素子は、製造工程が少ないため、製造コストの低減、又は歩留まりの向上を図ることができる。さらに、素子のサイズが小さいため、開口率を向上させることができ、低消費電力化や高輝度化をはかることが出来る。

【0060】

なお、アクティブマトリクス方式以外のものとして、能動素子（アクティブ素子、非線形素子）を用いないパッシブマトリクス型を用いることも可能である。能動素子（アクティブ素子、非線形素子）を用いないため、製造工程が少なく、製造コストの低減、又は歩留まりの向上を図ることができる。能動素子（アクティブ素子、非線形素子）を用いないため、開口率を向上させることができ、低消費電力化や高輝度化をはかることが出来る。

30

【0061】

なお、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本書類（明細書、特許請求の範囲又は図面など）においては、ソース及びドレインとして機能する領域をそれぞれ第1端子、第2端子と表記する場合がある。あるいは、それぞれを第1の電極、第2の電極と表記する場合がある。

40

【0062】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子と表記する場合がある。

【0063】

なお、ゲートとは、ゲート電極とゲート配線（ゲート線、ゲート信号線、走査線、走査信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極と

50

は、チャンネル領域を形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。なお、ゲート電極の一部は、LDD (Lightly Doped Drain) 領域またはソース領域 (またはドレイン領域) と、ゲート絶縁膜を介してオーバーラップしている場合もある。ゲート配線とは、各トランジスタのゲート電極の間を接続するための配線、各画素の有するゲート電極の間を接続するための配線、又はゲート電極と別の配線とを接続するための配線のことを言う。

【0064】

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分 (領域、導電膜、配線など) も存在する。そのような部分 (領域、導電膜、配線など) は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線の一部とチャンネル領域がオーバーラップしている場合、その部分 (領域、導電膜、配線など) はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような部分 (領域、導電膜、配線など) は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

10

【0065】

なお、ゲート電極と同じ材料で形成され、ゲート電極と同じ島 (アイランド) を形成してつながっている部分 (領域、導電膜、配線など) も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線と同じ島 (アイランド) を形成してつながっている部分 (領域、導電膜、配線など) も、ゲート配線と呼んでも良い。このような部分 (領域、導電膜、配線など) は、厳密な意味では、チャンネル領域とオーバーラップしていない場合、又は別のゲート電極と接続させる機能を有していない場合がある。しかし、製造時の仕様などの関係で、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島 (アイランド) を形成してつながっている部分 (領域、導電膜、配線など) がある。よって、そのような部分 (領域、導電膜、配線など) もゲート電極またはゲート配線と呼んでも良い。

20

【0066】

なお、例えば、マルチゲートのトランジスタにおいて、1つのゲート電極と、別のゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような部分 (領域、導電膜、配線など) は、ゲート電極とゲート電極とを接続させるための部分 (領域、導電膜、配線など) であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを1つのトランジスタと見なすことも出来るため、ゲート電極と呼んでも良い。つまり、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島 (アイランド) を形成してつながっている部分 (領域、導電膜、配線など) は、ゲート電極やゲート配線と呼んでも良い。さらに、例えば、ゲート電極とゲート配線とを接続させている部分の導電膜であって、ゲート電極またはゲート配線とは異なる材料で形成された導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

30

【0067】

なお、ゲート端子とは、ゲート電極の部分 (領域、導電膜、配線など) または、ゲート電極と電氣的に接続されている部分 (領域、導電膜、配線など) について、その一部分のことを言う。

40

【0068】

なお、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線などと呼ぶ場合、配線にトランジスタのゲートが接続されていない場合もある。この場合、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線は、トランジスタのゲートと同じ層で形成された配線、トランジスタのゲートと同じ材料で形成された配線またはトランジスタのゲートと同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

【0069】

なお、ソースとは、ソース領域とソース電極とソース配線 (ソース線、ソース信号線、デ

50

ータ線、データ信号線等とも言う)とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物(ボロンやガリウムなど)やN型不純物(リンやヒ素など)が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD(Lightly Doped Drain)領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各トランジスタのソース電極の間を接続するための配線、各画素の有するソース電極の間を接続するための配線、又はソース電極と別の配線とを接続するための配線のことを言う。

【0070】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分(領域、導電膜、配線など)も存在する。そのような部分(領域、導電膜、配線など)は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線の一部とソース領域とがオーバーラップしている場合、その部分(領域、導電膜、配線など)はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような部分(領域、導電膜、配線など)は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【0071】

なお、ソース電極と同じ材料で形成され、ソース電極と同じ島(アイランド)を形成してつながっている部分(領域、導電膜、配線など)や、ソース電極とソース電極とを接続する部分(領域、導電膜、配線など)も、ソース電極と呼んでも良い。さらに、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線と同じ島(アイランド)を形成してつながっている領域も、ソース配線と呼んでも良い。このような部分(領域、導電膜、配線など)は、厳密な意味では、別のソース電極と接続させる機能を有していない場合がある。しかし、製造時の仕様などの関係で、ソース電極またはソース配線と同じ材料で形成され、ソース電極またはソース配線とつながっている部分(領域、導電膜、配線など)がある。よって、そのような部分(領域、導電膜、配線など)もソース電極またはソース配線と呼んでも良い。

【0072】

なお、例えば、ソース電極とソース配線とを接続させている部分の導電膜であって、ソース電極またはソース配線とは異なる材料で形成された導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【0073】

なお、ソース端子とは、ソース領域の領域や、ソース電極や、ソース電極と電氣的に接続されている部分(領域、導電膜、配線など)について、その一部分のことを言う。

【0074】

なお、ソース配線、ソース線、ソース信号線、データ線、データ信号線などと呼ぶ場合、配線にトランジスタのソース(ドレイン)が接続されていない場合もある。この場合、ソース配線、ソース線、ソース信号線、データ線、データ信号線は、トランジスタのソース(ドレイン)と同じ層で形成された配線、トランジスタのソース(ドレイン)と同じ材料で形成された配線またはトランジスタのソース(ドレイン)と同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

【0075】

なお、ドレインについては、ソースと同様である。

【0076】

なお、半導体装置とは半導体素子(トランジスタ、ダイオード、サイリスタなど)を含む回路を有する装置のことをいう。さらに、半導体特性を利用することで機能しうる装置全般を半導体装置と呼んでもよい。または、半導体材料を有する装置のことを半導体装置と

10

20

30

40

50



言う。

【0077】

なお、表示素子とは、光学変調素子、液晶素子、発光素子、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、電気泳動素子、放電素子、光反射素子、光回折素子、デジタルマイクロミラーデバイス（DMD）、などのことを言う。ただし、これに限定されない。

【0078】

なお、表示装置とは、表示素子を有する装置のことを言う。なお、表示装置は、表示素子を含む複数の画素を含んでいても良い。なお、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでいても良い。なお、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成されてもよい。なお、表示装置は、ワイヤボンディングやバンプなどによって基板上に配置された周辺駆動回路、いわゆる、チップオンガラス（COG）で接続されたICチップ、または、TABなどで接続されたICチップを含んでいても良い。なお、表示装置は、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたフレキシブルプリントサーキット（FPC）を含んでもよい。なお、表示装置は、フレキシブルプリントサーキット（FPC）などを介して接続され、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基板（PWB）を含んでいても良い。なお、表示装置は、偏光板または位相差板などの光学シートを含んでいても良い。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサなどを含んでいても良い。

10

20

【0079】

なお、照明装置は、バックライトユニット、導光板、プリズムシート、拡散シート、反射シート、光源（LED、冷陰極管、熱陰極管など）、冷却装置（水冷式、空冷式）などを有している装置のことをいう。

【0080】

なお、発光装置とは、発光素子などを有している装置のことをいう。表示素子として発光素子を有している場合は、発光装置は、表示装置の具体例の一つである。

【0081】

なお、反射装置とは、光反射素子、光回折素子、光反射電極などを有している装置のことをいう。

30

【0082】

なお、液晶表示装置とは、液晶素子を有している表示装置をいう。液晶表示装置には、直視型、投写型、透過型、反射型、半透過型などがある。

【0083】

なお、駆動装置とは、半導体素子、電気回路、電子回路を有する装置のことを言う。例えば、ソース信号線から画素内への信号の入力を制御するトランジスタ（選択用トランジスタ、スイッチング用トランジスタなどと呼ぶことがある）、画素電極に電圧または電流を供給するトランジスタ、発光素子に電圧または電流を供給するトランジスタなどは、駆動装置の一例である。さらに、ゲート信号線に信号を供給する回路（ゲートドライバ、ゲート線駆動回路などと呼ぶことがある）、ソース信号線に信号を供給する回路（ソースドライバ、ソース線駆動回路などと呼ぶことがある）などは、駆動装置の一例である。

40

【0084】

なお、表示装置、半導体装置、照明装置、冷却装置、発光装置、反射装置、駆動装置などは、互いに重複して有している場合がある。例えば、表示装置が、半導体装置および発光装置を有している場合がある。あるいは、半導体装置が、表示装置および駆動装置を有している場合がある。

【0085】

なお、Aの上にBが形成されている、あるいは、A上にBが形成されている、と明示的に記載する場合は、Aの上にBが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、AとBと間に別の対象物が介在する場合も含むものとする。こ

50

ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0086】

従って例えば、層Aの上に（もしくは層A上に）、層Bが形成されている、と明示的に記載されている場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

【0087】

さらに、Aの上方にBが形成されている、と明示的に記載されている場合についても同様であり、Aの上にBが直接接していることに限定されず、AとBとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

10

【0088】

なお、Aの上にBが直接接して形成されている、と明示的に記載する場合は、Aの上に直接接してBが形成されている場合を含み、AとBと間に別の対象物が介在する場合は含まないものとする。

20

【0089】

なお、Aの下にBが、あるいは、Aの下方にBが、の場合についても、同様である。

【0090】

なお、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

【発明の効果】

【0091】

複数の回路と選択回路を有する構成により、複数の回路のうち、一の回路が誤動作を起こしても、複数の回路のうち、別の回路が一の回路の動作を補うことができる。つまり、冗長性を有する表示装置を提供することができる。

30

【発明を実施するための最良の形態】

【0092】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同様のものを指す符号は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

40

【0093】

（実施の形態1）

本実施の形態では、本発明の半導体装置について説明する。

【0094】

本実施の形態における半導体装置は、複数の回路を有し、複数の回路のいずれか1つから信号が出力される。例えば、複数の回路のうち、一の回路で誤動作が起きたとする。すると、一の回路からは信号が出力されず、複数の回路のうち、他の回路から信号が出力される。つまり、一の回路の動作が、他の回路によって補われる。

【0095】

本実施の形態における半導体装置は、複数のトランジスタによって構成されている。ただ

50

し、半導体装置は、トランジスタの他に抵抗素子、容量素子又は表示素子などを有する構成とすることも可能である。このトランジスタの基板及び半導体層としては、絶縁表面を有する基板と、該絶縁基板上に接合された結晶方位が一定の単結晶半導体層（SOI層）を用いることが望ましい。単結晶半導体の結晶方位は一定であるため、均一で高性能なトランジスタを得ることができる。すなわち、閾値電圧や移動度などトランジスタ特性として重要な特性値の不均一性を抑制し、高移動度化などの高性能化を達成することができる。ただし、これに限定されず、トランジスタの半導体層として、非晶質半導体、微結晶半導体、多結晶半導体などの単結晶半導体又は単結晶半導体などを用いることもできる。

【0096】

次に、図1(A)を参照して、本実施の形態における半導体装置のより具体的な構成について説明する。

10

【0097】

半導体装置は、第1の回路101、第2の回路102及び選択回路110を有する。そして、選択回路110は、第1のスイッチ111及び第2のスイッチ112を有する。

【0098】

半導体装置は、信号が第1の回路101と第2の回路102とからそれぞれ選択回路110に出力される。そして、第1の回路101の信号と第2の回路102の信号とのどちらか一方が選択回路110によって選択される。この選択された信号は、出力端子OUTから出力される。

【0099】

20

ここで、第1の回路101と第2の回路102とは、同様の構成を用いることができる。ただし、これに限定されず、第1の回路101と第2の回路102とは異なる構成とすることもできる。

【0100】

第1の回路101は、図示していないが電源電圧、又は第1の回路101を制御するための信号などが入力される。そして、第1の回路101は、信号を選択回路103に出力する。

【0101】

第2の回路102は、図示していないが電源電圧、又は第2の回路102を制御するための信号などが入力される。そして、第2の回路102は、信号を選択回路103に出力する。

30

【0102】

ここで、第1の回路101と第2の回路102とは、同様の機能を有する。ただし、これに限定されず、第1の回路101と第2の回路102とが異なる機能であっても、一部に同じ機能を有する場合や、異なる機能であってもお互いの回路を補うことが可能な機能を有する場合であれば、適用することができる。

【0103】

選択回路103は、第1の回路101から入力した信号と、第2の回路102から入力した信号とのどちらか一方を選択する。この信号の選択は、第1のスイッチ111及び第2のスイッチ112のオンとオフとによって行われる。そして、選択された信号は、出力端子OUTから出力される。ただし、これに限定されず、選択回路103は、第1の回路101の信号と第2の回路102の信号の両方を選択することもできる。こうすることで、出力端子OUTに大きな負荷を接続することができる。

40

【0104】

例えば、第1の回路101の信号が選択された場合の半導体装置の動作を図1(B)に示す。第1のスイッチ111がオンして、第2のスイッチ112がオフする。そして、第1の回路101の信号が第1のスイッチ111を介して出力端子OUTから出力される。このとき、第2の回路102の信号は、第2のスイッチ112がオフしているので、出力端子OUTから出力されない。

【0105】

50

別の例として、第2の回路102の信号が選択された場合の半導体装置の動作を図1(C)に示す。第1のスイッチ111がオフして、第2のスイッチ112がオンする。そして、第2の回路102の信号が第2のスイッチ112を介して出力端子OUTから出力される。このとき、第1の回路101の信号は、第1のスイッチ111がオフしているので、出力端子OUTから出力されない。

【0106】

以上説明した半導体装置は、様々なメリットを得ることができる。半導体装置が得ることができるメリットについて、以下に説明する。

【0107】

半導体装置は、冗長性を得ることができる。なぜなら、誤動作が第1の回路101と第2の回路102の一方に起こったとしても、誤った信号が半導体装置から出力されないからである。つまり、第1の回路101の信号と第2の回路102の信号のうち、正常動作している方の回路の信号が選択回路110によって選択されるからである。

10

【0108】

したがって、基板に半導体層を貼り合わせたトランジスタであって、時間の経過又は工程の不良などで半導体層の一部が基板から剥れることにより、当該トランジスタを用いた回路が誤動作してしまう可能性が高い場合であっても、半導体装置は冗長性を有しているので、誤った信号が半導体装置から出力されることはない。

【0109】

また、半導体装置は、選択回路110によって第1の回路101と第2の回路102とを遮断することができるので、電源間のショートを防ぐことができる。この電源間のショートは、第1の回路101の信号と第2の回路102の信号とのタイミング又は電位が異なった場合などに発生する。例えば、H信号が第1の回路101と第2の回路102の一方から出力され、L信号が他方から出力されたとする。すると、もし選択回路110がなければ、H信号を出力するための高電源とL信号を出力するための低電源とがショートしてしまう。しかし、半導体装置は選択回路110によって第1の回路101と第2の回路102とを遮断できるので、高電源と低電源とがショートすることはない。

20

【0110】

さらに、該半導体層に単結晶半導体を用いることにより、半導体装置の駆動電圧を小さくすることができる。さらに、より高い冗長効果を得ることができる。なぜなら、しきい値電圧や移動度などのトランジスタ特性の不均一性が抑制されることにより、より正確に第1の回路と第2の回路の選択動作を行うことができるからである。そして、移動度を高くでき、しきい値電圧を小さくできるからである。

30

【0111】

上記説明した半導体装置の他にも、様々な構成又は駆動方法などがある。

【0112】

例えば、冗長効果を有する回路の数に限定はなく、3つ以上有する構成とすることもできる。半導体装置が同じ機能を有する回路をN個(N:自然数)有する場合の構成を図2に示す。なお、図1(A)と共通するところは共通の符号を用いて、その説明を省略する。半導体装置は、第1の回路101乃至第Nの回路104と、選択回路110を有している。そして、選択回路103は、第1のスイッチ111乃至第Nのスイッチ114を有している。このように、半導体装置が冗長効果を有する回路を複数有することで、半導体装置は冗長性をより高めることができる。

40

【0113】

別の例として、第1の回路101と第2の回路102の一方の回路が駆動し、他方の回路は駆動していない構成とすることも可能である。つまり、選択回路110によって一方の回路から出力される信号が、選択される。そして、他方の回路に入力される信号は、非アクティブ状態(一定の電位)となる。よって、他方の回路の消費電力が大幅に低減される。

【0114】

50

ここで、他方の回路から出力される信号は、一定の電位となる。しかし、一方の回路から出力される信号は、入力される信号に応じて変化している。つまり、一方の回路から出力される信号と、他方の回路から出力される信号とが異なってしまうので、電源間のショートが起きてしまう。しかし、選択回路 110 が配置されることによって、電源間のショートを防ぐことができる。

【0115】

次に、本実施の形態における半導体装置の別の構成について図3を参照して説明する。

【0116】

図3に示す半導体装置の概要を説明する。図3に示す半導体装置は、図1に示した半導体装置に、制御回路120を追加した構成である。制御回路120は、第1の回路101と第2の回路102とからそれぞれ出力された信号が正常か正常ではないかを判断する。そして、制御回路120は、その判断した結果に従って選択回路103を制御する。こうして、第1の回路101の信号と第2の回路102の信号とのどちらか一方が出力端子OUTから出力される。

10

【0117】

半導体装置は、複数のトランジスタによって構成されている。ただし、半導体装置は、トランジスタの他に抵抗素子、容量素子又は表示素子などを有していてもよい。このトランジスタの基板及び半導体層としては、絶縁表面を有する基板及び絶縁基板上に接合された結晶方位が一定の単結晶半導体層(SOI層)を用いることが望ましい。単結晶半導体の結晶方位は一定であるため、均一で高性能なトランジスタを得ることができる。すなわち、閾値電圧や移動度などトランジスタ特性として重要な特性値の不均一性を抑制し、高移動化などの高性能化を達成することができる。ただし、これに限定されず、トランジスタの半導体層として、非晶質半導体、微結晶半導体、多結晶半導体などの非単結晶半導体又は単結晶半導体などを用いることもできる。

20

【0118】

次に制御回路120の具体的な構成の例について説明する。

【0119】

半導体装置は、第1の回路101、第2の回路102、選択回路110及び制御回路120を有する。そして、選択回路110は、第1のスイッチ111及び第2のスイッチ112を有する。制御回路120は、第1の比較回路121、第2の比較回路122、メモリ123及び比較結果判断回路124を有する。

30

【0120】

ここで、第1の回路101と第2の回路102とは、それぞれ同様の構成を用いることができる。ただし、これに限定されず、第1の回路101と第2の回路102とは異なる構成とすることもできる。

【0121】

ここで、第1の回路101と第2の回路102とは、同様の機能を有する。ただし、これに限定されず、第1の回路101と第2の回路102とが異なる機能であっても、一部に同じ機能を有する場合や、異なる機能であってもお互いの回路を補うことが可能な機能を有する場合であれば、適用することができる。

40

【0122】

メモリ123は、データが保存されている。そして、メモリ123に保存されたデータは、正常な第1の回路101の信号に相当する。あるいは、正常な第2の回路101の信号に相当するデータにおいても、メモリ123に保存することができるものとしてすることができる。

【0123】

第1の比較回路121は、メモリ123に保存されているデータと、第1の回路101の信号とを比較する。そして、第1の比較回路121は、その比較結果を比較結果判断回路124に出力する。

【0124】

50

第2の比較回路122は、メモリ123に保存されているデータと、第2の回路102の信号とを比較する。そして、第2の比較回路122は、その比較結果を比較結果判断回路124に出力する。

【0125】

比較結果判断回路124は、第1の比較回路121の比較結果と、第2の比較回路122の比較結果をもとに、第1の回路101及び第2の回路102が誤動作しているか正常動作しているかを判断する。そして、比較結果判断回路124は、選択回路110に制御信号を出力する。具体的には、比較結果判断回路124は、選択回路110が有する第1のスイッチ111及び第2のスイッチ112のオンとオフをそれぞれ制御する。

【0126】

例えば、比較結果判断回路124が、第1の回路101を正常動作、第2の回路102を誤動作と判断したとする。すると、比較結果判断回路124は、第1のスイッチ111をオン、第2のスイッチ112をオフするような信号を選択回路110に出力する。したがって、第1の回路101の信号が第1のスイッチ111を介して出力端子OUTから出力される。そして、第2の回路102の信号は、第2のスイッチ112がオフしているので、出力端子OUTから出力されない。

【0127】

別の例として、比較結果判断回路124が、第1の回路101を誤動作、第2の回路102を正常動作と判断したとする。すると、比較結果判断回路124は、第1のスイッチ111をオフ、第2のスイッチ112をオンするような信号を選択回路110に出力する。したがって、第2の回路102の信号が第2のスイッチ112を介して出力端子OUTから出力される。そして、第1の回路101の信号は、第1のスイッチ111がオフしているので、出力端子OUTから出力されない。

【0128】

別の例として、比較結果判断回路124が、第1の回路101及び第2の回路102を正常動作と判断したとする。すると、比較結果判断回路124は、第1のスイッチ111をオン、第2のスイッチ112をオンするような信号を選択回路110に出力する。したがって、第1の回路101の信号、及び第2の回路102の信号が、それぞれ第1のスイッチ111、第2のスイッチ112を介して出力端子OUTから出力される。こうすることで、出力端子OUTに大きな負荷を接続することができる。

【0129】

以上説明した本実施の形態における半導体装置は、様々なメリットを得ることができる。本実施の形態における半導体装置が得ることのできるメリットについて、以下に説明する。

【0130】

本実施の形態における半導体装置は、冗長性を得ることができる。なぜなら、誤動作が第1の回路101と第2の回路102の一方に起こったとしても、誤った信号が半導体装置から出力されないからである。つまり、第1の回路101の信号と第2の回路102の信号のうち、正常動作している方の回路の信号が選択回路110によって選択されるからである。

【0131】

したがって、基板に半導体層を貼り合わせたトランジスタであって、時間の経過又は工程の不良などで半導体層の一部が基板から剥れることにより、当該トランジスタを用いた回路が誤動作してしまう可能性が高い場合であっても、半導体装置は、第1の回路及び第2の回路により冗長性を有しているので、誤った信号が第1の回路及び第2の回路から出力されることはない。

【0132】

さらに、該半導体層に単結晶半導体を用いることにより、半導体装置の駆動電圧を小さくすることができ、さらに、より高い冗長効果を得ることができる。なぜなら、しきい値電圧や移動度などのトランジスタ特性の不均一性が抑制されることにより、より正確に第1

10

20

30

40

50

の回路と第2の回路の選択動作を行うことができるからである。そして、移動度を高くでき、しきい値電圧を小さくできるからである。

【0133】

また、本実施の形態における半導体装置は、選択回路110によって第1の回路101と第2の回路102とを遮断することができるので、電源間のショートを防ぐことができる。この電源間のショートは、第1の回路101の信号と第2の回路102の信号とのタイミング又は電位が異なった場合などに発生する。例えば、H信号が第1の回路101と第2の回路102の一方から出力され、L信号が他方から出力されたとする。すると、もし選択回路110がなければ、H信号を出力するための高電源とL信号を出力するための低電源とがショートしてしまう。しかし、半導体装置は選択回路110によって第1の回路101と第2の回路102とを遮断できるので、高電源と低電源とがショートすることはない。

10

【0134】

上記説明した半導体装置の他にも、様々な構成又は駆動方法などがある。

【0135】

例えば、同じ機能を有する回路の数に限定はなく、半導体装置は同じ機能を有する回路を3つ以上有することができる。半導体装置が同じ機能を有する回路を3つ以上有することで、半導体装置はより冗長性を高めることができる。

【0136】

また、別の例として、第1の回路101と第2の回路102の一方の回路が駆動し、他方の回路は駆動していない構成とすることも可能である。つまり、一方の回路から出力される信号が、選択回路110によって選択される。そして、他方の回路に入力される信号は、非アクティブ状態(一定の電位)となる。よって、他方の回路の消費電力が大幅に低減される。

20

【0137】

ここで、他方の回路から出力される信号は、一定の電位となる。しかし、一方の回路から出力される信号は、入力される信号に応じて変化している。つまり、一方の回路から出力される信号と、他方の回路から出力される信号とが異なってしまうので、電源間のショートが起きてしまう。しかし、選択回路110が配置されることによって、電源間のショートを防ぐことができる。

30

【0138】

また、本実施の形態における半導体装置の別の例として、正常な第1の回路101の信号に相当するデータと正常な第2の回路102の信号に相当するデータとを、それぞれ別々のメモリに保存してもよい。

【0139】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容(一部でもよい)は、別の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを適宜行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

40

【0140】

同様に、本実施の形態の各々の図で述べた内容(一部でもよい)は、別の実施の形態の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを適宜行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成させることができる。なお、本実施の形態は、他の実施の形態で述べた内容(一部でもよい)を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを適宜に行うことができる。

50

## 【0141】

(実施の形態2)

本実施の形態では、半導体装置を適用した表示装置について説明する。

## 【0142】

まず、図15を参照して、表示装置が有する表示パネルについて説明する。

## 【0143】

表示パネル500の概要を説明する。表示パネル500は、実施の形態1で説明した半導体装置をソースドライバ510及びゲートドライバ520に適用している。つまり、ソースドライバ510及びゲートドライバ520は、それぞれ同じ機能を有する回路を複数有している。

10

## 【0144】

表示パネル500は、画素部501、ソースドライバ510及びゲートドライバ520を有している。そして、画素部501は、複数の画素を有している。

## 【0145】

なお、ソースドライバ510及びゲートドライバ520は、複数の回路を有し、複数の回路は互いに動作を補うことができる機能を有する構成とすることができる。ただし、これに限定されず、様々な構成を表示パネル500に用いることができる。例えば、ソースドライバ510とゲートドライバ520のどちらか一方だけが、複数の回路を有し、複数の回路が互いに動作を補うことができる機能を有する構成とすることもでき、別の例として、画素部501が有する画素が複数の回路を有し、複数の回路は、互いに動作を補うことができる機能を有する構成とすることもできる。

20

## 【0146】

ソースドライバ510は、画素部501にビデオ信号を出力する。ビデオ信号は、電圧である場合が多い。ただし、これに限定されず、ビデオ信号は電流も適用できる。さらに、ビデオ信号は、アナログ信号であることが多い。ただし、これに限定されず、ビデオ信号はデジタル号も適用できる。

## 【0147】

また、ゲートドライバ520は、画素部501に選択信号を出力する。

## 【0148】

画素部501では、光の状態がビデオ信号に従って制御される。こうすることで、画素部501は、画像を表示することができる。具体的には、画素が選択信号によって選択される。そして、ビデオ信号が選択された画素に入力され、画素はビデオ信号を保持する。ここで、表示素子又は表示素子を制御する素子(トランジスタ又は容量など)が各画素に配置されている。そして、表示素子又は表示素子を制御する素子は、ビデオ信号にしたがって状態を変化させる。なお、表示素子としては、液晶素子、EL素子、FEDで用いる素子、又はDMDなどを用いることができる。

30

## 【0149】

次に、図16を参照して、ソースドライバ510の一例について説明する。

## 【0150】

ソースドライバ510の概要について説明する。サンプリングパルスが第1のシフトレジスタ511と第2のシフトレジスタ512とからそれぞれ出力される。そして、第1のシフトレジスタ511のサンプリングパルスと第2のシフトレジスタ512のサンプリングパルスのどちらか一方が選択回路513によって選択される。

40

## 【0151】

ソースドライバ510は、複数のトランジスタによって構成されている。ただし、ソースドライバ510は、トランジスタの他に抵抗素子、容量素子又は表示素子などを有していてもよい。このトランジスタの基板及び半導体層としては、絶縁表面を有する基板及び絶縁基板上に接合された結晶方位が一定の単結晶半導体層(SOI層)を用いることが望ましい。単結晶半導体の結晶方位は一定であるため、均一で高性能なトランジスタを得ることができる。すなわち、閾値電圧や移動度などトランジスタ特性として重要な特性値の不

50



均一性を抑制し、高移動化などの高性能化を達成することができる。ただし、これに限定されず、トランジスタの半導体層として、非晶質半導体、微結晶半導体、多結晶半導体などの非単結晶半導体又は単結晶半導体などを用いることもできる。

【0152】

ソースドライバ510は、第1のシフトレジスタ511、第2のシフトレジスタ512、選択回路513、第1のラッチ回路516、第2のラッチ回路517、レベルシフト518、及びバッファ519を有している。そして、選択回路513は、複数の第1のスイッチ514と複数の第2のスイッチ515とを有している。なお、第1のシフトレジスタ511及び第2のシフトレジスタ512を、それぞれ第1の回路、第2の回路と呼ぶことができる。

10

【0153】

ここで、第1のシフトレジスタ511と第2のシフトレジスタ512とは、同様の構成が用いられる。ただし、これに限定されず、第1のシフトレジスタ511と第2のシフトレジスタ512とは異なる構成とすることもできる。

【0154】

第1のシフトレジスタ511には、図示はしないが、スタートパルス(SP)、クロック信号(CK)、クロック反転信号(CKB)が入力されている。そして、第1のシフトレジスタ511は、入力される信号に従ってサンプリングパルスを選択回路513に出力する。このサンプリングパルスは、端子S1\_1乃至端子Sm\_1から順次出力される。さらに、第1のシフトレジスタ511は、信号を第1の出力端子SOUT1から出力している。この信号は、第1のシフトレジスタ511が正常動作しているか誤動作しているかを判断するために必要なものである。

20

【0155】

第2のシフトレジスタ512には、図示はしないが、スタートパルス(SP)、クロック信号(CK)、クロック反転信号(CKB)が入力されている。そして、第2のシフトレジスタ512は、入力される信号に従ってサンプリングパルスを選択回路513に出力する。このサンプリングパルスは、端子S1\_2乃至端子Sm\_2から順次出力される。さらに、第2のシフトレジスタ512は、信号を第1の出力端子SOUT2から出力している。この信号は、第2のシフトレジスタ512が正常動作しているか誤動作しているかを判断するために必要なものである。

30

【0156】

ここで、第1のシフトレジスタ511と第2のシフトレジスタ512とは、同様の機能を有する。ただし、これに限定されず、第1のシフトレジスタ511と第2のシフトレジスタ512とは異なる機能であっても一部に同じ機能を有する場合や、異なる機能であってもお互いの回路を補うことが可能な機能を有する場合であれば、適用することができる。

【0157】

選択回路513は、第1のシフトレジスタ511から入力したサンプリングパルスと、第2のシフトレジスタ512から入力したサンプリングパルスとのどちらか一方を選択する。この選択は、第1のスイッチ514及び第2のスイッチ515のオンとオフとによって行われる。そして、選択されたサンプリングパルスは、第1のラッチ回路516に出力される。ただし、これに限定されず、選択回路513は、第1のシフトレジスタ511から入力したサンプリングパルスと、第2のシフトレジスタ512から入力したサンプリングパルスの両方を選択することもできる。

40

【0158】

例えば、第1のシフトレジスタ511のサンプリングパルスが選択された場合、第1のスイッチ514がオンして、第2のスイッチ515がオフする。そして、第1のシフトレジスタ511のサンプリングパルスが第1のスイッチ514を介して、第1のラッチ回路516に出力される。このとき、第2のシフトレジスタ512のサンプリングパルスは、第2のスイッチ515がオフしているので、第1のラッチ回路516に出力されない。

【0159】

50

別の例として、第2のシフトレジスタ512のサンプリングパルスが選択された場合、第1のスイッチ514がオフして、第2のスイッチ515がオンする。そして、第2のシフトレジスタ512のサンプリングパルスが第2のスイッチ515を介して、第1のラッチ回路516に出力される。このとき、第1のシフトレジスタ511のサンプリングパルスは、第1のスイッチ514がオフしているので、第1のラッチ回路516に出力されない。

#### 【0160】

ここで、第1のシフトレジスタ511のサンプリングパルスと、第2のシフトレジスタ512のサンプリングパルスとのどちらかを選択するかは、第1の出力端子SOUT1及び第2の出力端子SOUT2から出力される信号によって決定される。具体的には、実施の形態1に示したように、正しい信号と、第1の出力端子SOUT1及び第2の出力端子SOUT2から出力される信号とが比較される。そして、第1のスイッチ514及び第2のスイッチ515のオンとオフがその比較結果によって制御される。

10

#### 【0161】

第1のラッチ回路516は、サンプリングパルスが入力されるタイミングに従って、各列でデータ信号を保持していく。最終列までビデオ信号の保持が完了すると、ラッチパルス(LAT)が水平帰線期間中に第1のラッチ回路516に入力される。すると、第1のラッチ回路516に保持されているデータ信号が、一斉に第2のラッチ回路517に出力される。

20

#### 【0162】

第2のラッチ回路517は、第1のラッチ回路516から入力されたデータ信号を保持する。その後、第2のラッチ回路517に保持されたデータ信号は、1行分が同時に、レベルシフタ518に出力される。

#### 【0163】

レベルシフタ518は、第2のラッチ回路517から入力されたデータ信号の振幅電圧を変える。そして、そのデータ信号は、ビデオ信号としてバッファ519を介して端子S1\_\_1乃至端子Sm\_\_1からそれぞれ出力される。

#### 【0164】

ここで、第2のラッチ回路517に保持されたデータ信号がレベルシフタ518に出力されている間、第1のシフトレジスタ511又は第2のシフトレジスタ512は再びサンプリングパルスを第1のラッチ回路516に出力する。そして、第1のラッチ回路516は、サンプリングパルスが入力されるタイミングに従って、各列でデータ信号を保持していく。つまり、同時に2の動作が行われる。

30

#### 【0165】

このようにして、ソースドライバ510は、線順次駆動をすることが可能となる。以後、ソースドライバ510は、このような動作を繰り返す。

#### 【0166】

なお、ソースドライバ510は、これに限定されず、様々な構成とすることができる。例えば、ソースドライバ510がデジタルアナログ変換回路530を有している場合の構成を図17に示す。図17では、データ信号が第2のラッチ回路517からデジタルアナログ変換回路530に出力される。そして、デジタルアナログ変換回路530は、第2のラッチ回路517から入力されたデータ信号をアナログ信号に変換する。その変換されたデータ信号は、ビデオ信号として端子S1\_\_1乃至端子Sm\_\_1からそれぞれ出力される。

40

#### 【0167】

別の例として、点順次駆動をすることが可能な構成を図18に示す。図18では、サンプリングパルスが選択回路513からサンプリング回路531に出力される。そして、データ信号がサンプリング回路531に入力されている。サンプリング回路531は、サンプリングパルスに応じて、データ信号をビデオ信号として端子S1乃至端子Smから順次出力する。なお、ビデオ信号は、1列ずつ出力されてもよいし、複数列ずつ出力されてもよい。

50

## 【0168】

以上説明したソースドライバ510は、様々なメリットを得ることができる。ソースドライバ510が得ることができるメリットについて、以下に説明する。

## 【0169】

ソースドライバ510は、冗長性を得ることができる。なぜなら、誤動作が第1のシフトレジスタ511と第2のシフトレジスタ512の一方に起こったとしても、誤った信号がソースドライバ510から出力されないからである。つまり、第1のシフトレジスタ511のサンプリングパルスと第2のシフトレジスタ512のサンプリングパルスのうち、正常動作している方の回路のサンプリングパルスが選択回路513によって選択されるからである。

10

## 【0170】

したがって、基板に半導体層を貼り合わせたトランジスタであって、時間の経過又は工程の不良などで半導体層の一部が基板から剥れることにより、当該トランジスタを用いた回路が誤動作してしまう可能性が高い場合であっても、ソースドライバ510は冗長性を有しているので、誤った信号が半導体装置から出力されることはない。

## 【0171】

さらに、該半導体層に単結晶半導体を用いることにより、ソースドライバ510の駆動電圧を小さくすることができ、さらに、より高い冗長効果を得ることができる。なぜなら、しきい値電圧や移動度などのトランジスタ特性の不均一性が抑制されることにより、より正確にシフトレジスタの選択動作を行うことができるからである。そして、移動度を高くでき、しきい値電圧を小さくできるからである。

20

## 【0172】

ソースドライバ510は、選択回路513によって第1のシフトレジスタ511と第2のシフトレジスタ512とを遮断することができるので、電源間のショートを防ぐことができる。この電源間のショートは、第1のシフトレジスタ511のサンプリングパルスと第2のシフトレジスタ512のサンプリングパルスとのタイミング又は電位が異なった場合などに発生する。例えば、H信号が第1のシフトレジスタ511と第2のシフトレジスタ512の一方から出力され、L信号が他方から出力されたとする。すると、もし選択回路513がなければ、H信号を出力するための高電源とL信号を出力するための低電源とがショートしてしまう。しかし、ソースドライバ510は選択回路513によって第1のシフトレジスタ511と第2のシフトレジスタ512とを遮断できるので、高電源と低電源とがショートすることはない。

30

## 【0173】

上記説明したソースドライバ510の他にも、様々な構成又は駆動方法などがある。

## 【0174】

例えば、同じ機能を有する回路の数に限定はなく、ソースドライバ510はシフトレジスタを3つ以上有することができる。ソースドライバ510がシフトレジスタを3つ以上有することで、ソースドライバ510は冗長性をより高めることができる。

## 【0175】

別の例として、第1のシフトレジスタ511と第2のシフトレジスタ512の一方の回路が駆動し、他方の回路は駆動していない構成とすることも可能である。つまり、一方の回路から出力される信号が、ソースドライバ510によって選択される。そして、他方の回路に入力される信号は、非アクティブ状態(一定の電位)となる。よって、他方の回路の消費電力が大幅に低減される。

40

## 【0176】

ここで、他方の回路から出力される信号は、一定の電位となる。しかし、一方の回路から出力される信号は、入力される信号に応じて変化している。つまり、一方の回路から出力される信号と、他方の回路から出力される信号とが異なってしまうので、電源間のショートが起きてしまう。しかし、選択回路513が配置されることによって、電源間のショートを防ぐことができる。

50

## 【0177】

次に、図13(A)を参照して、ソースドライバ510が有する選択回路513の一例について説明する。なお、図13(A)は、1列乃至m列のうちの、 $i-1$ 列、 $i$ 列及び $i+1$ 列( $i:1$ 乃至mのいずれか)の選択回路513を示している。

## 【0178】

選択回路513は、複数の第1のアナログスイッチ461及び複数の第2のアナログスイッチ462を有している。この第1のアナログスイッチ461及び第2のアナログスイッチ462は、それぞれ第1のスイッチ514、第2のスイッチ515に相当する。

## 【0179】

第1のシフトレジスタ511の $i$ 列目の端子 $S_{i\_1}$ と選択回路513の $i$ 列目の端子 $S_i$ とは、 $i$ 列目の第1のアナログスイッチ461を介して電氣的に接続されている。そして、第2の第1のシフトレジスタ512の $i$ 列目の端子 $S_{i\_2}$ と選択回路513の $i$ 列目の端子 $S_i$ とは、 $i$ 列目の第2のアナログスイッチ462を介して電氣的に接続されている。

10

## 【0180】

第1のアナログスイッチ461はそれぞれ、第1の制御端子が第1の配線463に電氣的に接続され、第2の制御端子が第2の配線464に電氣的に接続されている。そして、第2のアナログスイッチ462はそれぞれ、第1の制御端子が第2の配線464に電氣的に接続され、第2の制御端子が第1の配線463に電氣的に接続されている。

## 【0181】

ここで、第1の制御端子とは、アナログスイッチが有するPチャンネル型トランジスタのゲート電極に相当する。そして、第2の制御端子とは、アナログスイッチが有するNチャンネル型トランジスタのゲート電極に相当する。

20

## 【0182】

選択回路513の動作について説明する。第1のシフトレジスタ511サンプリングパルスが選択された場合、第1のアナログスイッチ461がオンし、第2のアナログスイッチ462がオフする。選択回路513がこのような動作を行うために、L信号が第1の配線463に入力され、H信号が第2の配線464に入力される。同様に、第2のシフトレジスタ512のビデオ信号が選択された場合、第1のアナログスイッチ461がオフし、第2のアナログスイッチ462がオンする。選択回路513がこのような動作を行うために、H信号が第1の配線463に入力され、L信号が第2の配線464に入力される。

30

## 【0183】

次に、図13(B)を参照して、別の選択回路513の一例について説明する。なお、図13(B)は、1列乃至m列のうちの、 $i-1$ 列及び $i$ 列( $i:1$ 乃至mのいずれか)の選択回路513を示している。

## 【0184】

選択回路513は、複数の第1のクロックインバータ471及び複数の第2のクロックインバータ472を有している。この第1のクロックインバータ471及び第2のクロックインバータ472は、それぞれ第1のスイッチ514、第2のスイッチ515に相当する。

40

## 【0185】

第1のシフトレジスタ511の $i$ 列目の端子 $S_{i\_1}$ と選択回路513の $i$ 列目の端子 $S_i$ とは、 $i$ 列目の第1のクロックインバータ471を介して電氣的に接続されている。そして、第2のシフトレジスタ512の $i$ 列目の端子 $S_{i\_2}$ と選択回路513の $i$ 列目の端子 $S_i$ とは、 $i$ 列目の第2のクロックインバータ472を介して電氣的に接続されている。

## 【0186】

第1のクロックインバータ471はそれぞれ、第1の制御端子が第1の配線473に電氣的に接続され、第2の制御端子が第2の配線474に電氣的に接続されている。そして、第2のクロックインバータ472はそれぞれ、第1の制御端子が第2の配線474に

50

電氣的に接続され、第 2 の制御端子が第 1 の配線 4 7 3 に電氣的に接続されている。

【 0 1 8 7 】

ここで、第 1 の制御端子とは、クロックインバータが有する複数の P チャネル型トランジスタのうちの一のゲート電極に相当する。そして、第 2 の制御端子とは、クロックインバータが有する複数の N チャネル型トランジスタのうちの一のゲート電極に相当する。

【 0 1 8 8 】

選択回路 5 1 3 の動作について説明する。第 1 のシフトレジスタ 5 1 1 のサンプリングパルスが選択された場合、第 1 のクロックインバータ 4 7 1 がオンし、第 2 のクロックインバータ 4 7 2 がオフする。選択回路 5 1 3 がこのような動作を行うために、L 信号が第 1 の配線 4 7 3 に入力され、H 信号が第 2 の配線 4 7 4 に入力される。同様に、第 2 のシフトレジスタ 5 1 2 のサンプリングパルスが選択された場合、第 1 のクロックインバータ 4 7 1 がオフし、第 2 のクロックインバータ 4 7 2 がオンする。選択回路 5 1 3 がこのような動作を行うために、H 信号が第 1 の配線 4 7 3 に入力され、L 信号が第 2 の配線 4 7 4 に入力される。

10

【 0 1 8 9 】

次に、図 1 9 を参照して、ゲートドライバ 5 2 0 の一例について説明する。

【 0 1 9 0 】

ゲートドライバ 5 2 0 の概要について説明する。信号が第 1 のシフトレジスタ 5 2 1 と第 2 のシフトレジスタ 5 2 2 とからそれぞれ出力される。そして、第 1 のシフトレジスタ 5 2 1 の信号と第 2 のシフトレジスタ 5 2 2 の信号のどちらか一方が選択回路 5 2 3 によって選択される。

20

【 0 1 9 1 】

ゲートドライバ 5 2 0 は、複数のトランジスタによって構成されている。ただし、ゲートドライバ 5 2 0 は、トランジスタの他に抵抗素子、容量素子又は表示素子などを有していてもよい。このトランジスタの基板及び半導体層としては、絶縁表面を有する基板及び絶縁基板上に接合された結晶方位が一定の単結晶半導体層 ( S O I 層 ) を用いることが望ましい。単結晶半導体の結晶方位は一定であるため、均一で高性能なトランジスタを得ることができる。すなわち、閾値電圧や移動度などトランジスタ特性として重要な特性値の不均一性を抑制し、高移動化などの高性能化を達成することができる。ただし、これに限定されず、トランジスタの半導体層として、非晶質半導体、微結晶半導体、多結晶半導体または非単結晶半導体又は単結晶半導体などを用いることもできる。

30

【 0 1 9 2 】

ゲートドライバ 5 2 0 は、第 1 のシフトレジスタ 5 2 1 、第 2 のシフトレジスタ 5 2 2 、選択回路 5 2 3 、レベルシフタ 5 2 6 、及びバッファ 5 2 7 を有している。そして、選択回路 5 2 3 は、複数の第 1 のスイッチ 5 2 4 と複数の第 2 のスイッチ 5 2 5 を有している。なお、第 1 のシフトレジスタ 5 2 1 及び第 2 のシフトレジスタ 5 2 2 を、それぞれ第 1 の回路、第 2 の回路と呼ぶことができる。

【 0 1 9 3 】

ここで、第 1 のシフトレジスタ 5 2 1 と第 2 のシフトレジスタ 5 2 2 とは、同様の構成が用いられる。ただし、これに限定されず、第 1 のシフトレジスタ 5 2 1 と第 2 のシフトレジスタ 5 2 2 とは異なる構成とすることもできる。

40

【 0 1 9 4 】

第 1 のシフトレジスタ 5 2 1 には、スタートパルス ( S P ) 、クロック信号 ( C K ) 、クロック反転信号 ( C K B ) が入力されている。そして、第 1 のシフトレジスタ 5 2 1 は、入力される信号に従って順次選択していくような信号を出力する。この信号は、選択回路 5 2 3 に端子 G 1 \_ 1 乃至端子 G n \_ 1 から順次出力される。さらに、第 1 のシフトレジスタ 5 2 1 は、信号を第 1 の出力端子 G O U T 1 から出力している。この信号は、第 1 のシフトレジスタ 5 2 1 が正常動作しているか誤動作しているかを判断できるようなものである。

【 0 1 9 5 】

50

第2のシフトレジスタ522には、スタートパルス(SP)、クロック信号(CK)、クロック反転信号(CKB)が入力されている。そして、第2のシフトレジスタ522は、入力される信号に従って順次選択していくような信号を出力する。この信号は、選択回路523に端子G1\_2乃至端子Gn\_2から順次出力される。さらに、第2のシフトレジスタ522は、信号を第2の出力端子GOUT2から出力している。この信号は、第2のシフトレジスタ522が正常動作しているか誤動作しているかを判断できるようなものである。

#### 【0196】

ここで、第1のシフトレジスタ521と第2のシフトレジスタ522とは、同様の機能を有する。ただし、これに限定されず、第1のシフトレジスタ521と第2のシフトレジスタ522とは異なる機能であっても、一部に同じ機能を有する場合や、異なる機能であってもお互いの回路を補うことが可能な機能を有する場合であれば、適用することができる。

10

#### 【0197】

選択回路523は、第1のシフトレジスタ521から入力した信号と、第2のシフトレジスタ522から入力した信号とのどちらか一方を選択する。この選択は、第1のスイッチ524及び第2のスイッチ525のオンとオフとによって行われる。そして、選択された信号は、レベルシフタ526に出力される。ただし、これに限定されず、選択回路523は、第1のシフトレジスタ521から入力した信号と、第2のシフトレジスタ522から入力した信号の両方を選択することもできる。

20

#### 【0198】

例えば、第1のシフトレジスタ521の信号が選択された場合、第1のスイッチ524がオンして、第2のスイッチ525がオフする。そして、第1のシフトレジスタ521の信号が第1のスイッチ524を介して、レベルシフタ526に出力される。このとき、第2のシフトレジスタ522の信号は、第2のスイッチ525がオフしているので、レベルシフタ526に出力されない。

#### 【0199】

別の例として、第2のシフトレジスタ522の信号が選択された場合、第1のスイッチ524がオフして、第2のスイッチ525がオンする。そして、第2のシフトレジスタ522の信号が第2のスイッチ525を介して、レベルシフタ526に出力される。このとき、第1のシフトレジスタ521の信号は、第1のスイッチ524がオフしているので、レベルシフタ526に出力されない。

30

#### 【0200】

ここで、第1のシフトレジスタ521の信号と、第2のシフトレジスタ522の信号とのどちらかを選択するかは、第1の出力端子GOUT1及び第2の出力端子GOUT2から出力される信号によって決定される。具体的には、実施の形態1に示したように、正しい信号と、第1の出力端子GOUT1及び第2の出力端子GOUT2から出力される信号とが比較される。そして、第1のスイッチ524及び第2のスイッチ525のオンとオフがその比較結果によって制御される。

#### 【0201】

レベルシフタ526は、選択回路523から入力された信号の振幅電圧を変える。そして、その信号は、選択信号としてバッファ527を介して端子G1乃至端子Gnから順次出力される。

40

#### 【0202】

なお、バッファ527は、選択信号のパルス幅を変える機能を有していてもよい。

#### 【0203】

以上説明したゲートドライバ520は、様々なメリットを得ることができる。ゲートドライバ520が得ることができるメリットについて、以下に説明する。

#### 【0204】

ゲートドライバ520は、冗長性を得ることができる。なぜなら、誤動作が第1のシフト

50

レジスタ521と第2のシフトレジスタ522の一方に起こったとしても、誤った信号がゲートドライバ520から出力されないからである。つまり、第1のシフトレジスタ521の信号と第2のシフトレジスタ522の信号のうち、正常動作している方の回路の信号が選択回路523によって選択されるからである。

【0205】

したがって、基板に半導体層を貼り合わせたトランジスタであって、時間の経過又は工程の不良などで半導体層の一部が基板から剥れることにより、当該トランジスタを用いた回路が誤動作してしまう可能性が高い場合であっても、ゲートドライバ520は冗長性を有しているので、誤った信号がゲートドライバ520から出力されることはない。

【0206】

さらに、該半導体層に単結晶半導体を用いることにより、ゲートドライバ520の駆動電圧を小さくすることができ、さらに、より高い冗長効果を得ることができる。なぜなら、しきい値電圧や移動度などのトランジスタ特性の不均一性が抑制されることにより、より正確にシフトレジスタの選択動作を行うことができるからである。そして、移動度を高くでき、しきい値電圧を小さくできるからである。

【0207】

ゲートドライバ520は、選択回路523によって第1のシフトレジスタ521と第2のシフトレジスタ522とを遮断することができるので、電源間のショートを防ぐことができる。この電源間のショートは、第1のシフトレジスタ521の信号と第2のシフトレジスタ522の信号とのタイミング又は電位が異なった場合などに発生する。例えば、H信号が第1のシフトレジスタ521と第2のシフトレジスタ522の一方から出力され、L信号が他方から出力されたとする。すると、もし選択回路523がなければ、H信号を出力するための高電源とL信号を出力するための低電源とがショートしてしまう。しかし、ゲートドライバ520は選択回路523によって第1のシフトレジスタ521と第2のシフトレジスタ522とを遮断できるので、高電源と低電源とがショートすることはないのである。

【0208】

上記説明したゲートドライバ520の他にも、様々な構成又は駆動方法などがある。

【0209】

例えば、シフトレジスタの数に限定はなく、ゲートドライバ520はシフトレジスタを3つ以上有することができる。ゲートドライバ520がシフトレジスタを3つ以上有することで、ゲートドライバ520はより冗長性を高めることができる。

【0210】

別の例として、第1のシフトレジスタ521と第2のシフトレジスタ522の一方の回路が駆動し、他方の回路は駆動していない構成とすることも可能である。つまり、一方の回路から出力される信号が、ゲートドライバ520によって選択される。そして、他方の回路に入力される信号は、非アクティブ状態(一定の電位)となる。よって、他方の回路の消費電力が大幅に低減される。

【0211】

ここで、他方の回路から出力される信号は、一定の電位となる。しかし、一方の回路から出力される信号は、入力される信号に応じて変化している。つまり、一方の回路から出力される信号と、他方の回路から出力される信号とが異なってしまうので、電源間のショートが起きてしまう。しかし、選択回路513が配置されることによって、電源間のショートを防ぐことができる。

【0212】

次に、図14(A)を参照して、ゲートドライバ520が有する選択回路523の一例について説明する。なお、図14(A)は、1行乃至m行のうちの、j-1行、j行及びj+1行(j:1乃至nのいずれか)の選択回路523を示している。

【0213】

選択回路513は、複数の第1のアナログスイッチ481及び複数の第2のアナログスイ

10

20

30

40

50

ッチ 4 8 2 を有している。この第 1 のアナログスイッチ 4 8 1 及び第 2 のアナログスイッチ 4 8 2 は、それぞれ第 1 のスイッチ 5 2 4、第 2 のスイッチ 5 2 5 に相当する。

【 0 2 1 4 】

第 1 のシフトレジスタ 5 2 1 の  $i$  列目の端子  $G_j\_1$  と選択回路 5 2 3 の  $j$  列目の端子  $G_j$  とは、 $j$  列目の第 1 のアナログスイッチ 4 8 1 を介して電氣的に接続されている。そして、第 2 のシフトレジスタ 5 2 2 の  $j$  列目の端子  $G_j\_2$  と選択回路 5 2 3 の  $j$  列目の端子  $G_j$  とは、 $j$  列目の第 2 のアナログスイッチ 4 8 2 を介して電氣的に接続されている。

【 0 2 1 5 】

第 1 のアナログスイッチ 4 8 1 はそれぞれ、第 1 の制御端子が第 1 の配線 4 8 3 に電氣的に接続され、第 2 の制御端子が第 2 の配線 4 8 4 に電氣的に接続されている。そして、第 2 のアナログスイッチ 4 8 2 はそれぞれ、第 1 の制御端子が第 2 の配線 4 8 4 に電氣的に接続され、第 2 の制御端子が第 1 の配線 4 8 3 に電氣的に接続されている。

【 0 2 1 6 】

ここで、第 1 の制御端子とは、アナログスイッチが有する P チャネル型トランジスタのゲート電極に相当する。そして、第 2 の制御端子とは、アナログスイッチが有する N チャネル型トランジスタのゲート電極に相当する。

【 0 2 1 7 】

選択回路 5 2 3 の動作について説明する。第 1 のシフトレジスタ 5 2 1 の信号が選択された場合、第 1 のアナログスイッチ 4 8 1 がオンし、第 2 のアナログスイッチ 4 8 2 がオフする。選択回路 5 2 3 がこのような動作を行うために、L 信号が第 1 の配線 4 8 3 に入力され、H 信号が第 2 の配線 4 8 4 に入力される。同様に、第 2 のシフトレジスタ 5 2 2 の信号が選択された場合、第 1 のアナログスイッチ 4 8 1 がオフし、第 2 のアナログスイッチ 4 8 2 がオンする。選択回路 5 2 3 がこのような動作を行うために、H 信号が第 1 の配線 4 8 3 に入力され、L 信号が第 2 の配線 4 8 4 に入力される。

【 0 2 1 8 】

次に、図 1 4 ( B ) を参照して、別の選択回路 5 2 3 の一例について説明する。なお、図 1 4 ( B ) は、1 列乃至  $n$  列のうちの、 $j - 1$  列及び  $j$  列 ( $j : 1$  乃至  $n$  のいずれか) の選択回路 5 2 3 を示している。

【 0 2 1 9 】

選択回路 5 2 3 は、複数の第 1 のクロックインバータ 4 9 1 及び複数の第 2 のクロックインバータ 4 9 2 を有している。この第 1 のクロックインバータ 4 9 1 及び第 2 のクロックインバータ 4 9 2 は、それぞれ第 1 のスイッチ 5 2 4、第 2 のスイッチ 5 2 5 に相当する。

【 0 2 2 0 】

第 1 のシフトレジスタ 5 2 1 の  $j$  列目の端子  $G_j\_1$  と選択回路 5 2 3 の  $j$  列目の端子  $G_j$  とは、 $j$  列目の第 1 のクロックインバータ 4 9 1 を介して電氣的に接続されている。そして、第 2 のシフトレジスタ 5 2 2 の  $j$  列目の端子  $G_j\_2$  と選択回路 5 2 3 の  $j$  列目の端子  $G_j$  とは、 $j$  列目の第 2 のクロックインバータ 4 9 2 を介して電氣的に接続されている。

【 0 2 2 1 】

第 1 のクロックインバータ 4 9 1 はそれぞれ、第 1 の制御端子が第 1 の配線 4 9 3 に電氣的に接続され、第 2 の制御端子が第 2 の配線 4 9 4 に電氣的に接続されている。そして、第 2 のクロックインバータ 4 9 2 はそれぞれ、第 1 の制御端子が第 2 の配線 4 9 4 に電氣的に接続され、第 2 の制御端子が第 1 の配線 4 9 3 に電氣的に接続されている。

【 0 2 2 2 】

ここで、第 1 の制御端子とは、クロックインバータが有する複数の P チャネル型トランジスタのうちの 1 のゲート電極に相当する。そして、第 2 の制御端子とは、クロックインバータが有する複数の N チャネル型トランジスタのうちの 1 のゲート電極に相当する。

【 0 2 2 3 】

選択回路 5 2 3 の動作について説明する。第 1 のシフトレジスタ 5 2 1 の信号が選択され

10

20

30

40

50



た場合、第1のクロックインバータ491がオンし、第2のクロックインバータ492がオフする。選択回路523がこのような動作を行うために、L信号が第1の配線493に入力され、H信号が第2の配線494に入力される。同様に、第2のシフトレジスタの信号が選択された場合、第1のクロックインバータ491がオフし、第2のクロックインバータ492がオンする。選択回路523がこのような動作を行うために、H信号が第1の配線493に入力され、L信号が第2の配線494に入力される。

【0224】

以上のように、ソースドライバと、ゲートドライバとを上記構成とすることにより、表示装置は、冗長性を有することができる。

【0225】

シフトレジスタだけを2つ配置することによって、ソースドライバ及びゲートドライバの回路規模及び面積の大幅な増加を必要としなくても、表示装置は十分に冗長性を有することができる。なぜなら、シフトレジスタは、どこか一部に誤動作が起こると、他の箇所も誤動作を起こすからである。一方、シフトレジスタ以外の回路（例えば、第1のラッチ回路、第2のラッチ回路、レベルシフト、バッファ、デジタルアナログ変換回路など）は、一部に誤動作が起きても、他の箇所は誤動作を起こさない。つまり、シフトレジスタが冗長性を有するだけでも、本実施の形態の表示装置は十分に冗長性を有することができる。

【0226】

シフトレジスタだけを2つ配置することによって、大きな消費電力を必要としなくても、表示装置は十分に冗長性を有することができる。なぜなら、シフトレジスタは小さい振幅電圧で駆動することができるからである。

【0227】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【0228】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを適宜行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることができる。なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを適宜行うことができる。

【0229】

（実施の形態3）

本実施の形態では、本発明の半導体装置または表示装置に適用可能なSOI基板について説明する。

【0230】

本発明の半導体装置または表示装置に適用可能なSOI基板を図20(A)(B)に示す。図20(A)においてベース基板240は絶縁表面を有する基板若しくは絶縁基板であり、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板を適用される。その他に石英ガラス、シリコンウエハのような半導体基板も適用可能である。SOI層242は単結晶半導体であり、代表的には単結晶シリコンが適用される。その他に、水素イオン注入剥離法のようにして単結晶半導体基板若しくは多結晶半導体基板から剥離可能であるシリコン、ゲルマニウム、その他、ガリウムヒ素、インジウムリンなどの化合物半導体による結晶性半導体層

10

20

30

40

50

を適用することもできる。

【0231】

このようなベース基板240とSOI層242の間には、平滑面を有し親水性表面を形成する接合層244を設ける。この接合層244として酸化シリコン膜が適している。特に有機シランガスを用いて化学気相成長法により作製される酸化シリコン膜が好ましい。有機シランガスとしては、珪酸エチル(TEOS:化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ )、テトラメチルシラン(TMS:化学式 $\text{Si}(\text{CH}_3)_3$ )、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン( $\text{SiH}(\text{OC}_2\text{H}_5)_3$ )、トリスジメチルアミノシラン( $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ )等のシリコン含有化合物を用いることができる。

10

【0232】

上記平滑面を有し親水性表面を形成する接合層244は5nm乃至500nmの厚さで設けられる。この厚さであれば、被成膜表面の表面荒れを平滑化すると共に、当該膜の成長表面の平滑性を確保することが可能である。また、接合する基板との歪みを緩和することができる。ベース基板240にも同様の酸化シリコン膜を設けておいても良い。すなわち、絶縁表面を有する基板若しくは絶縁性のベース基板240にSOI層242を接合するに際し、接合を形成する面の一方若しくは双方に、好ましくは有機シランを原材料として成膜した酸化シリコン膜でなる接合層244設けることで強固な接合を形成することができる。

20

【0233】

図20(B)はベース基板240にバリア層245と接合層244を設けた構成を示す。SOI層242をベース基板240に接合した場合に、ベース基板240として用いられるガラス基板からアルカリ金属若しくはアルカリ土類金属のような可動イオン不純物が拡散してSOI層242が汚染されることを防ぐことができる。また、ベース基板240側の接合層244は適宜設ければ良い。

【0234】

図21(A)はSOI層242と接合層244の間に窒素含有絶縁層260を設けた構成を示す。窒素含有絶縁層260は窒化シリコン膜、窒化酸化シリコン膜若しくは酸化窒化シリコン膜から選ばれた一又は複数の膜を積層して形成する。例えば、SOI層242側から酸化窒化シリコン膜、窒化酸化シリコン膜を積層して窒素含有絶縁層260とすることができる。接合層244がベース基板240と接合を形成するために設けるのに対し、窒素含有絶縁層260は、可動イオンや水分等の不純物がSOI層242に拡散して汚染されることを防ぐために設けることが好ましい。

30

【0235】

なお、ここで酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、濃度範囲として酸素が55~65原子%、窒素が1~20原子%、Siが25~35原子%、水素が0.1~10原子%の範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、濃度範囲として酸素が15~30原子%、窒素が20~35原子%、Siが25~35原子%、水素が15~25原子%の範囲で含まれるものをいう。

40

【0236】

図21(B)はベース基板240に接合層244を設けた構成である。ベース基板240と接合層244の間にはバリア層245が設けられていることが好ましい。ベース基板240として用いられるガラス基板からアルカリ金属若しくはアルカリ土類金属のような可動イオン不純物が拡散してSOI層242が汚染されることを防ぐためである。また、SOI層242には酸化シリコン膜261が形成されている。この酸化シリコン膜261が接合層244と接合を形成し、ベース基板240上にSOI層を固定する。酸化シリコン膜261は熱酸化により形成されたものが好ましい。また、接合層244と同様にTEOSを用いて化学気相成長法により成膜したものを適用しても良い。また、酸化シリコン

50

膜 2 6 1 としてケミカルオキサイドを適用することもできる。ケミカルオキサイドは、例えばオゾン含有水で半導体基板表面を処理することで形成することができる。ケミカルオキサイドは半導体基板の表面の平坦性を反映して形成されるので好ましい。

#### 【0237】

このようなSOI基板の製造方法について図22(A)乃至(C)と図23を参照して説明する。

#### 【0238】

図22(A)に示す半導体基板241は清浄化されており、その表面から電界で加速されたイオンを所定の深さに注入し、イオンドーピング層233を形成する。イオンの注入はベース基板に転置するSOI層の厚さを考慮して行われる。当該単SOI層の厚さは5nm乃至500nm、好ましくは10nm乃至200nmの厚さとする。イオンを注入する際の加速電圧はこのような厚さを考慮して、半導体基板241に注入されるようにする。イオンドーピング層は水素、ヘリウム若しくはフッ素に代表されるハロゲンのイオンを注入することで形成される。この場合、一又は複数の同一の原子から成る質量数の異なるイオンを注入することが好ましい。水素イオンを注入する場合には、 $H^+$ 、 $H_2^+$ 、 $H_3^+$ イオンを含ませると共に、 $H_3^+$ イオンの割合を高めておくことが好ましい。水素イオンを注入する場合には、 $H^+$ 、 $H_2^+$ 、 $H_3^+$ イオンを含ませると共に、 $H_3^+$ イオンの割合を高めておくこと注入効率を高めることができ、注入時間を短縮することができる。このような構成とすることで、剥離を容易に行うことができる。

10

#### 【0239】

イオンを高ドーズ条件で注入する必要がある、半導体基板241の表面が粗くなってしまう場合がある。そのためイオンが注入される表面に窒化シリコン膜若しくは窒化酸化シリコン膜などによりイオン注入に対する保護膜を50nm乃至200nmの厚さで設けることにより、粗い半導体基板241の表面を改善する構成とすることも可能である。

20

#### 【0240】

次に、図22(B)で示すようにベース基板と接合を形成する面に接合層244として酸化シリコン膜を形成する。酸化シリコン膜としては上述のように有機シランガスを用いて化学気相成長法により作製される酸化シリコン膜が好ましい。その他に、シランガスを用いて化学気相成長法により作製される酸化シリコン膜を適用することもできる。化学気相成長法による成膜では、単結晶半導体基板に形成したイオンドーピング層233から脱ガスが起こらない温度として、例えば350以下の成膜温度が適用される。また、単結晶若しくは多結晶半導体基板からSOI層を剥離する熱処理は、成膜温度よりも高い熱処理温度が適用される。

30

#### 【0241】

図22(C)はベース基板240と半導体基板241の接合層244が形成された面とを密接させ、この両者を接合させる態様を示す。接合を形成する面は、十分に清浄化しておく。そして、ベース基板240と接合層244を密着させることにより接合が形成される。この接合はファン・デル・ワールス力が作用しており、ベース基板240と半導体基板241とを圧接することで水素結合により強固な接合を形成することが可能である。

#### 【0242】

また、表面を活性化しておいて良好な接合を形成することも可能である。例えば、接合を形成する面に原子ビーム若しくはイオンビームを照射する。原子ビーム若しくはイオンビームを利用する場合には、アルゴン等の不活性ガス中性原子ビーム若しくは不活性ガスイオンビームを用いることができる。その他に、プラズマ照射若しくはラジカル処理を行う。このような表面処理により200乃至400の温度であっても異種材料間の接合を形成することが容易となる。

40

#### 【0243】

ベース基板240と半導体基板241とを接合層244を介して貼り合わせた後は、加熱処理又は加圧処理を行うことが好ましい。加熱処理又は加圧処理を行うことで接合強度を向上させることが可能となる。加熱処理の温度は、ベース基板240の耐熱温度以下であ

50

ることが好ましい。加圧処理においては、接合面に垂直な方向に圧力が加わるように行い、ベース基板 240 及び半導体基板 241 の耐圧性を考慮して行う。

#### 【0244】

図 23 において、ベース基板 240 と半導体基板 241 を貼り合わせた後、熱処理を行いイオンドーピング層 233 を劈開面として半導体基板 241 をベース基板 240 から剥離する。熱処理の温度は接合層 244 の成膜温度以上、ベース基板 240 の耐熱温度以下で行うことが好ましい。例えば、400 乃至 600 の熱処理を行うことにより、イオンドーピング層 233 に形成された微小な空洞の堆積変化が起こり、イオンドーピング層 233 に沿って劈開することが可能となる。接合層 244 はベース基板 240 と接合しているため、ベース基板 240 上には半導体基板 241 と同じ結晶性の SOI 層 242 が残存する。

10

#### 【0245】

図 24 はベース基板側に接合層を設けて SOI 層を形成する工程を示す。図 24 (A) は酸化シリコン膜 261 が形成された半導体基板 241 に電界で加速されたイオンを所定の深さに注入し、イオンドーピング層 233 を形成する工程を示している。水素、ヘリウム若しくはフッ素に代表されるハロゲンのイオンの注入は図 22 (A) の場合と同様である。半導体基板 241 の表面に酸化シリコン膜 261 を形成しておくことでイオンドーピングによって表面がダメージを受け、平坦性が損なわれるのを防ぐことができる。

#### 【0246】

図 24 (B) は、バリア層 245 及び接合層 244 が形成されたベース基板 240 と半導体基板 241 の酸化シリコン膜 261 が形成された面を密着させて接合させる工程を示している。ベース基板 240 上の接合層 244 と半導体基板 241 の酸化シリコン膜 261 を密着させることにより接合される。

20

#### 【0247】

その後、図 24 (C) で示すように半導体基板 241 を剥離する。半導体層を剥離する熱処理は図 23 の場合と同様にして行う。このようにして図 21 (B) で示す SOI 基板を得ることができる。

#### 【0248】

このように、本形態によれば、ガラス基板等の耐熱温度が 700 以下のベース基板 240 であっても接合部の接着力が強固な SOI 層 242 を得ることができる。ベース基板 240 として、アルミノシリケートガラス、アルミノホウケイ酸ガラス、又はバリウムホウケイ酸ガラスなど、無アルカリガラスと呼ばれる電子工業用に使われる各種ガラス基板を適用することが可能となる。すなわち、一辺が 1メートルを超える基板上に単結晶半導体層を形成することができる。このような大面積基板を使って液晶ディスプレイのような表示装置のみならず、半導体集積回路を製造することができる。

30

#### 【0249】

次いで、SOI 基板を用いた半導体装置について図 25 と図 26 を参照して説明する。図 25 (A) において、ベース基板 240 に接合層 244 を介して SOI 層 242 が設けられている。SOI 層 242 上には、素子形成領域に合わせて窒化シリコン層 247、酸化シリコン層 246 を形成する。酸化シリコン層 246 は、素子分離のために SOI 層 242 をエッチングするときのハードマスクとして用いる。窒化シリコン層 247 はエッチングストッパーである。

40

#### 【0250】

SOI 層 242 の膜厚は 5 nm 乃至 500 nm、好ましくは 10 nm 乃至 200 nm の厚さとするのが好ましい。SOI 層 242 の厚さは、図 22 で説明したイオンドーピング層 233 の深さを制御することにより適宜設定できる。SOI 層 242 にはしきい値電圧を制御するために、硼素、アルミニウム、ガリウムなどの p 型不純物を添加する。例えば、p 型不純物として硼素を  $5 \times 10^{17} \text{ cm}^{-3}$  以上  $1 \times 10^{18} \text{ cm}^{-3}$  以下の濃度で添加されていても良い。

#### 【0251】

50

図 25 ( B ) は、酸化シリコン層 246 をマスクとして S O I 層 242、接合層 244 をエッチングする工程である。S O I 層 242 及び接合層 244 の露出した端面に対してプラズマ処理により窒化される。この窒化処理により、少なくとも S O I 層 242 の周辺端部には窒化シリコン層 247 が形成される。窒化シリコン層 247 は絶縁性であり、S O I 層 242 の端面でのリーク電流が流れるのを防止する効果がある。また、耐酸化作用があるので、S O I 層 242 と接合層 244 との間に、端面から酸化膜が成長してパースピークが形成されるのを防ぐことができる。

【 0 2 5 2 】

図 25 ( C ) は、素子分離絶縁層 248 を堆積する工程である。素子分離絶縁層 248 は T E O S を用いて酸化シリコン膜を化学気相成長法で堆積する。素子分離絶縁層 248 は S O I 層 242 が埋め込まれるように厚く堆積する。

10

【 0 2 5 3 】

図 25 ( D ) は窒化シリコン層 247 が露出するまで素子分離絶縁層 248 を除去する工程を示している。この除去工程は、ドライエッチングによって行うこともできるし、化学的機械研磨によって行うこともできる。窒化シリコン層 247 はエッチングストッパーとなる。素子分離絶縁層 248 は S O I 層 242 の間に埋め込まれるように残存する。窒化シリコン層 247 はその後除去する。

【 0 2 5 4 】

図 25 ( E ) において、S O I 層 242 が露出した後ゲート絶縁層 249、ゲート電極 250、サイドウォール絶縁層 251 を形成し、第 1 不純物領域 252、第 2 不純物領域 253 を形成する。絶縁層 254 は窒化シリコンで形成し、ゲート電極 250 をエッチングするときのハードマスクとして用いる。

20

【 0 2 5 5 】

図 26 ( A ) において、層間絶縁層 255 を形成する。層間絶縁層 255 は B P S G ( B o r o n P h o s p h o r u s S i l i c o n G l a s s ) 膜を形成してリフローにより平坦化させる。また、T E O S を用いて酸化シリコン膜を形成し化学的機械研磨処理によって平坦化しても良い。平坦化処理においてゲート電極 250 上の絶縁層 254 はエッチングストッパーとして機能する。層間絶縁層 255 にはコンタクトホール 256 を形成する。コンタクトホール 256 は、サイドウォール絶縁層 251 を利用してセルフアラインコンタクトの構成となっている。

30

【 0 2 5 6 】

その後、図 26 ( B ) で示すように、六フッ化タングステンをを用い、C V D 法でコンタクトプラグ 257 を形成する。さらに絶縁層 258 を形成し、コンタクトプラグ 257 に合わせて開口を形成して配線 259 を設ける。配線 259 はアルミニウム若しくはアルミニウム合金で形成し、上層と下層にはバリアメタルとしてモリブデン、クロム、またはチタンなどの金属膜で形成する。

【 0 2 5 7 】

このように、ベース基板 240 に接合された S O I 層 242 を用いて電界効果トランジスタを作製することができる。本形態に係る S O I 層 242 は、結晶方位が一定の単結晶半導体であるため、均一で高性能な電界効果トランジスタを得ることができる。すなわち、閾値電圧や移動度などトランジスタ特性として重要な特性値の不均一性を抑制し、高移動化などの高性能化を達成することができる。

40

【 0 2 5 8 】

以上のように本実施の形態の作製方法を用いて作製されたトランジスタを用いて本発明の半導体装置及び表示装置を作製することにより、より高い冗長性を有する半導体装置及び表示装置を提供することができる。

【 0 2 5 9 】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容(一部でもよい)は、別の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを適宜行うことができる。さらに、これまでに述べた図において、各々

50

の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0260】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを適宜行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成させることが出来る。なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを適宜行うことができる。

10

【0261】

（実施の形態4）

本実施の形態はSOI基板の製造方法について図27と図28を参照して説明する。図27（A）は、自然酸化膜が除去された単結晶シリコン基板231にSiH<sub>4</sub>ガスとN<sub>2</sub>Oガスを用い、プラズマCVD法で100nmの厚さで酸化窒化シリコン膜235を形成する。さらにSiH<sub>4</sub>ガス、N<sub>2</sub>Oガス及びNH<sub>3</sub>ガスを用い、50nmの厚さで窒化酸化シリコン膜236を成膜する。

20

【0262】

そして、図27（B）で示すように、窒化酸化シリコン膜236の表面からイオンドーピング装置を用い水素イオンを注入する。イオンドーピング装置はイオン化したガスを質量分離せず、そのまま電界で加速して基板に注入させる方式である。この装置を用いると、大面積基板であっても高効率に高ドーズのイオンドーピングを行うことができる。本実施の形態では、水素をイオン化して単結晶シリコン基板231にイオンドーピング層243を形成する。イオンドーピングは加速電圧80kVで、ドーズ量は $2 \times 10^{16} / \text{cm}^2$ として行う。

【0263】

この場合、一又は複数の同一の原子から成る質量数の異なるイオンを注入することが好ましい。水素イオンを注入する場合には、H<sup>+</sup>、H<sub>2</sub><sup>+</sup>、H<sub>3</sub><sup>+</sup>イオンを含ませると共に、H<sub>3</sub><sup>+</sup>イオンの割合を約80%にまで高めておくことが好ましい。このように質量数が小さく高次のイオンを単結晶シリコン基板231に多く含ませることにより、熱処理工程においてイオンドーピング層243の劈開を容易なものとする事ができる。この場合において、単結晶シリコン基板231のイオンドーピング面に窒化酸化シリコン膜236及び酸化窒化シリコン膜235を設けておくことで、イオンドーピングにより単結晶シリコン基板231の表面荒れを防ぐことができる。

30

【0264】

次に、図27（C）で示すように窒化酸化シリコン膜236上に酸化シリコン膜234を形成する。酸化シリコン膜234はプラズマCVD法で、珪酸エチル（TEOS：化学式Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>）と酸素ガスを用いて50nmの厚さで成膜する。成膜温度は350以下として、イオンドーピング層243から水素が離脱しないようにする。

40

【0265】

図28（A）は、オゾン含有水を用いて超音波洗浄されたガラス基板230と単結晶シリコン基板231を酸化シリコン膜234を挟んで重ね合わせ、押圧することで接合を形成する工程を示している。その後、窒素雰囲気中で400で10分間の熱処理を行い、さらに500にて2時間の熱処理を行い、さらに400で数時間保持した後、室温まで徐冷した。これによりイオンドーピング層243に亀裂を形成させて単結晶シリコン基板231を剥離させると共に、酸化シリコン膜234とガラス基板230との接合を強固なものとする事ができる。

【0266】

50

このようにしてガラス基板 230 上に単結晶シリコン層 232 を、ガラス基板 230 が歪まない温度で形成することができる。本実施の形態において、作製される単結晶シリコン層 232 はガラス基板 230 と強固に接合しており、テープ剥離試験を行っても該シリコン層が剥離することはない。すなわち、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスの如き無アルカリガラスと呼ばれる電子工業用に使われる各種ガラス基板上に単結晶シリコン層を設けることが可能となり、一辺が 1 メートルを超える基板を使って様々な集積回路、表示装置を製造することが可能となる。

#### 【0267】

以上のように本実施の形態の作製方法を用いて作製した基板を用いて本発明の半導体装置及び表示装置を作製することにより、しきい値など特性のばらつき少ないトランジスタを作製することができ、該トランジスタを用いてより高い冗長性を有する半導体装置及び表示装置を提供できる。

10

#### 【0268】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを適宜行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

#### 【0269】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを適宜行うことが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分の組み合わせることにより、さらに多くの図を構成させることが出来る。なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを適宜行うことができる。

20

#### 【0270】

（実施の形態 5）

本実施の形態においては、電子機器の例について説明する。

30

#### 【0271】

図 4 は表示パネル 901 と、回路基板 911 を組み合わせた表示パネルモジュールを示している。表示パネル 901 は画素部 902、走査線駆動回路 903 及び信号線駆動回路 904 を有している。回路基板 911 には、例えば、コントロール回路 912 及び信号分割回路 913 などが形成されている。表示パネル 901 と回路基板 911 とは接続配線 914 によって接続されている。接続配線には FPC 等を用いることができる。

#### 【0272】

図 5 は、テレビ受像機の主要な構成を示すブロック図である。チューナ 921 は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路 922 と、映像信号増幅回路 922 から出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路 923 と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路 932 により処理される。コントロール回路 932 は、走査線駆動回路 934 と信号線駆動回路 924 にそれぞれ信号を出力する。そして、走査線駆動回路 934 と信号線駆動回路 924 が表示パネル 931 を駆動する。デジタル駆動する場合には、信号線側に信号分割回路 933 を設け、入力デジタル信号を  $m$  個（ $m$  は正の整数）に分割して供給する構成としても良い。

40

#### 【0273】

チューナ 921 で受信した信号のうち、音声信号は音声信号増幅回路 925 に送られ、その出力は音声信号処理回路 926 を経てスピーカ 927 に供給される。制御回路 928 は

50

受信局（受信周波数）及び音量の制御情報を入力部 9 2 9 から受け、チューナ 9 2 1 又は音声信号処理回路 9 2 6 に信号を送出する。

【0274】

図 5 とは別の形態の表示パネルモジュールを組み込んだテレビ受像器について図 6 (A) に示す。図 6 (A) において、筐体 9 4 1 内に収められた表示画面 9 4 2 は、表示パネルモジュールで形成される。なお、スピーカ 9 4 3、入力手段（操作キー 9 4 4、接続端子 9 4 5、センサ 9 4 6（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン 9 4 7）などが適宜備えられていてもよい。

10

【0275】

図 6 (B) に、ワイヤレスでディスプレイのみを持ち運び可能なテレビ受像器を示す。このテレビ受像器には、表示部 9 5 3、スピーカ部 9 5 7、入力手段（操作キー 9 5 6、接続端子 9 5 8、センサ 9 5 9（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン 9 6 0）などが適宜備えられている。筐体 9 5 2 にはバッテリー及び信号受信器が収められており、そのバッテリーで表示部 9 5 3、スピーカ部 9 5 7、センサ 9 5 9 及びマイクロフォン 9 6 0 を駆動させる。バッテリーは充電器 9 5 0 で繰り返し充電が可能となっている。充電器 9 5 0 は映像信号を送受信することが可能で、その映像信号をディスプレイの信号受信器に送信することができる。図 6 (B) に示す装置は、操作キー 9 5 6 によって制御される。あるいは、図 6 (B) に示す装置は、操作キー 9 5 6 を操作することによって、充電器 9 5 0 に信号を送ることが可能である。つまり、映像音声双方向通信装置であってもよい。あるいは、図 6 (B) に示す装置は、操作キー 9 5 6 を操作することによって、充電器 9 5 0 に信号を送り、さらに充電器 9 5 0 が送信できる信号を他の電子機器に受信させることによって、他の電子機器の通信制御も可能である。つまり、汎用遠隔制御装置であってもよい。なお、本実施の形態の各々の図で述べた内容（一部でもよい）を表示部 9 5 3 に適用することができる。

20

【0276】

次に、図 7 を参照して、携帯電話の構成例について説明する。

30

【0277】

表示パネル 9 8 1 はハウジング 1 0 0 0 に脱着自在に組み込まれる。ハウジング 1 0 0 0 は表示パネル 9 8 1 のサイズに合わせて、形状又は寸法を適宜変更することができる。表示パネル 9 8 1 を固定したハウジング 1 0 0 0 はプリント基板 1 0 0 1 に嵌入されモジュールとして組み立てられる。

【0278】

表示パネル 9 8 1 は F P C 9 9 3 を介してプリント基板 1 0 0 1 に接続される。プリント基板 1 0 0 1 には、スピーカ 1 0 0 2、マイクロフォン 1 0 0 3、送受信回路 1 0 0 4、CPU、コントローラなどを含む信号処理回路 1 0 0 5 及びセンサ 1 0 1 1（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）が形成されている。このようなモジュールと、操作キー 1 0 0 6、バッテリー 1 0 0 7、アンテナ 1 0 1 0 を組み合わせ、筐体 1 0 0 9 に収納する。表示パネル 9 8 1 の画素部は筐体 1 0 0 9 に形成された開口窓から視認できよう配置する。

40

【0279】

表示パネル 9 8 1 は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にトランジスタを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）を IC チップ上に形成し、その IC チップを COG (Chip On Glass) で表示パネル 9 8 1 に実装しても良い。あるいは

50



は、そのICチップをTAB (Tape Auto Bonding) 又はプリント基板を用いてガラス基板と接続してもよい。このような構成とすることで、表示装置の低消費電力化を図り、携帯電話機の一回の充電による使用時間を長くすることができる。携帯電話機の低コスト化を図ることができる。

#### 【0280】

図7に示した携帯電話は、様々な情報(静止画、動画、テキスト画像など)を表示する機能を有する。カレンダー、日付又は時刻などを表示部に表示する機能を有する。表示部に表示した情報を操作又は編集する機能を有する。様々なソフトウェア(プログラム)によって処理を制御する機能を有する。無線通信機能を有する。無線通信機能を用いて他の携帯電話、固定電話又は音声通信機器と通話する機能を有する。無線通信機能を用いて様々なコンピュータネットワークに接続する機能を有する。無線通信機能を用いて様々なデータの送信又は受信を行う機能を有する。着信、データの受信、又はアラームに応じてバイブレータが動作する機能を有する。着信、データの受信、又はアラームに応じて音が発生する機能を有する。なお、図7に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

10

#### 【0281】

図8(A)はディスプレイであり、筐体1021、支持台1022、表示部1023、スピーカ1027、LEDランプ1029、入力手段(接続端子1024、センサ1025(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン1026、操作キー1028)等を含む。図8(A)に示すディスプレイは、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。なお、図8(A)に示すディスプレイが有する機能はこれに限定されず、様々な機能を有することができる。

20

#### 【0282】

図8(B)はカメラであり、本体1031、表示部1032、シャッターボタン1036、スピーカ1040、LEDランプ1041、入力手段(受像部1033、操作キー1034、外部接続ポート1035、接続端子1037、センサ1038(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン1039)等を含む。図8(B)に示すカメラは、静止画を撮影する機能を有する。動画を撮影する機能を有する。撮影した画像(静止画、動画)を自動で補正する機能を有する。撮影した画像を記録媒体(外部又はデジタルカメラに内臓)に保存する機能を有する。撮影した画像を表示部に表示する機能を有する。なお、図8(B)に示すカメラが有する機能はこれに限定されず、様々な機能を有することができる。

30

#### 【0283】

図8(C)はコンピュータであり、本体1051、筐体1052、表示部1053、スピーカ1060、LEDランプ1061、リーダ/ライタ1062、入力手段(キーボード1054、外部接続ポート1055、ポインティングデバイス1056、接続端子1057、センサ1058(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン1059)等を含む。図8(C)に示すコンピュータは、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。様々なソフトウェア(プログラム)によって処理を制御する機能を有する。無線通信又は有線通信などの通信機能を有する。通信機能を用いて様々なコンピュータネットワークに接続する機能を有する。通信機能を用いて様々なデータの送信又は受信を行う機能を有する。なお、図8(C)に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

40

#### 【0284】

50

図 3 1 ( A ) はモバイルコンピュータであり、本体 1 1 3 1、表示部 1 1 3 2、スイッチ 1 1 3 3、スピーカ 1 1 3 9、LED ランプ 1 1 4 0、入力手段 ( 操作キー 1 1 3 4、赤外線ポート 1 1 3 5、接続端子 1 1 3 6、センサ 1 1 3 7 ( 力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの )、マイクロフォン 1 1 3 8 ) 等を含む。図 3 1 ( A ) に示すモバイルコンピュータは、様々な情報 ( 静止画、動画、テキスト画像など ) を表示部に表示する機能を有する。表示部にタッチパネルの機能を有する。カレンダー、日付又は時刻などを表示する機能を表示部に有する。様々なソフトウェア ( プログラム ) によって処理を制御する機能を有する。無線通信機能を有する。無線通信機能を用いて様々なコンピュータネットワークに接続する機能を有する。無線通信機能を用いて様々なデータの送信又は受信を行う機能を有する。なお、図 3 1 ( A ) に示すモバイルコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

10

## 【 0 2 8 5 】

図 3 1 ( B ) は記録媒体を備えた携帯型の画像再生装置 ( たとえば、DVD 再生装置 ) であり、本体 1 1 5 1、筐体 1 1 5 2、表示部 A 1 1 5 3、表示部 B 1 1 5 4、スピーカ部 1 1 5 7、LED ランプ 1 1 6 1、入力手段 ( 記録媒体 ( DVD 等 ) 読み込み部 1 1 5 5、操作キー 1 1 5 6、接続端子 1 1 5 8、センサ 1 1 5 9 ( 力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの )、マイクロフォン 1 1 6 0 ) 等を含む。表示部 A 1 1 5 3 は主として画像情報を表示し、表示部 B 1 1 5 4 は主として文字情報を表示することができる。

20

## 【 0 2 8 6 】

図 3 1 ( C ) はゴーグル型ディスプレイであり、本体 1 1 7 1、表示部 1 1 7 2、イヤホン 1 1 7 3、支持部 1 1 7 4、LED ランプ 1 1 7 9、スピーカ 1 1 7 8、入力手段 ( 接続端子 1 1 7 5、センサ 1 1 7 6 ( 力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの )、マイクロフォン 1 1 7 7 ) 等を含む。図 3 1 ( C ) に示すゴーグル型ディスプレイは、外部から取得した画像 ( 静止画、動画、テキスト画像など ) を表示部に表示する機能を有する。なお、図 3 1 ( C ) に示すゴーグル型ディスプレイが有する機能はこれに限定されず、様々な機能を有することができる。

30

## 【 0 2 8 7 】

図 3 2 ( A ) は携帯型遊技機であり、筐体 1 1 8 1、表示部 1 1 8 2、スピーカ部 1 1 8 3、記憶媒体挿入部 1 1 8 5、LED ランプ 1 1 8 9、入力手段 ( 操作キー 1 1 8 4、接続端子 1 1 8 6、センサ 1 1 8 7 ( 力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの )、マイクロフォン 1 1 8 8 ) 等を含む。図 3 2 ( A ) に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能を有する。他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図 3 2 ( A ) に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

40

## 【 0 2 8 8 】

図 3 2 ( B ) はテレビ受像機能付きデジタルカメラであり、本体 1 1 9 1、表示部 1 1 9 2、スピーカ 1 1 9 4、シャッターボタン 1 1 9 5、LED ランプ 1 2 0 1、入力手段 ( 操作キー 1 1 9 3、受像部 1 1 9 6、アンテナ 1 1 9 7、接続端子 1 1 9 8、センサ 1 1 9 9 ( 力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの )、マイクロフォン 1 2 0 0 ) 等を含む。図 3 2 ( B ) に示すテレビ受像機能付きデジタルカメラは、静止画を撮影する機能を有する

50

。動画を撮影する機能を有する。撮影した画像を自動で補正する機能を有する。アンテナから様々な情報を取得する機能を有する。撮影した画像、又はアンテナから取得した情報を保存する機能を有する。撮影した画像、又はアンテナから取得した情報を表示部に表示する機能を有する。なお、図32(B)に示すテレビ受像機付きデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

【0289】

図33は携帯型遊技機であり、筐体1211、第1表示部1212、第2表示部1213、スピーカ部1214、記録媒体挿入部1216、LEDランプ1220、入力手段(操作キー1215、接続端子1217、センサ1218(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に<sup>10</sup>おい又は赤外線を測定する機能を含むもの)、マイクロフォン1219)等を含む。図33に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能を有する。他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図33に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【0290】

図8(A)乃至(C)、図31(A)乃至(C)、図32(A)乃至(C)、及び図33に示したように、電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。

【0291】

次に、半導体装置の応用例を説明する。

【0292】

図9に、半導体装置を、建造物と一体にして設けた例について示す。図9は、筐体1070、表示部1071、操作部であるリモコン装置1072、スピーカ部1073等を含む。半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【0293】

図10に、建造物内に半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル1081は、ユニットバス1082と一体に取り付けられており、入浴者は表示パネル1081の視聴が可能になる。表示パネル1081は入浴者が操作することで情報を表示する機能を有する。広告又は娯楽手段として利用できる機能を有する。

【0294】

なお、半導体装置は、図10で示したユニットバス1082の側壁だけではなく、様々な場所に設置することができる。たとえば、鏡面の一部又は浴槽自体と一体にするなどとしてもよい。このとき、表示パネル1081の形状は、鏡面又は浴槽の形状に合わせたものとなってもよい。

【0295】

図11に、半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル1092は、柱状体1091の曲面に合わせて湾曲させて取り付けられている。なお、ここでは柱状体1091を電柱として説明する。

【0296】

図11に示す表示パネル1092は、人間の視点より高い位置に設けられている。電柱のように屋外で林立している建造物に表示パネル1092を設置することで、不特定多数の視認者に広告を行なうことができる。ここで、表示パネル1092は、外部からの制御により、同じ画像を表示させること、及び瞬時に画像を切替えることが容易であるため、極めて効率的な情報表示、及び広告効果が期待できる。表示パネル1092に自発光型の表示素子を設けることで、夜間であっても、視認性の高い表示媒体として有用であるといえる。電柱に設置することで、表示パネル1092の電力供給手段の確保が容易である。災害発生時などの非常事態の際には、被災者に素早く正確な情報を伝達する手段ともなり得る。

10

20

30

40

50

## 【 0 2 9 7 】

なお、表示パネル 1 0 9 2 としては、たとえば、フィルム状の基板に有機トランジスタなどのスイッチング素子を設けて表示素子を駆動することにより画像の表示を行なう表示パネルを用いることができる。

## 【 0 2 9 8 】

なお、本実施の形態において、建造物として壁、柱状体、ユニットバスを例としたが、本実施の形態はこれに限定されず、様々な建造物に半導体装置を設置することができる。

## 【 0 2 9 9 】

次に、半導体装置を、移動体と一体にして設けた例について示す。

## 【 0 3 0 0 】

図 1 2 は、半導体装置を、自動車と一体にして設けた例について示した図である。表示パネル 1 1 0 2 は、自動車の車体 1 1 0 1 と一体に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

## 【 0 3 0 1 】

なお、半導体装置は、図 1 2 で示した車体 1 1 0 1 だけではなく、様々な場所に設置することができる。たとえば、ガラス窓、ドア、ハンドル、シフトレバー、座席シート、ルームミラー等と一体にしてもよい。このとき、表示パネル 1 1 0 2 の形状は、設置するもの形状に合わせたものとなってもよい。

## 【 0 3 0 2 】

図 2 9 は、半導体装置を、列車車両と一体にして設けた例について示した図である。

## 【 0 3 0 3 】

図 2 9 ( a ) は、列車車両のドア 1 1 1 1 のガラスに表示パネル 1 1 1 2 を設けた例について示した図である。従来の紙による広告に比べて、広告切替えの際に必要な人件費がかからないという利点がある。表示パネル 1 1 1 2 は、外部からの信号により表示部で表示される画像の切り替えを瞬時に行なうことが可能であるため、たとえば、電車の乗降客の客層が入れ替わる時間帯ごとに表示パネルの画像を切り替えることができ、より効果的な広告効果が期待できる。

## 【 0 3 0 4 】

図 2 9 ( b ) は、列車車両のドア 1 1 1 1 のガラスの他に、ガラス窓 1 1 1 3、及び天井 1 1 1 4 に表示パネル 1 1 1 2 を設けた例について示した図である。このように、半導体装置は、従来では設置が困難であった場所に容易に設置することが可能であるため、効果的な広告効果を得ることができる。半導体装置は、外部からの信号により表示部で表示される画像の切り替えを瞬時に行なうことが可能であるため、広告切替え時のコスト及び時間が削減でき、より柔軟な広告の運用及び情報伝達が可能となる。

## 【 0 3 0 5 】

なお、半導体装置は、図 2 9 で示したドア 1 1 1 1、ガラス窓 1 1 1 3、及び天井 1 1 1 4 だけではなく、様々な場所に設置することができる。たとえば、つり革、座席シート、てすり、床等と一体にしてもよい。このとき、表示パネル 1 1 1 2 の形状は、設置するもの形状に合わせたものとなってもよい。

## 【 0 3 0 6 】

図 3 0 は、半導体装置を、旅客用飛行機と一体にして設けた例について示した図である。

## 【 0 3 0 7 】

図 3 0 ( a ) は、旅客用飛行機の座席上部の天井 1 1 2 1 に表示パネル 1 1 2 2 を設けたときの、使用時の形状について示した図である。表示パネル 1 1 2 2 は、天井 1 1 2 1 とヒンジ部 1 1 2 3 を介して一体に取り付けられており、ヒンジ部 1 1 2 3 の伸縮により乗客は表示パネル 1 1 2 2 の視聴が可能になる。表示パネル 1 1 2 2 は乗客が操作することで情報を表示する機能を有する。広告又は娯楽手段として利用できる機能を有する。図 3 0 ( b ) に示すように、ヒンジ部を折り曲げて天井 1 1 2 1 に格納することにより、離着陸時の安全に配慮することができる。なお、緊急時に表示パネルの表示素子を点灯させる

10

20

30

40

50

ことで、情報伝達手段及び誘導灯としても利用可能である。

【0308】

なお、半導体装置は、図30で示した天井1121だけではなく、様々な場所に設置することができる。たとえば、座席シート、座席テーブル、肘掛、窓等と一体にしてもよい。多数の人が同時に視聴できる大型の表示パネルを、機体の壁に設置してもよい。このとき、表示パネル1122の形状は、設置するもの形状に合わせたものとなってもよい。

【0309】

なお、本実施の形態において、移動体としては電車車両本体、自動車車体、飛行機車体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。半導体装置は、外部からの信号により、移動体内における表示パネルの表示を瞬時に切り替えることが可能であるため、移動体に半導体装置を設置することにより、移動体を不特定多数の顧客を対象とした広告表示板、災害発生時の情報表示板、等の用途に用いることが可能となる。

【0310】

以上のように本発明の表示装置は、様々な電子機器に適用することが可能であり、適用することにより、より特性のばらつきが小さく、且つ、より冗長性の高い表示装置を提供できる。

【0311】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【0312】

同様に、本実施の形態の各々の図で述べた内容（一部でもよい）は、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることができる。

【0313】

なお、本実施の形態は、他の実施の形態で述べた内容（一部でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態への適用、組み合わせ、又は置き換えを自由に行うことができる。

【図面の簡単な説明】

【0314】

【図1】実施の形態1における本発明の半導体装置の構成及び動作を示す図である。

【図2】実施の形態1における本発明の半導体装置の構成を示す図である。

【図3】実施の形態1における本発明の半導体装置の構成を示す図である。

【図4】実施の形態5における本発明の半導体装置または表示装置を適用した電子機器を示す図である。

【図5】実施の形態5における本発明の半導体装置または表示装置を適用した電子機器を示す図である。

【図6】実施の形態5における本発明の半導体装置または表示装置を適用した電子機器を示す図である。

【図7】実施の形態5における本発明の半導体装置または表示装置を適用した電子機器を示す図である。

【図8】実施の形態5における本発明の半導体装置または表示装置を適用した電子機器を示す図である。

10

20

30

40

50

【図 9】実施の形態 5 における本発明の半導体装置または表示装置を適用した電子機器を示す図である。

【図 10】実施の形態 5 における本発明の半導体装置または表示装置を適用した電子機器を示す図である。

【図 11】実施の形態 5 における本発明の半導体装置または表示装置を適用した電子機器を示す図である。

【図 12】実施の形態 5 における本発明の半導体装置または表示装置を適用した電子機器を示す図である。

【図 13】実施の形態 2 における本発明の表示装置の構成を示す図である。

【図 14】実施の形態 2 における本発明の表示装置の構成を示す図である。

【図 15】実施の形態 2 における本発明の表示装置の構成を示す図である。

【図 16】実施の形態 2 における本発明の表示装置の構成を示す図である。

【図 17】実施の形態 2 における本発明の表示装置の構成を示す図である。

【図 18】実施の形態 2 における本発明の表示装置の構成を示す図である。

【図 19】実施の形態 2 における本発明の表示装置の構成を示す図である。

【図 20】実施の形態 3 における本発明の半導体装置または表示装置に適用可能な S O I 基板を示す断面図である。

【図 21】実施の形態 3 における本発明の半導体装置または表示装置に適用可能な S O I 基板を示す断面図である。

【図 22】実施の形態 3 における本発明の半導体装置または表示装置に適用可能な S O I 基板の作製方法を示す断面図である。

【図 23】実施の形態 3 における本発明の半導体装置または表示装置に適用可能な S O I 基板の作製方法を示す断面図である。

【図 24】実施の形態 3 における本発明の半導体装置または表示装置に適用可能な S O I 基板の作製方法を示す断面図である。

【図 25】実施の形態 3 における S O I 基板を適用した本発明の半導体装置または表示装置の作製方法を示す断面図である。

【図 26】実施の形態 3 における S O I 基板を適用した本発明の半導体装置または表示装置の作製方法を示す断面図である。

【図 27】実施の形態 4 における S O I 基板の作製方法を示す断面図である。

【図 28】実施の形態 4 における S O I 基板の作製方法を示す断面図である。

【図 29】実施の形態 5 における本発明の半導体装置または表示装置を適用した電子機器を示す図である。

【図 30】実施の形態 5 における本発明の半導体装置または表示装置を適用した電子機器を示す図である。

【図 31】実施の形態 5 における本発明の半導体装置または表示装置を適用した電子機器を示す図である。

【図 32】実施の形態 5 における本発明の半導体装置または表示装置を適用した電子機器を示す図である。

【図 33】実施の形態 5 における本発明の半導体装置または表示装置を適用した電子機器を示す図である。

【符号の説明】

【 0 3 1 5 】

1 0 1 回路

1 0 2 回路

1 0 3 選択回路

1 0 4 回路

1 1 0 選択回路

1 1 1 スイッチ

1 1 2 スイッチ

10

20

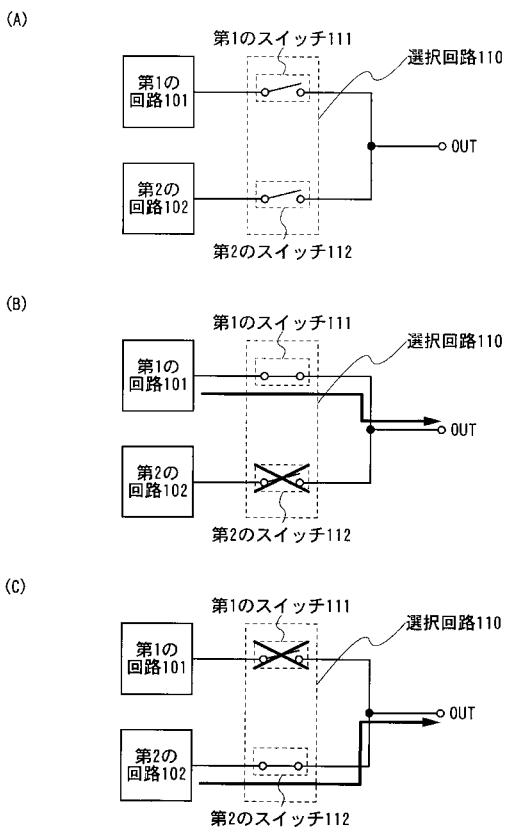
30

40

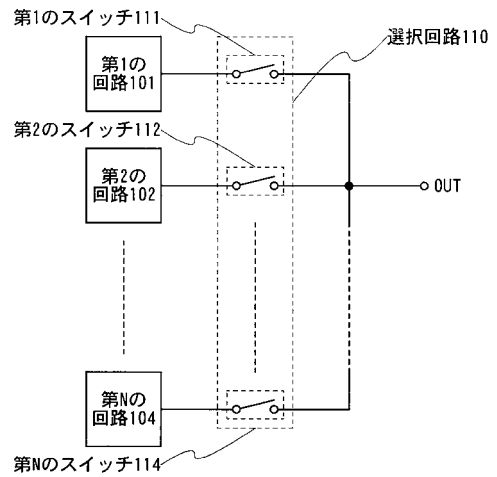
50

- 1 1 4 スイッチ
- 1 2 0 制御回路
- 1 2 1 比較回路
- 1 2 2 比較回路
- 1 2 3 メモリ
- 1 2 4 比較結果判断回路

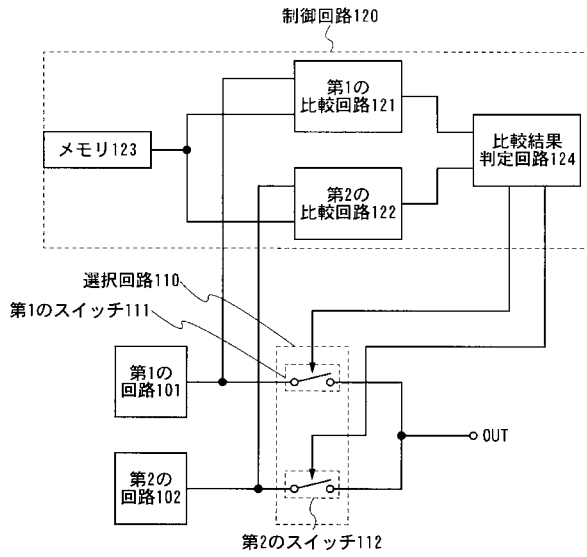
【 図 1 】



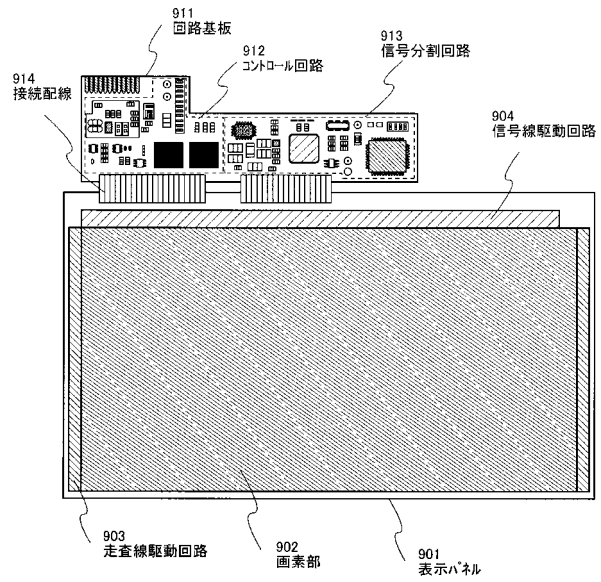
【 図 2 】



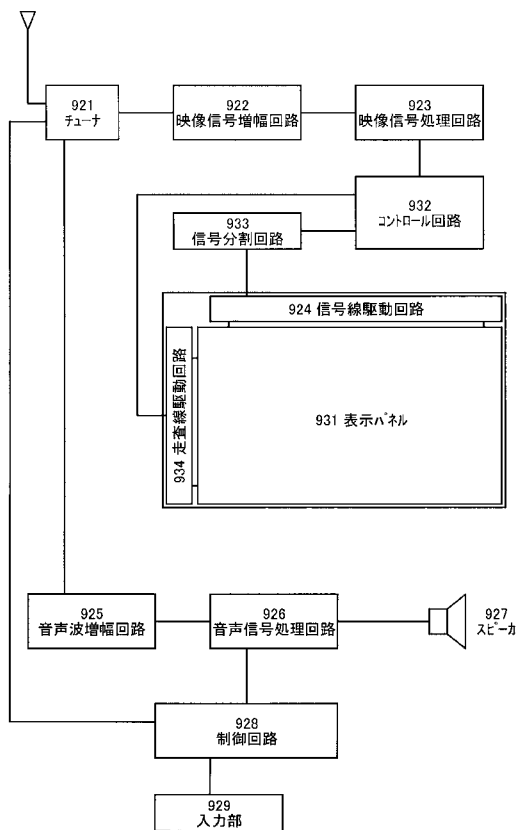
【 図 3 】



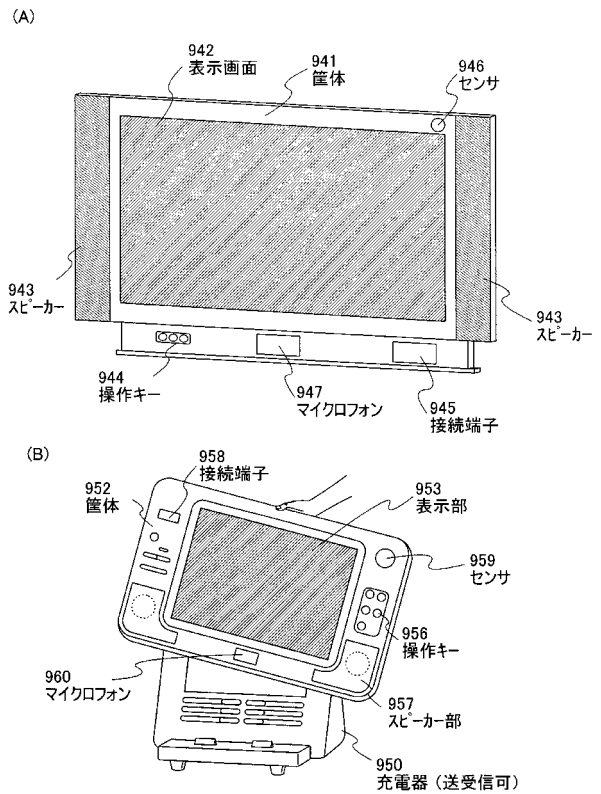
【 図 4 】



【 図 5 】

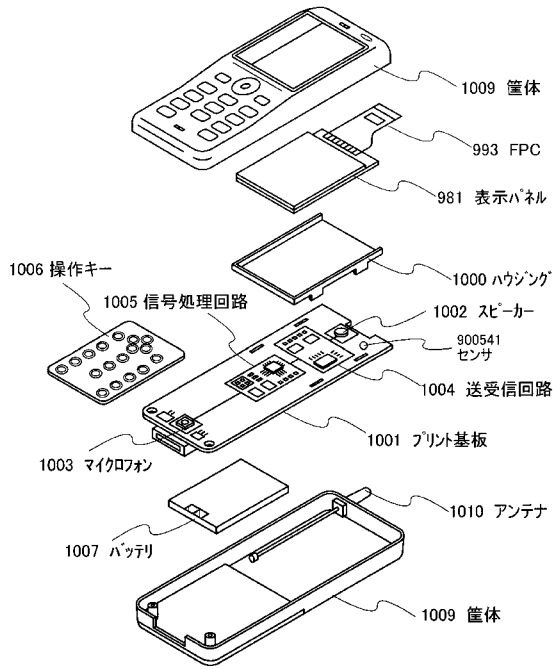


【 図 6 】

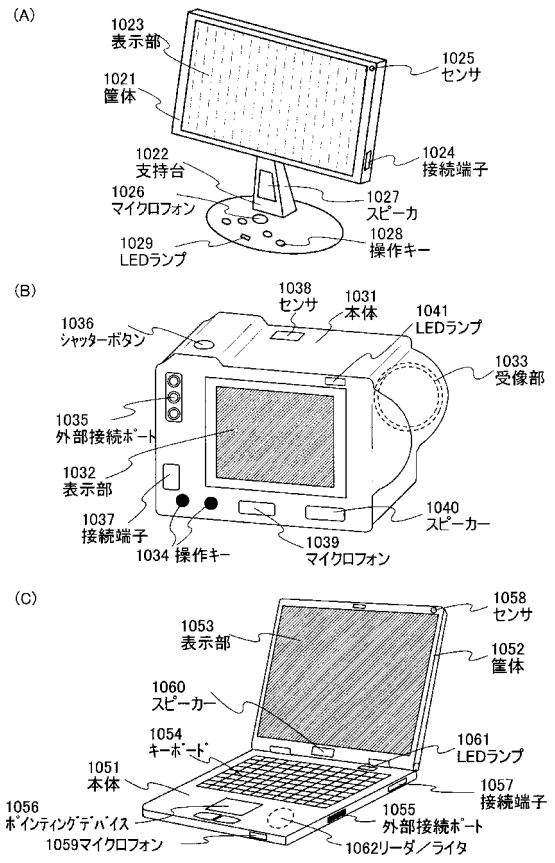




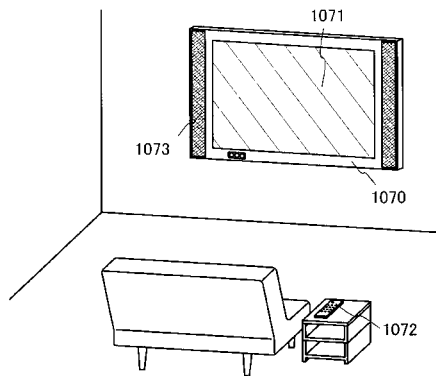
【 図 7 】



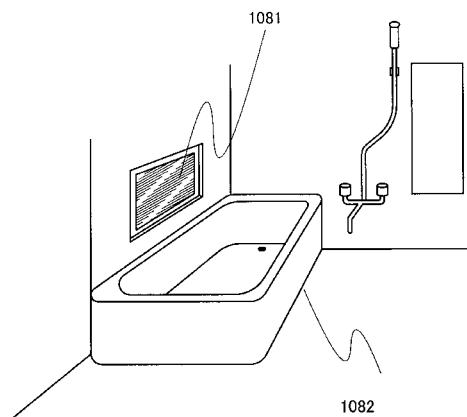
【 図 8 】



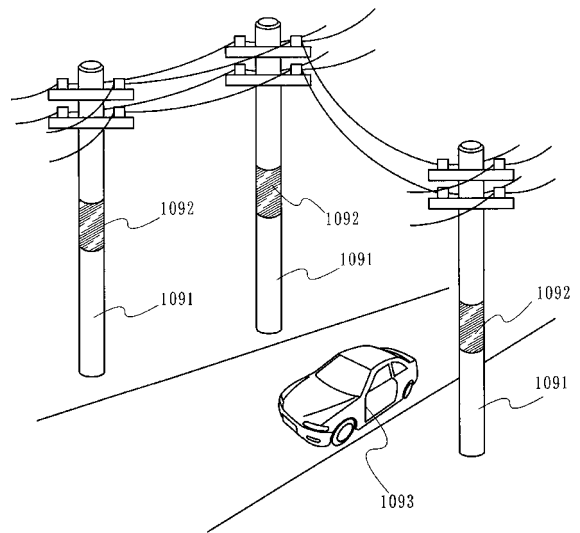
【 図 9 】



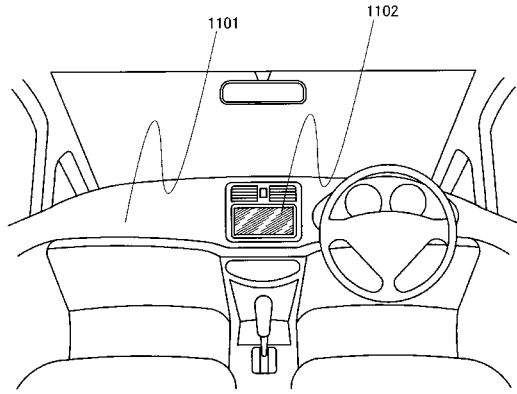
【 図 10 】



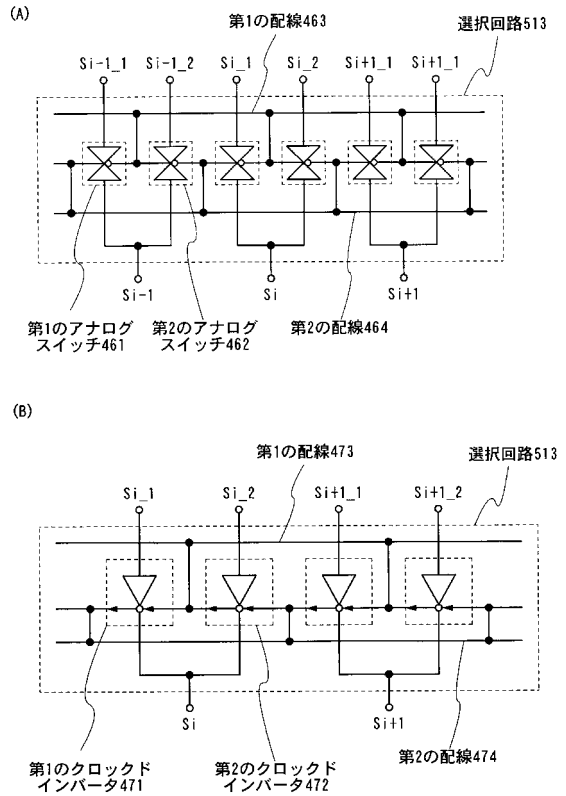
【 図 11 】



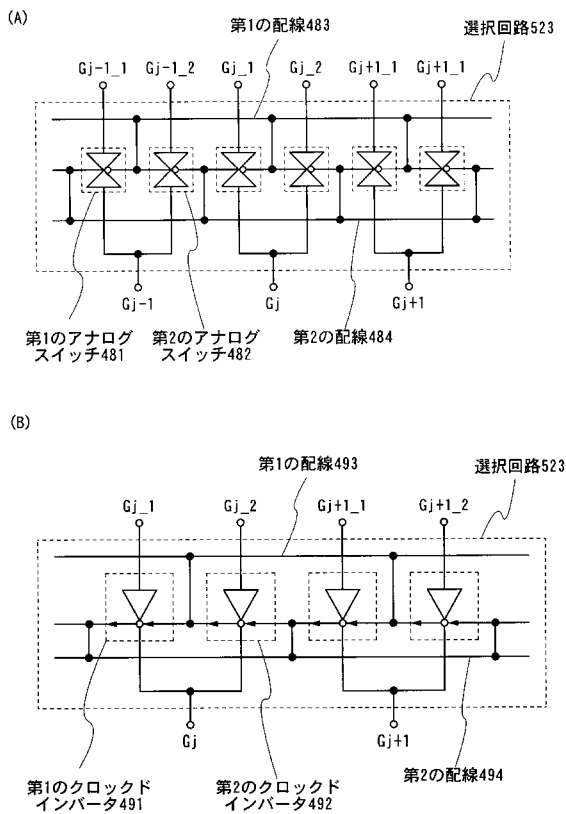
【 図 1 2 】



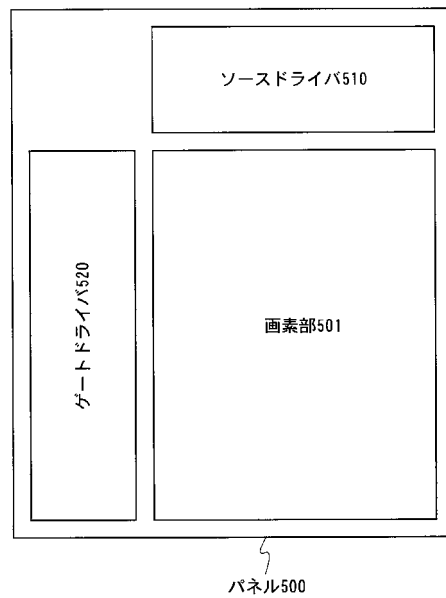
【 図 1 3 】



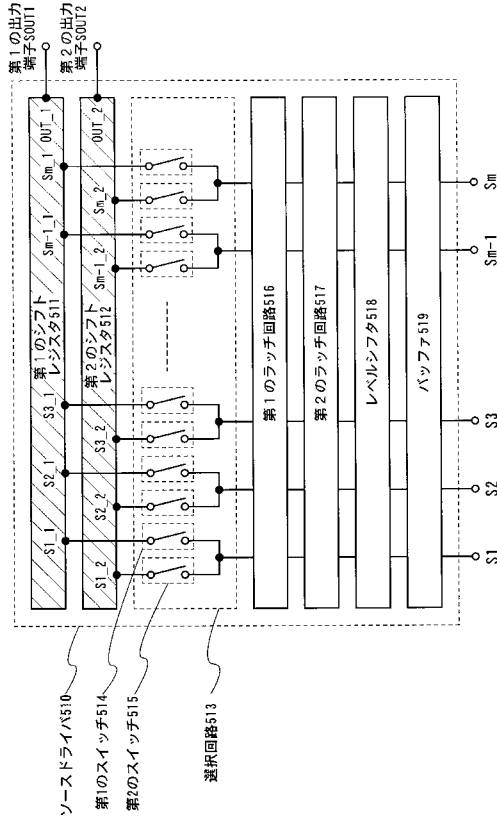
【 図 1 4 】



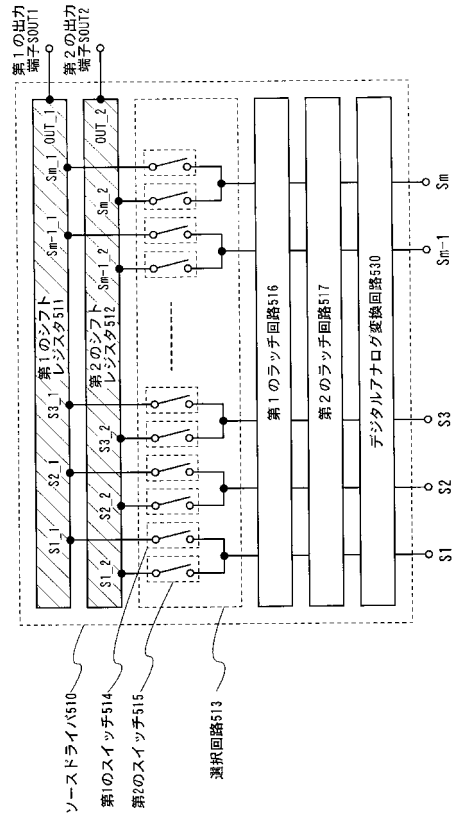
【 図 1 5 】



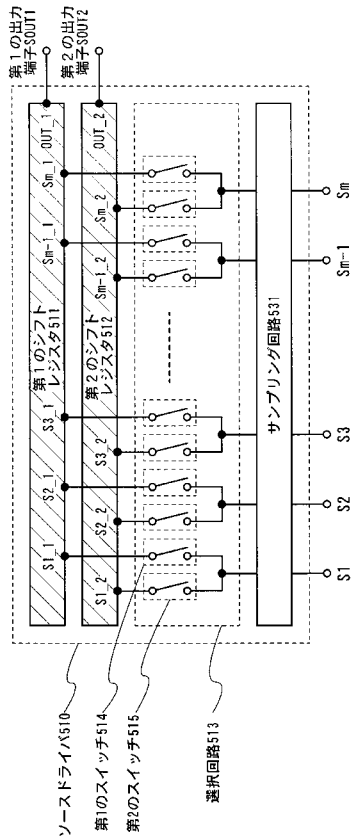
【図 16】



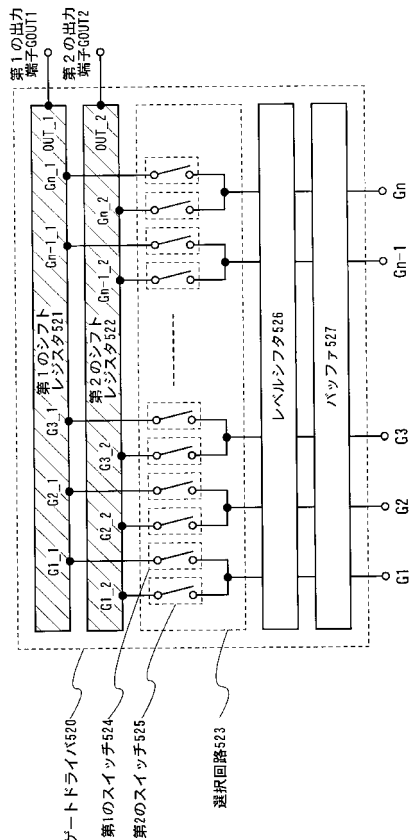
【図 17】



【図 18】

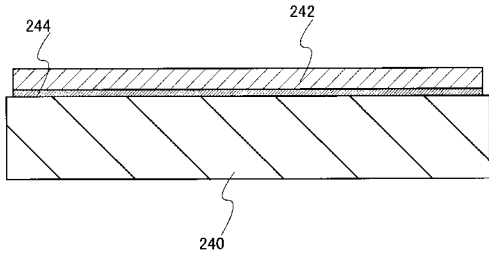


【図 19】

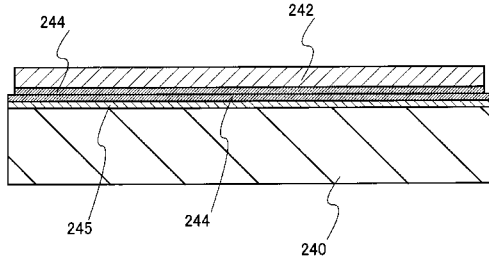


【図 20】

(A)

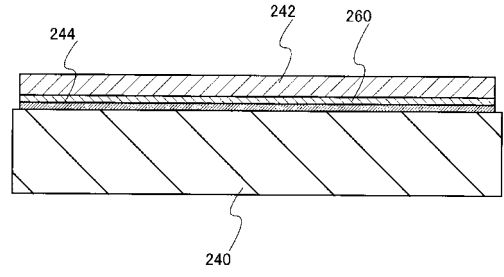


(B)

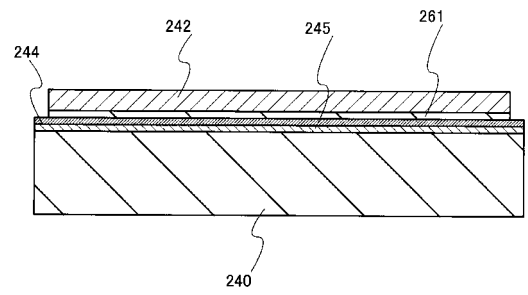


【図 21】

(A)

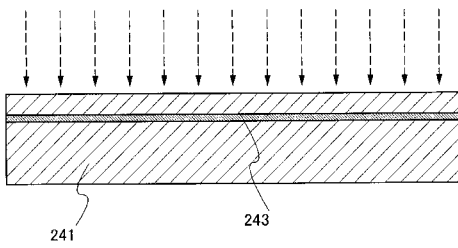


(B)

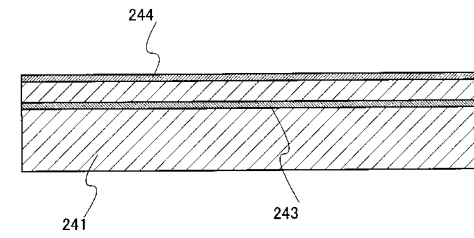


【図 22】

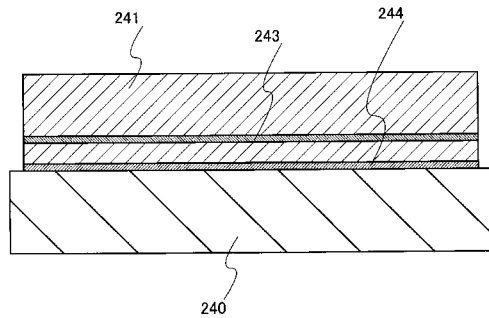
(A)



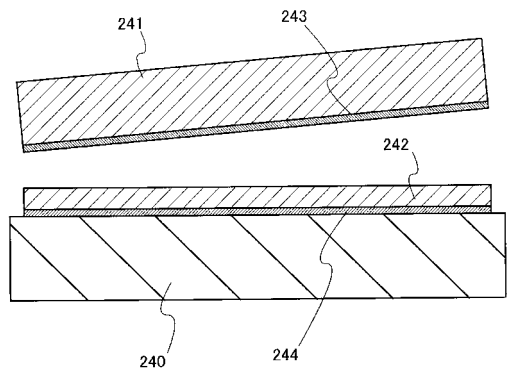
(B)



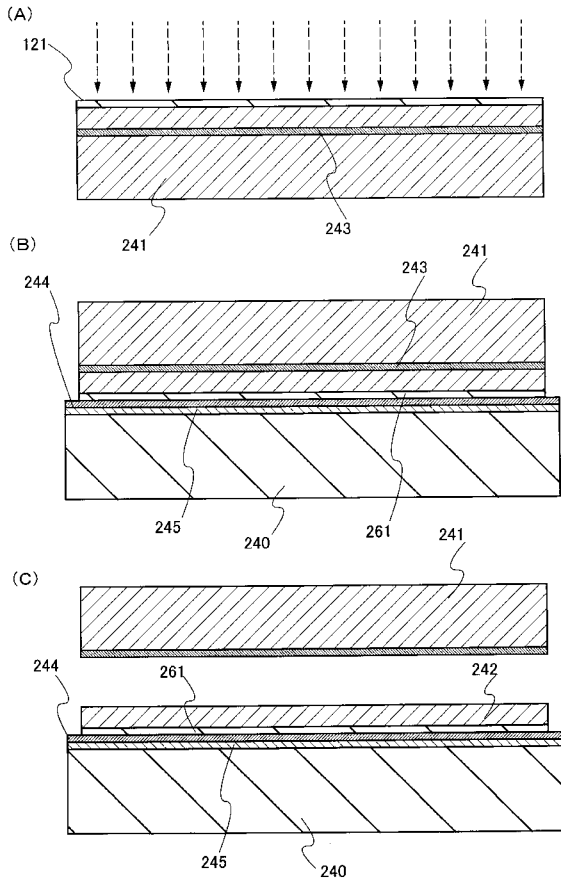
(C)



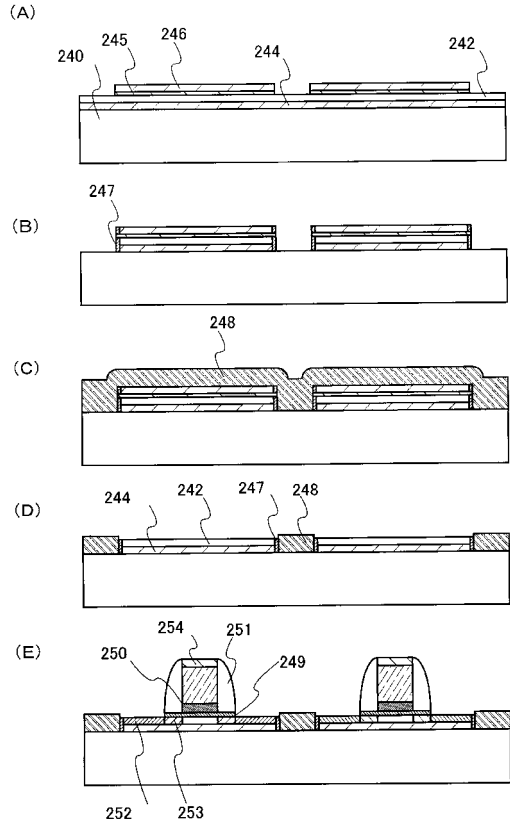
【図 23】



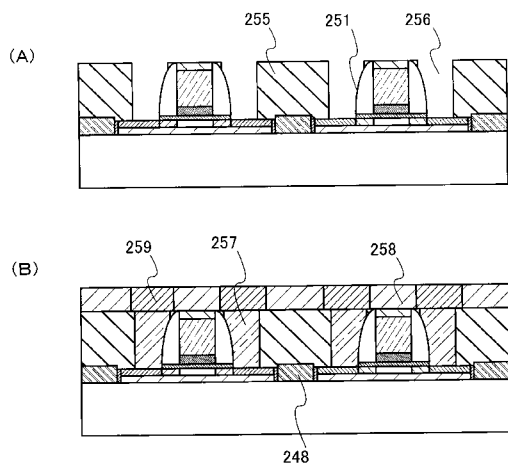
【 図 2 4 】



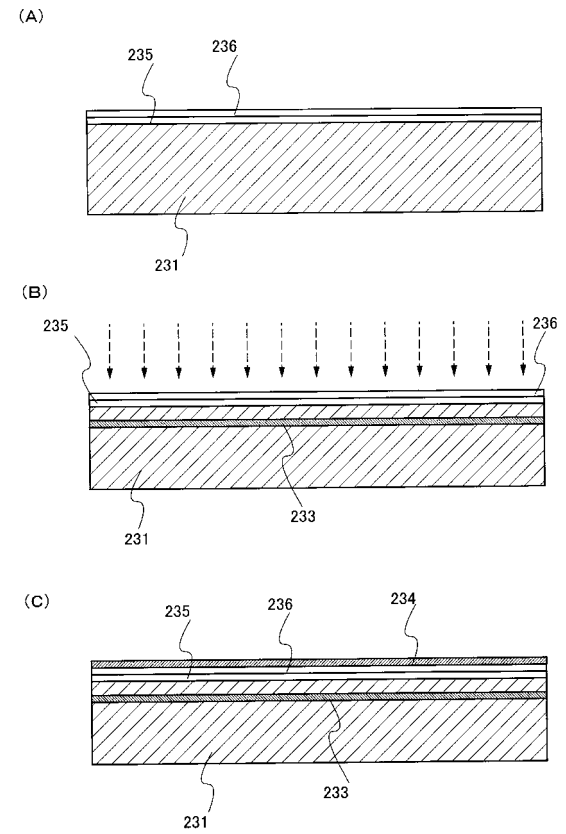
【 図 2 5 】



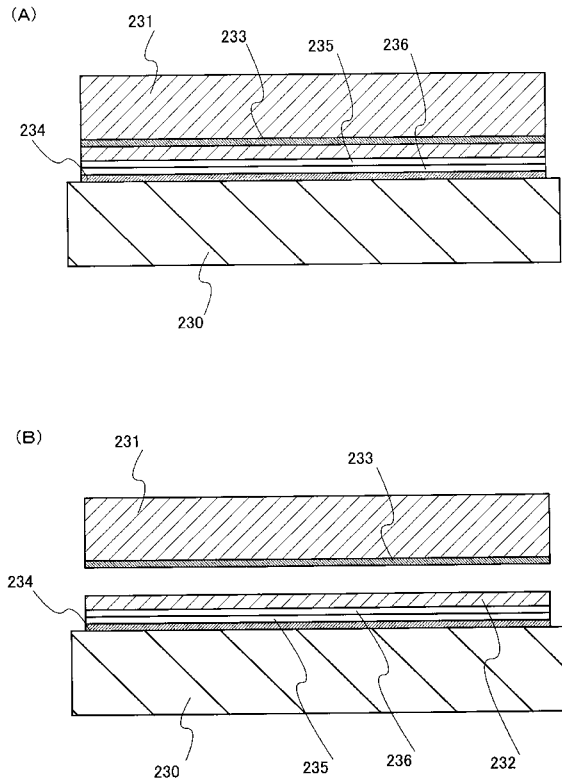
【 図 2 6 】



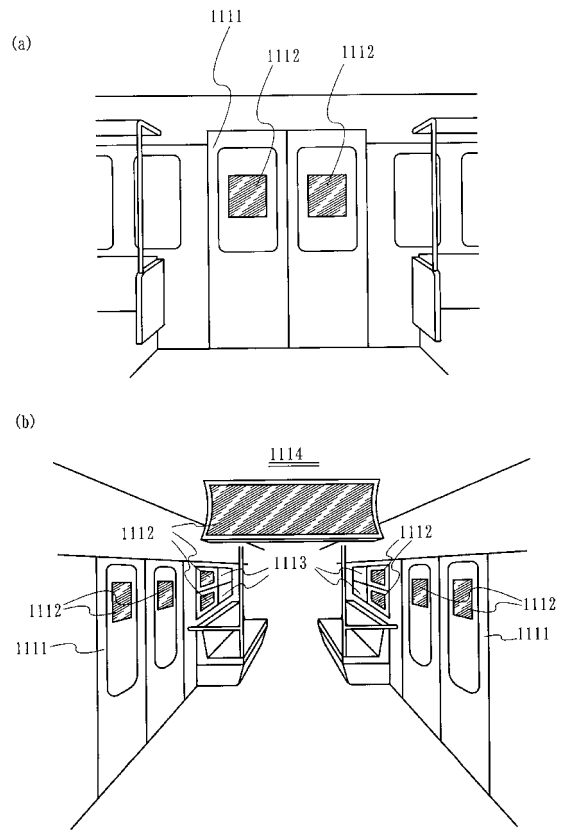
【 図 2 7 】



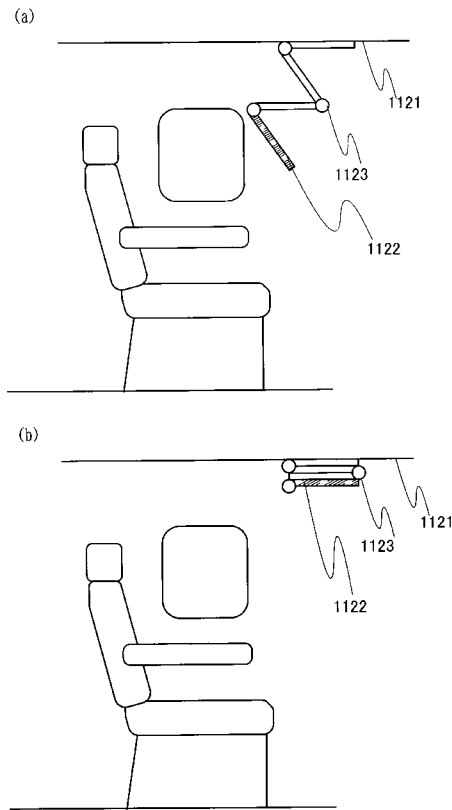
【図 28】



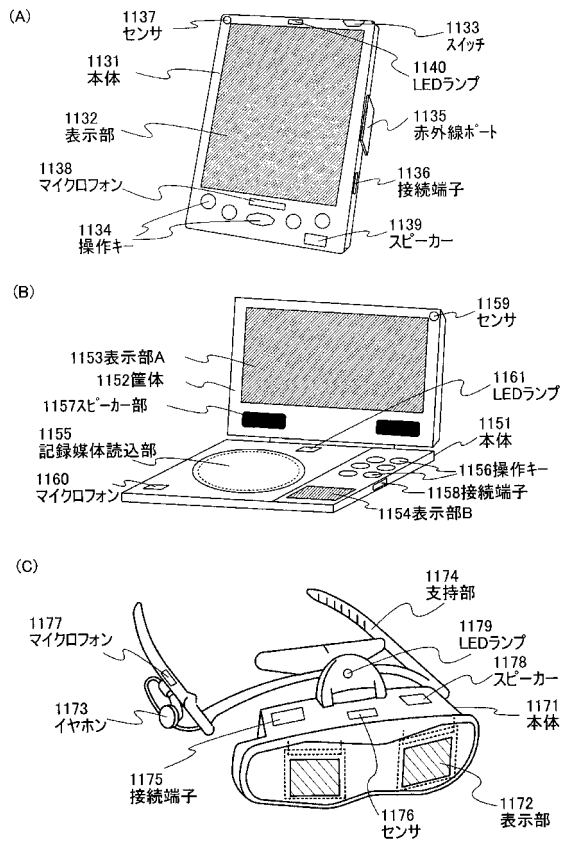
【図 29】



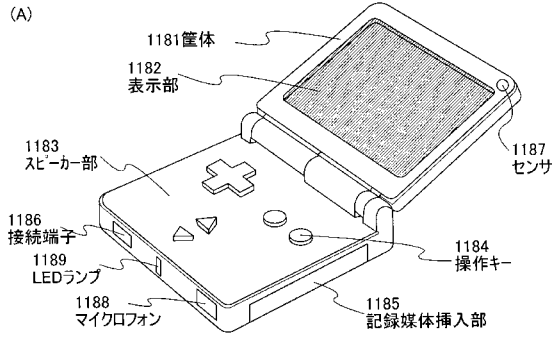
【図 30】



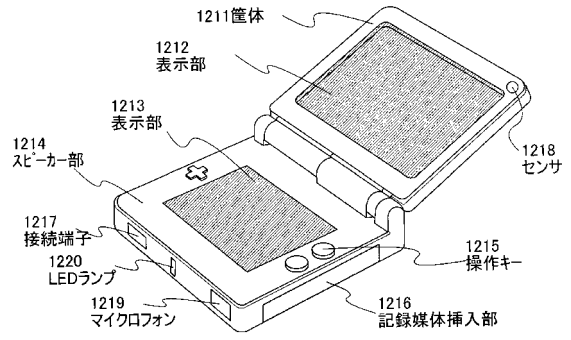
【図 31】



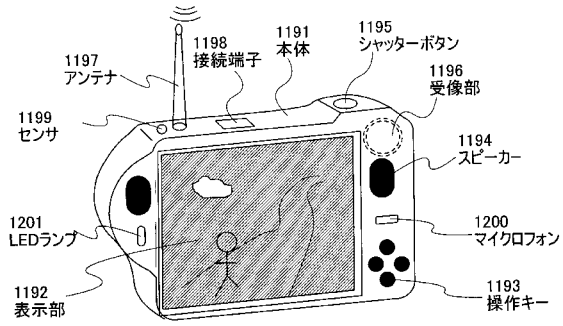
【図 3 2】



【図 3 3】



(B)



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 2 B  
G 0 9 G 3/20 6 2 2 E  
G 0 9 G 3/20 6 2 2 G  
G 0 9 G 3/20 6 2 3 R  
G 0 9 G 3/20 6 7 0 J  
G 0 9 G 3/20 6 7 0 A

Fターム(参考) 5F110 AA30 BB02 CC02 DD01 DD02 DD03 DD05 DD13 DD14 DD15  
DD17 EE28 EE30 EE31 GG01 GG02 GG04 GG05 GG12 GG13  
GG14 GG15 GG25 GG32 GG34 GG39 HL04 HL24 HM15 NN02  
NN22 NN62 NN65 NN78 PP01 PP03 PP34 QQ17 QQ19