



(12)发明专利申请

(10)申请公布号 CN 107331709 A

(43)申请公布日 2017. 11. 07

(21)申请号 201710534399.5

(22)申请日 2017.07.03

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 卢鑫泓 王珂 胡合合

(74)专利代理机构 北京银龙知识产权代理有限公司

公司 11243

代理人 黄灿 张博

(51) Int. Cl.

H01L 29/786(2006.01)

H01L 29/06(2006.01)

H01L 21/336(2006.01)

H01L 27/12(2006.01)

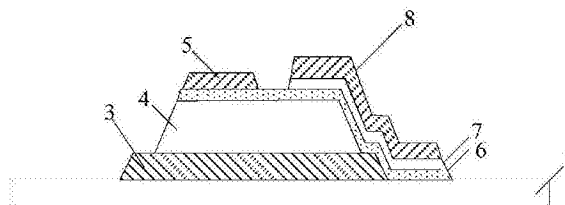
权利要求书1页 说明书6页 附图4页

(54)发明名称

薄膜晶体管及其制作方法、显示基板及显示装置

(57)摘要

本发明提供了一种薄膜晶体管及其制作方法、显示基板及显示装置,属于显示技术领域。薄膜晶体管,包括位于衬底基板上的第一极、有源层、第二极、栅绝缘层和栅电极,所述第一极上设置有间隔层,所述间隔层未完全覆盖所述第一极,所述有源层包括位于所述间隔层上的第一部分和位于所述第一极上的第二部分,所述第二极位于所述有源层的第一部分上,其中,所述第一极为源电极和漏电极中的其中一个,所述第二极为源电极和漏电极中的另外一个。本发明的技术方案能够改善垂直结构的薄膜晶体管的性能,进而降低显示基板的驱动功耗。



1. 一种薄膜晶体管,包括位于衬底基板上的第一极、有源层、第二极、栅绝缘层和栅电极,其特征在于,所述第一极上设置有间隔层,所述间隔层未完全覆盖所述第一极,所述有源层包括位于所述间隔层上的第一部分和位于所述第一极上的第二部分,所述第二极位于所述有源层的第一部分上,其中,所述第一极为源电极和漏电极中的其中一个,所述第二极为源电极和漏电极中的另外一个。

2. 根据权利要求1所述的薄膜晶体管,其特征在于,所述栅绝缘层位于所述有源层上,所述栅电极位于所述栅绝缘层上,所述第二极在所述衬底基板上的正投影与所述栅电极在所述衬底基板上的正投影不存在重叠区域。

3. 根据权利要求1所述的薄膜晶体管,其特征在于,所述薄膜晶体管具体包括:

位于衬底基板上的所述第一极;

位于所述第一极上的所述间隔层;

位于所述第一极和所述间隔层上的所述有源层;

位于所述有源层的第一部分上的所述第二极;

位于所述有源层上的所述栅绝缘层,所述栅绝缘层与所述第二极相距一定距离;

位于所述栅绝缘层上的所述栅电极。

4. 根据权利要求1所述的薄膜晶体管,其特征在于,所述间隔层的厚度不小于4000Å。

5. 一种显示基板,其特征在于,包括如权利要求1-4中任一项所述的薄膜晶体管。

6. 一种显示装置,其特征在于,包括如权利要求5所述的显示基板。

7. 一种薄膜晶体管的制作方法,其特征在于,包括:

在衬底基板上形成薄膜晶体管的第一极;

在所述第一极上形成间隔层,所述间隔层未完全覆盖所述第一极;

形成薄膜晶体管的有源层,所述有源层包括位于所述间隔层上的第一部分和位于所述第一极上的第二部分;

在所述有源层的第一部分上形成薄膜晶体管的第二极;

其中,所述第一极为源电极和漏电极中的其中一个,所述第二极为源电极和漏电极中的另外一个。

8. 根据权利要求7所述的薄膜晶体管的制作方法,其特征在于,还包括:

在所述有源层上形成栅绝缘层;

在所述栅绝缘层上形成薄膜晶体管的栅电极,所述第二极在所述衬底基板上的正投影与所述栅电极在所述衬底基板上的正投影不存在重叠区域。

9. 根据权利要求7所述的薄膜晶体管的制作方法,其特征在于,通过一次构图工艺形成所述第一极和所述间隔层。

10. 根据权利要求8所述的薄膜晶体管的制作方法,其特征在于,通过一次构图工艺同时形成所述栅电极和所述第二极。

薄膜晶体管及其制作方法、显示基板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别是指一种薄膜晶体管及其制作方法、显示基板及显示装置。

背景技术

[0002] 近年,随着AR(Augmented Reality,增强现实技术)/VR(Virtual Reality,虚拟现实技术)显示的爆发式发展,超高PPI(像素密度)(≥ 1000 PPI)显示基板技术的开发正逐渐成为显示技术的主流方向之一。但是现有的底栅型薄膜晶体管和背沟道刻蚀型薄膜晶体管的尺寸都比较大,不适用于超高PPI的显示基板。垂直结构的薄膜晶体管的尺寸相比于底栅型薄膜晶体管和背沟道刻蚀型薄膜晶体管大大减小,展现了垂直结构的薄膜晶体管在超高PPI显示基板中的应用前景。

[0003] 但是如图1所示的现有垂直结构的薄膜晶体管中,可以看出,漏电极5仅有一小部分与有源层6相接触,相比于底栅型薄膜晶体管和背沟道刻蚀型薄膜晶体管,漏电极5与有源层6的接触面积较小,将会影响薄膜晶体管的性能,导致显示基板的驱动功耗增加。

发明内容

[0004] 本发明要解决的技术问题是提供一种薄膜晶体管及其制作方法、显示基板及显示装置,能够改善垂直结构的薄膜晶体管的性能,进而降低显示基板的驱动功耗。

[0005] 为解决上述技术问题,本发明的实施例提供技术方案如下:

[0006] 一方面,提供一种薄膜晶体管,包括位于衬底基板上的第一极、有源层、第二极、栅绝缘层和栅电极,所述第一极上设置有间隔层,所述间隔层未完全覆盖所述第一极,所述有源层包括位于所述间隔层上的第一部分和位于所述第一极上的第二部分,所述第二极位于所述有源层的第一部分上,其中,所述第一极为源电极和漏电极中的其中一个,所述第二极为源电极和漏电极中的另外一个。

[0007] 进一步地,所述栅绝缘层位于所述有源层上,所述栅电极位于所述栅绝缘层上,所述第二极在所述衬底基板上的正投影与所述栅电极在所述衬底基板上的正投影不存在重叠区域。

[0008] 进一步地,所述薄膜晶体管具体包括:

[0009] 位于衬底基板上的所述第一极;

[0010] 位于所述第一极上的所述间隔层;

[0011] 位于所述第一极和所述间隔层上的所述有源层;

[0012] 位于所述有源层的第一部分上的所述第二极;

[0013] 位于所述有源层上的所述栅绝缘层,所述栅绝缘层与所述第二极相距一定距离;

[0014] 位于所述栅绝缘层上的所述栅电极。

[0015] 进一步地,所述间隔层的厚度不小于 4000\AA 。

[0016] 本发明实施例还提供了一种显示基板,包括如上所述的薄膜晶体管。

- [0017] 本发明实施例还提供了一种显示装置,包括如上所述的显示基板。
- [0018] 本发明实施例还提供了一种薄膜晶体管的制作方法,包括:
- [0019] 在衬底基板上形成薄膜晶体管的第一极;
- [0020] 在所述第一极上形成间隔层,所述间隔层未完全覆盖所述第一极;
- [0021] 形成薄膜晶体管的有源层,所述有源层包括位于所述间隔层上的第一部分和位于所述第一极上的第二部分;
- [0022] 在所述有源层的第一部分上形成薄膜晶体管的第二极;
- [0023] 其中,所述第一极为源电极和漏电极中的其中一个,所述第二极为源电极和漏电极中的另外一个。
- [0024] 进一步地,还包括:
- [0025] 在所述有源层上形成栅绝缘层;
- [0026] 在所述栅绝缘层上形成薄膜晶体管的栅电极,所述第二极在所述衬底基板上的正投影与所述栅电极在所述衬底基板上的正投影不存在重叠区域。
- [0027] 进一步地,通过一次构图工艺形成所述第一极和所述间隔层。
- [0028] 进一步地,通过一次构图工艺同时形成所述栅电极和所述第二极。
- [0029] 本发明的实施例具有以下有益效果:
- [0030] 上述方案中,有源层包括位于间隔层上的第一部分和位于第一极上的第二部分,且第二极位于有源层的第一部分上,这样相比于现有垂直结构的薄膜晶体管,能够提高第一极以及第二极与有源层的接触面积,改善垂直结构的薄膜晶体管的性能,进而降低显示基板的驱动功耗。

附图说明

- [0031] 图1为现有垂直结构的薄膜晶体管的结构示意图;
- [0032] 图2为现有背沟道刻蚀型薄膜晶体管的结构示意图;
- [0033] 图3为现有顶栅型薄膜晶体管的结构示意图;
- [0034] 图4-图14为本发明实施例薄膜晶体管的制作流程示意图。
- [0035] 附图标记
- | | | | | |
|--------|---------|--------|------------|-------|
| [0036] | 1 衬底基板 | 2 缓冲层 | 3 源电极 | 4 间隔层 |
| [0037] | 5 漏电极 | 6 有源层 | 7 栅绝缘层 | 8 栅电极 |
| [0038] | 9 层间绝缘层 | 10 光刻胶 | 41 间隔层过渡图形 | |
| [0039] | 81 导电层 | | | |

具体实施方式

[0040] 为使本发明的实施例要解决的技术问题、技术方案和优点更加清楚,下面将结合附图及具体实施例进行详细描述。

[0041] 图1为现有垂直结构的薄膜晶体管的结构示意图,图2为现有背沟道刻蚀型薄膜晶体管的结构示意图,图3为现有顶栅型薄膜晶体管的结构示意图,其中,1为衬底基板,2为缓冲层,3为源电极,4为间隔层,5为漏电极,6为有源层,7为栅绝缘层,8为栅电极,9为层间绝缘层。可以看出,垂直结构的薄膜晶体管的宽度D1小于背沟道刻蚀型薄膜晶体管的宽度D2,

同时垂直结构的薄膜晶体管的宽度D1小于顶栅型薄膜晶体管的宽度D3。垂直结构的薄膜晶体管的尺寸相比于底栅型薄膜晶体管和背沟道刻蚀型薄膜晶体管大大减小,展现了垂直结构的薄膜晶体管在超高PPI显示基板中的应用前景。

[0042] 但是如图1所示的现有垂直结构的薄膜晶体管中,漏电极5与有源层6的接触面积较小,将会影响薄膜晶体管的性能,并且栅电极8与漏电极5在衬底基板1上的正投影存在交叠区域,导致栅电极8与漏电极5之间存在寄生电容,进一步影响了薄膜晶体管的性能,导致显示基板的驱动功耗增加。

[0043] 本发明的实施例针对上述问题,提供一种薄膜晶体管及其制作方法、显示基板及显示装置,能够改善垂直结构的薄膜晶体管的性能,进而降低显示基板的驱动功耗。

[0044] 本发明实施例提供了一种薄膜晶体管,包括位于衬底基板上的第一极、有源层、第二极、栅绝缘层和栅电极,所述第一极上设置有间隔层,所述间隔层未完全覆盖所述第一极,所述有源层包括位于所述间隔层上的第一部分和位于所述第一极上的第二部分,所述第二极位于所述有源层的第一部分上,其中,所述第一极为源电极和漏电极中的其中一个,所述第二极为源电极和漏电极中的另外一个。

[0045] 间隔层未完全覆盖第一极即间隔层在衬底基板上的正投影落入第一极在衬底基板上的正投影内,且间隔层在衬底基板上的正投影的边缘与第一极在衬底基板上的正投影的边缘相隔预设距离,这样能够保证未被间隔层覆盖的第一极的面积,保证有源层与第一极的接触面积,进而保证垂直结构的薄膜晶体管的性能,降低显示基板的驱动功耗。

[0046] 本实施例中,有源层包括位于间隔层上的第一部分和位于第一极上的第二部分,且第二极位于有源层的第一部分上,这样相比于现有垂直结构的薄膜晶体管,能够提高第一极以及第二极与有源层的接触面积,改善垂直结构的薄膜晶体管的性能,进而降低显示基板的驱动功耗。

[0047] 进一步地,所述栅绝缘层位于所述有源层上,所述栅电极位于所述栅绝缘层上,所述第二极在所述衬底基板上的正投影与所述栅电极在所述衬底基板上的正投影不存在重叠区域,这样能够避免栅电极与第二极之间产生寄生电容,进一步改善了薄膜晶体管的性能,进而降低显示基板的驱动功耗。

[0048] 进一步地,所述薄膜晶体管具体包括:

[0049] 位于衬底基板上的所述第一极;

[0050] 位于所述第一极上的所述间隔层;

[0051] 位于所述第一极和所述间隔层上的所述有源层;

[0052] 位于所述有源层的第一部分上的所述第二极;

[0053] 位于所述有源层上的所述栅绝缘层,所述栅绝缘层与所述第二极相距一定距离;

[0054] 位于所述栅绝缘层上的所述栅电极。

[0055] 进一步地,所述间隔层的厚度不小于 4000 \AA ,这样间隔层的厚度比较大,可以避免第二极与第一极之间产生寄生电容,保证薄膜晶体管的性能。

[0056] 本发明实施例还提供了一种显示基板,包括如上所述的薄膜晶体管。

[0057] 本发明实施例还提供了一种显示装置,包括如上所述的显示基板。所述显示装置可以为:液晶电视、液晶显示器、数码相框、手机、平板电脑等任何具有显示功能的产品或部件,其中,所述显示装置还包括柔性电路板、印刷电路板和背板。

- [0058] 本发明实施例还提供了一种薄膜晶体管的制作方法,包括:
- [0059] 在衬底基板上形成薄膜晶体管的第一极;
- [0060] 在所述第一极上形成间隔层,所述间隔层未完全覆盖所述第一极;
- [0061] 形成薄膜晶体管的有源层,所述有源层包括位于所述间隔层上的第一部分和位于所述第一极上的第二部分;
- [0062] 在所述有源层的第一部分上形成薄膜晶体管的第二极;
- [0063] 其中,所述第一极为源电极和漏电极中的其中一个,所述第二极为源电极和漏电极中的另外一个。
- [0064] 本实施例制作的薄膜晶体管的有源层包括位于间隔层上的第一部分和位于第一极上的第二部分,且第二极位于有源层的第一部分上,这样相比于现有垂直结构的薄膜晶体管,能够提高第一极以及第二极与有源层的接触面积,改善垂直结构的薄膜晶体的性能,进而降低显示基板的驱动功耗。
- [0065] 进一步地,所述制作方法还包括:
- [0066] 在所述有源层上形成栅绝缘层;
- [0067] 在所述栅绝缘层上形成薄膜晶体管的栅电极,所述第二极在所述衬底基板上的正投影与所述栅电极在所述衬底基板上的正投影不存在重叠区域。
- [0068] 进一步地,通过一次构图工艺形成所述第一极和所述间隔层,第一极和间隔层通过一次构图工艺形成,可以减少制作薄膜晶体管的构图工艺次数,降低薄膜晶体管的制作成本。
- [0069] 进一步地,通过一次构图工艺同时形成所述栅电极和所述第二极,栅电极和第二极通过一次构图工艺形成,可以减少制作薄膜晶体管的构图工艺次数,降低薄膜晶体管的制作成本。
- [0070] 下面以第一极为源电极、第二极为漏电极为例,结合附图对本发明的薄膜晶体管的制作方法进行详细介绍,本实施例的薄膜晶体管的制作方法具体包括以下步骤:
- [0071] 步骤1、提供一衬底基板1,在衬底基板1上形成源电极3和间隔层4的图形;
- [0072] 其中,还可以在形成源电极3和间隔层4的图形之前,在衬底基板1上形成缓冲层,之后在缓冲层上形成源电极3和间隔层4的图形。
- [0073] 可以通过两次构图工艺分别形成源电极3和间隔层4,也可以采用一次构图工艺形成源电极3和间隔层4,源电极3和间隔层4通过一次构图工艺形成可以减少制作薄膜晶体管的构图工艺次数,降低薄膜晶体管的制作成本。
- [0074] 在通过一次构图工艺形成源电极3和间隔层4时,首先可以采用溅射或热蒸发的方法在衬底基板1上沉积厚度约为500~4000 Å的导电层,导电层可以是Cu, Al, Ag, Mo, Cr, Nd, Ni, Mn, Ti, Ta, W等金属以及这些金属的合金,导电层可以为单层结构或者多层结构,多层结构比如Cu\Mo, Ti\Cu\Ti, Mo\Al\Mo等。当然,导电层还可以为ITO等透明导电氧化物。在导电层上沉积后涂覆一层间隔层材料,间隔层材料可以是SiO_x或者树脂类材料,间隔层材料的厚度不小于4000 Å,如果间隔层材料采用树脂类材料,则在形成该层树脂类材料之后,还需要对其做低温热处理,比如在100~180℃的温度下加热30-60分钟,以排出树脂类材料内部的气体、水汽和H;
- [0075] 在间隔层材料上涂覆光刻胶10,进行曝光显影后形成光刻胶保留区域和光刻胶未

保留区域,光刻胶保留区域对应源电极3的图形,对导电层和间隔层材料进行刻蚀,如图4所示,形成源电极3的图形和间隔层过渡图形41。

[0076] 如图5所示,通过灰化工艺去除光刻胶保留区域的一部分光刻胶,使得光刻胶保留区域的尺寸减小,露出一部分的间隔层过渡图形41。

[0077] 如图6所示,通过干刻工艺将间隔层过渡图形41未被光刻胶覆盖的部分去除,形成间隔层4的图形,灰化或剥离剩余的光刻胶。

[0078] 如图6所示,间隔层4在衬底基板1上的正投影落入源电极3在衬底基板1上的正投影内,且间隔层4在衬底基板1上的正投影的边缘与源电极3在衬底基板1上的正投影的边缘相隔预设距离,这样能够保证未被间隔层4覆盖的源电极3的面积,保证后续形成的有源层与源电极3的接触面积,进而保证垂直结构的薄膜晶体管的性能,降低显示基板的驱动功耗。

[0079] 步骤2、在经过步骤1的衬底基板1上形成有源层6和栅绝缘层7;

[0080] 如图7所示,在经过步骤1的衬底基板1上形成有源层6和栅绝缘层7,有源层6可以采用IGZO、IZO、IGZTO、ITZO和ITGO等材料,栅绝缘层7可以选用氧化物、氮化物或者氧氮化合物,对应的反应气体是 SiH_4 、 NH_3 、 N_2 或 SiH_2Cl_2 、 NH_3 、 N_2 。栅绝缘层7还可以是 Al_2O_3 等high-k金属氧化物介质材料。通常 Al_2O_3 等high-k金属氧化物介质材料可以用Al刻蚀液来进行刻蚀,其主要有效成分为 H_3PO_4 ,反应方程式为 $\text{Al}_2\text{O}_3 + \text{H}_3\text{PO}_4 \rightarrow \text{Al}^{3+} + \text{PO}_4^{3-} + \text{H}_2\text{Al}(\text{PO}_4) + \text{H}_2\text{O}$,为了防止刻蚀栅绝缘层7时对有源层6造成损伤,在栅绝缘层7采用 Al_2O_3 等high-k金属氧化物介质材料时,有源层6材料需是(但不限于)IGZTO、ITZO和ITGO等防Al刻蚀液的氧化物材料,其共通特质是均含有成分Sn,能较好的抵挡Al刻蚀液的损伤。

[0081] 步骤3、在栅绝缘层7上涂覆光刻胶10,如图8所示,采用半色调掩模板或灰色调掩模板对光刻胶10进行曝光后,形成光刻胶完全保留区域,光刻胶部分保留区域和光刻胶完全去除区域;

[0082] 步骤4、如图9所示,去除光刻胶完全去除区域的有源层6和栅绝缘层7,形成有源层6的图形,并灰化掉光刻胶部分保留区域的全部光刻胶和光刻胶完全保留区域的部分光刻胶;

[0083] 步骤5、如图10所示,去除光刻胶部分保留区域的栅绝缘层7,形成栅绝缘层7的图形;

[0084] 步骤6、如图11所示,灰化或剥离光刻胶完全保留区域的光刻胶;

[0085] 步骤7、如图12所示,在经过步骤6的衬底基板1上沉积导电层81,导电层81可以是Cu,Al,Ag,Mo,Cr,Nd,Ni,Mn,Ti,Ta,W等金属以及这些金属的合金,导电层81可以为单层结构或者多层结构,多层结构比如Cu\Mo,Ti\Cu\Ti,Mo\Al\Mo等。但是,导电层81不能采用ITO等透明导电氧化物,因为透明导电氧化物的刻蚀液会对有源层6造成损伤。

[0086] 步骤8、如图13所示,在导电层81上涂覆一层光刻胶10,对光刻胶10进行曝光,形成光刻胶保留区域和光刻胶去除区域。

[0087] 步骤9、如图14所示,对光刻胶去除区域的导电层81进行刻蚀,形成漏电极5和栅电极8的图形,其中漏电极5位于有源层6上,栅电极8位于栅绝缘层7上。可以看出,漏电极5在衬底基板1上的正投影落入有源层6在衬底基板1上的正投影内,这样相比于现有技术,大大提高了有源层6与漏电极5的接触面积,从而改善垂直结构的薄膜晶体管的性能,进而降低

显示基板的驱动功耗。

[0088] 并且如图14所示,栅电极8在衬底基板1的正投影与漏电极5在衬底基板1上的正投影不存在重叠区域,这样能够避免栅电极8与漏电极5之间产生寄生电容,进一步改善了薄膜晶体管的性能,进而降低显示基板的驱动功耗。

[0089] 本实施例通过一次构图工艺同时形成栅电极8与漏电极5,可以减少制作薄膜晶体管的构图工艺次数,降低薄膜晶体管的制作成本。

[0090] 除非另外定义,本公开使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接,而是可以包括电性的连接,不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系,当被描述对象的绝对位置改变后,则该相对位置关系也可能相应地改变。

[0091] 可以理解,当诸如层、膜、区域或基板之类的元件被称作位于另一元件“上”或“下”时,该元件可以“直接”位于另一元件“上”或“下”,或者可以存在中间元件。

[0092] 以上所述是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明所述原理的前提下,还可以作出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

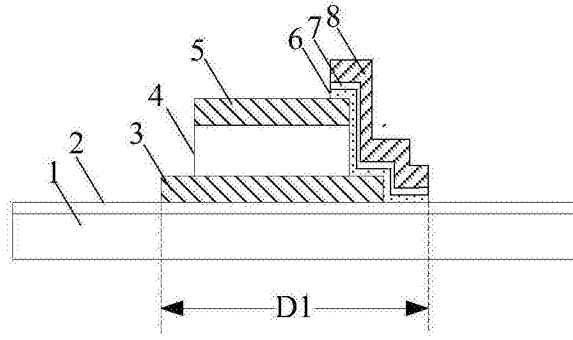


图1

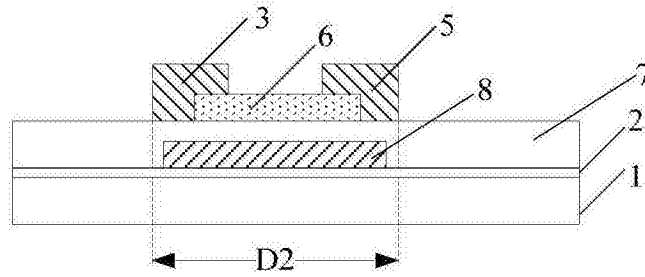


图2

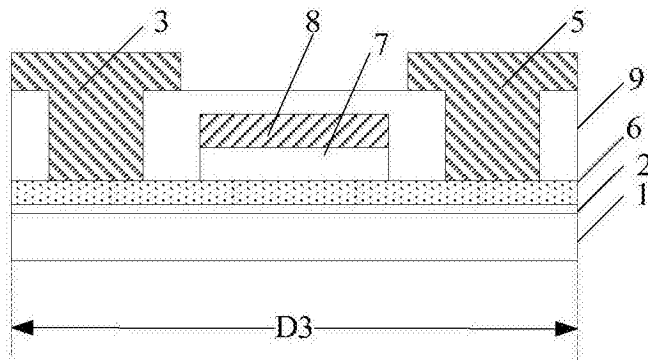


图3

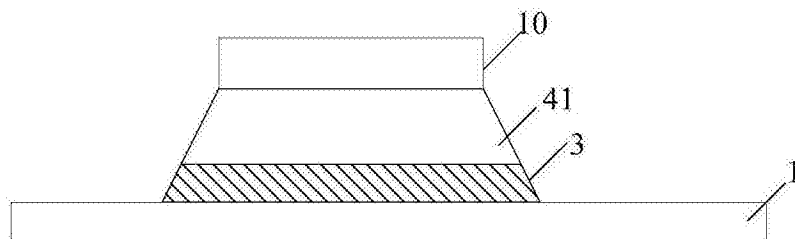


图4

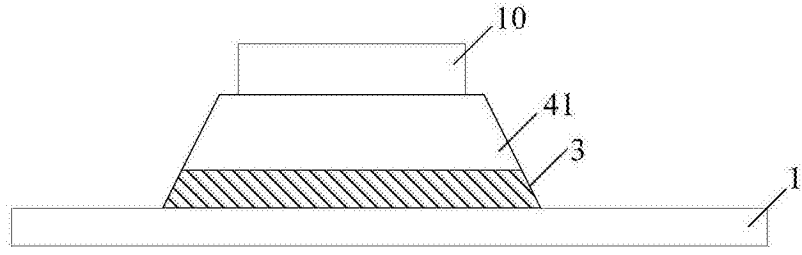


图5

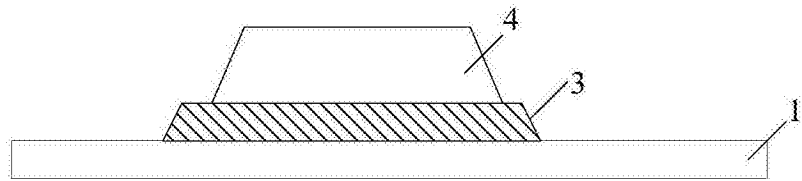


图6

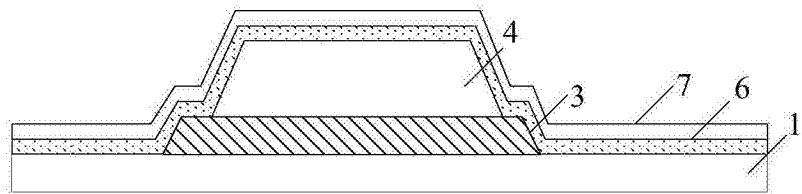


图7

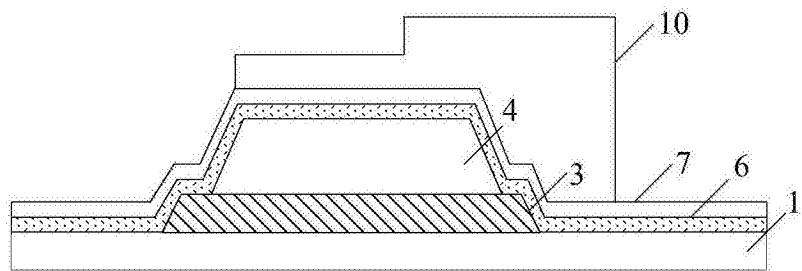


图8

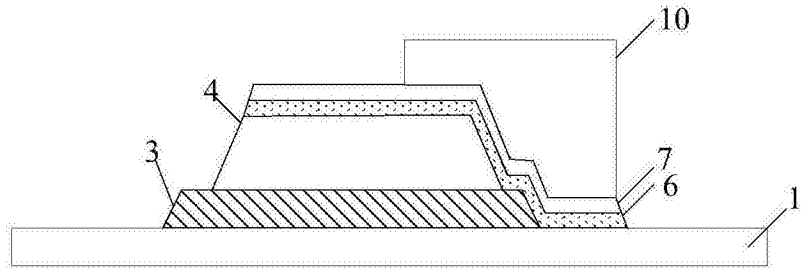


图9

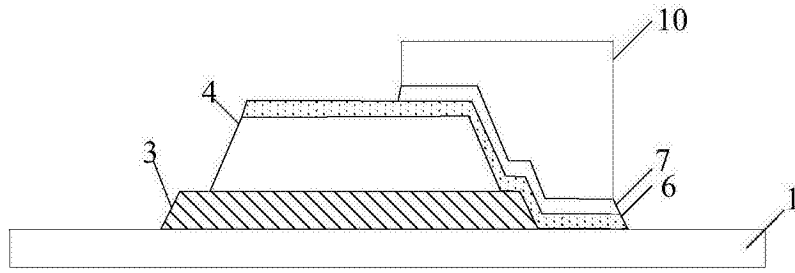


图10

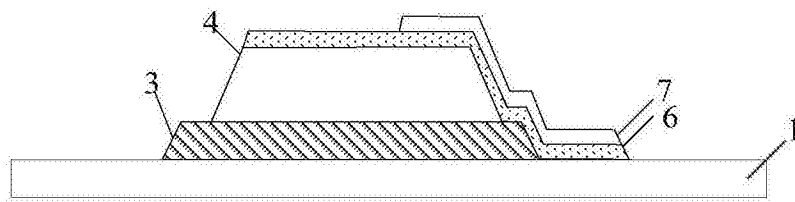


图11

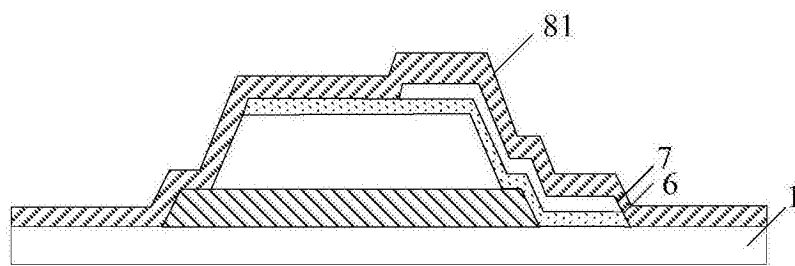


图12

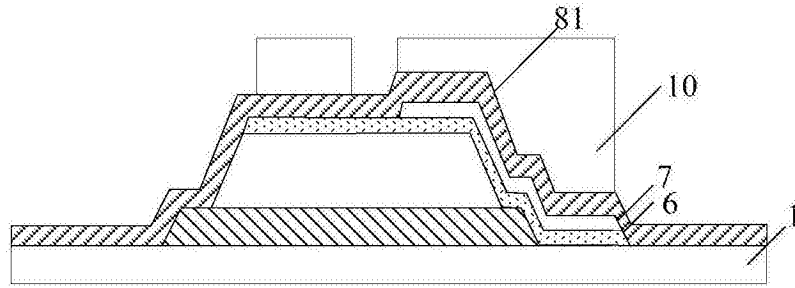


图13

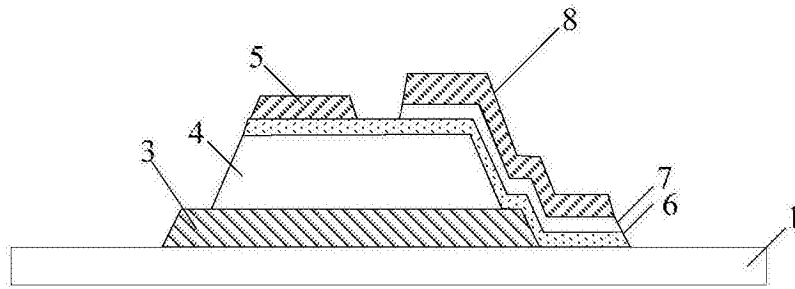


图14