

發明專利說明書

200539279

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94110756

※ 申請日期：2005 年 4 月 4 日

※IPC 分類：

H01L 31/02

一、發明名稱：(中文/英文)

具不同氧化層厚度之背閘極緒式場效電晶體

BACKGATED FINFET HAVING DIFFERENT OXIDE THICKNESSES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商·萬國商業機器公司

International Business Machines Corporation

代表人：(中文/英文)

羅森瑟爾傑拉德

ROSENTHAL, GERALD

住居所或營業所地址：(中文/英文)

美國紐約州阿蒙市新果園路

New Orchard Road, Armonk, New York 10504, U.S.A.

國籍：(中文/英文)

美國/USA

三、發明人：(共 4 人)

姓名：(中文/英文)

1. 布萊安特安德烈斯/BRYANT, ANDRES

2. 達庫馬契歐梅爾 H/DOKUMACI, OMER H.

3. 漢那非胡森 I/HANAFI, HUSSEIN I.

4. 諾瓦克艾德華 J/NOWAK, EDWARD J.

國 籍：(中文/英文)

- 1.美國/USA
- 2.土耳其/Turkey
- 3.美國/USA
- 4.美國/USA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國；2004年4月28日；10/709,323

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

國 籍：(中文/英文)

- 1.美國/USA
- 2.土耳其/Turkey
- 3.美國/USA
- 4.美國/USA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國；2004年4月28日；10/709,323

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係有關於一種半導體元件及製造方法，更明確而言，係有關於包含在前及背閘極上具不同氧化層厚度之鍺式場效電晶體的半導體元件以及製造此種元件之方法。

【先前技術】

習知金屬氧化物半導體場效電晶體(MOSFETs)在一個平面基板上擁有單一控制閘極。通道之單一控制常在電晶體不導電時在源極和汲極間造成不樂見之漏電。這在積體電路之關鍵尺寸(critical dimensions)持續縮小時將成為主要問題。

一種改良之平面結構運用兩個閘極，在通道之每一側各設一個。此配置在增加該等閘極和該通道間之靜電耦合的同時，也增加該電晶體之驅動電流並且降低漏電流。但是不幸地，此種平面雙閘極元件很難製造。

雙閘極 FET 之操作之一種模式是同時切換(switch)兩個閘極。兩個閘極之另一種用法是只切換一個閘極，並施加一偏壓至該第二閘極，以動態改變該 FET 之臨界電壓。此種操作模式一般稱為背閘極(backgate)。較有利的是，背閘極晶片之效能可動態地或在製造後作微調。

背閘極元件在元件縮小的同時可有效改善元件技術。對於金屬閘極元件來說，利用摻雜法之臨界電壓調整

會形成埋藏之層元件。背閘極元件可用來調整臨界電壓而不會產生埋藏之層元件。

也可利用習知摻雜法來為完全空乏 (depleted) 之薄矽元件達成臨界電壓之調整。但是，因額外摻雜物而增加的不純物散射會導致遷移率和驅動電流之顯著降低。

緒式場效電晶體對平面雙閘極元件來說是一種極具吸引力的替代選擇，因為緒式場效電晶體在製造上容易許多。一緒式場效電晶體之主體係從一垂直電晶體結構形成，通常稱為「緒部 (fin)」，其作用如同一通道。可在該緒上沉積一多晶矽層並圖案化，以形成跨立該緒兩側之完全校準之閘極。該緒之兩側在源極和汲極處終止。緒式場效電晶體所提供之眾多優勢之一是在較短之閘極長度下提供較佳之閘極控制。緒式場效電晶體因此可促進 CMOS 尺寸之比例縮小，同時維持可接受之效能。

當閘極如上所述般形成在該緒之兩側時，該元件一般稱為一雙閘極緒式場效電晶體。雙閘極之使用抑制了短通道效應 (Short Channel Effect, SCE)，提供較少之漏電，並且提供改善之切換狀態。

緒式場效電晶體生產製程可經調整以將雙閘極緒式場效電晶體轉化成為背閘極元件。一種調整方式牽涉到氧化層厚度。在背閘極元件中，通常傾向於使背閘極 (即，經偏壓之非切換閘極) 擁有比前閘極厚之氧化層，以最小化前閘極至背閘極之電容及源極 / 汲極至背閘極之電容。

當利用側壁影像轉移 (sidewall image transfer; SIT)

製程形成該緒時，具不同厚度之氧化物可經成長在該緒式場效電晶體之緒的兩側上。但是，在 SIT 製程中成長兩種不同厚度有一些缺點。例如，該氧化層可能會在蝕刻犧牲閘極 (dummy gate) 期間或在緒之相反側之反應性離子蝕刻 (RIE) 期間受到損傷，而這些卻是 SIT 製程之集成步驟。此外，若該緒係利用 SIT 以外之製程製造，則需要一種不同方法以獲得複數種氧化層厚度。

本發明係用以克服前述之一或多種問題。

【發明內容】

在本發明之第一態樣中，提供一種製造一半導體結構之方法。該方法包含在一基板上形成緒式場效電晶體之緒，該緒具有第一及第二側；通入第一不純物至該緒之第一側上；在該第一及第二側上形成介電層。由於不純物的存在，在該第一及第二側其中一側上之介電層會比在該第一及第二側之另一側上者厚。

在本發明之第二態樣中，其所製造一半導體結構之方法包含在一基板上形成緒式場效電晶體之緒，該緒具有第一及第二側；將第一不純物指向地植入該緒之第一側上；在該緒之第一及第二側上形成介電層。由於通入之不純物，在該第一及第二側其中一側上之介電層會比在該第一及第二側之另一側上者厚。同時也形成具有前及背閘極側和一上表面之緒式場效電晶體閘極，該緒式場效電晶體閘極跨立在該緒兩側。

在本發明之第三態樣中，係提供一種半導體結構。該半導體結構包含一基板以及在該基板上之鳍式場效電晶體之鳍，該鳍具有第一及第二側。該結構也包含通入在該鳍之第一側上之第一不純物。此外，形成在該鳍之第一及第二側上之介電層在該第一及第二側其中一側上比在該第一及第二側之另一側上者厚，肇因於該通入之不純物的存在。

【實施方式】

根據本發明之例示製程包含如下步驟：將不純物通入鳍式場效電晶體之鳍之至少一側，以使其不同厚度之介電層可以形成。該可藉由植入法通入之不純物可增強或妨礙介電層之形成，其在背閘極(即，經偏壓之非切換閘極)上具有比在前閘極上厚之介電層，因此降低前閘極至背閘極之電容以及源極和汲極至背閘極之電容。

現在參見第 1 圖，提供例如絕緣層上矽(SOI)結構之例示基板，包含一矽基板層 100、一埋氧化層 110、以及在該埋氧化層上之矽層 120。該矽層 120 可具有例如約 50 奈米之厚度，其可決定所欲形成之鳍部(即，該電晶體之主體)高度，如下文將更詳盡描述者。

在矽層 120 暴露出之表面上以習知方式形成硬光罩 130。該硬光罩可由絕緣層組成，例如氧化矽、氮化矽、低介電常數材料、或其他適合之蝕刻劑絕緣體，以容許侵蝕性蝕刻化學物(例如電漿蝕刻)的使用。舉例而言，可在該

矽層 120 上利用化學氣相沉積法沉積一由二氧化矽及氮化矽 (Si_3N_4) 組成之保護性硬光罩堆疊。該氮化物層及該氧化物層之形成順序可以顛倒，或者可不使用兩者而僅使用該等層之一者。

在沉積硬光罩之後，可在該硬光罩上施加一光阻，以透過光學微影、電子束微影、x 光微影、或其他習知方法來界定一圖案，以界定出如第 2 圖所示之微影光罩 210。接著，執行一蝕刻製程以圖案化該元件結構 310，如第 3 圖所示。該硬光罩之圖案化部分 320 存留在該結構上。之後可以去除該微影光罩 210，形成如第 3 圖所示之結構。

熟知技藝者會了解可利用多種技術來形成該結構，例如藉由覆蓋式沉積 (blanket deposition) 每一層，接著如上所述般作選擇性蝕刻，或藉由選擇性沉積每一層。形成結構之特定方法對於本發明來說是不重要的。

現在參見第 4 圖，提供來自第 3 圖結構之截面 a-a 之剖面圖。該結構包含位於一埋氧化層 110 上之半導體 (例如矽) 結構 310。一硬光罩 320 餘留在該結構 310 上。

接著，指向地 (或具方向性地) 將一不純物植入該結構 310 之一側，如第 5 圖所示。該不純物會增強或妨礙介電層成長。若該不純物妨礙介電層成長，則該結構 310 具有該不純物之一側會比該結構 310 之相反側有較薄之介電層。但是，若該不純物增強介電層成長，則該植入側會有較厚之介電層。當然，亦可於不背離本發明之範圍下於一側植入一妨礙之不純物而於另一側植入一增強之不純物。

不純物之植入可使具有前閘極之背閘極鍍式場效電晶體得以形成，其中該前閘極之厚度不同於該控制背閘極之厚度。該背閘極介電層通常是較厚的一層。藉由舉例而非限制的方式，亦可在該前閘極側植入氮或其他具妨礙性的不純物，以妨礙該側之氧化介電成長。或者，可將矽或氫或其他的增強性植入物通入該背閘極側，以增強該側之氧化介電成長。其他適合之植入物物種包含會增進氧化作用之重離子，例如鈉、氧和鋅。舉例而言，上述之不純物可採 $1e^{14}$ 至 $1e^{16}$ 之劑量於 0.1 至 10 KeV 間進行施加，並以約 10 至 45 度之傾斜角植入。

例示性來說，為了在該前閘極側中植入氮以妨礙氧化介電成長，可使用電漿氮化(plasma nitridation)製程。使用微波之遠端電漿氮化(RPN)或使用射頻之耦合電漿氮化(DPN)可與一含氮氣體作用以產生含有氮基之電漿。

含有氮之電漿可指向地將前閘極側做為目標。例如，以垂直線起算之一個角度(例如， $\theta = 30^\circ$)來引導在該前閘極側之電漿應該可以避免材料植入在該背閘極側上。指向(或方向)態樣的實施對於確保植入物不會以相同不純物均勻地影響該閘極結構相當重要。若該閘極兩側皆同等地被該植入物影響，該植入物就不會造成介電層厚度的差異。

電漿之一例示氣體成分是在 20-80 毫托爾(mTorr)壓力下具有 75%氮以及 25%氫。電漿氮濃度可以改變，例如，從 10%至 25%，以氮、氬或氫提供平衡。一氮氣源係經通

入該電漿中以形成該含氮電漿。該氮源可以是，例如氮氣、氮、一氧化氮、一氧化二氮、及/或其混合物。該電漿可在10至50瓦下施加10至60秒。

在電漿氮化期間，該緒310在離子化物質被該電漿電位加速且接著植入該絕緣表面時並未受到偏壓(unbiased)。或者，可在該緒310上施加偏壓以進一步加速該等離子離開該電漿之移動。無論是直流電或射頻偏壓皆可用來偏壓該基板。因此製程之此步驟可將一不純物(例如氮)單獨地或大量地通入該緒之一側(例如該前閘極側)以影響(例如妨礙)介電成長。

亦可於不背離本發明之範圍下利用類似之指向植入製程來通入其他具妨礙性或增強性的不純物，例如氫或矽，至該緒之一側。特定之指向植入技術並不是特別重要的。其它技術，無論未知或往後所發展者，均可於不背離本發明之範圍下用來指向植入一妨礙性或增強性不純物至該緒之一側。

具有植入之不純物後，接著即可用習知緒式場效電晶體製造製程來完成該背閘極緒式場效電晶體。為了例示目的，現在將提供例示製程步驟說明。

現在參見第6圖，在植入該不純物後，在該緒上成長或沉積一閘極介電層。該介電層可以是，例如，熱成長(thermally grown)或熱沉積二氧化矽、氮化矽(Si_3N_4)、高K值介電常數材料、其他介電絕緣體、或適於用來做為緒式場效電晶體閘極介電層之其組合物。當然，該介電層也

應該對植入之不純物有反應，以使該不純物若非增強就是妨礙介電層形成，如上所述般。因為植入之不純物，該鰭之一側(例如該背閘極)會具有較厚之介電層，在該背閘極(即偏壓之非切換閘極)處具有比該前閘極處厚之介電層，因此降低前閘極至主體及背閘極之電容，以及源極和汲極至背閘極之電容。

接著，一閘極係經跨立在該鰭兩側形成，如第 7A 和 7B 圖所示。該閘極材料，其可以是任何適合做鰭式場效電晶體閘極成分之導電材料，例如多晶矽、矽-鍺、耐火金屬或例如氮化鈦或鈾之化合物，係以習知方法沉積在該結構表面上。如在第 7B 圖中所示，接著以習知方法界定一閘極光罩 710，並且下方之閘極材料係經蝕刻以形成在該閘極介電層(第 7A 圖中之 610-620)以及該埋氧化層 110 上具有蝕刻終止之閘極 720。該閘極 720 係利用閘極介電層 610 和 620 以及該硬光罩 320 與該電晶體結構電氣隔離。

在該閘極 720 形成後，可以除去該閘極光罩 710。這可利用任何適合之光罩去除技術來完成，例如選擇性濕式或乾式蝕刻。

此時，可植入適當摻雜物以形成摻雜之源極和汲極區域、閘極區域和延伸區域，如在第 8 圖中所示者。源極和汲極區域之摻雜使其導電。若需要的話也可在此步驟摻雜閘極。可利用高密度植入(high end implantation)、氣體浸沒式雷射摻雜(gas immersion laser doping)、離子浴摻雜(ion shower doping)、固體或氣體來源擴散、或其他習知

方法來完成摻雜。摻雜物物種係經選擇以達到要求之元件特性，例如，N型或P型，包含摻雜物濃度。如眾所周知者，磷、砷及銻係適合N型區域之摻雜物，而硼、銻和鎵則是適合P型區域之摻雜物。可利用指向性角度淺離子植入(directional angled shallow ion implantation)來摻雜源極和汲極區域，以及閘極區域。植入物之方向是重要的，以確保植入物不會均勻地影響該閘極之不同側。可利用習知指向性離子植入設備來進行指向性植入，例如能夠將晶圓傾斜至摻雜物物種可植入之預定入射角度的設備。可指向性(或方向性)通入一種摻雜物，然後以另一種角度方向通入另一種摻雜物。任何植入損傷或非晶化(amorphization)皆可透過隨後暴露於升高之溫度的方式予以退火。

亦可選擇的是，可以形成延伸及高角度植入(halo implant)。對n場效電晶體來說，一般係以範圍在5至15 keV內之能量及 1×10^{13} 至 $8 \times 10^{13} \text{cm}^{-3}$ 之劑量使用硼、銻、或鎵來做高角度植入。同樣的，對p場效電晶體來說，係範圍從20至45 keV之能量及 1×10^{13} 至 $8 \times 10^{13} \text{cm}^{-3}$ 之劑量使用磷、砷、或銻來作高角度植入。

接著，可藉由沉積及選擇性蝕刻例如氮化矽或二氧化矽之介電層的方式沿著該閘極和通道側壁形成一間距物。若需要的話，亦可藉由額外的蝕刻去除形成在通道側壁上之間距物，而留下位於閘極兩側之閘極間距物 910 和 920，如第9圖所示。

在間距物形成後，可以去除源極和汲極上方之硬光

罩，以容許對於下方之源極和汲極材料之直接接觸 (access)。這可利用非等向性蝕刻 (例如反應性離子蝕刻) 該硬光罩來完成，以將其從該源極和汲極島 (source and drain islands) 上去除。

隨後，可在該表面進行化學機械研磨 (CMP)，以實質地消除閘極之高度差，如在第 10 圖中所示者。在形成期間，當該閘極跨立該緒兩側時，通常在結構交集處會有突出部份 (hump)。習知方法之化學機械研磨可減少或消除該突出部份，並實質地平等化閘極和在緒上方之硬光罩。

為完成該元件，接著可形成通至源極、汲極、和閘極之接觸窗。因此，可沉積並利用如化學機械研磨製程的方式平坦化一介電層。然後可利用非等向製程 (例如反應性離子蝕刻) 或諸如此類者來建構並蝕刻接觸孔。該等接觸孔然後可以習知方法填充，利用蒸鍍、濺鍍、或其他已知技術沉積導電材料，例如摻雜之多晶矽、金屬矽化物 (silicide) (例如矽化鎢)、金屬 (例如金、鋁、鉬、鎢、鈮、鈦、銅、或氧化銦錫 (indium-tin oxide))、或諸如此類者，以形成源極和汲極接觸。接著可沉積並利用反應性離子蝕刻製程或諸如此類者來建構第一金屬層。或者，可遵循鑲嵌 (damascene) 製程流程來完成第一金屬層之建構。

所製出之結構包含在前及背閘極側具有不同介電層厚度之緒式場效電晶體。通入該緒式場效電晶體之緒之至少一側的不純物可使介電層形成不同厚度。該可由植入法通入之不純物，可增強或妨礙介電質形成。

雖然本發明已依據例示實施例描述，但熟知技藝者會明瞭本發明可以經修飾實施，並仍在所附申請專利範圍之精神及範圍中。

【圖式簡單說明】

第 1 圖示出可根據本發明原理在其上形成鰭式場效電晶體之例示基板結構；

第 2 圖示出在可根據本發明原理在其上形成鰭式場效電晶體之基板結構上之例示光罩；

第 3 圖示出一例示結構，其經蝕刻以根據本發明原理形成鰭式場效電晶體之鰭結構；

第 4 圖示出根據本發明原理之具有鰭和硬光罩之例示半導體結構之剖面圖；

第 5 圖示出根據本發明原理將不純物植入例示鰭之一側內之例示步驟；

第 6 圖示出根據本發明原理延著例示鰭側邊之不同介電層形成的例示步驟；

第 7A 和 7B 圖示出根據本發明原理之形成跨立在該例示鰭兩側之閘極之例示步驟；

第 8 圖示出根據本發明原理之摻雜步驟；

第 9 圖示出具有跨立在鰭兩側之延著該閘極形成之間距物之結構，根據本發明原理；以及

第 10 圖示出根據本發明原理之平坦化結構。

【主要元件符號說明】

100	矽基板層	110	埋氧化層
120	矽層	130	硬光罩
210	微影光罩	310	元件緒結構
320	圖案化部分	610、620	閘極介電層
710	閘極光罩	720	閘極
910、920	閘極間距物		

伍、中文發明摘要：

一種製造在前及背閘極側上具不同介電層厚度之背閘極鳍式場效電晶體 (backgated FinFET) 之方法，其包含如下步驟：將不純物通入鳍式場效電晶體之鳍之至少一側，以使其具不同厚度之介電層可以形成。該可藉由植入法通入之不純物可增強或妨礙介電層之形成。

陸、英文發明摘要：

A method of producing a backgated FinFET having different dielectric layer thickness on the front and back gate sides includes steps of introducing impurities into at least one side of a fin of a FinFET to enable formation of dielectric layers with different thicknesses. The impurity, which may be introduced by implantation, either enhances or retards dielectric formation.

拾、申請專利範圍：

1. 一種製造一鳍式場效電晶體(FinFET)半導體結構之方法，其至少包含下列步驟：

在一基板上形成一鳍式場效電晶體之鳍，該鳍具有第一及第二側；

通入一第一不純物至該鳍之第一側上；以及

在該第一及第二側上形成一介電層，其中該第一及第二側其中一側上之介電層比在該第一及第二側之另一側上者厚，且所通入之不純物會影響介電層厚度。

2. 如申請專利範圍第 1 項所述之方法，其中上述之第一不純物係一妨礙介電層形成之物質。

3. 如申請專利範圍第 2 項所述之方法，其中上述之第一不純物包含氮、氮離子或含氮化合物中之一種。

4. 如申請專利範圍第 1 項所述之方法，其中上述之第一不純物係一增強介電層形成之物質。

5. 如申請專利範圍第 4 項所述之方法，其中上述之第一不純物包含矽、氫、銻、氧或鎳中之一種，或其離子或化合物。

6. 如申請專利範圍第 1 項所述之方法，其中上述之通入第一不純物之步驟包含一指向性植入 (directional implantation) 步驟。

7. 如申請專利範圍第 6 項所述之方法，其中上述之指向性植入步驟包含傾斜該結構至植入不純物之預定入射角度。

8. 如申請專利範圍第 1 項所述之方法，其中上述之基板包含一埋氧化層 (buried oxide layer)。

9. 如申請專利範圍第 1 項所述之方法，更包含將一第二不純物通入該緒之第二側上的步驟。

10. 如申請專利範圍第 9 項所述之方法，其中上述之第一不純物係一妨礙介電層形成之物質，而該第二不純物係一增強介電層形成之物質。

11. 如申請專利範圍第 10 項所述之方法，其中上述之：

該第一不純物包含氮、氮離子或含氮化合物中之一種；以及

該第二不純物包含矽、氫、銻、氧或鎵中之一種，或其離子或化合物。

12. 如申請專利範圍第 10 項所述之方法，其中上述之：

通入一第一不純物之步驟包含指向該緒之第一側之指向性植入步驟；以及

通入一第二不純物之步驟包含指向該緒之第二側之指向性植入步驟。

13. 如申請專利範圍第 12 項所述之方法，其中上述該等指向性植入步驟包含傾斜該結構至植入不純物之預定入射角度。

14. 一種製造一鳍式場效電晶體 (FinFET) 半導體結構之方法，其至少包含下列步驟：

在一基板上形成一鳍式場效電晶體之鳍，該鳍具有第一及第二側；

將一第一不純物指向地植入該鳍之第一側上；

在該第一及第二側上形成一介電層，在該第一及第二側其中一側上之介電層係較在該第一及第二側之另一側上者為厚，因為通入之不純物影響介電層厚度；以及

形成跨立在該鳍兩側之一鳍式場效電晶體閘極，該鳍式場效電晶體閘極具有前及背閘極側和一上表面。

15. 如申請專利範圍第 14 項所述之方法，更包含背閘極處理 (backgating) 該閘極之背閘極側之步驟。

16. 如申請專利範圍第 15 項所述之方法，其中上述之背閘極處理該閘極之背閘極側的步驟包含施加一偏壓至該閘極之背閘極側。

17. 如申請專利範圍第 14 項所述之方法，更包含摻雜該結構上之閘極區域的步驟。

18. 如申請專利範圍第 17 項所述之方法，其中一 n 型不純物係經指向性植入該閘極之一側上，而一 p 型不純物係經指向性植入該閘極之另一側上。

19. 如申請專利範圍第 14 項所述之方法，更包含在該結構上形成源極和汲極區域之步驟。

20. 如申請專利範圍第 19 項所述之方法，其中上述在該結構上形成源極和汲極區域之步驟更包含：

指向性植入一源極摻雜物至該源極區域中；以及
指向性植入一汲極摻雜物至該汲極區域中。

21. 如申請專利範圍第 19 項所述之方法，更包含形成鄰接該繡式場效電晶體閘極之間距物的步驟。

22. 如申請專利範圍第 21 項所述之方法，更包含平坦化該閘極上表面之步驟。

23. 一種緒式場效電晶體半導體結構，其至少包含：

一基板；

該基板上之緒式場效電晶體之一緒部，該緒部具有第一及第二側；

一第一不純物，位於該緒部之第一側上；

一介電層，位於該第一及第二側上，該介電層在該第一及第二側其中一側上係較在該第一及第二側之另一側上者為厚，該通入之不純物會影響介電層厚度。

24. 如申請專利範圍第 23 項所述之緒式場效電晶體半導體結構，其更包含一跨立在該緒兩側之閘極，該閘極具有前及背閘極側以及一上表面，其中該閘極之背閘極側係經背閘極處理 (backgated)。

25. 如申請專利範圍第 24 項所述之緒式場效電晶體半導體結構，其中一偏壓係經施加至該閘極之該背閘極側。

26. 如申請專利範圍第 25 項所述之緒式場效電晶體半導體結構，其更包含摻雜該結構上之閘極區域。

27. 如申請專利範圍第 25 項所述之鰭式場效電晶體半導體結構，其中一 n 型不純物係經指向性植入該閘極之一側上，而一 p 型不純物係經指向性植入該閘極之另一側上。

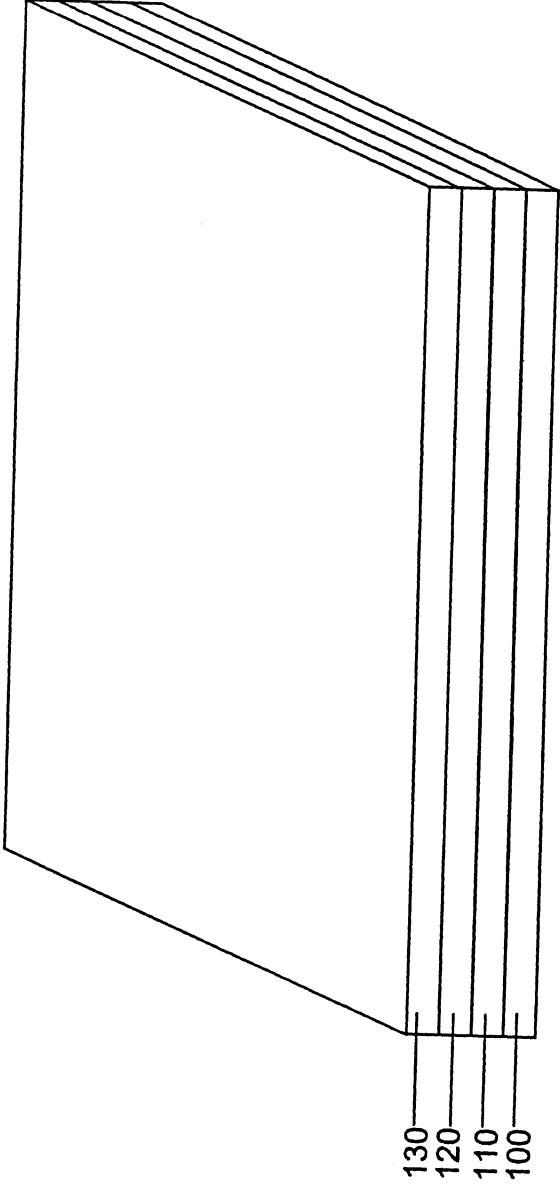
28. 如申請專利範圍第 23 項所述之鰭式場效電晶體半導體結構，其更包含在該結構上之源極和汲極區域。

29. 如申請專利範圍第 23 項所述之鰭式場效電晶體半導體結構，其更包含：

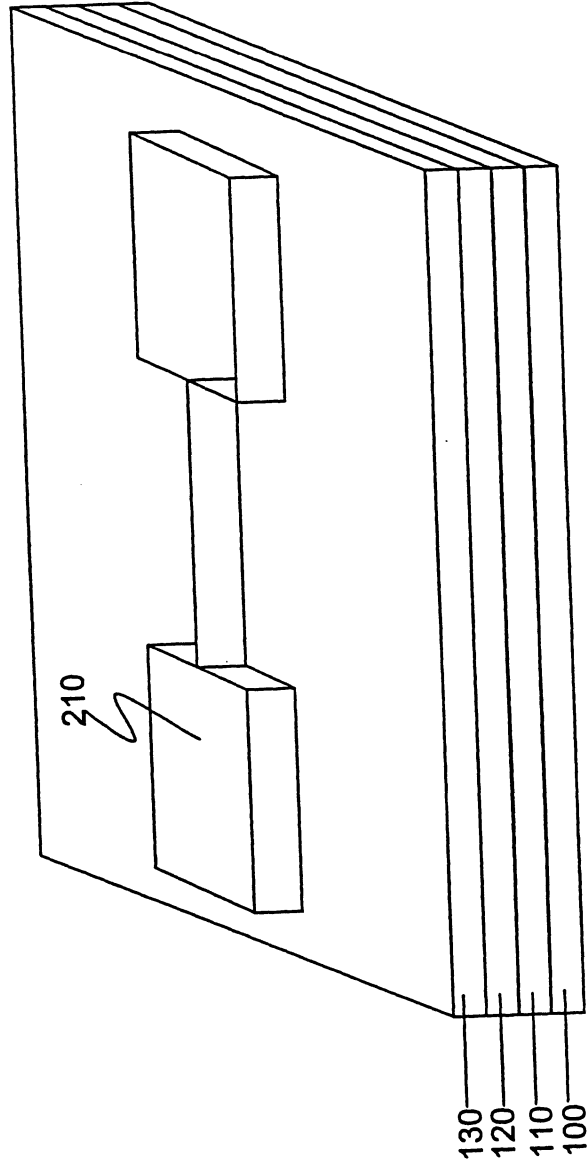
指向性植入源極摻雜物至該源極區域中；以及
指向性植入汲極摻雜物至該汲極區域中。

30. 如申請專利範圍第 28 項所述之鰭式場效電晶體半導體結構，其更包含鄰接跨立在該鰭兩側之鰭式場效電晶體閘極的間距物。

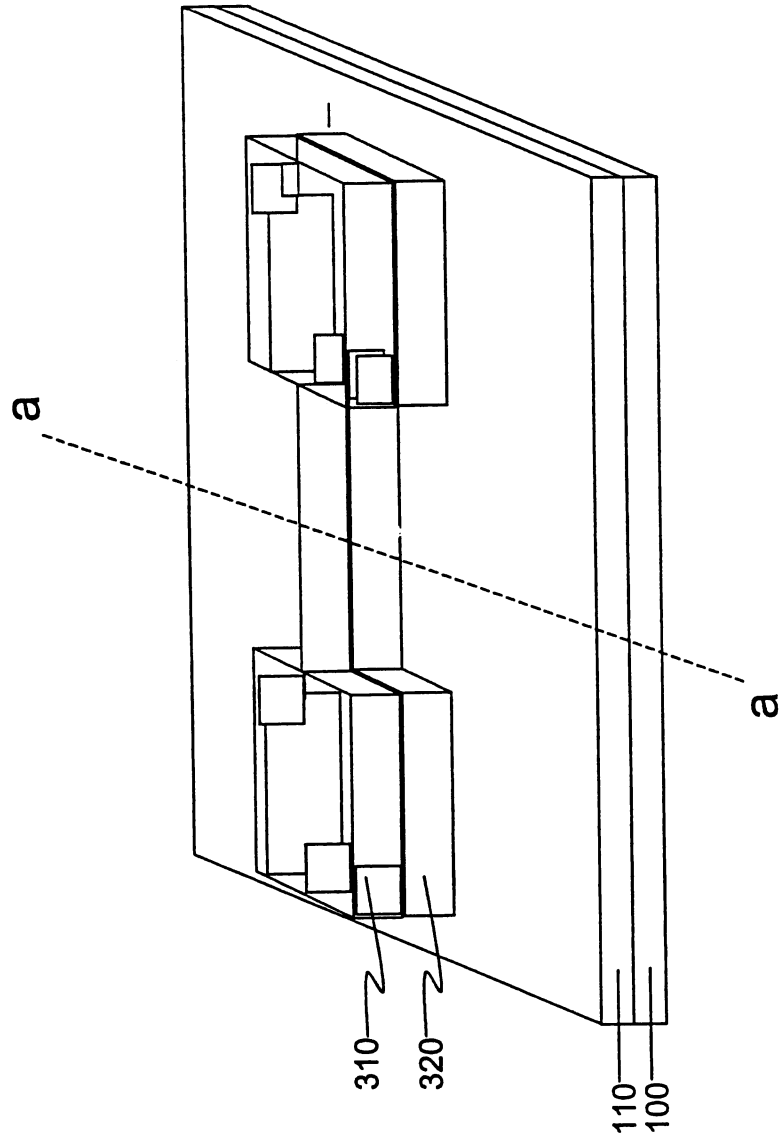
31. 如申請專利範圍第 28 項所述之鰭式場效電晶體半導體結構，其中上述之鰭式場效電晶體閘極具有一平坦之上表面。



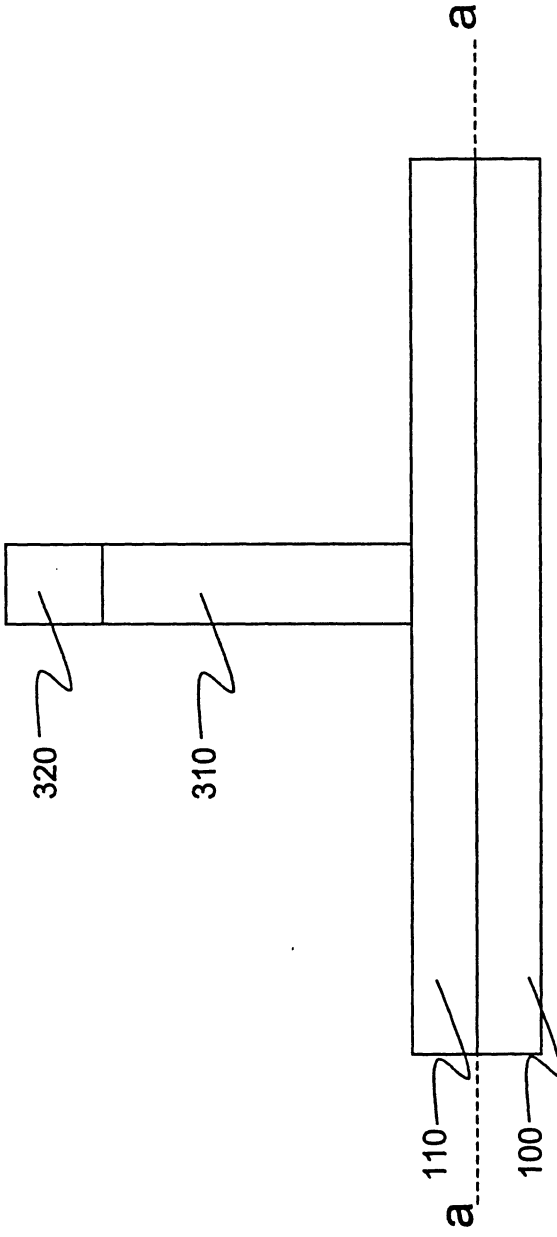
第 1 圖



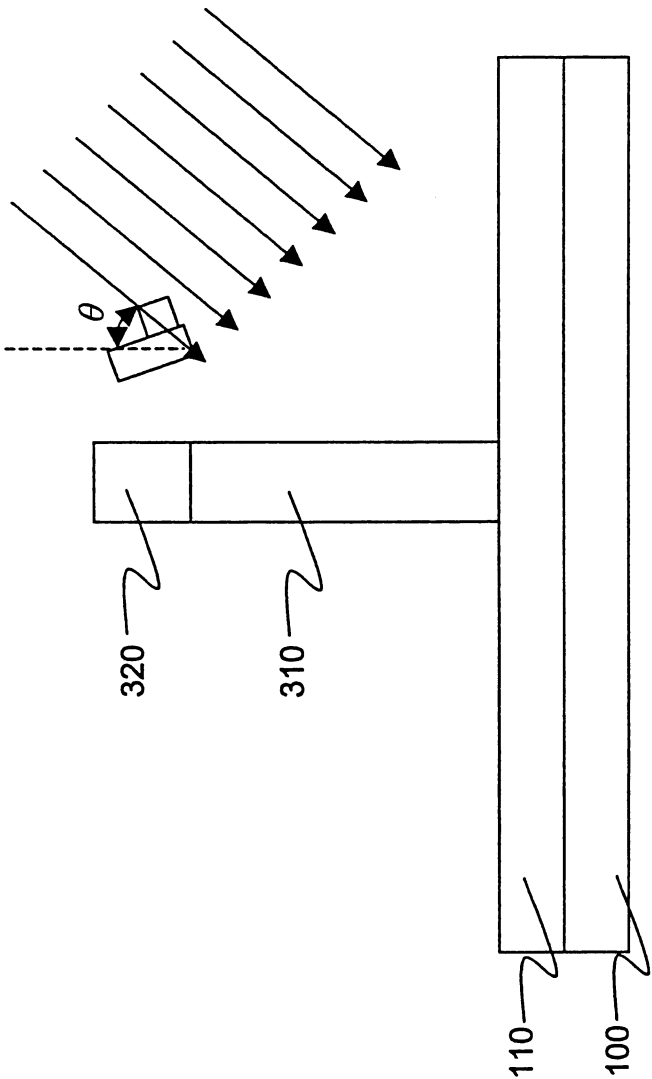
第 2 圖



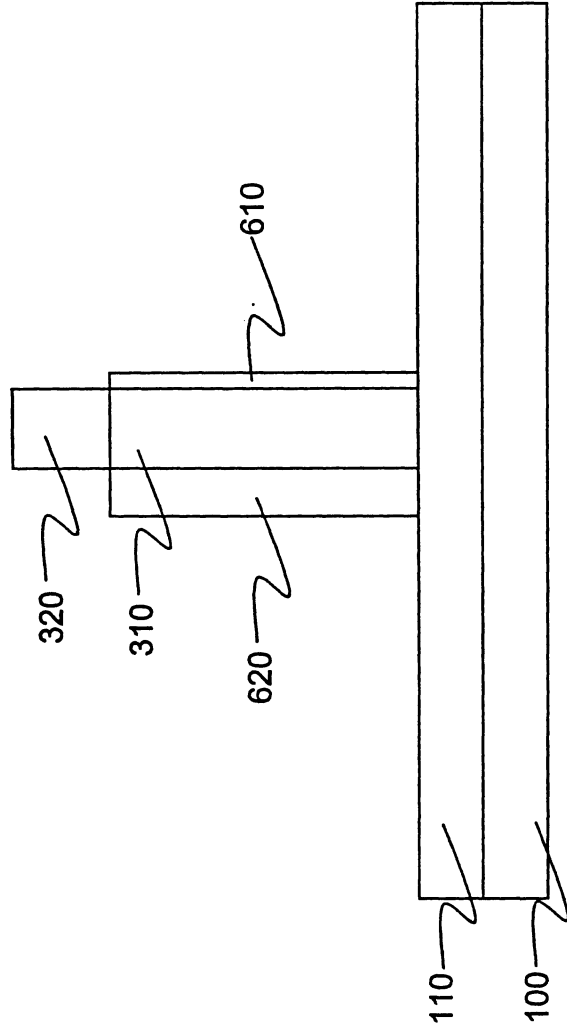
第 3 圖



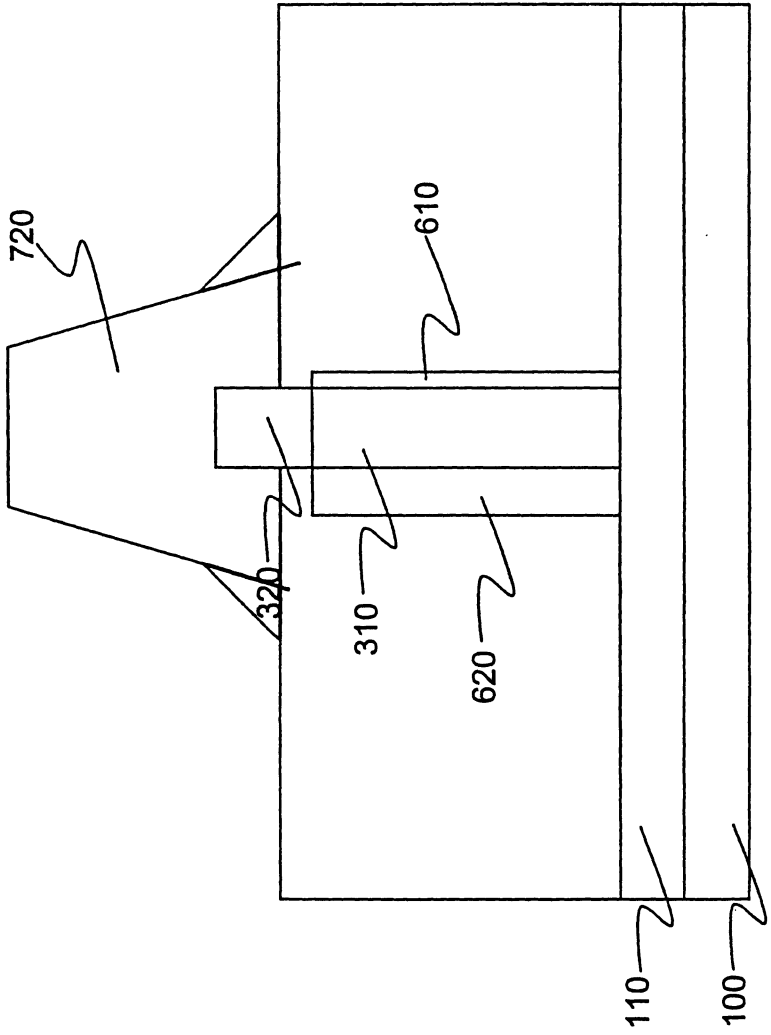
第 4 圖



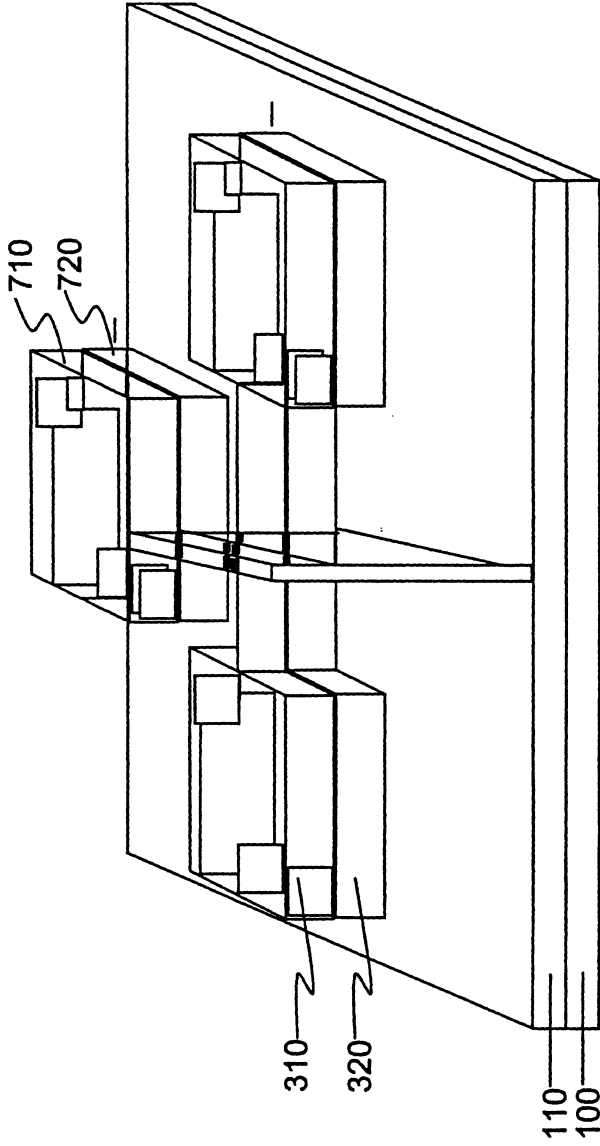
第 5 圖



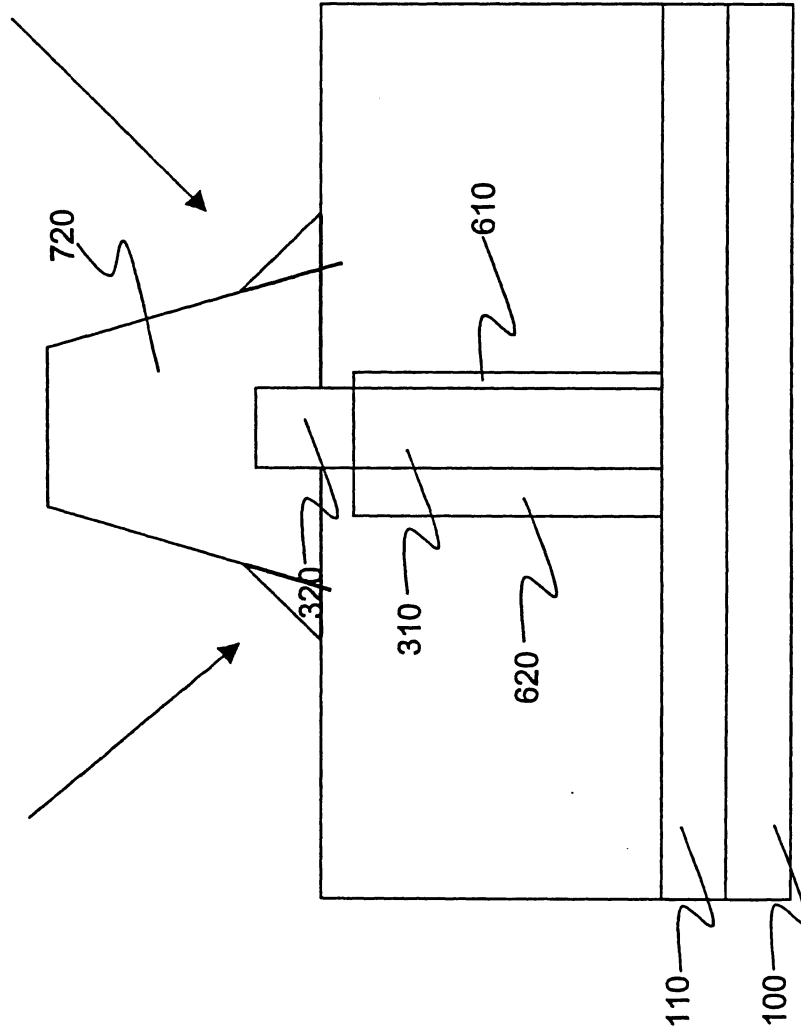
第 6 圖



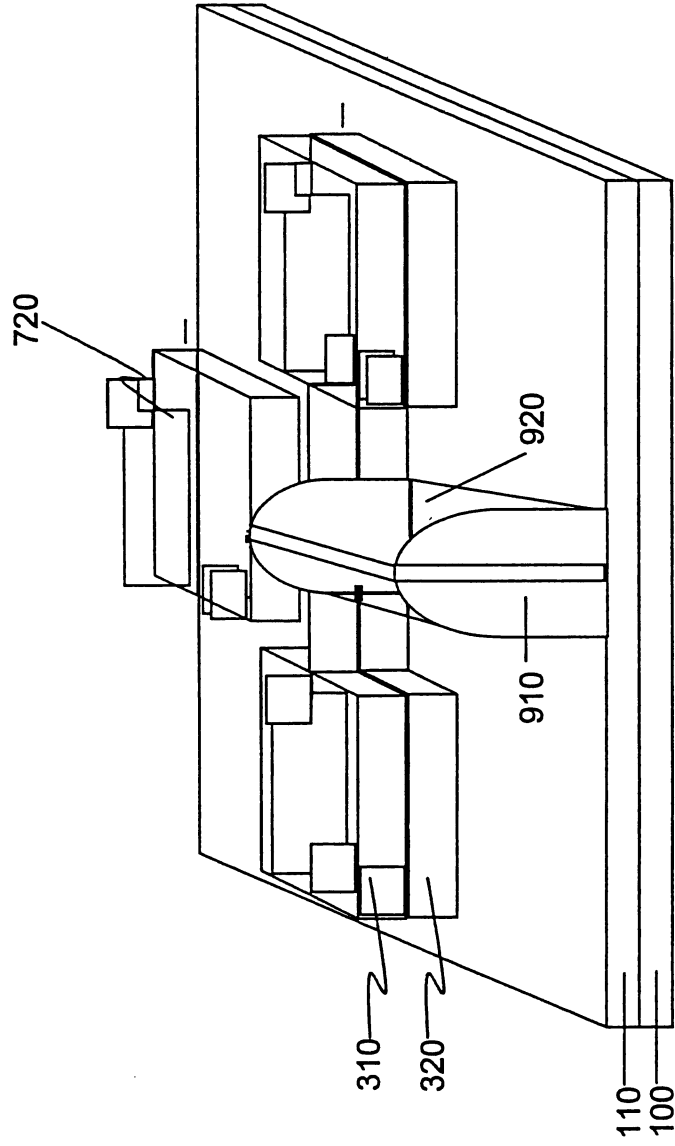
第 7A 圖



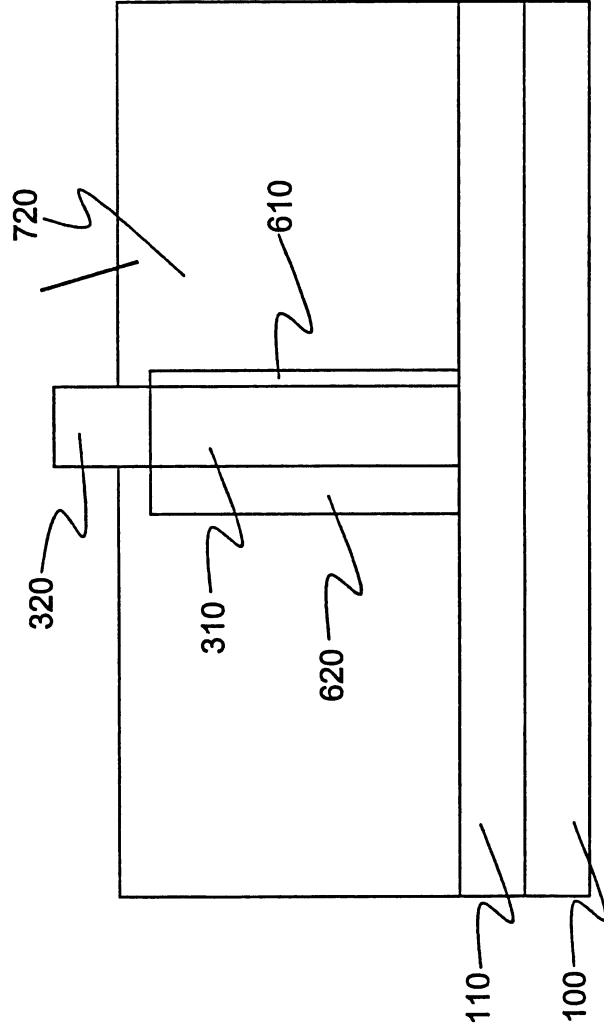
第 7B 圖



第 8 圖



第 9 圖



第 10 圖

柒、指定代表圖：

(一)、本案指定代表圖為：第 6 圖。

(二)、本代表圖之元件代表符號簡單說明：

100 矽基板層

110 埋氧化層

310 元件結構

320 圖案化部分

610、620 閘極介電層

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無