



(12) 发明专利申请

(10) 申请公布号 CN 105990234 A

(43) 申请公布日 2016. 10. 05

(21) 申请号 201510051610. 9

(22) 申请日 2015. 01. 30

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 刘焕新 杨志勇

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 应战 骆苏华

(51) Int. Cl.

H01L 21/8238(2006. 01)

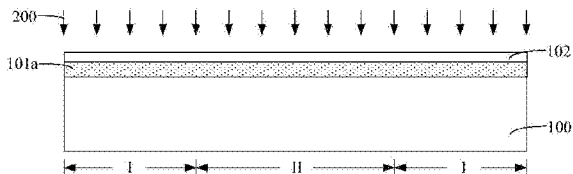
权利要求书2页 说明书9页 附图4页

(54) 发明名称

半导体器件的形成方法

(57) 摘要

一种半导体器件的形成方法,包括:提供包括第一区域和第二区域的衬底;形成覆盖于所述衬底表面的氧化膜、以及覆盖于氧化膜表面的氮氧化膜;对所述氮氧化膜表面进行氮离子扩散弱化化学处理;在进行所述氮离子扩散弱化化学处理之后,在所述第一区域氮氧化膜表面形成光刻胶层;以所述光刻胶层为掩膜,刻蚀去除第二区域氮氧化膜以及氧化膜;去除所述光刻胶层;在所述第一区域的氮氧化膜表面以及第二区域衬底表面形成栅介质膜;在所述栅介质膜表面形成栅导电膜。本发明在避免负偏压不稳定性效应的同时,避免了光刻胶中毒问题,且满足核心器件和周边器件对栅介质层厚度的不同要求,提高形成的半导体器件的电学性能及良率。



1. 一种半导体器件的形成方法,其特征在于,包括:
提供包括第一区域和第二区域的衬底;
形成覆盖于所述衬底表面的氧化膜、以及覆盖于氧化膜表面的氮氧化膜;
对所述氮氧化膜表面进行氮离子扩散弱化化学处理;
在进行所述氮离子扩散弱化化学处理之后,在所述第一区域氮氧化膜表面形成光刻胶层;
以所述光刻胶层为掩膜,刻蚀去除第二区域氮氧化膜以及氧化膜;
去除所述光刻胶层;
在所述第一区域的氮氧化膜表面以及第二区域衬底表面形成栅介质膜;
在所述栅介质膜表面形成栅导电膜。
2. 根据权利要求1所述的半导体器件的形成方法,其特征在于,采用酸性溶液或碱性溶液对所述氮氧化膜表面进行氮离子扩散弱化化学处理。
3. 根据权利要求2所述的半导体器件的形成方法,其特征在于,所述酸性溶液为氯化氢和过氧化氢的水溶液;所述碱性溶液为四甲基氢氧化铵溶液。
4. 根据权利要求3所述的半导体器件的形成方法,其特征在于,所述四甲基氢氧化铵溶液中,四甲基氢氧化铵的质量百分比为2%至5%,氮离子扩散弱化化学处理的时长为20秒至2分钟。
5. 根据权利要求3所述的半导体器件的形成方法,其特征在于,所述氯化氢和过氧化氢的水溶液中,氯化氢、过氧化氢和水的体积比为1:A:B,其中,A为1至5,B为10至100,氮离子扩散弱化化学处理的时长为20秒至2分钟。
6. 根据权利要求1所述的半导体器件的形成方法,其特征在于,形成所述氧化膜以及氮氧化膜的工艺步骤包括:形成覆盖于所述衬底表面的初始氧化膜;对所述初始氧化膜进行氮化处理,将部分厚度的初始氧化膜转化为氮氧化膜,剩余的初始氧化膜作为氧化膜。
7. 根据权利要求6所述的半导体器件的形成方法,其特征在于,所述氮化处理的工艺包括等离子体氮掺杂以及退火处理。
8. 根据权利要求7所述的半导体器件的形成方法,其特征在于,所述等离子体氮掺杂为解耦等离子体氮掺杂;所述解耦等离子体氮掺杂的工艺参数为: N_2 流量为60标准毫升/分至100标准毫升/分, H_2 流量为100标准毫升/分至140标准毫升/分,腔室压强为10毫托至20毫托,提供功率为800瓦至1000瓦,时间为30秒至200秒。
9. 根据权利要求7所述的半导体器件的形成方法,其特征在于,所述退火处理的工艺参数为: O_2 流量为800sccm至1000sccm,腔室压强为0.3毫托至0.6毫托,退火温度为1000摄氏度至1200摄氏度,时间为10秒至30秒。
10. 根据权利要求6所述的半导体器件的形成方法,其特征在于,所述初始氧化膜的材料为氧化硅;采用原位水汽氧化法或湿氧氧化法形成所述初始氧化膜。
11. 根据权利要求1所述的半导体器件的形成方法,其特征在于,形成所述光刻胶层的工艺步骤包括:形成覆盖于第一区域和第二区域的氮氧化膜表面的光刻胶膜;对所述光刻胶膜进行曝光处理、以及显影处理,去除位于第二区域氮氧化膜表面的光刻胶膜,在第一区域氮氧化膜表面形成光刻胶层。
12. 根据权利要求1所述的半导体器件的形成方法,其特征在于,采用湿法刻蚀工艺刻

蚀去除第二区域的氮氧化膜以及氧化膜；采用湿法刻蚀工艺刻蚀去除所述光刻胶层。

13. 根据权利要求 1 所述的半导体器件的形成方法，其特征在于，所述栅介质膜的材料为高 k 介质材料；所述栅导电膜的材料为金属材料或多晶硅。

14. 根据权利要求 13 所述的半导体器件的形成方法，其特征在于，在形成所述栅介质膜之前，还包括步骤：在所述第二区域衬底表面形成热氧化层。

15. 根据权利要求 13 所述的半导体器件的形成方法，其特征在于，所述高 k 介质材料为 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 、 HfZrO 、 ZrO_2 或 Al_2O_3 ；所述金属材料为 TiN 、 TaN 、 TaSiN 、 TiSiN 、 TaAlN 或 TiAlN 、 Al 、 Cu 、 Ag 、 Au 、 Pt 、 Ni 、 Ti 、 Ta 、 TaC 、 TaSiN 、 W 、 WN 或 WSi 。

16. 根据权利要求 1 所述的半导体器件的形成方法，其特征在于，所述栅介质膜的材料为氧化硅；所述栅导电膜的材料为多晶硅或掺杂的多晶硅。

17. 根据权利要求 1 所述的半导体器件的形成方法，其特征在于，在形成所述栅导电膜之后，还包括步骤：在所述栅导电膜表面形成图形层；以所述图形层为掩膜，刻蚀第一区域的栅导电膜、栅介质膜、氮氧化膜以及氧化膜，形成位于第一区域衬底表面的第一栅极结构；同时以所述图形层为掩膜，刻蚀第二区域的栅导电膜以及栅介质膜，形成位于第二区域衬底表面的第二栅极结构。

18. 根据权利要求 17 所述的半导体器件的形成方法，其特征在于，所述第一栅极结构包括氧化层、位于氧化层表面的氮氧化层、位于氮氧化层表面的第一栅介质层、以及位于第一栅介质层表面的第一栅导电层；所述第二栅极结构包括第二栅介质层以及位于第二栅介质层表面的第二栅导电层。

19. 根据权利要求 1 所述的半导体器件的形成方法，其特征在于，所述第一区域为待形成输入或输出器件的区域，所述第二区域为待形成核心器件的区域。

半导体器件的形成方法

技术领域

[0001] 本发明涉及半导体制作领域技术,特别涉及一种半导体器件的形成方法。

背景技术

[0002] 半导体器件按照功能区分可主要分为核心(Core)器件和周边(I/O)器件(或称为输入/输出器件)。按照半导体器件的电性类型区分,核心器件可分为核心NMOS器件和核心PMOS器件,输入/输出器件可分为输入/输出NMOS器件和输入/输出PMOS器件。

[0003] 通常情况下,输入/输出器件的工作电压比核心器件的工作电压大的多,为防止电击穿等问题,当器件的工作电压越大时,要求器件的栅介质层的厚度越厚,因此,输入/输出器件的栅介质层的厚度通常大于核心器件的栅介质层的厚度。

[0004] 而随着半导体制造技术的飞速发展,集成电路朝向高器件密度、高集成度方向发展,核心器件和输入/输出器件中的栅介质层的厚度不断减小,栅介质层的厚度的减小带来漏电流增大的问题。

[0005] 为解决漏电流增大的问题,当前提出的解决方法是,采用高k栅介质层材料代替传统的二氧化硅栅介质层材料,并使用金属作为栅电极层材料,以避免高k栅介质层材料与传统栅电极层材料发生费米能级钉扎效应。

[0006] 然而,现有技术形成的半导体器件的电学性能仍有待提高。

发明内容

[0007] 本发明解决的问题是提供一种半导体器件的形成方法,改善形成的半导体器件的电学性能。

[0008] 为解决上述问题,本发明提供一种半导体器件的形成方法,包括:提供包括第一区域和第二区域的衬底;形成覆盖于所述衬底表面的氧化膜、以及覆盖于氧化膜表面的氮氧化膜;对所述氮氧化膜表面进行氮离子扩散弱化化学处理;在进行所述氮离子扩散弱化化学处理之后,在所述第一区域氮氧化膜表面形成光刻胶层;以所述光刻胶层为掩膜,刻蚀去除第二区域氮氧化膜以及氧化膜;去除所述光刻胶层;在所述第一区域的氮氧化膜表面以及第二区域衬底表面形成栅介质膜;在所述栅介质膜表面形成栅导电膜。

[0009] 可选的,采用酸性溶液或碱性溶液对所述氮氧化膜表面进行氮离子扩散弱化化学处理。

[0010] 可选的,所述酸性溶液为氯化氢和过氧化氢的水溶液;所述碱性溶液为四甲基氢氧化铵溶液。

[0011] 可选的,所述四甲基氢氧化铵溶液中,四甲基氢氧化铵的质量百分比为2%至5%,氮离子扩散弱化化学处理的时长为20秒至2分钟。

[0012] 可选的,所述氯化氢和过氧化氢的水溶液中,氯化氢、过氧化氢和水的体积比为1:A:B,其中,A为1至5,B为10至100,氮离子扩散弱化化学处理的时长为20秒至2分钟。

[0013] 可选的,形成所述氧化膜以及氮氧化膜的工艺步骤包括:形成覆盖于所述衬底表

面的初始氧化膜；对所述初始氧化膜进行氮化处理，将部分厚度的初始氧化膜转化为氮氧化膜，剩余的初始氧化膜作为氧化膜。

[0014] 可选的，所述氮化处理的工艺包括等离子体氮掺杂以及退火处理。

[0015] 可选的，所述等离子体氮掺杂为解耦等离子体氮掺杂；所述解耦等离子体氮掺杂的工艺参数为： N_2 流量为 60 标准毫升/分至 100 标准毫升/分， H_2 流量为 100 标准毫升/分至 140 标准毫升/分，腔室压强为 10 毫托至 20 毫托，提供功率为 800 瓦至 1000 瓦，时间为 30 秒至 200 秒。

[0016] 可选的，所述退火处理的工艺参数为： O_2 流量为 800sccm 至 1000sccm，腔室压强为 0.3 毫托至 0.6 毫托，退火温度为 1000 摄氏度至 1200 摄氏度，时间为 10 秒至 30 秒。

[0017] 可选的，所述初始氧化膜的材料为氧化硅；采用原位水汽氧化法或湿氧氧化法形成所述初始氧化膜。

[0018] 可选的，形成所述光刻胶层的工艺步骤包括：形成覆盖于第一区域和第二区域的氮氧化膜表面的光刻胶膜；对所述光刻胶膜进行曝光处理、以及显影处理，去除位于第二区域氮氧化膜表面的光刻胶膜，在第一区域氮氧化膜表面形成光刻胶层。

[0019] 可选的，采用湿法刻蚀工艺刻蚀去除第二区域的氮氧化膜以及氧化膜；采用湿法刻蚀工艺刻蚀去除所述光刻胶层。

[0020] 可选的，所述栅介质膜的材料为高 k 介质材料；所述栅导电膜的材料为金属材料或多晶硅。

[0021] 可选的，在形成所述栅介质膜之前，还包括步骤：在所述第二区域衬底表面形成热氧化层。

[0022] 可选的，所述高 k 介质材料为 HfO_2 、 $HfSiO$ 、 $HfSiON$ 、 $HfTaO$ 、 $HfTiO$ 、 $HfZrO$ 、 ZrO_2 或 Al_2O_3 ；所述金属材料为 TiN 、 TaN 、 $TaSiN$ 、 $TiSiN$ 、 $TaAlN$ 或 $TiAlN$ 、 Al 、 Cu 、 Ag 、 Au 、 Pt 、 Ni 、 Ti 、 Ta 、 TaC 、 $TaSiN$ 、 W 、 WN 或 WSi 。

[0023] 可选的，所述栅介质膜的材料为氧化硅；所述栅导电膜的材料为多晶硅或掺杂的多晶硅。

[0024] 可选的，在形成所述栅导电膜之后，还包括步骤：在所述栅导电膜表面形成图形层；以所述图形层为掩膜，刻蚀第一区域的栅导电膜、栅介质膜、氮氧化膜以及氧化膜，形成位于第一区域衬底表面的第一栅极结构；同时以所述图形层为掩膜，刻蚀第二区域的栅导电膜以及栅介质膜，形成位于第二区域衬底表面的第二栅极结构。

[0025] 可选的，所述第一栅极结构包括氧化层、位于氧化层表面的氮氧化层、位于氮氧化层表面的第一栅介质层、以及位于第一栅介质层表面的第一栅导电层；所述第二栅极结构包括第二栅介质层以及位于第二栅介质层表面的第二栅导电层。

[0026] 可选的，所述第一区域为待形成输入或输出器件的区域，所述第二区域为待形成核心器件的区域。

[0027] 与现有技术相比，本发明的技术方案具有以下优点：

[0028] 本发明提供的半导体器件的形成方法的技术方案中，形成覆盖于衬底表面的氧化膜、以及覆盖于氧化膜表面的氮氧化膜，使得后续形成的周边器件的栅介质层中含有氮氧化层，所述氮氧化层有利于缓解负偏压不稳定性效应问题；然后对氮氧化膜表面进氮离子扩散弱化化学处理，使氮氧化膜中的氮离子扩散进入光刻胶层的扩散能力降低，避免了“光

刻胶中毒”问题,使得本发明中形成的光刻胶层的图形形貌好、图形精确度高;然后以所述光刻胶层为掩膜,刻蚀去除第二区域的氮氧化膜以及氧化膜,由于光刻胶层的图形形貌好、图形精确度高,使得第二区域的氮氧化膜以及氧化膜被去除干净,且避免对第二区域衬底造成过刻蚀问题,当刻蚀完成后第二区域衬底表面平坦度好;在去除光刻胶层后,在第一区域的氮氧化膜表面以及第二区域衬底表面形成栅介质膜,在栅介质膜表面形成栅导电膜。由于第二区域衬底表面平坦度好,因此第二区域的栅介质膜顶部比表面平坦度好,相应的第二区域栅导电膜的厚度均匀性高,从而提高半导体器件的电学性能。

[0029] 同时,后续会在第一区域形成第一栅极结构,在第二区域形成第二栅极结构,其中,第一栅极结构的栅介质层的厚度为氧化膜的厚度、氮氧化膜的厚度与栅介质膜的厚度之和,第二栅极结构的栅介质层的厚度为栅介质膜的厚度,明显第一栅极结构的栅介质层的厚度大于第二栅极结构的栅介质层的厚度,从而满足不同器件对栅介质层厚度的不同要求。

[0030] 进一步,采用酸性溶液或碱性溶液对所述氮氧化膜表面进行氮离子扩散弱化化学处理,仅将氮氧化膜表面的材料转化为对光刻胶无害的材料,而氮氧化膜中的氧和氮含量几乎保持不变。

[0031] 进一步,采用氯化氢和过氧化氢的水溶液、或者四甲基氢氧化铵溶液,对所述氮氧化膜表面进行氮离子扩散弱化化学处理,避免在对氮氧化膜表面引入不必要的杂质。

[0032] 更进一步,采用湿法刻蚀工艺刻蚀去除第二区域的氮氧化膜以及氧化膜,避免了干法刻蚀工艺对第二区域衬底表面带来的晶格损伤。

附图说明

[0033] 图 1 至图 10 为本发明一实施例提供的半导体器件形成过程的剖面结构示意图。

具体实施方式

[0034] 由背景技术可知,现有技术形成的半导体器件的电学性能有待提高。

[0035] 在一个实施例中,当半导体器件包括核心器件以及周边器件时,为了满足核心器件和周边器件对栅介质层厚度的不同要求,形成半导体器件的工艺步骤包括:步骤 S1、提供包括核心器件区和周边器件区的基底,在所述基底表面形成氧化层;步骤 S2、在所述周边器件区的氧化层表面形成光刻胶层;步骤 S3、以所述光刻胶层为掩膜,刻蚀去除位于核心器件区的氧化层;然后去除光刻胶层;步骤 S4、在周边器件区的氧化层表面以及核心器件区的基底表面形成栅介质膜,接着在栅介质膜表面形成栅导电膜;步骤 S5、图形化核心器件区的栅导电膜以及栅介质膜,形成第一栅极结构,所述第一栅极结构包括第一栅介质层以及位于第一栅介质层表面的第一栅极;步骤 S6、图形化周边器件区的栅导电膜、栅介质膜以及氧化膜,形成第二栅极结构,所述第二栅极结构包括氧化层、位于氧化层表面的第二栅介质层、以及位于第二栅介质层表面的第二栅极。

[0036] 然而采用上述方法形成的半导体器件的电学性能低下,主要体现在形成的周边器件的负偏压不稳定性效应(NBTI,Negative Bias Temperature Instability)显著,周边器件的栅极漏电流大、阈值电压负向偏移、亚阈值斜率减小。

[0037] 为了减小或避免负偏压不稳定性效应,在形成光刻胶层之前,将部分厚度的氧化

层转化为氮氧化层,使得形成的周边器件的栅介质层中具有氮离子,氮离子的存在使得负偏压不稳定性效应减小。然而,将部分厚度的氧化层转化为氮氧化层之后,形成的半导体器件的电学性能仍有待提高,半导体器件的良率低。

[0038] 进一步研究发现,当部分厚度的氧化层转化为氮氧化层时,形成的光刻胶层与氮氧化层直接接触。氮离子极易扩散进入光刻胶内与光刻胶材料进行反应形成一种具有粘性的高分子化合物,这些化合物难以通过刻蚀、灰化或化学剥落的方法去除,使得在光刻胶层内形成的图案不再由曝光处理以及显影处理确定,光刻胶层内形成的图案精确度差,即所谓的“光刻胶中毒”现象。当以该具有“光刻胶中毒”的光刻胶层为掩膜,刻蚀去除位于核心器件区的氧化层时,容易造成部分核心器件区的氧化层去除不彻底,或者对部分核心器件区的衬底造成过刻蚀,或者对部分核心器件区的前沟槽隔离结构造成过刻蚀,或者对周边器件区的氮氧化层造成不必要的刻蚀,进而导致形成的半导体器件的电学性能差、良率低。

[0039] 为此,本发明提供一种半导体器件的形成方法,提供包括第一区域和第二区域的衬底;形成覆盖于所述衬底表面的氧化膜、以及覆盖于氧化膜表面的氮氧化膜;对所述氮氧化膜表面进行氮离子扩散弱化化学处理,使氮氧化膜中的氮离子扩散进入光刻胶层的扩散能力降低;在进行所述氮离子扩散弱化化学处理之后,在所述第一区域氮氧化膜表面形成光刻胶层;以所述光刻胶层为掩膜,刻蚀去除第二区域氮氧化膜以及氧化膜;去除所述光刻胶层;在所述第一区域的氮氧化膜表面以及第二区域衬底表面形成栅介质膜;在所述栅介质膜表面形成栅导电膜。本发明在满足核心器件和周边器件对栅介质层厚度的不同要求的同时,避免了光刻胶中毒问题,使得第二区域的氮氧化膜以及氧化膜被去除干净,且避免了对第二区域衬底造成过刻蚀,从而使得形成的半导体器件的电学性能优良。

[0040] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0041] 图1至图10为本发明一实施例提供过的半导体器件形成过程的剖面结构示意图。

[0042] 参考图1,提供包括第一区域I和第二区域II的衬底100。

[0043] 所述衬底100的材料为硅、锗、锗化硅、碳化硅、砷化镓或镓化铟;所述衬底100也可以为绝缘体上的硅衬底或绝缘体上的锗衬底;所述衬底100表面还可以形成若干外延界面层或应变层以提高半导体器件的电学性能。

[0044] 本实施例中,所述衬底100为硅衬底;所述第一区域I为待形成输入/输出器件的区域,所述第二区域II为待形成核心器件的区域;所述第一区域I和第二区域II可以相应也可以相隔。还可以对衬底100进行掺杂形成阱区,所述阱区的掺杂类型为P型掺杂或N型掺杂。

[0045] 在所述衬底100内还可以形成隔离结构,现有的隔离结构通常采用浅沟槽隔离结构。所述浅沟槽隔离结构的填充材料可以为氧化硅、氮化硅、氮氧化硅中的一种或几种,浅沟槽隔离结构主要用于隔离第一区域I和第二区域II,防止不同半导体器件之间电学连接。

[0046] 继续参考图1,在所述衬底100表面形成初始氧化膜101。

[0047] 所述初始氧化膜101的材料为氧化硅,采用原位现场水汽(ISSG, In-situ Steam generation)氧化法或湿氧(wet oxide)氧化法形成所述初始氧化膜101。

[0048] 位于第一区域I部分衬底100表面的初始氧化膜101后续会作为输入/输出器件

的栅介质层的一部分,采用原位现场水汽氧化法或湿氧氧化法形成初始氧化膜 101 时,所述初始氧化膜 101 与衬底 100 表面紧密接触,使得初始氧化膜 101 与衬底 100 之间的界面缺陷少,有利于改善 NBTI 问题。

[0049] 在原位水汽氧化法形成初始氧化膜 101 的过程中,反应气体 H_2 和 O_2 直接与衬底 100 表面的硅材料发生反应而形成初始氧化膜 101,反应中产生大量具有氧化性的气相活性自由基,这些自由基包括活性氧原子、水分子以及 OH 基团等,由于活性氧原子具有极强的氧化作用,使得最终得到的初始氧化膜 101 的缺陷减少,衬底 100 与初始氧化膜 101 之间的界面处的电荷和界面态减少,因此能够改善半导体器件的 NBTI 问题。

[0050] 参考图 2,对所述初始氧化膜 101(参考图 1)进行氮化处理,将部分厚度的初始氧化膜 101 转化为氮氧化膜 102。

[0051] 本实施例中,所述初始氧化膜 101 的材料为氧化硅,相应形成的氮氧化膜 102 的材料为氮氧化硅,剩余的初始氧化膜 101 作为氧化膜 101a。

[0052] 对所述初始氧化膜 101 进行氮化处理的好处在于:后续第一区域 I 的部分氮氧化膜 102 为栅介质层的一部分,且后续会在栅介质层表面形成栅极层,其中栅极层内掺杂有 P 型离子或 N 型离子,所述氮离子具有捕捉 P 型离子或 N 型离子的作用,使得 P 型离子或 N 型离子不能进入衬底 100 内,从而使得栅介质层起到更好的绝缘作用;同时,将部分厚度的初始氧化膜 101 转化为氮氧化膜 102 后,使得氧化膜 101a 与衬底 100 界面处形成稳定的 Si-N 键、Si-N-H 键,使氧化膜 101a 与衬底 100 界面处的硅悬挂键减少,从而有利于改善后续在第一区域 I 形成的输入/输出器件的 NBTI 问题。

[0053] 所述氮化处理工艺包括等离子体氮掺杂以及退火处理。

[0054] 本实施例中,所述等离子体氮掺杂工艺为解耦等离子体氮掺杂(DPN, Decoupled Plasma Nitridation),所述解耦等离子体氮掺杂的工艺参数为: N_2 流量为 60 标准毫升/分至 100 标准毫升/分, H_2 流量为 100 标准毫升/分至 140 标准毫升/分,腔室压强为 10 毫托至 20 毫托,提供功率为 800 瓦至 1000 瓦,时间为 30 秒至 200 秒。

[0055] 采用解耦等离子体氮掺杂形成所述氮氧化膜 102 时,等离子体氮对衬底 100 的损伤小,且有效的防止等离子体氮对衬底 100 的正面轰击,优化了氮离子在氮氧化膜 102 以及氧化膜 101a 内的浓度分布。

[0056] 在进行等离子体氮掺杂之后,进行退火处理(PNA, Post Nitridation Anneal),所述退火处理一方面能够修复等离子体氮掺杂形成的晶格损伤,另一方面还能够及时固化氮氧化层 102 中的氮离子,使 N 原子与 SiO_2 分子键合,形成 Si-N-O 稳定的化学键结构。

[0057] 在一个具体实施例中,所述退火处理的工艺参数为: O_2 流量为 800sccm 至 1000sccm,腔室压强为 0.3 毫托至 0.6 毫托,退火温度为 1000 摄氏度至 1200 摄氏度,时间为 10 秒至 30 秒。

[0058] 本实施例中,采用将部分厚度的初始氧化膜 101 转化为氮氧化膜 102 的方法,形成覆盖于所述衬底 100 表面的氧化膜 101a、以及覆盖于氧化膜 101a 表面的氮氧化膜 102。在其他实施例中,也可以先形成覆盖于衬底表面的氧化膜,然后在氧化膜表面沉积氮氧化膜。

[0059] 参考图 3,对所述氮氧化膜 102 表面进行氮离子扩散弱化化学处理 200,使氮氧化膜 102 表面材料转化为对光刻胶无害的材料。

[0060] 由于氮氧化膜 102 中具有氮离子,特别的在氮氧化膜 102 表面材料也将为含氮材

料;若后续直接在氮氧化膜 102 表面形成光刻胶膜,那么氮氧化膜 102 表面的氮离子将扩散进入光刻胶膜内,引起光刻胶中毒问题,进而造成在曝光显影后形成的光刻胶层图形形貌差,后续容易对第二区域 II 衬底 100 造成过刻蚀、或者导致第二区域 II 的氮氧化膜 102 以及氧化膜 101a 难以去除干净。即使在氮氧化膜 102 与光刻胶膜之间形成底部抗反射涂层,底部抗反射涂层也无法完全阻挡氮氧化膜 102 内的氮离子扩散至光刻胶膜内。

[0061] 为此,本实施例中在形成光刻胶层之前,对氮氧化膜 102 表面进行氮离子扩散弱化化学处理 200,使氮氧化膜 102 表面材料转化为对光刻胶无害的材料。本实施例中,氮氧化膜 102 的材料为氮化硅,作为一种解释,可以认为在进行氮离子扩散弱化化学处理 200 后,氮氧化膜 102 内的氮离子扩散进入后续形成的光刻胶膜内的扩散能力变弱,从而避免了氮离子进入光刻胶膜内的问题,防止光刻胶中毒,使得后续形成的光刻胶层的图形精确度高。

[0062] 本实施例中采用酸性溶液或碱性溶液对所述氮氧化膜 102 表面进行所述氮离子扩散弱化化学处理 200,其中,酸性溶液为氯化氢和过氧化氢的水溶液,碱性溶液为四甲基氢氧化铵溶液。

[0063] 在一个实施例中,采用四甲基氢氧化铵溶液对氮氧化膜 102 表面进行氮离子扩散弱化化学处理时,四甲基氢氧化铵溶液中,四甲基氢氧化铵的质量百分比为 2%至 5%,例如为 2.1%、2.38%、3%、3.5%或 4%,氮离子扩散弱化化学处理的时长为 20 秒至 2 分钟。

[0064] 在另一实施例中,采用氯化氢和过氧化氢的水溶液对氮氧化膜 102 表面进行氮离子扩散弱化化学处理时,氯化氢和过氧化氢的水溶液中,氯化氢、过氧化氢和水的体积比为 1:A:B,其中,A 为 1 至 5,B 为 10 至 100,氮离子扩散弱化化学处理的时长为 20 秒至 2 分钟。

[0065] 采用氯化氢和过氧化氢的水溶液、或者四甲基氢氧化铵溶液对氮氧化膜 102 进行氮离子扩散弱化化学处理 200 时,其好处在于:化学药剂成本低,且效果明显,工艺简单易行;并且,本实施例中氮离子扩散弱化化学处理 200 未向氮氧化膜 102 内引入杂质,且氮氧化膜 102 中的氮离子含量和氧离子含量保持不变。

[0066] 参考图 4,在进行氮离子扩散弱化化学处理之后,形成覆盖于第一区域 I 和第二区域 II 的氮氧化膜 102 表面的光刻胶膜 103。

[0067] 在形成光刻胶膜 103 之前,还可以在第二区域 II 的氮氧化膜 102 表面形成底部抗反射涂层。

[0068] 本实施例中,由于对氮氧化膜 102 表面进行氮离子扩散弱化化学处理,与直接未进行氮离子扩散弱化化学处理的氮氧化膜表面形成光刻胶膜相比,在进行氮离子扩散弱化化学处理之后,氮氧化膜 102 中的氮离子扩散至光刻胶膜 103 内的扩散能力变弱,避免了氮离子扩散进入光刻胶膜 103 中,因此不再具有“光刻胶中毒”问题。

[0069] 参考图 5,对所述光刻胶膜 103(参考图 4)进行曝光处理以及显影处理,去除位于第二区域 II 氮氧化膜 102 表面的光刻胶膜 103,在所述第一区域 I 氮氧化膜 102 表面形成光刻胶层 104。

[0070] 与进行氮离子扩散弱化化学处理之前相比,进行氮离子扩散弱化化学处理之后氮氧化膜 102 中的氮离子扩散至光刻胶层 104 内的扩散能力变弱。由于本实施例避免了“光刻胶中毒”问题,因此形成的光刻胶层 104 的图形形貌好,光刻胶层 104 的图形精度高。

[0071] 参考图 6,以所述光刻胶层 104 为掩膜,刻蚀去除第二区域 II 氮氧化膜 102 以及氧

化膜 101a。

[0072] 本实施例中,采用湿法刻蚀工艺刻蚀去除所述第二区域 II 氮氧化膜 102 以及氧化膜 101a,能够避免干法刻蚀工艺对第二区域 II 衬底 100 造成刻蚀损伤。

[0073] 在一个实施例中,采用氢氟酸溶液刻蚀去除第二区域 II 氮氧化膜 102 以及氧化膜 101a,其中,氢氟酸溶液中氢氟酸与去离子水的体积比为 1:100 至 1:700。

[0074] 由于本实施例中形成的光刻胶层 104 图形精确度高、侧壁形貌好,因此第二区域 II 的氮氧化膜 102 以及氧化膜 101a 被彻底去除,且不会对第二区域 II 衬底 100 表面造成过刻蚀,同样的也不会对第二区域 II 浅沟槽隔离结构造成过刻蚀,从而提高刻蚀后的第二区域 II 衬底 100 表面平坦度,提高刻蚀后的第二区域 II 浅沟槽隔离结构表面平坦度。

[0075] 参考图 7,去除所述光刻胶层 104(参考图 6)。

[0076] 为了避免干法刻蚀工艺对第二区域 II 衬底 100,避免干法刻蚀工艺对第一区域 I 氮氧化膜 102 造成不良影响,本实施例中,采用湿法刻蚀工艺刻蚀去除光刻胶层 104。

[0077] 在一个实施例中,刻蚀去除光刻胶层 104 的刻蚀液体为硫酸和双氧水的混合溶液,接着,采用氨水和双氧水的混合溶液对第二区域 II 衬底 100 表面以及第一区域 I 氮氧化膜 102 表面进行清洗处理。

[0078] 参考图 8,在所述第一区域 I 的氮氧化膜 102 表面以及第二区域 II 衬底 100 上形成栅介质膜 105;在所述栅介质膜 105 表面形成栅导电膜 106。

[0079] 本实施例中,所述栅介质膜 105 的材料为高 k 介质材料,其中,高 k 介质材料指的是相对介电常数大于氧化硅相对介电常数的材料。所述高 k 介质材料为 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 、 HfZrO 、 ZrO_2 或 Al_2O_3 。

[0080] 为了提高栅介质膜 105 与衬底 100 之间的界面性能,本实施例在形成所述栅介质膜 105 之前,还包括步骤:在所述第二区域 II 衬底 100 表面形成热氧化层 107,所述热氧化层 107 的厚度小于第一区域 I 氧化膜 101a 和氮氧化膜 102 的厚度之和。所述氧化层 107 的材料为氧化硅,采用热氧化工艺形成所述热氧化层 107,使得热氧化层 107 与衬底 100 紧密接触,两者之间具有良好的界面性能,防止界面缺陷的产生。

[0081] 由于本实施例中第二区域 II 衬底 100 表面平坦度高,因此位于第二区域 II 的栅介质膜 105 表面平坦度高,相应第二区域 II 的栅导电膜 106 的厚度均匀性高,从而使得后续在第二区域 II 形成的第二栅极结构的性能良好,进而使得形成的半导体器件的电学性能优良。

[0082] 本实施例以先形成高 k 栅介质层、先形成金属栅极 (high k first metal gate first) 的工艺为例,栅介质膜 105 的材料为高 k 介质材料,相应栅导电膜 106 的材料为金属材料,栅导电膜 106 的材料为 TiN 、 TaN 、 TaSiN 、 TiSiN 、 TaAlN 或 TiAlN 、 Al 、 Cu 、 Ag 、 Au 、 Pt 、 Ni 、 Ti 、 Ta 、 TaC 、 TaSiN 、 W 、 WN 或 WSi 。

[0083] 在其他实施例中,采用先形成高 k 栅介质层、后形成金属栅极 (high k first metal gate last) 的工艺时,则栅介质膜的材料为高 k 介质材料,相应栅导电膜的材料为多晶硅、氮化硅或非晶碳。后续在形成半导体器件的源区和漏区之后,刻蚀去除栅导电膜,然后形成金属栅导电层。

[0084] 在其他实施例中,采用后形成高 k 栅介质层、后形成金属栅极 (high k last metal gate last) 的工艺时,则栅介质膜的材料为氧化硅,相应栅导电膜的材料为多晶硅、氮化硅

或非晶碳。后续在形成半导体器件的源区和漏区之后,刻蚀去除栅导电膜,然后形成高 k 栅介质层、以及位于高 k 栅介质层表面的金属栅导电层。

[0085] 在一个具体实施例中,所述栅介质膜 105 的材料为 HfO_2 ,所述栅导电膜 106 的材料为 Al。

[0086] 在其他实施例中,栅介质膜的材料也可以为氧化硅,相应栅导电膜的材料为多晶硅或掺杂的多晶硅。

[0087] 参考图 9,在所述栅导电膜 106 表面形成图形层 108。

[0088] 所述图形层 108 定义出后续在第一区域 I 形成的周边器件的第一栅极结构的位置和尺寸,所述图形层 108 还定义出后续在第二区域 II 形成的核心器件的第二栅极结构的位置和尺寸。

[0089] 所述图形层 108 的材料为光刻胶材料、氧化硅或氮化硅。

[0090] 参考图 10,以所述图形层 108(参考图 9)为掩膜,刻蚀第一区域 I 的栅导电膜 106(参考图 9)、栅介质膜 105(参考图 9)、氮氧化膜 102(参考图 9)以及氧化膜 101a(参考图 9),形成位于第一区域 I 衬底 100 表面的第一栅极结构;同时以所述图形层 108 为掩膜,刻蚀第二区域 II 的栅导电膜 106(参考图 9)、栅介质膜 105(参考图 9)以及热氧化膜 107(参考图 9),形成位于第二区域 II 衬底 100 表面的第二栅极结构。

[0091] 采用干法刻蚀工艺,刻蚀形成所述第一栅极结构以及第二栅极结构。

[0092] 第一栅极结构包括氧化层 141、位于氧化层 141 表面的氮氧化层 142、位于氮氧化层 142 表面的第一栅介质层 145、以及位于第一栅介质层 145 表面的第一栅导电层 146。第二栅极结构包括热氧化层 127、第二栅介质层 125、以及位于第二栅介质层 125 表面的第二栅导电层 126。

[0093] 对于周边器件而言,栅介质层的厚度等于氧化层 141 的厚度、氮氧化层 142 的厚度、以及第一栅介质层 145 的厚度之和;对于核心器件而言,栅介质层的厚度等于热氧化层 127 的厚度与第二栅介质层 125 的厚度之和。由于第一栅介质层 145 的厚度与第二栅介质层 125 的厚度相同,热氧化层 127 的厚度小于氧化层 141 的厚度,因此本实施例中周边器件的栅介质层的厚度大于核心器件的栅介质层的厚度,从而满足周边器件和核心器件对栅介质层的厚度的不同要求。

[0094] 并且,由于前述在刻蚀去除第二区域 II 的氮氧化膜以及氧化膜之后,第二区域 II 衬底 100 表面平坦度高,避免了对第二区域 II 衬底 100 造成过刻蚀,使得位于第二区域 II 的栅介质层表面平坦度好,第二栅导电层 126 的厚度均匀性好,从而提高了形成的半导体器件的电学性能。

[0095] 本实施例以第一栅极结构为周边器件最终的栅极结构、第二栅极结构为核心器件最终的栅极结构为例。在其他实施例中,第一栅极结构和第二栅极结构也可以为伪栅结构,采用先高 k 栅介质层、后金属栅极的工艺,相应后续在形成周边器件的源区和漏区之后,去除第一栅极结构的第一栅导电层 146,在第一栅介质层 145 表面形成第一金属栅极,去除第二栅极结构的第二栅导电层 126,在第二栅介质层 125 表面形成第二金属栅极。

[0096] 在形成第一栅极结构以及第二栅极结构之后,去除所述图形层 108。

[0097] 后续的工艺还包括:对第一栅极结构两侧的衬底 100 进行掺杂,形成第一源区和第一漏区;对第二栅极结构两侧的衬底 100 进行掺杂,形成第二源区和第二漏区;在所述衬

底 100 表面形成层间介质层,所述层间介质层还覆盖于第一栅极结构侧壁表面、以及第二栅极结构侧壁表面,所述层间介质层顶部与第一栅极结构顶部、第二栅极结构顶部齐平。

[0098] 虽然本发明披露如上,但本发明并非限于于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

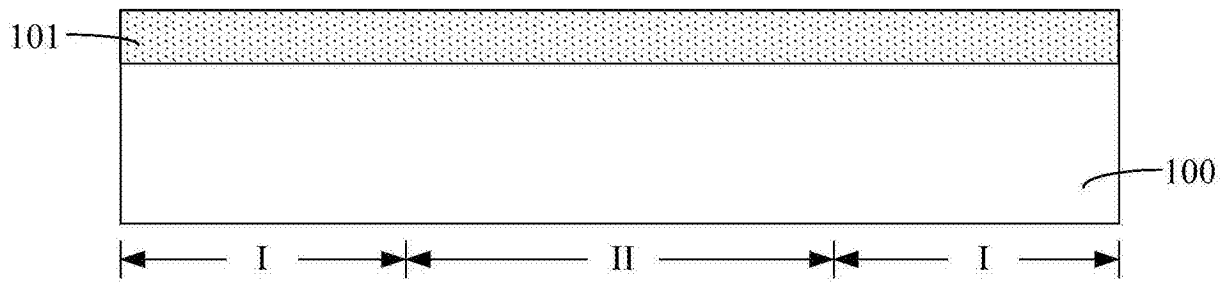


图 1

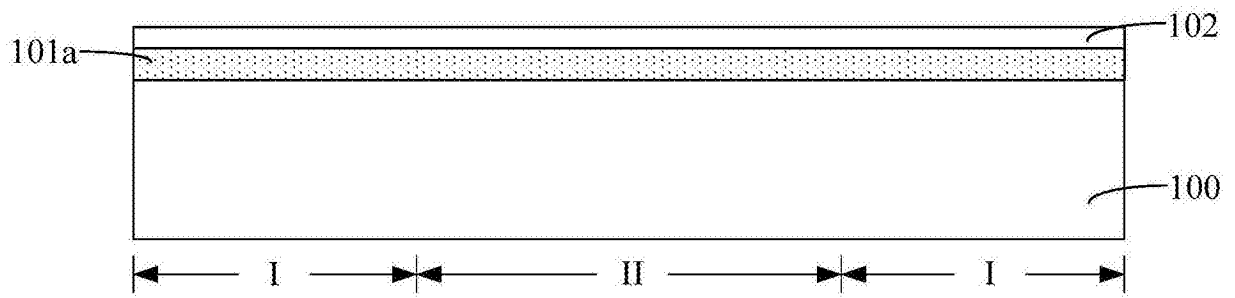


图 2

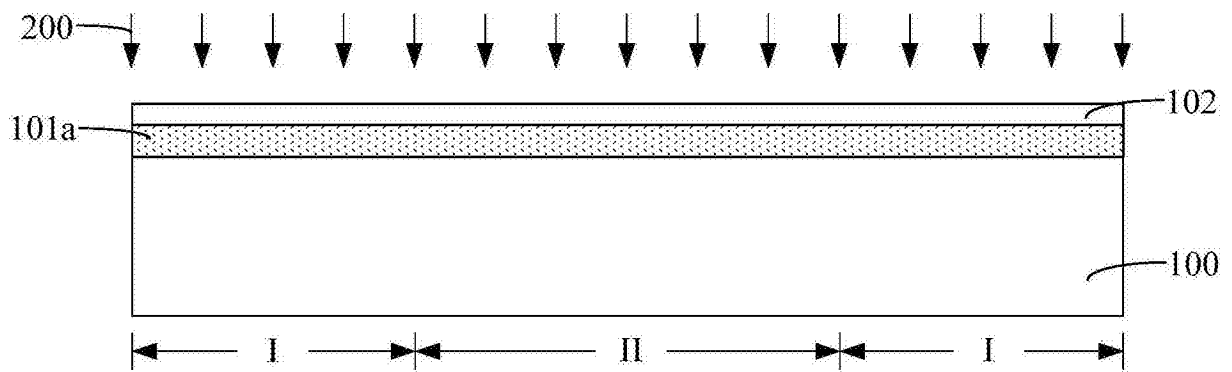


图 3

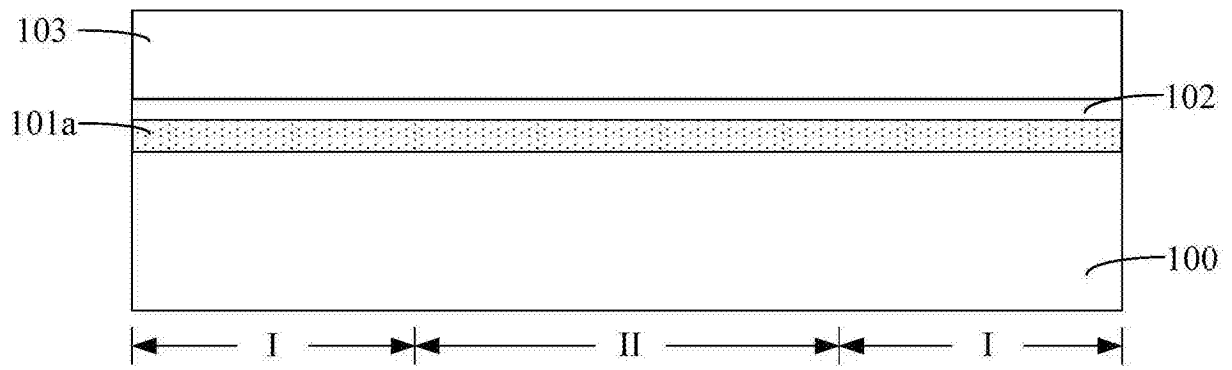


图 4

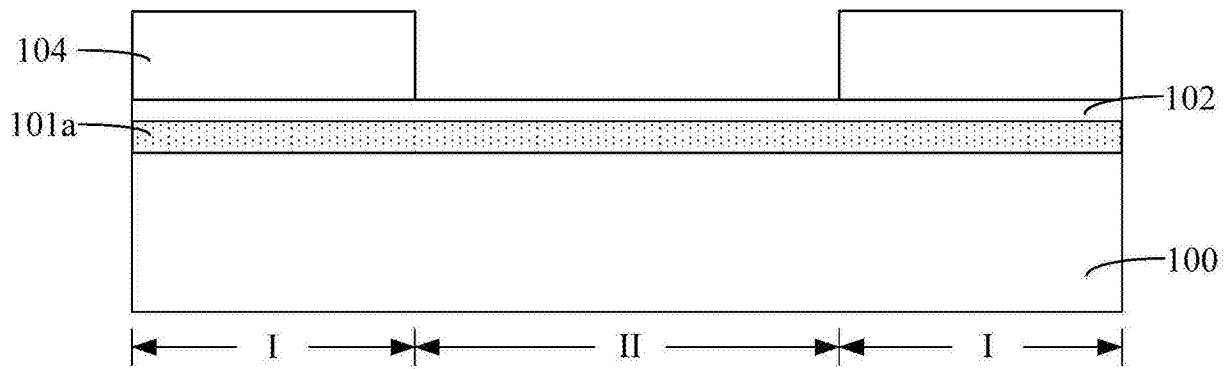


图 5

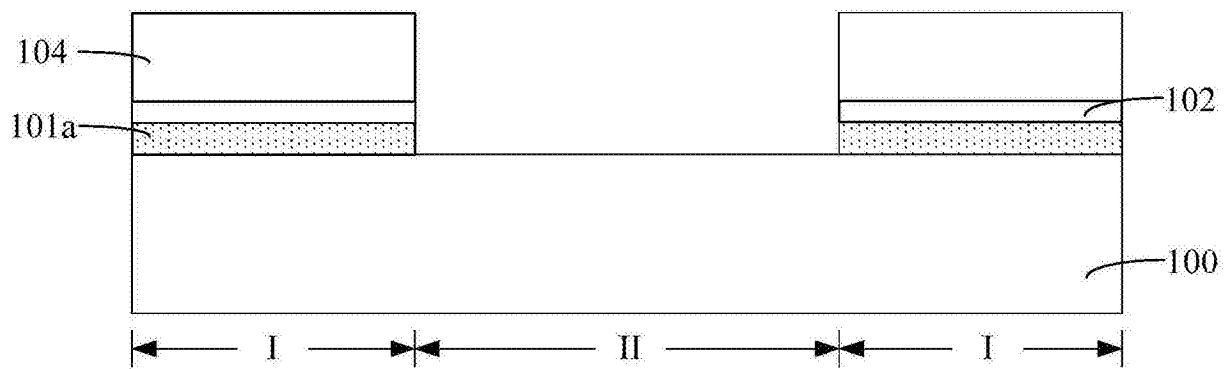


图 6

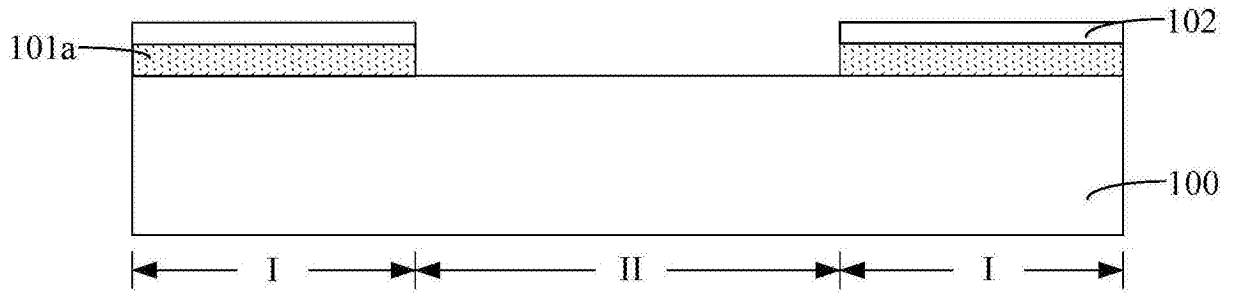


图 7

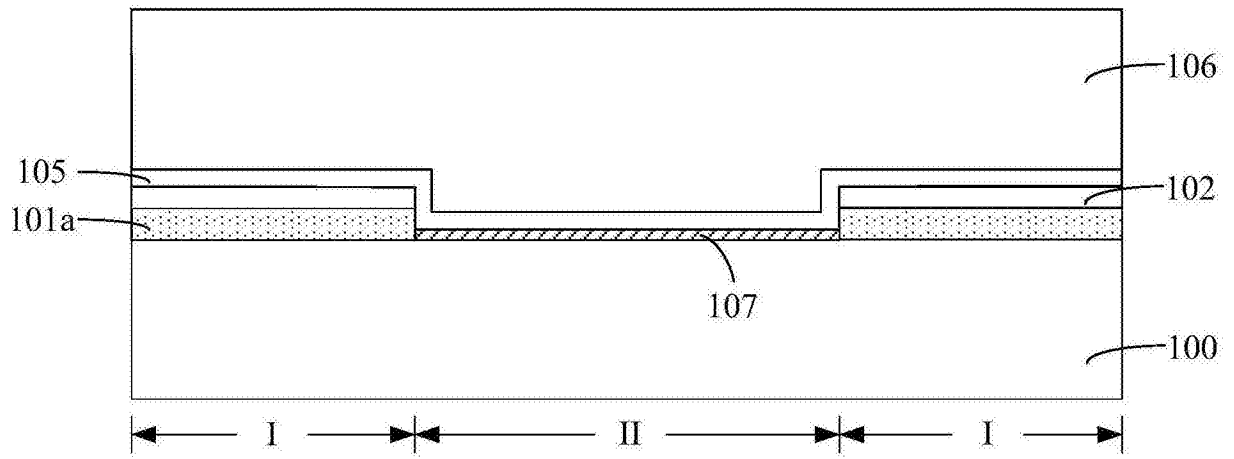


图 8

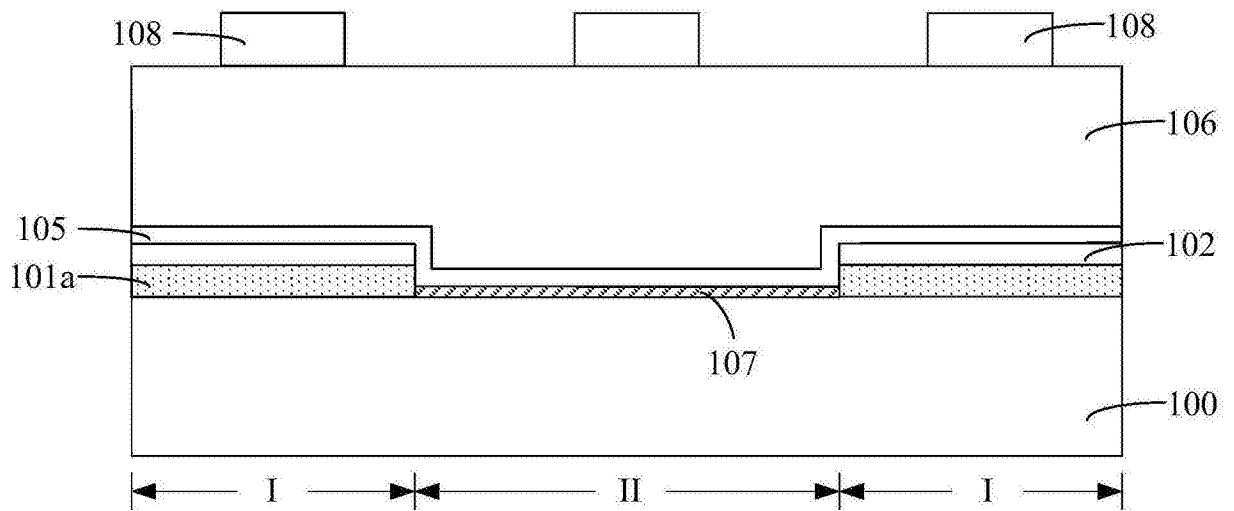


图 9

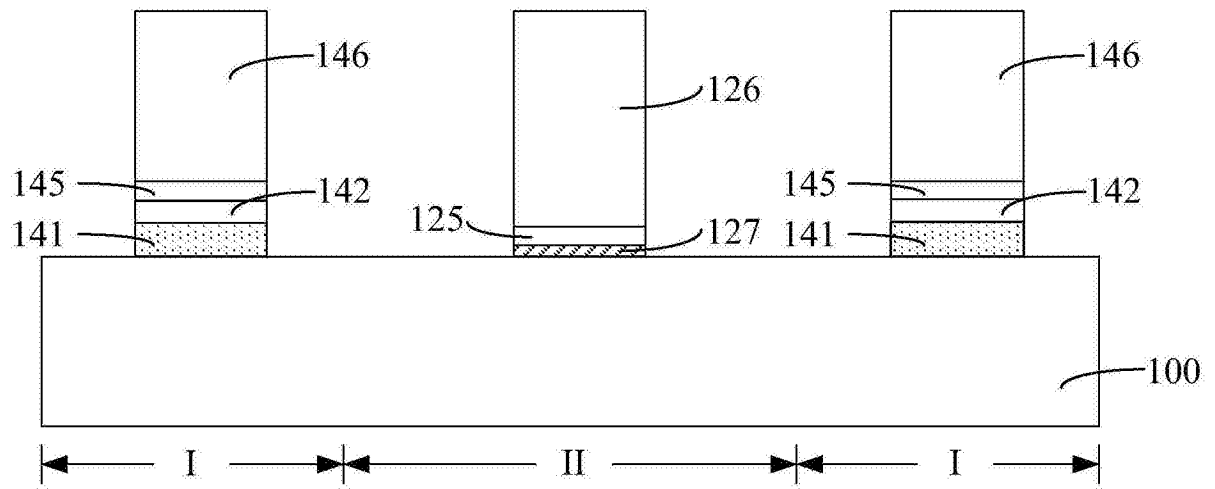


图 10