



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년01월20일
(11) 등록번호 10-2490626
(24) 등록일자 2023년01월16일

(51) 국제특허분류(Int. Cl.)
H10K 50/80 (2023.01) H10K 50/00 (2023.01)
H10K 59/00 (2023.01) H10K 71/00 (2023.01)
(52) CPC특허분류
H01L 51/5234 (2013.01)
H01L 27/3258 (2013.01)
(21) 출원번호 10-2015-0179953
(22) 출원일자 2015년12월16일
심사청구일자 2020년12월10일
(65) 공개번호 10-2017-0071816
(43) 공개일자 2017년06월26일
(56) 선행기술조사문헌
KR1020110064671 A
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김도형
경기도 파주시 한빛로 67 (야당동, 한빛마을2단지
휴먼빌레이크팰리스) 207-803
김미정
서울특별시 동작구 노량진동 장승배기로 26길
68-5
(74) 대리인
박병석

전체 청구항 수 : 총 11 항

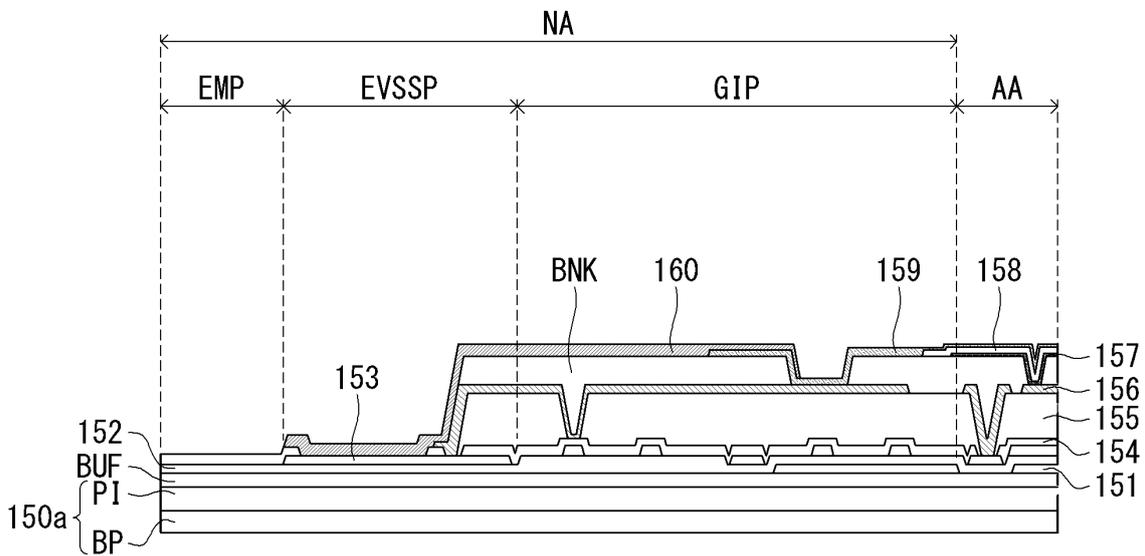
심사관 : 박광목

(54) 발명의 명칭 유기전계발광표시장치 및 이의 제조방법

(57) 요약

본 발명은 저전위 전원 상승 문제를 방지하면서 네로우 베젤을 구현함은 물론 목표하는 스펙에 맞게 전원을 설계하거나 저소비전력을 요구하는 방식으로 탄력적인 설계가 가능한 유기전계발광표시장치를 제공하는 것이다. 이를 위해, 본 발명은 상부 전극층 상에 위치하는 보상 금속층으로 저전위 전원라인과 상부 전극층을 전기적으로 연결한다.

대표도 - 도8



(52) CPC특허분류

H01L 27/326 (2013.01)
H01L 27/3276 (2022.01)
H01L 51/5012 (2013.01)
H01L 51/5206 (2013.01)
H01L 51/5228 (2013.01)
H01L 51/5231 (2013.01)
H01L 51/56 (2013.01)
H01L 2227/32 (2013.01)

(56) 선행기술조사문헌

KR1020130015113 A
KR1020130031101 A
KR1020140137713 A
KR1020150049640 A
KR1020150061756 A
KR1020150108469 A

명세서

청구범위

청구항 1

제1기관 상에 정의된 표시영역과 상기 표시영역의 외측에 위치하는 게이트인패널 영역, 상기 게이트인패널 영역의 외측에 위치하는 저전위 전원라인 영역을 포함하는 비표시영역;

상기 제1기관 상의 저전위 전원라인 영역에 위치하는 저전위 전원라인;

상기 저전위 전원라인 상에 위치하는 절연층에 의해 절연되고 상기 저전위 전원라인 영역부터 상기 게이트인패널 영역까지 위치하며 상기 저전위 전원라인에 연결된 하부 전극층;

상기 하부 전극층 상에 위치하는 절연층에 의해 절연되고 상기 표시영역부터 상기 게이트인패널 영역까지 위치하며 상기 하부 전극층에 연결된 상부 전극층; 및

상기 상부 전극층 상에 위치하며 상기 저전위 전원라인과 상기 상부 전극층을 전기적으로 연결하는 보상 금속층을 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 보상 금속층은

상기 저전위 전원라인, 상기 하부 전극층 및 상기 상부 전극층과 접촉하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 보상 금속층은

상기 게이트인패널 영역에서 상부 전극층과 접촉하고, 상기 저전위 전원라인 영역에서 하부 전극층의 측면 및 저전위 전원라인과 접촉하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 저전위 전원라인은 상기 표시영역 내의 소오스 드레인 전극과 동일한 물질로 구성되는 유기전계발광표시장치.

청구항 5

제1항에 있어서,

상기 제1기관 상의 상기 게이트인패널 영역에 위치하는 게이트 금속층과,

상기 게이트 금속층 상에 위치하는 제1절연층과,

상기 제1절연층 상의 상기 저전위 전원라인 영역에 위치하는 소오스 드레인 금속층과,

상기 소오스 드레인 금속층 상에 위치하는 제2절연층과,

상기 제2절연층 상에 위치하는 평탄화층과,

상기 평탄화층 상의 상기 저전위 전원라인 영역부터 상기 게이트인패널 영역까지 위치하는 상기 하부 전극층과,

상기 하부 전극층 상에 위치하는 बैं크층과,

상기 बैं크층 상의 상기 표시영역에 위치하는 유기 발광층과,

상기 유기 발광층 상의 상기 표시영역부터 상기 게이트인패널 영역까지 위치하는 상부 전극층을 포함하며,
상기 소오스 드레인 금속층은 상기 저전위 전원라인인 유기전계발광표시장치.

청구항 6

제5항에 있어서,
상기 보상 금속층은
상기 저전위 전원라인 영역부터 상기 게이트인패널 영역까지 위치하는 유기전계발광표시장치.

청구항 7

제5항에 있어서,
상기 보상 금속층은
상기 저전위 전원라인 영역부터 상기 표시영역까지 위치하는 유기전계발광표시장치.

청구항 8

제7항에 있어서,
상기 보상 금속층은
다중층으로 구성되고, 상기 표시영역 내의 보상 금속층의 두께보다 상기 비표시영역 내의 보상 금속층의 두께가 더 두꺼운 유기전계발광표시장치.

청구항 9

제1기판 상에 표시영역을 정의하고 상기 표시영역의 외측에 게이트인패널 영역, 상기 게이트인패널 영역의 외측에 저전위 전원라인 영역을 포함하는 비표시영역을 정의하는 단계;
상기 제1기판 상의 상기 게이트인패널 영역에 게이트 금속층을 형성하는 단계;
상기 게이트 금속층 상에 제1절연층을 형성하는 단계;
상기 제1절연층 상의 상기 저전위 전원라인 영역에 저전위 전원라인이 되는 소오스 드레인 금속층을 형성하는 단계;
상기 소오스 드레인 금속층 상에 제2절연층을 형성하는 단계;
상기 제2절연층 상에 평탄화층을 형성하는 단계;
상기 저전위 전원라인에 연결되도록 상기 평탄화층 상의 상기 저전위 전원라인 영역부터 상기 게이트인패널 영역까지 하부 전극층을 형성하는 단계;
상기 하부 전극층 상에 बैं크층을 형성하는 단계;
상기 बैं크층 상의 상기 표시영역에 유기 발광층을 형성하는 단계;
상기 하부 전극층에 연결되도록 상기 유기 발광층 상의 상기 표시영역부터 상기 게이트인패널 영역까지 상부 전극층을 형성하는 단계; 및
상기 저전위 전원라인과 상기 상부 전극층이 전기적으로 연결되도록 상기 상부 전극층 상에 보상 금속층을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

청구항 10

제9항에 있어서,
상기 저전위 전원라인 영역에서 상기 소오스 드레인 금속층의 일부가 노출되도록 상기 제2절연층을 패터닝하는 단계와,
상기 저전위 전원라인 영역에서 상기 하부 전극층의 측면이 노출되도록 상기 बैं크층을 패터닝하는 단계를 더 포함

하는 유기전계발광표시장치의 제조방법.

청구항 11

제9항에 있어서,

상기 보상 금속층을 형성하는 단계는

구리(Cu)나 은(Ag)의 단일 금속재료로 이루어진 단일층 또는 니켈크롬(NiCr)이나 니켈구리(NiCu)의 합금재료로 이루어진 다중층으로 상기 보상 금속층을 형성하는 유기전계발광표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치 및 이의 제조방법에 관한 것이다.

배경 기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다. 유기전계발광소자는 전자(election) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태에서부터 기저상태로 떨어질 때 발광하는 소자이다.

[0003] 유기전계발광표시장치는 유기전계발광소자를 이용하여 표시 패널을 형성한다. 표시 패널은 빛이 방출되는 방향에 따라 상부발광(Top-Emission) 방식, 하부발광(Bottom-Emission) 방식 및 양면발광(Dual-Emission) 등으로 구현될 수 있고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 구현될 수 있다. 유기전계발광표시장치는 연성을 부여하여 곡면을 갖게 하거나 인위적으로 또는 기계적으로 구부러지게 하는 등 다양한 형태로 구현되고 있다.

[0004] 종래에 제안된 유기전계발광표시장치는 유기 발광다이오드의 상부전극(최상위 전극)과 저전위 전원라인(최하위 전극)을 직접 연결할 수 없어 이들 사이에 위치하는 연결전극을 이용하여 상부전극과 저전위 전원라인을 전기적으로 연결한다.

[0005] 그런데 종래에 제안된 저전위 전원라인의 구성 및 연결방식은 비표시영역(또는 베젤영역)에 존재하는 소오스 드레인 금속층 또는 게이트 금속층으로 저전위 전원라인을 구성해야 하므로 베젤영역의 축소에 어려움이 있다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 연결전극을 이용하여 전극과 저전위 전원라인을 연결하는 방식에서 유발되는 저전위 전원 상승 문제를 방지하기 위해 저전위 전원라인 상에 보상 금속층을 형성한다. 보상 금속층을 형성하는 본 발명의 방식은 유기전계발광표시장치 제작시 목표하는 스펙에 맞게 전원을 설계할 수 있고, 저소비전력 및 네로우 베젤 설계의 이점을 줄 수 있다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명은 저전위 전원 상승 문제를 방지하면서 네로우 베젤을 구현함은 물론 목표하는 스펙에 맞게 전원을 설계하거나 저소비전력을 요구하는 방식으로 탄력적인 설계가 가능한 유기전계발광표시장치를 제공하는 것이다. 이를 위해, 본 발명에 따른 유기전계발광표시장치는 제1기판 상에 정의된 표시영역과 상기 표시영역의 외측에 위치하는 게이트인패널 영역, 상기 게이트인패널 영역의 외측에 위치하는 저전위 전원라인 영역을 포함하는 비표시영역, 상기 제1기판 상의 저전위 전원라인 영역에 위치하는 저전위 전원라인, 상기 저전위 전원라인 상에 위치하는 절연층에 의해 절연되고 상기 저전위 전원라인 영역부터 상기 게이트인패널 영역까지 위치하며 상기 저전위 전원라인에 연결된 하부 전극층, 상기 하부 전극층 상에 위치하는 절연층에 의해 절연되고 상기 표시영역부터 상기 게이트인패널 영역까지 위치하며 상기 하부 전극층에 연결된 상부 전극층 및 상기 상부 전극층 상에 위치하며 상기 저전위 전원라인과 상기 상부 전극층을 전기적으로 연결하는 보상 금속층을 포함한다.

- [0008] 이러한 상부 전극층 상에 위치하는 보상 금속층으로 저전위 전원라인과 상부 전극층을 전기적으로 연결하며,
- [0009] 보상 금속층은 저전위 전원라인, 하부 전극층 및 상부 전극층과 접촉할 수 있다.
- [0010] 상기 보상 금속층은 저전위 전원라인 영역부터 게이트인패널 영역까지 위치할 수도 있고,
- [0011] 저전위 전원라인 영역부터 표시영역까지 위치할 수도 있다.
- [0012] 다른 측면에서 본 발명은 유기전계발광표시장치의 제조방법을 제공한다. 유기전계발광표시장치의 제조방법은 제 1기판 상에 표시영역을 정의하고 표시영역의 외측에 게이트인패널 영역, 게이트인패널 영역의 외측에 저전위 전원라인 영역을 포함하는 비표시영역을 정의하는 단계, 제1기판 상의 게이트인패널 영역에 게이트 금속층을 형성하는 단계, 게이트 금속층 상에 제1절연층을 형성하는 단계, 제1절연층 상의 저전위 전원라인 영역에 저전위 전원라인이 되는 소오스 드레인 금속층을 형성하는 단계, 소오스 드레인 금속층 상에 제2절연층을 형성하는 단계, 제2절연층 상에 평탄화층을 형성하는 단계, 저전위 전원라인에 연결되도록 평탄화층 상의 저전위 전원라인 영역부터 게이트인패널 영역까지 하부 전극층을 형성하는 단계, 하부 전극층 상에 बैं크층을 형성하는 단계, बैं크층 상의 표시영역에 유기 발광층을 형성하는 단계, 하부 전극층에 연결되도록 유기 발광층 상의 표시영역부터 게이트인패널 영역까지 상부 전극층을 형성하는 단계, 및 저전위 전원라인과 상부 전극층이 전기적으로 연결되도록 상부 전극층 상에 보상 금속층을 형성하는 단계를 포함한다.

발명의 효과

- [0014] 본 발명은 보상 금속층을 더 형성하여 저전위 전원 상승 문제를 방지하면서 네로우 베젤을 구현할 수 있는 유기전계발광표시장치를 제공하는 효과가 있다. 또한, 본 발명은 다양한 금속 재료(Cu, Ag, NiCr, NiCu 등)를 이용하여 보상 금속층을 구성할 수 있는 효과가 있다. 또한, 본 발명은 면저항이 낮은 재료를 기반으로 보상 금속층을 구성하여 목표하는 스펙에 맞게 증착되는 면적, 두께 및 형상 변경이 가능하므로 설계의 자유도를 높일 수 있는 효과가 있다. 또한, 본 발명은 동일한 저전위 전원 상승 수준을 유지하면서도 네로우 베젤 구현이 가능하며, 동일한 베젤의 크기로 표시 패널 구현시 저전위 전원 상승 수준을 상대적으로 감소시킬 수 있어 표시 패널의 성능 극대화가 가능한 효과가 있다. 또한, 본 발명은 저전위 전원 상승 문제를 방지하면서 네로우 베젤을 구현함은 물론 목표하는 스펙에 맞게 전원을 설계하거나 저소비전력을 요구하는 방식으로 탄력적인 설계가 가능한 효과가 있다.

도면의 간단한 설명

- [0015] 도 1은 유기전계발광표시장치의 개략적인 블록도.
- 도 2는 서브 픽셀의 회로 구성을 나타낸 제1예시도.
- 도 3은 서브 픽셀의 회로 구성을 나타낸 제2예시도.
- 도 4는 표시 패널의 단면 예시도.
- 도 5는 도 4에 도시된 표시 패널의 기구적 특성을 보여주는 예시도.
- 도 6은 종래 구조에 따른 전원설계부의 비표시영역을 나타낸 단면도.
- 도 7은 도 6에 도시된 상부전극과 저전위 전원라인 간의 연결구조를 간략히 나타낸 계층도.
- 도 8은 본 발명의 제1실시예에 따른 전원설계부의 비표시영역을 나타낸 단면도.
- 도 9는 도 8에 도시된 상부전극과 저전위 전원라인 간의 연결구조를 간략히 나타낸 계층도.
- 도 10은 상부 전극층 형성과 관련된 제조방법을 설명하기 위한 도면.
- 도 11은 보상 금속층 형성과 관련된 제조방법을 설명하기 위한 도면.
- 도 12는 본 발명의 제2실시예에 따른 전원설계부의 비표시영역을 나타낸 단면도.
- 도 13은 도 12에 도시된 상부전극과 저전위 전원라인 간의 연결구조를 간략히 나타낸 제1계층도.
- 도 14는 도 12에 도시된 상부전극과 저전위 전원라인 간의 연결구조를 간략히 나타낸 제2계층도.
- 도 15는 상부 전극층 형성과 관련된 제조방법을 설명하기 위한 도면.

도 16은 보상 금속층 형성과 관련된 제조방법을 설명하기 위한 도면.

도 17은 본 발명의 제3실시예에 따른 전원설계부의 표시영역 및 비표시영역을 나타낸 평면도.

도 18은 종래 제안된 전원 구조와 본 발명의 제1실시예에 따른 전원 구조의 시뮬레이션 결과 그래프.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0017] 도 1은 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 회로 구성을 나타낸 제1예시도 이고, 도 3은 서브 픽셀의 회로 구성을 나타낸 제2예시도 이다.
- [0018] 도 1에 도시된 바와 같이, 유기전계발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 게이트 구동부(140) 및 표시 패널(150)이 포함된다.
- [0019] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다. 영상 처리부(110)는 시스템 회로기판에 IC(Integrated Circuit) 형태로 형성된다.
- [0020] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다.
- [0021] 타이밍 제어부(120)는 구동신호에 기초하여 게이트 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍 제어부(120)는 제어 회로기판에 IC 형태로 형성된다.
- [0022] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 데이터 회로기판에 IC 형태로 형성된다.
- [0023] 게이트 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트 구동부(140)는 게이트라인들(GL1 ~ GLm)을 통해 게이트신호를 출력한다. 게이트 구동부(140)는 게이트 회로기판에 IC 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다. 게이트 구동부(140)에서 게이트인패널 방식으로 형성되는 부분은 시프트 레지스터 등이다.
- [0024] 표시 패널(150)은 데이터 구동부(130) 및 게이트 구동부(140)로부터 공급된 데이터신호(DATA) 및 게이트신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시하는 서브 픽셀들(SP)을 포함한다.
- [0025] 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0026] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0027] 스위칭 트랜지스터(SW)는 제1게이트라인(GL1)을 통해 공급된 게이트신호에 응답하여 제1데이터라인(DL1)을 통해 공급되는 데이터신호가 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터전압에 따라 고전위 전원라인(EVDD)과 저전위 전원라인(EVSS) 사이로 구동 전류가 흐르도록 동작한다. 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위한 회로이다.
- [0028] 보상회로(CC)는 하나 이상의 박막 트랜지스터와 커패시터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한바 이에 대한 구체적인 예시 및 설명은 생략한다. 박막 트랜지스터는 저온 폴리실리콘(LTPS), 아몰포스 실리콘(a-Si), 산화물(Oxide) 또는 유기물(Organic) 반도체층을 기반으로 구현된다.
- [0029] 도 3에 도시된 바와 같이, 보상회로(CC)가 포함된 경우 서브 픽셀에는 보상 박막 트랜지스터를 구동함과 더불어

특정 신호나 전원을 공급하기 위한 신호라인과 전원라인 등이 더 포함된다.

- [0030] 추가된 신호라인은 서브 픽셀에 포함된 보상 박막 트랜지스터를 구동하기 위한 제1-2게이트라인(GL1b)으로 정의될 수 있다. 그리고 추가된 전원라인은 서브 픽셀의 특정 노드를 특정 전압으로 초기화하기 위한 제3전원라인(INIT)으로 정의될 수 있다. 그러나 이는 하나의 예시일 뿐 이에 한정되지 않는다.
- [0031] 한편, 도 2 및 도 3에서는 하나의 서브 픽셀에 보상회로(CC)가 포함된 것을 일례로 하였다. 하지만, 보상의 주체가 데이터구동부(130) 등과 같이 서브 픽셀의 외부에 위치하는 경우 보상회로(CC)는 생략될 수도 있다. 즉, 하나의 서브 픽셀은 기본적으로 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst) 및 유기 발광다이오드(OLED)를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되지만, 보상회로(CC)가 추가된 경우 3T1C, 4T2C, 5T2C, 6T1C 등으로 다양하게 구성될 수도 있다.
- [0032] 도 4는 표시 패널의 단면 예시도이고, 도 5는 도 4에 도시된 표시 패널의 기구적 특성을 보여주는 예시도이다.
- [0033] 도 4에 도시된 바와 같이, 표시 패널(150)에는 제1기판(150a), 표시영역(AA), 접착부재(165) 및 제2기판(150b)이 포함된다. 제1기판(150a)과 제2기판(150b)은 폴리이미드 (polyimide; PI), 폴리에테르술폰 (polyethersulfone; PES), 폴리에틸렌 테레프탈레이트 (Polyethylene terephthalate; PET), 폴리카보네이트 (Polycarbonates; PC), 폴리에틸렌 나프탈레이트 (Polyethylene Naphthalate; PEN), 아크릴로니트릴 부타디엔 스티렌 (Acrylonitrile butadiene styrene; ABS) 등의 플라스틱, 유리 또는 얇은 금속 재료 등으로 선택된다.
- [0034] 표시영역(AA)은 제1기판(150a)과 제2기판(150b) 사이에 형성된다. 표시영역(AA)에는 서브 픽셀들, 각종 신호라인 및 전원라인들이 형성된다. 전원라인들 상에는 외부에서 유입될 수 있는 수분을 저지하기 위한 복층 보호 (multilayer encapsulation) 구조가 형성될 수 있다.
- [0035] 제1기판(150a)과 제2기판(150b)은 이들 사이에 위치하는 접착부재(165)에 의해 합착 밀봉된다. 접착부재(165)는 PSA (Pressure Sensitive Adhesive Film), OCA (Optical Clear Adhesive Film), 프릿(Frit), 복층 보호막 (multilayer passivation) 등으로 선택될 수 있다.
- [0036] 표시영역(AA)에 형성된 서브 픽셀들, 각종 신호라인 및 전원라인들과 같은 구조물은 수분(습기)이나 산소에 취약하다. 이 때문에, 표시영역(AA)은 제1기판(150a)과 제2기판(150b) 사이에 위치하는 접착부재(165)에 의해 밀봉된다. 다만, 접착부재(165)의 특성 및 구성에 따라 제2기판(150b)은 생략될 수도 있다.
- [0037] 도 5에 도시된 바와 같이, 표시 패널(150)은 연성을 가지므로 이를 기반으로 제작된 유기전계발광표시장치는 인위적으로 또는 기계적으로 구부러지게 하거나 곡면을 갖게 하는 등 다양한 형태로 구현된다.
- [0038] 위와 같은 표시 패널을 기반으로 제작된 유기전계발광표시장치는 상부발광(Top-Emission) 방식, 하부발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 구현될 수 있다.
- [0039] 이하에서 설명되는 표시 패널(150)은 플라스틱이 아니더라도 기판이 되는 재료에 따라 구부러지게 구현 가능함과 더불어 비표시영역이 차지하는 면적을 줄인 네로우 베젤(narrow bezel) 형태로도 구현 가능하다.
- [0040] 또한, 이하의 설명에서는 상부발광(Top-Emission) 방식을 하나의 예로 하고, 종래 제안된 구조의 문제점을 고찰함과 동시에 이를 해결할 수 있는 본 발명에 대해 설명한다.
- [0041] 도 6은 종래 구조에 따른 전원설계부의 비표시영역을 나타낸 단면도이고, 도 7은 도 6에 도시된 상부전극과 저전위 전원라인 간의 연결구조를 간략히 나타낸 계층도이다.
- [0042] 도 6에 도시된 바와 같이, 표시 패널의 비표시영역(NA)에는 마진 영역(EMP), 저전위 전원라인 영역(EVSSP) 및 게이트인패널 영역(GIP)이 포함된다. 게이트인패널 영역(GIP)은 표시영역(AA)의 외측에 위치한다. 저전위 전원라인 영역(EVSSP)은 게이트인패널 영역(GIP)의 외측에 위치한다. 마진 영역(EMP)은 저전위 전원라인 영역(EVSSP)의 외측에 위치한다.
- [0043] 마진 영역(EMP)은 접착부재 등을 이용하여 제1기판(150a)과 제2기판(미도시)을 합착 밀봉할 때 여유 공간을 마련하기 위한 영역으로 정의된다. 저전위 전원라인 영역(EVSSP)은 제1기판(150a) 상에 저전위 전원라인을 형성할 때 사용할 수 있는 영역으로 정의된다. 게이트인패널 영역(GIP)은 게이트 구동부(미도시)에서 게이트인패널 방식으로 형성되는 부분인 시프트 레지스터 등을 형성할 때 사용할 수 있는 영역으로 정의된다.
- [0044] 제1기판(150a)은 제1층(BP)과 제2층(PI)을 포함한다. 제1층(BP)은 제2층(PI)의 연성을 유지하며 강성을 보장하는 백플레이트 역할을 한다.

- [0045] 제1기관(150a) 상에는 버퍼층(BUF)부터 시작하여 최상위층인 상부 전극층(159)까지 형성된다. 비표시영역(NA)에는 저전위 전원라인 등이 존재하고, 표시영역(AA)에는 트랜지스터 어레이(트랜지스터, 커패시터 등), 유기 발광다이오드 등이 존재한다. 이하, 표시영역(AA)과 비표시영역(NA)의 구분없이 제1기관(150a) 상에 형성된 층간 구조를 설명하면 다음과 같다.
- [0046] 제1기관(150a) 상에는 버퍼층(BUF)이 형성된다. 버퍼층(BUF) 상에는 게이트 금속층(151)이 형성된다. 게이트 금속층(151) 상에는 제1절연층(152)이 형성된다. 제1절연층(152) 상에는 소오스 드레인 금속층(153)이 형성된다. 소오스 드레인 금속층(153) 상에는 제2절연층(154)이 형성된다. 제2절연층(154) 상에는 평탄화층(155)이 형성된다. 평탄화층(155) 상에는 하부 전극층(156)이 형성된다. 하부 전극층(156) 상에는 बैं크층(BNK)이 형성된다. बैं크층(BNK) 상에는 반사전극층(157)이 형성된다. 반사전극층(157) 상에는 유기 발광층(158)이 형성된다. 유기 발광층(158) 상에는 상부 전극층(159)이 형성된다.
- [0047] 도 6 및 도 7에 도시된 바와 같이, 저전위 전원라인 영역(EVSSP)의 상위층에 존재하는 소오스 드레인 금속층(153)은 저전위 전원라인(EVSS)이 된다. 즉, 저전위 전원라인(EVSS)은 표시영역(AA) 내의 소오스 드레인 전극과 동일 물질로 이루어진다. 게이트인패널 영역(GIP)의 최상위층에 존재하는 상부 전극층(159)은 유기 발광다이오드의 캐소드전극으로 선택되므로 저전위 전원라인(EVSS)을 통해 저전위 전원을 공급받게 된다.
- [0048] 유기전계발광표시장치는 구조적 특성상 상부 전극층(159)과 저전위 전원라인(EVSS)을 직접 연결(전극과 라인이 서로 다른 층에서 이격 됨)할 수 없다. 또한, 상부발광 유기전계발광표시장치의 경우 구조적 특성상 상부 전극층(159)의 면저항이 높고 상부 전극층(159)만으로 전원을 구성할 경우 저전위 전원라인(EVSS)의 ΔVSS가 증가한다.
- [0049] 따라서, 종래에는 상부 전극층(159)과 저전위 전원라인(EVSS) 사이에 위치하는 하부 전극층(156)을 이용하여 상부 전극층(159)과 저전위 전원라인(EVSS)을 전기적으로 연결하는 병렬 저항(R)을 구성하고 ΔVSS를 낮추는 전원 설계 방식이 범용적으로 사용되어 왔다.
- [0050] 종래 제안된 방식에 따른 저전위 전원라인(EVSSP, 전원설계부)의 총 저항값(R_{Total})을 계산하면 다음과 같다.
- [0051]
$$R_{Total} = R1 * R2 * R3 / (R1*R2 + R1*R3 + R2*R3)$$
- [0052] R1은 상부 전극층의 저항값이고, R2는 연결전극 역할을 하는 하부 전극층의 저항값이고, R3는 저전위 전원라인 역할을 하는 소오스 드레인 금속층의 저항값이다.
- [0053] 그런데 종래에 제안된 저전위 전원라인(EVSS)의 구성 및 연결방식은 비표시영역(NA)(또는 베젤영역)에 존재하는 소오스 드레인 금속층(153) 또는 게이트 금속층(151)으로 저전위 전원라인을 구성해야 하므로 베젤영역의 축소에 어려움이 있다.
- [0054] 한편, 도 6의 구조에서 베젤영역을 축소하기 위해 저전위 전원라인 역할을 하는 소오스 드레인 금속층의 면적을 줄이는 실험을 한 결과 ΔVSS가 대폭 증가하는 것으로 나타났다. 그러므로 종래에 제안된 구조만으로는 베젤영역을 줄일 수 없는 바, ΔVSS 증가를 방지하면서 베젤영역을 줄일 수 있는 다른 방안이 요구된다.
- [0055] <제1실시에>
- [0056] 도 8은 본 발명의 제1실시에에 따른 전원설계부의 비표시영역을 나타낸 단면도이고, 도 9는 도 8에 도시된 상부 전극과 저전위 전원라인 간의 연결구조를 간략히 나타낸 계층도이다.
- [0057] 도 8에 도시된 바와 같이, 표시 패널의 비표시영역(NA)에는 마진 영역(EMP), 저전위 전원라인 영역(EVSSP) 및 이 포함 된다. 게이트인패널 영역(GIP)은 표시영역(AA)의 외측에 위치한다. 저전위 전원라인 영역(EVSSP)은 게이트인패널 영역(GIP)의 외측에 위치한다. 마진 영역(EMP)은 저전위 전원라인 영역(EVSSP)의 외측에 위치한다.
- [0058] 마진 영역(EMP)은 접촉부재 등을 이용하여 제1기관(150a)과 제2기관(미도시)을 함착 밀봉할 때 여유 공간을 마련하기 위한 영역으로 정의된다. 저전위 전원라인 영역(EVSSP)은 제1기관(150a) 상에 저전위 전원라인을 형성할 때 사용할 수 있는 영역으로 정의된다. 게이트인패널 영역(GIP)은 게이트 구동부(미도시)에서 게이트인패널 방식으로 형성되는 부분인 시프트 레지스터 등을 형성할 때 사용할 수 있는 영역으로 정의된다.
- [0059] 제1기관(150a)은 제1층(BP)과 제2층(PI)을 포함한다. 제1층(BP)은 제2층(PI)의 연성을 유지하며 강성을 보장하는 백플레이트 역할을 한다. 예컨대, 제1층(BP)은 폴리에틸렌 테레프탈레이트(PET)로 선택될 수 있고, 제2층(PI)은 폴리이미드(PI)로 선택될 수 있으나 이에 한정되지 않는다.

- [0060] 제1기판(150a) 상에는 버퍼층(BUF)부터 시작하여 최상위층인 상부 전극층(159)까지 형성된다. 비표시영역(NA)에는 저전위 전원라인 등이 존재하고, 표시영역(AA)에는 트랜지스터 어레이(트랜지스터, 커패시터 등), 유기 발광다이오드 등이 존재한다. 이하, 표시영역(AA)과 비표시영역(NA)의 구분없이 제1기판(150a) 상에 형성된 층간 구조를 설명하면 다음과 같다.
- [0061] 제1기판(150a) 상에는 버퍼층(BUF)이 형성된다. 버퍼층(BUF)은 단층 버퍼층, 다층 버퍼층 또는 단층 버퍼층과 다층 버퍼층을 포함하는 구조로 이루어질 수 있다. 버퍼층(BUF)은 실리콘(Si) 계열의 SiO_x, SiN_x, SiON 중 하나로 선택될 수 있다.
- [0062] 버퍼층(BUF) 상에는 게이트 금속층(151)이 형성된다. 게이트 금속층(151)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다. 게이트 금속층(151)은 패터닝 공정에 의해 트랜지스터의 게이트 전극, 게이트전극에 연결되는 게이트라인들, 게이트라인들에 연결되는 게이트패드들 등으로 구분된다.
- [0063] 게이트 금속층(151) 상에는 제1절연층(152)이 형성된다. 제1절연층(152)은 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)의 단일층 또는 다중층으로 이루어질 수 있다. 제1절연층(152)은 게이트절연막으로 정의될 수 있다.
- [0064] 제1절연층(152) 상에는 소오스 드레인 금속층(153)이 형성된다. 소오스 드레인 금속층(153)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다. 소오스 드레인 금속층(153)은 패터닝 공정에 의해 트랜지스터의 소오스 및 드레인전극, 소오스 또는 드레인전극에 연결되는 데이터라인들, 데이터라인들에 연결되는 데이터패드들 등으로 구분된다.
- [0065] 소오스 드레인 금속층(153) 상에는 제2절연층(154)이 형성된다. 제2절연층(154)은 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)의 단일층 또는 다중층으로 이루어질 수 있다. 제2절연층(154)은 보호막으로 절의될 수 있다.
- [0066] 제2절연층(154) 상에는 평탄화층(155)이 형성된다. 평탄화층(155)은 트랜지스터 어레이 부분을 덮고 있는 층으로서 상부 표면을 평탄화하는 역할을 할 수 있는 포토아크릴(PAC), 코팅층 등의 유기재료로 선택된다.
- [0067] 평탄화층(155) 상에는 하부 전극층(156)이 형성된다. 하부 전극층(156)은 ITO(indium tin oxide), IZO(indium zinc oxide), AZO(Aluminum-doped Zinc Oxide) 등의 투명 전극 재료로 선택된다. 하부 전극층(156)은 패터닝 공정에 의해 유기 발광다이오드의 하부전극(예: 애노드전극), 저전위 전원라인의 연결전극 등으로 구분된다.
- [0068] 하부 전극층(156) 상에는 बैं크층(BNK)이 형성된다. बैं크층(BNK)은 유기 절연막 또는 무기 절연막으로 선택될 수 있다. बैं크층(BNK)은 유기 발광다이오드의 개구영역을 정의하는 화소정의막으로 정의될 수 있다.
- [0069] बैं크층(BNK) 상에는 반사전극층(157)이 형성된다. 반사전극층(157)은 유기 발광층(158)으로부터 생성된 빛을 상부 전극층(159)의 방향으로 내보낼 수 있을 만큼 반사도가 높은 재료 예컨대 알루미늄(Al), 은(Ag) 등이 선택된다.
- [0070] 반사전극층(157) 상에는 유기 발광층(158)이 형성된다. 유기 발광층(158)은 적색, 녹색, 청색 또는 백색을 발광하는 발광 물질로 선택된다. 유기 발광층(158)은 정공 주입층, 정공 수송층, 발광층, 전자 수송층 및 전자 주입층과 같은 계층 구조 또는 기타 기능층이 추가된 구조로 이루어진다.
- [0071] 유기 발광층(158) 상에는 상부 전극층(159)이 형성된다. 상부 전극층(159)은 표시영역(AA) 및 비표시영역(NA)의 일부에 위치하도록 전면 전극 형태로 형성되며 빛을 투과시킬 수 있는 재료 또는 빛을 투과시킬 수 있을 만큼 얇은 두께로 형성된다. 상부 전극층(159)은 유기 발광다이오드의 상부전극(예: 캐소드전극)이 되면서 저전위 전원라인에 연결되는 영역을 갖는다.
- [0072] 보상 금속층(160, New Metal)은 상부 전극층(159, Cathode)과 소오스 드레인 금속층(153, SD) 상에 형성된다. 보상 금속층(160)은 단일층 또는 다중층으로 형성될 수 있다. 보상 금속층(160)은 상부 전극층(159)과 저전위 전원라인(EVSS) 간의 전기적인 연결 시 저항을 낮추는 역할 등을 하는데 이에 대해 설명을 부가하면 다음과 같다.
- [0073] 도 8 및 도 9에 도시된 바와 같이, 저전위 전원라인 영역(EVSSP)의 상위층에 존재하는 소오스 드레인 금속층(153)은 저전위 전원라인(EVSS)이 된다. 게이트인패널 영역(GIP)의 상위층에 존재하는 상부 전극층(159)은 유기 발광다이오드의 캐소드전극으로 선택되므로 저전위 전원라인(EVSS)을 통해 저전위 전원을 공급받게 된다.
- [0074] 유기전계발광표시장치는 구조적 특성상 상부 전극층(159)과 저전위 전원라인(EVSS)을 직접 연결(전극과 라인이

서로 다른 층에서 이격 됨)할 수 없다. 또한, 유기전계발광표시장치는 구조적 특성상 상부 전극층(159)의 면저항이 높고 상부 전극층(159)만으로 전원을 구성할 경우 저전위 전원라인(EVSS)의 ΔVSS 가 증가한다.

- [0075] 따라서, 제1실시예에서는 상부 전극층(159)과 저전위 전원라인(EVSS) 사이에서 연결전극 역할을 하는 하부 전극층(156, Anode) 상에 보상 금속층(160)을 더 형성한다. 보상 금속층(160)은 예컨대 구리(Cu)나 은(Ag) 등의 단일 금속재료 또는 니켈크롬(NiCr)이나 니켈구리(NiCu) 등의 합금재료와 같이 면저항이 낮은 재료로 선택될 수 있으나 이에 한정되지 않는다.
- [0076] 보상 금속층(160)은 게이트인패널 영역(GIP)부터 저전위 전원라인 영역(EVSSP)까지 형성된다. 저전위 전원라인 영역(EVSSP)에 위치하는 제2절연층(154)은 소오스 드레인 금속층(153)의 일부를 노출하는 콘택홀을 갖는다. 따라서, 보상 금속층(160)은 게이트인패널 영역(GIP)의 최상위층에 존재하는 상부 전극층(159) 및 저전위 전원라인 영역(EVSSP)의 상위층에 존재하는 소오스 드레인 금속층(153)과 접촉한다.
- [0077] 다른 예로, 저전위 전원라인 영역(EVSSP)에 위치하는 뱅크층(BNK)은 도시된 바와 같이 하부 전극층(156)의 측면(또는 측벽)을 노출하는 콘택홀을 가질 수 있다. 이를 위해, 하부 전극층(156)은 평탄화층(155)의 측면을 덮도록 형성된다. 뱅크층(BNK)은 평탄화층(155)의 측면을 덮도록 형성된 하부 전극층(156)의 일부(또는 전부)를 노출한다.
- [0078] 이와 같은 경우, 보상 금속층(160)은 게이트인패널 영역(GIP)의 최상위층에 존재하는 상부 전극층(159), 저전위 전원라인 영역(EVSSP)의 상위층에 존재하는 소오스 드레인 금속층(153) 및 저전위 전원라인 영역(EVSSP)의 하부 전극층(156)의 측면과 접촉한다.
- [0079] 즉, 보상 금속층(160)은 상부 전극층(159)과 소오스 드레인 금속층(153) 이상 2개의 층과 접촉하는 구조로 형성되거나 상부 전극층(159), 하부 전극층(156) 및 소오스 드레인 금속층(153) 이상 3개의 층과 접촉하는 구조로 형성될 수 있다.
- [0080] 본 발명의 제1실시예는 베젤영역을 차지하는 전원설계 영역을 최소화하여 네로우 베젤(Narrow Bezel)을 구현하기 위해 위와 같이 면저항이 낮은 보강 재료를 게이트인패널 영역(GIP)부터 저전위 전원라인 영역(EVSSP)까지 형성하는 구조를 사용한다.
- [0081] 실험결과, 제1실시예의 구조는 도 9 에 도시된 도 7의 EVSSP 영역과 실시예의 EVSSP 영역 간의 비교를 통해 알 수 있듯이 베젤영역을 더욱 좁힐 수 있는 것으로 나타났다.
- [0082] 실험결과, 제1실시예의 구조는 면저항이 낮은 보상 금속층의 추가로 종래 구조 대비 저전위 전원라인의 총 저항이 더 감소(병렬저항 구조에 면저항이 낮은 저항 추가에 따른 총 저항 감소)하는 것으로 나타났다. 그리고 저전위 전원라인의 총 저항은 보상 금속층(160)이 2개의 층과 접촉하는 구조보다 3개의 층과 접촉하는 구조 사용시 더 감소하는 것으로 나타났다.
- [0083] 이상과 제1실시예와 같은 전원 구조를 이용하면 고해상도 및 네로우 베젤의 표시장치 구현 조건을 만족할 수 있을 것으로 예견된다. 그러나 표시장치의 타겟이 네로우 베젤이 아닌 저소비전력을 요구하는 경우에도 ΔVSS 를 기존보다 낮출 수 있으므로 이전 대비 낮은 고전위 전원(EVDD)을 사용할 수 있는 구조로 변경 가능하다.
- [0084] 이하, 본 발명의 제1실시예에 따른 전원설계를 위한 제조방법에 대해 설명한다. 다만, 이하에서는 본 발명의 특징과 직접적으로 관계되는 상부 전극층과 보상 금속층 형성 부분만 설명한다.
- [0085] 도 10은 상부 전극층 형성과 관련된 제조방법을 설명하기 위한 도면이고, 도 11은 보상 금속층 형성과 관련된 제조방법을 설명하기 위한 도면이다.
- [0086] 트랜지스터 어레이 공정 시 금속층을 이용하여 비표시영역(NA)에 전원부에 해당하는 저전위 전원라인을 형성하고 후속 공정으로 상부 전극층(159)을 표시영역(AA)의 전면에 형성한다. 상부 전극층(159)은 열증착법(Thermal Evaporation) 또는 스퍼터링법(Sputtering)을 이용할 수 있는 재료로 선택된다.
- [0087] 도 10과 같이 상부 전극층(159)은 표시영역(AA)과 비표시영역(NA)의 일부 영역까지 노출하는 오픈부(OPN)(NOPN은 차단부)를 갖는 제1마스크(CMSK)에 의해 형성된다. 도 11과 같이 보상 금속층(160)은 표시영역(AA)과 인접한 비표시영역(NA)의 일부 영역만 노출하는 오픈부(OPN)를 갖는 제2마스크(NMSK)에 의해 형성된다. 그 결과, 보상 금속층(160)은 게이트인패널 영역(GIP)부터 저전위 전원라인 영역(EVSSP)까지 형성된다.
- [0088] 이상과 같이 보상 금속층(160)을 비표시영역(NA) 상에만 형성할 경우, 표시영역(AA) 방향의 빛 투과율과 무관하므로 단일층이나 다중층으로 형성할 수 있고 또한 두께에 대한 제약사항을 피할 수 있다.

- [0089] <제2실시예>
- [0090] 도 12는 본 발명의 제2실시예에 따른 전원설계부의 비표시영역을 나타낸 단면도이고, 도 13은 도 12에 도시된 상부전극과 저전위 전원라인 간의 연결구조를 간략히 나타낸 제1계층도이며, 도 14는 도 12에 도시된 상부전극과 저전위 전원라인 간의 연결구조를 간략히 나타낸 제2계층도이다.
- [0091] 도 12에 도시된 바와 같이, 표시 패널의 비표시영역(NA)에는 마진 영역(EMP), 저전위 전원라인 영역(EVSSP) 및 게이트인패널 영역(GIP)이 포함된다. 게이트인패널 영역(GIP)은 표시영역(AA)의 외측에 위치한다. 저전위 전원라인 영역(EVSSP)은 게이트인패널 영역(GIP)의 외측에 위치한다. 마진 영역(EMP)은 저전위 전원라인 영역(EVSSP)의 외측에 위치한다.
- [0092] 마진 영역(EMP)은 접착부재 등을 이용하여 제1기판(150a)과 제2기판(미도시)을 합착 밀봉할 때 여유 공간을 마련하기 위한 영역으로 정의된다. 저전위 전원라인 영역(EVSSP)은 제1기판(150a) 상에 저전위 전원라인을 형성할 때 사용할 수 있는 영역으로 정의된다. 게이트인패널 영역(GIP)은 게이트 구동부(미도시)에서 게이트인패널 방식으로 형성되는 부분인 시프트 레지스터 등을 형성할 때 사용할 수 있는 영역으로 정의된다.
- [0093] 제1기판(150a)은 제1층(BP)과 제2층(PI)을 포함한다. 제1층(BP)은 제2층(PI)의 연성을 유지하며 강성을 보강하는 백플레이트 역할을 한다. 예컨대, 제1층(BP)은 폴리에틸렌 테레프탈레이트(PET)로 선택될 수 있고, 제2층(PI)은 폴리이미드(PI)로 선택될 수 있으나 이에 한정되지 않는다.
- [0094] 제1기판(150a) 상에는 버퍼층(BUF)부터 시작하여 최상위층인 상부 전극층(159)까지 형성된다. 비표시영역(NA)에는 저전위 전원라인 등이 존재하고, 표시영역(AA)에는 트랜지스터 어레이(트랜지스터, 커패시터 등), 유기 발광다이오드 등이 존재한다. 이하, 표시영역(AA)과 비표시영역(NA)의 구분없이 제1기판(150a) 상에 형성된 층간 구조를 설명하면 다음과 같다.
- [0095] 제1기판(150a) 상에는 버퍼층(BUF)이 형성된다. 버퍼층(BUF)은 단층 버퍼층, 다층 버퍼층 또는 단층 버퍼층과 다층 버퍼층을 포함하는 구조로 이루어질 수 있다. 버퍼층(BUF)은 실리콘(Si) 계열의 SiO_x, SiN_x, SiON 중 하나로 선택될 수 있다.
- [0096] 버퍼층(BUF) 상에는 게이트 금속층(151)이 형성된다. 게이트 금속층(151)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다. 게이트 금속층(151)은 패터닝 공정에 의해 트랜지스터의 게이트 전극, 게이트전극에 연결되는 게이트라인들, 게이트라인들에 연결되는 게이트패드들 등으로 구분된다.
- [0097] 게이트 금속층(151) 상에는 제1절연층(152)이 형성된다. 제1절연층(152)은 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)의 단일층 또는 다중층으로 이루어질 수 있다. 제1절연층(152)은 게이트절연막으로 정의될 수 있다.
- [0098] 제1절연층(152) 상에는 소오스 드레인 금속층(153)이 형성된다. 소오스 드레인 금속층(153)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다. 소오스 드레인 금속층(153)은 패터닝 공정에 의해 트랜지스터의 소오스 및 드레인전극, 소오스 또는 드레인전극에 연결되는 데이터라인들, 데이터라인들에 연결되는 데이터패드들 등으로 구분된다.
- [0099] 소오스 드레인 금속층(153) 상에는 제2절연층(154)이 형성된다. 제2절연층(154)은 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)의 단일층 또는 다중층으로 이루어질 수 있다. 제2절연층(154)은 보호막으로 절의될 수 있다.
- [0100] 제2절연층(154) 상에는 평탄화층(155)이 형성된다. 평탄화층(155)은 트랜지스터 어레이 부분을 덮고 있는 층으로서 상부 표면을 평탄화하는 역할을 할 수 있는 포토아크릴(PAC), 코팅층 등의 유기재료로 선택된다.
- [0101] 평탄화층(155) 상에는 하부 전극층(156)이 형성된다. 하부 전극층(156)은 ITO(indium tin oxide), IZO(indium zinc oxide), AZO(Aluminum-doped Zinc Oxide) 등의 투명 전극 재료로 선택된다. 하부 전극층(156)은 패터닝 공정에 의해 유기 발광다이오드의 하부전극(예: 애노드전극), 저전위 전원라인의 연결전극 등으로 구분된다.
- [0102] 하부 전극층(156) 상에는 बैं크층(BNK)이 형성된다. बैं크층(BNK)은 유기 절연막 또는 무기 절연막으로 선택될 수 있다. बैं크층(BNK)은 유기 발광다이오드의 개구영역을 정의하는 화소정의막으로 정의될 수 있다.
- [0103] बैं크층(BNK) 상에는 반사전극층(157)이 형성된다. 반사전극층(157)은 유기 발광층(158)으로부터 생성된 빛을 상부 전극층(159)의 방향으로 내보낼 수 있을 만큼 반사도가 높은 재료 예컨대 알루미늄(Al), 은(Ag) 등이 선택된

다.

- [0104] 반사전극층(157) 상에는 유기 발광층(158)이 형성된다. 유기 발광층(158)은 적색, 녹색, 청색 또는 백색을 발광하는 발광 물질로 선택된다. 유기 발광층(158)은 정공 주입층, 정공 수송층, 발광층, 전자 수송층 및 전자 주입층과 같은 계층 구조 또는 기타 기능층이 추가된 구조로 이루어진다.
- [0105] 유기 발광층(158) 상에는 상부 전극층(159)이 형성된다. 상부 전극층(159)은 표시영역(AA) 및 비표시영역(NA)의 일부에 위치하도록 전면 전극 형태로 형성되며 빛을 투과시킬 수 있는 재료 또는 빛을 투과시킬 수 있을 만큼 얇은 두께로 형성된다. 상부 전극층(159)은 유기 발광다이오드의 상부전극(예: 캐소드전극)이 되면서 저전위 전원라인에 연결되는 영역을 갖는다.
- [0106] 보상 금속층(160)은 상부 전극층(159)과 소오스 드레인 금속층(153) 상에 형성된다. 보상 금속층(160)은 단일층으로 형성될 수 있다. 보상 금속층(160)은 상부 전극층(159)과 저전위 전원라인(EVSS) 간의 전기적인 연결 시 저항을 낮추는 역할 등을 하는데 이에 대해 설명을 추가하면 다음과 같다.
- [0107] 도 12 및 도 13에 도시된 바와 같이, 저전위 전원라인 영역(EVSSP)의 상위층에 존재하는 소오스 드레인 금속층(153)은 저전위 전원라인(EVSS)이 된다. 게이트인패널 영역(GIP)의 최상위층에 존재하는 상부 전극층(159)은 유기 발광다이오드의 캐소드전극으로 선택되므로 저전위 전원라인(EVSS)을 통해 저전위 전원을 공급받게 된다.
- [0108] 유기전계발광표시장치는 구조적 특성상 상부 전극층(159)과 저전위 전원라인(EVSS)을 직접 연결(전극과 라인이 서로 다른 층에서 이격 됨)할 수 없다. 또한, 상부발광 유기전계발광표시장치의 경우 구조적 특성상 상부 전극층(159)의 면저항이 높고 상부 전극층(159)만으로 전원을 구성할 경우 저전위 전원라인(EVSS)의 ΔVSS 가 증가한다.
- [0109] 따라서, 제2실시예에서는 상부 전극층(159)과 저전위 전원라인(EVSS) 사이에서 연결전극 역할을 하는 하부 전극층(156) 상에 보상 금속층(160)을 더 형성한다. 보상 금속층(160)은 예컨대 구리(Cu)나 은(Ag) 등의 단일 금속 재료 또는 니켈크롬(NiCr)이나 니켈구리(NiCu) 등의 합금재료와 같이 면저항이 낮은 재료로 선택될 수 있으나 이에 한정되지 않는다.
- [0110] 보상 금속층(160)은 표시영역(AA)부터 저전위 전원라인 영역(EVSSP)까지 형성된다. 저전위 전원라인 영역(EVSSP)에 위치하는 제2절연층(154)은 소오스 드레인 금속층(153)의 일부를 노출하는 콘택홀을 갖는다. 따라서, 보상 금속층(160)은 게이트인패널 영역(GIP)의 최상위층에 존재하는 상부 전극층(159) 및 저전위 전원라인 영역(EVSSP)의 상위층에 존재하는 소오스 드레인 금속층(153)과 접촉한다.
- [0111] 다른 예로, 저전위 전원라인 영역(EVSSP)에 위치하는 뱅크층(BNK)은 도시된 바와 같이 하부 전극층(156)의 측면(또는 측벽)을 노출하는 콘택홀을 가질 수 있다. 이를 위해, 하부 전극층(156)은 평탄화층(155)의 측면을 덮도록 형성된다. 뱅크층(BNK)은 평탄화층(155)의 측면을 덮도록 형성된 하부 전극층(156)의 일부(또는 전부)를 노출한다.
- [0112] 이와 같은 경우, 보상 금속층(160)은 게이트인패널 영역(GIP)의 최상위층에 존재하는 상부 전극층(159), 저전위 전원라인 영역(EVSSP)의 상위층에 존재하는 소오스 드레인 금속층(153) 및 저전위 전원라인 영역(EVSSP)의 하부 전극층(156)의 측면과 접촉한다.
- [0113] 즉, 보상 금속층(160)은 상부 전극층(159)과 소오스 드레인 금속층(153) 이상 2개의 층과 접촉하는 구조로 형성되거나 상부 전극층(159), 하부 전극층(156) 및 소오스 드레인 금속층(153) 이상 3개의 층과 접촉하는 구조로 형성될 수 있다.
- [0114] 도 12 및 도 14에 도시된 바와 같이, 보상 금속층(160)을 표시영역(AA)과 비표시영역(NA) 상에 형성할 경우, 표시영역(AA) 방향의 빛 투과율을 저해할 수 있다. 그러므로 제2실시예는 보상 금속층(160)을 다중층으로 형성하되, 표시영역(AA)의 두께는 얇게 하는 반면 비표시영역(NA)의 두께는 두껍게 한다. 보상 금속층(160) 형성시, 표시영역(AA)보다 비표시영역(NA)을 더 두껍게 하면 투과율 저해 문제를 해소함과 동시에 저전위 전원라인의 총 저항을 더 감소시킬 수 있다.
- [0115] 본 발명의 제2실시예는 베젤영역을 차지하는 전원설계 영역을 최소화하여 네로우 베젤(Narrow Bezel)을 구현하기 위해 위와 같이 면저항이 낮은 보강 재료를 표시영역(AA)부터 저전위 전원라인 영역(EVSSP)까지 형성하는 구조를 사용한다.
- [0116] 실험결과, 제2실시예의 구조는 도 13 및 도 14에 도시된 도 7의 EVSSP 영역과 실시예의 EVSSP 영역 간의 비교를

통해 알 수 있듯이 베젤영역을 더욱 좁힐 수 있는 것으로 나타났다.

- [0117] 실험결과, 제2실시예의 구조는 면저항이 낮은 보상 금속층의 추가로 종래 구조 대비 저전위 전원라인의 총 저항이 더 감소(병렬저항 구조에 면저항이 낮은 저항 추가에 따른 총 저항 감소)하는 것으로 나타났다. 그리고 저전위 전원라인의 총 저항은 보상 금속층(160)이 2개의 층과 접촉하는 구조보다 3개의 층과 접촉하는 구조 사용시 더 감소하는 것으로 나타났다.
- [0118] 이상과 제2실시예와 같은 전원 구조를 이용하면 고해상도 및 네로우 베젤의 표시장치 구현 조건을 만족할 수 있을 것으로 예견된다. 그러나 표시장치의 타겟이 네로우 베젤이 아닌 저소비전력을 요구하는 경우에도 ΔVSS 를 기존보다 낮출 수 있으므로 이전 대비 낮은 고전위 전원(EVDD)을 사용할 수 있는 구조로 변경 가능하다.
- [0119] 이하, 본 발명의 제2실시예에 따른 전원설계를 위한 제조방법에 대해 설명한다. 다만, 이하에서는 본 발명의 특징과 직접적으로 관계되는 상부 전극층과 보상 금속층 형성 부분만 설명한다.
- [0120] 도 15는 상부 전극층 형성과 관련된 제조방법을 설명하기 위한 도면이고, 도 16은 보상 금속층 형성과 관련된 제조방법을 설명하기 위한 도면이다.
- [0121] 트랜지스터 어레이 공정 시 금속층을 이용하여 비표시영역(NA)에 전원부에 해당하는 저전위 전원라인을 형성하고 후속 공정으로 열증착(Thermal Evaporation)을 이용하여 상부 전극층(159)을 표시영역(AA)의 전면에 형성한다.
- [0122] 도 15와 같이 상부 전극층(159)은 표시영역(AA)과 비표시영역(NA)의 일부 영역까지 노출하는 오픈부(OPN)(NOPN은 차단부)를 갖는 제1마스크(CMSK)에 의해 형성된다. 도 16과 같이 보상 금속층(160)은 표시영역(AA)부터 비표시영역(NA)의 일부 영역을 노출하는 오픈부(OPN)를 갖는 제2마스크(NMSK)에 의해 형성된다. 그 결과, 보상 금속층(160)은 표시영역(AA)부터 저전위 전원라인 영역(EVSSP)까지 형성된다.
- [0123] 이상과 같이 보상 금속층(160)을 표시영역(AA)과 비표시영역(NA) 상에 형성할 경우, 표시영역(AA) 방향의 빛 투과율을 저해할 수 있다. 그러므로 제2실시예는 보상 금속층(160)을 다중층으로 형성하되, 표시영역(AA)의 두께는 얇게 하는 반면 비표시영역(NA)의 두께는 두껍게 한다.
- [0124] 이를 위해, 보상 금속층(160)의 제1층은 표시영역(AA)부터 비표시영역(NA)까지 노출하도록 설계하고, 제2층 등은 게이트인패널 영역(GIP)부터 비표시영역(NA)까지 노출하도록 설계하는 것이 바람직하다.
- [0125] 한편, 본 발명의 제1 및 제2실시예에 따르면 보상 금속층(160)은 비표시영역(NA)의 사면을 모두 둘러싸는 형태를 취한다. 그러나 이하의 제3실시예와 같이 보상 금속층(160)은 비표시영역(NA)의 일측과 타측에만 형성될 수도 있다.
- [0126] <제3실시예>
- [0127] 도 17은 본 발명의 제3실시예에 따른 전원설계부의 표시영역 및 비표시영역을 나타낸 평면도이다.
- [0128] 도 17에 도시된 바와 같이, 보상 금속층(160)은 비표시영역(NA)의 좌측과 우측에 스틱(Stick) 또는 바(Bar) 형태로 형성(도 16의 a)되거나, 비표시영역(NA)의 상측과 하측에 스틱 또는 바 형태로 형성될 수 있다. 도 17과 같은 구조로 보상 금속층(160)을 형성하면 저전위 전원라인(EVSS)의 ΔVSS 를 낮출 수 있음은 물론 공정 택트 타임(Tact time)을 앞당길 수 있다.
- [0129] 아울러, 도 17의 제3실시예를 참조하면, 제2실시예에서 추가되는 제2층의 보상 금속층을 도 17의 (a)나 (b)와 같은 형태로 형성할 경우 표시영역(AA) 방향의 빛 투과율이나 두께 제약 등을 고려하지 않고 보상 금속층을 형성할 수 있는 이점이 있음을 알 수 있다.
- [0130] 도 18은 종래 제안된 전원 구조와 본 발명의 제1실시예에 따른 전원 구조의 시뮬레이션 결과 그래프이다.
- [0131] 도 18에 도시된 바와 같이, 종래 제안된 전원 구조(도 18의 a)는 저전위 전원 상승(EVSS Rising) 문제를 대략 0.24V로 낮출 수 있었다. 반면, 본 발명의 제1실시예에 따른 전원 구조(도 18의 b)는 저전위 전원 상승(EVSS Rising) 문제를 대략 0.19V로 종래 구조 대비 더 낮출 수 있었다. 한편, 도 18의 시뮬레이션 결과는 소형(3.64인치) 표시패널을 기반으로 한 것이다.
- [0132] 이상 본 발명은 보상 금속층을 더 형성하여 저전위 전원 상승 문제를 방지하면서 네로우 베젤을 구현할 수 있는 유기전계발광표시장치를 제공하는 효과가 있다. 또한, 본 발명은 다양한 금속 재료(Cu, Ag, NiCr, NiCu 등)를 이용하여 보상 금속층을 구성할 수 있는 효과가 있다. 또한, 본 발명은 면저항이 낮은 재료를 기반으로 보상 금

속층을 구성하여 목표하는 스펙에 맞게 증착되는 면적, 두께 및 형상 변경이 가능하므로 설계의 자유도를 높일 수 있는 효과가 있다. 또한, 본 발명은 동일한 저전위 전원 상승 수준을 유지하면서도 네로우 베젤 구현이 가능하며, 동일한 베젤의 크기로 표시 패널 구현시 저전위 전원 상승 수준을 상대적으로 감소시킬 수 있어 표시 패널의 성능 극대화가 가능한 효과가 있다. 또한, 본 발명은 보상 금속층을 이용하여 저소비전력을 요구하는 장치를 구현할 수 있는 효과가 있다. 본 발명은 저전위 전원 상승 문제를 방지하면서 네로우 베젤을 구현함은 물론 목표하는 스펙에 맞게 전원을 설계하거나 저소비전력을 요구하는 방식으로 탄력적인 설계가 가능한 효과가 있다.

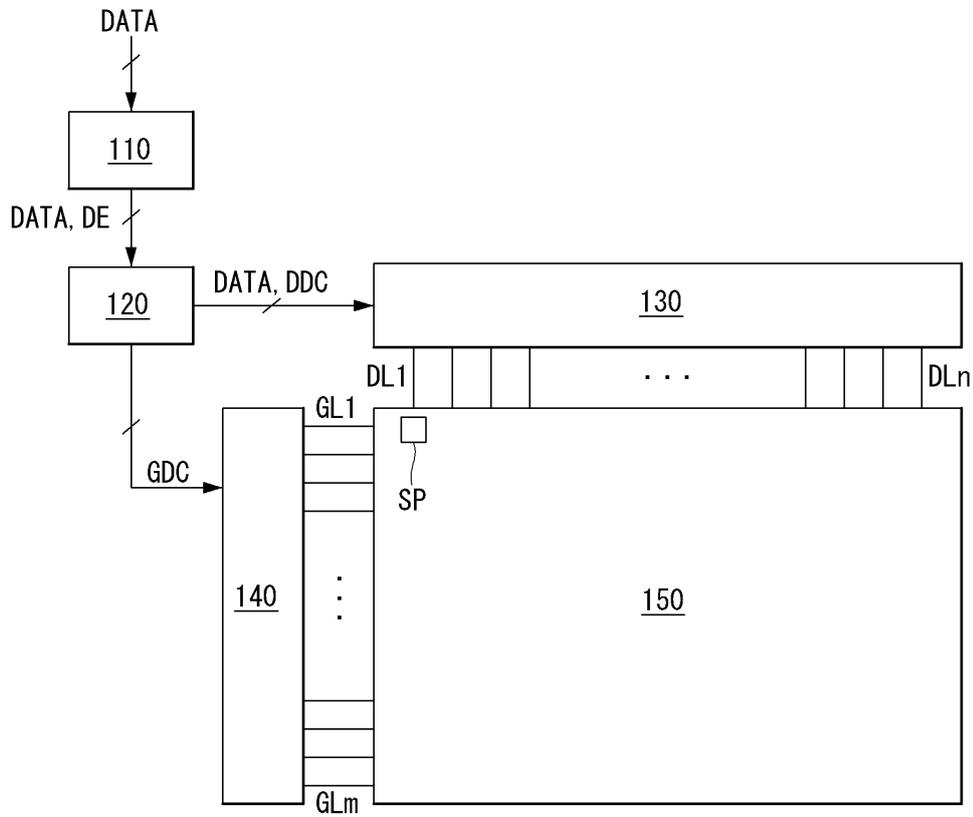
[0133] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

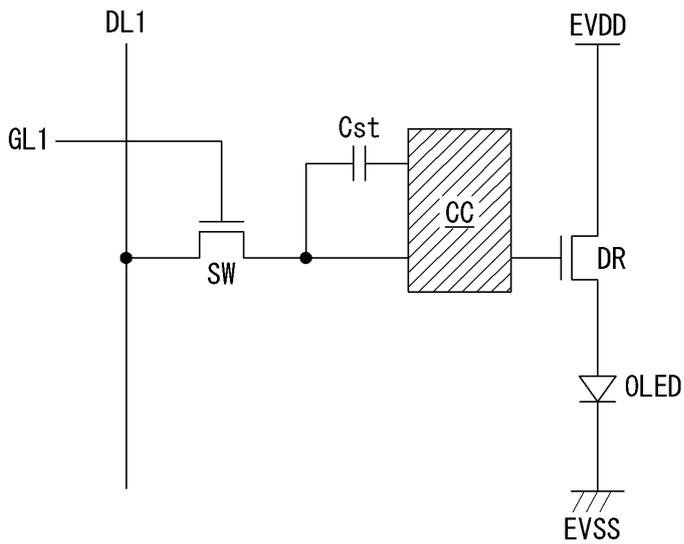
- | | | |
|--------|----------------|--------------------|
| [0134] | 110: 영상 처리부 | 120: 타이밍 제어부 |
| | 130: 데이터 구동부 | 140: 게이트 구동부 |
| | 150: 표시 패널 | 150a: 제1기관 |
| | AA: 표시영역 | NA: 비표시영역 |
| | EMP: 마진 영역 | EVSSP: 저전위 전원라인 영역 |
| | GIP: 게이트인패널 영역 | 160: 보상 금속층 |
| | 159: 상부 전극층 | 153: 소오스 드레인 금속층 |
| | 156: 하부 전극층 | |

도면

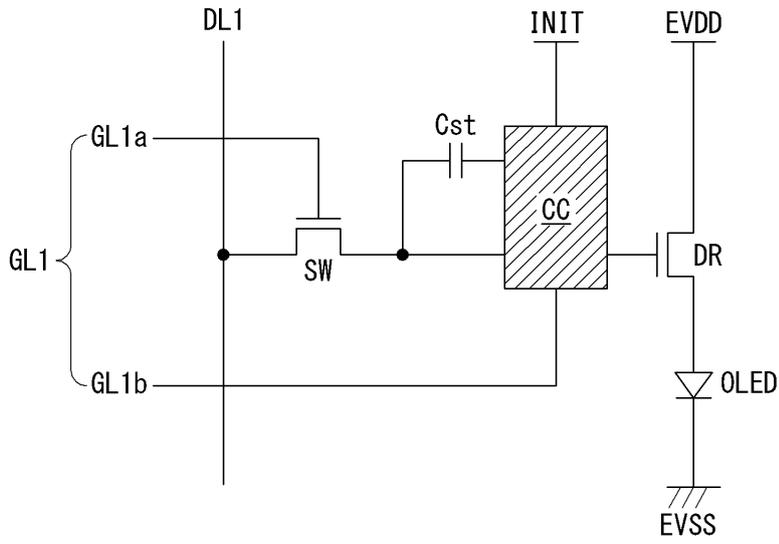
도면1



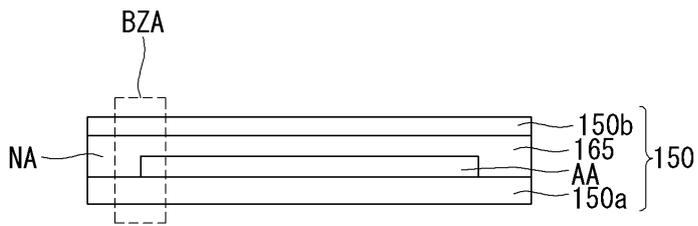
도면2



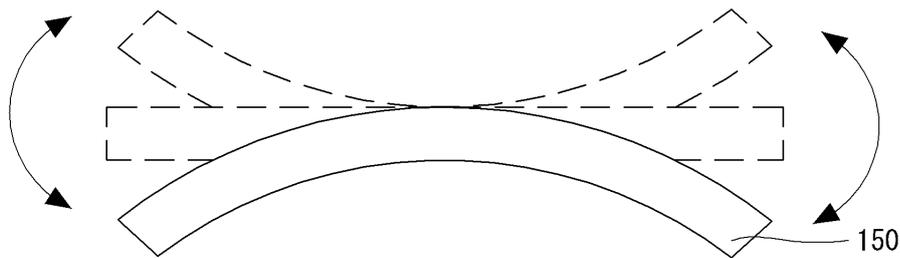
도면3



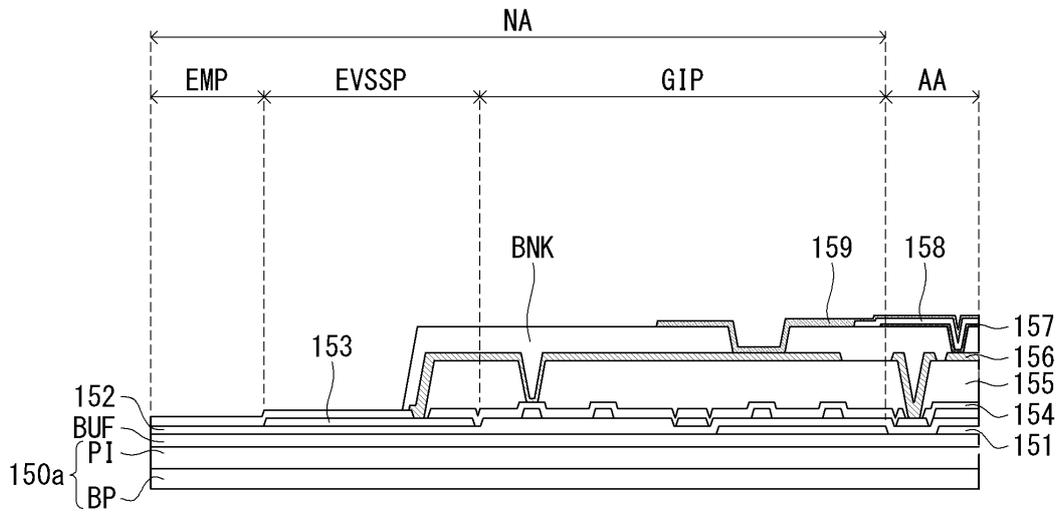
도면4



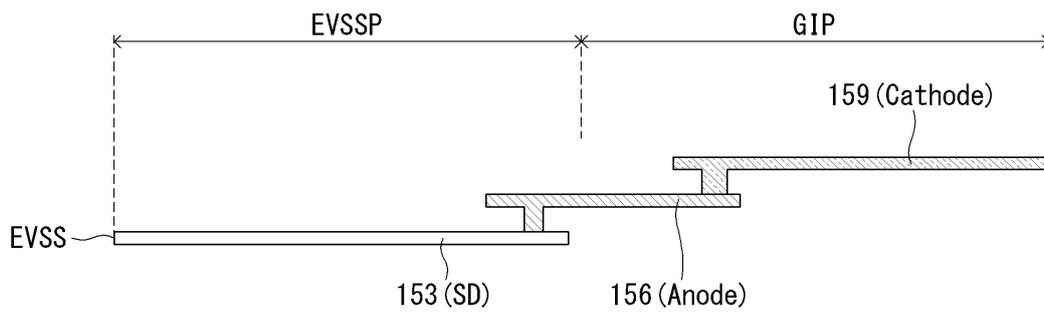
도면5



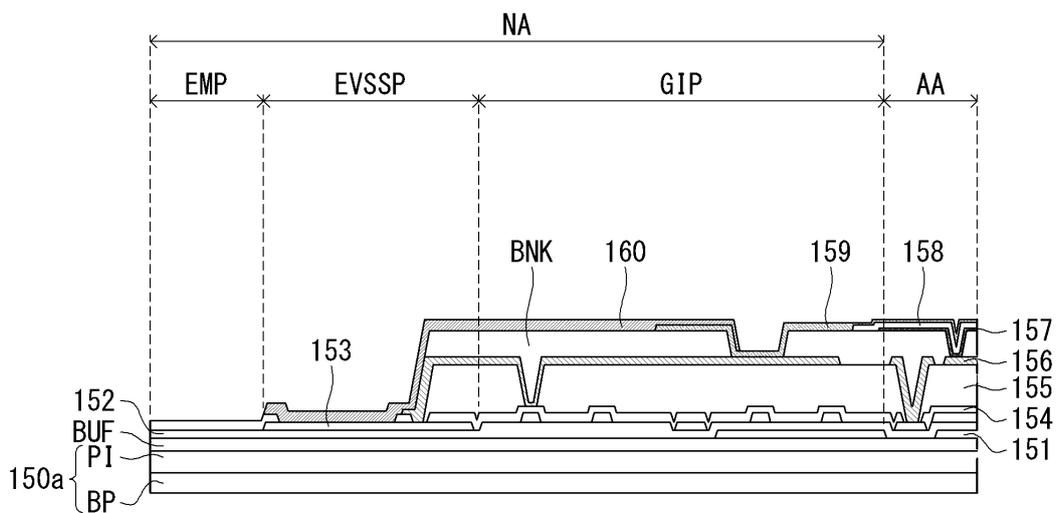
도면6



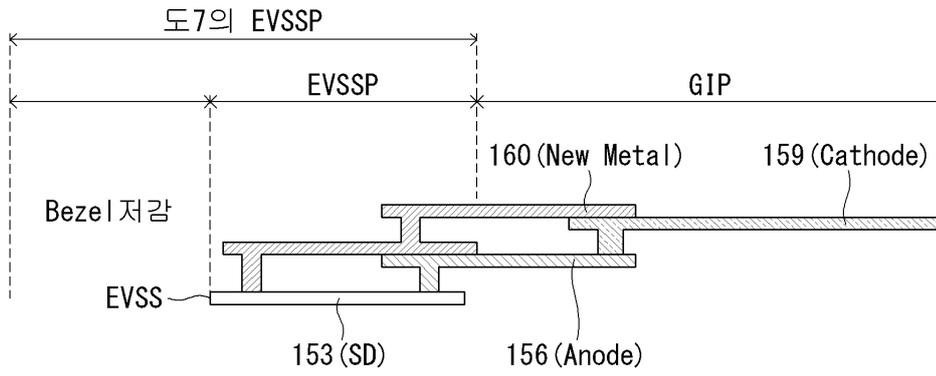
도면7



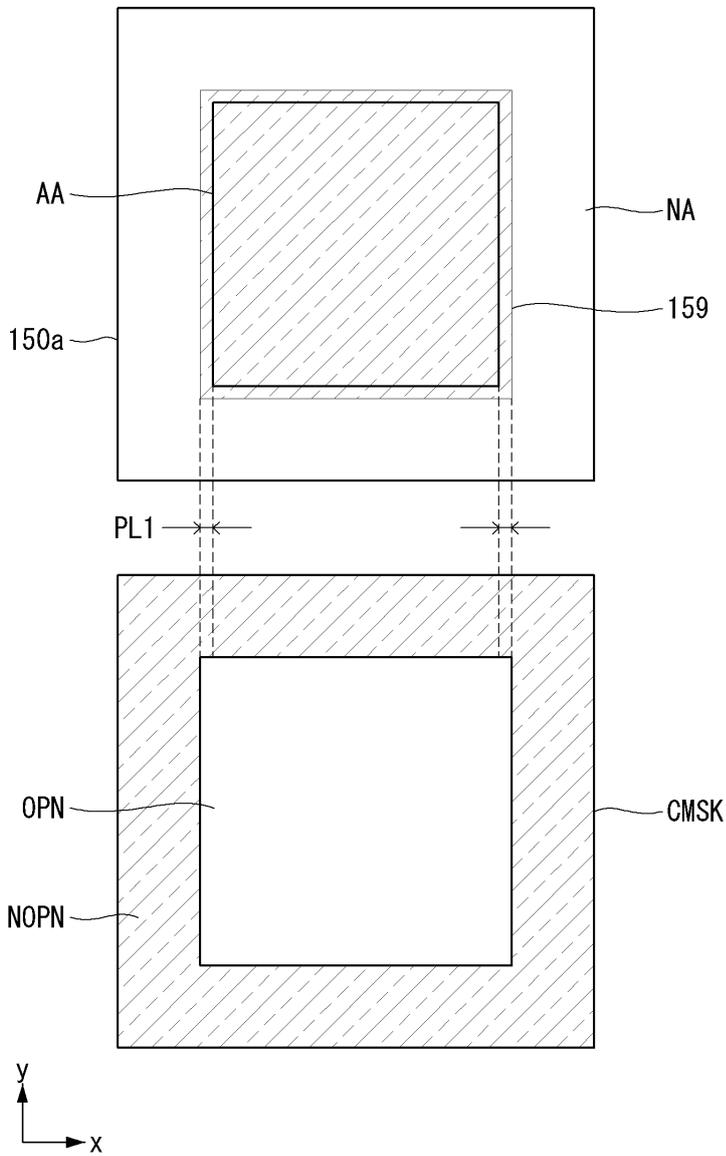
도면8



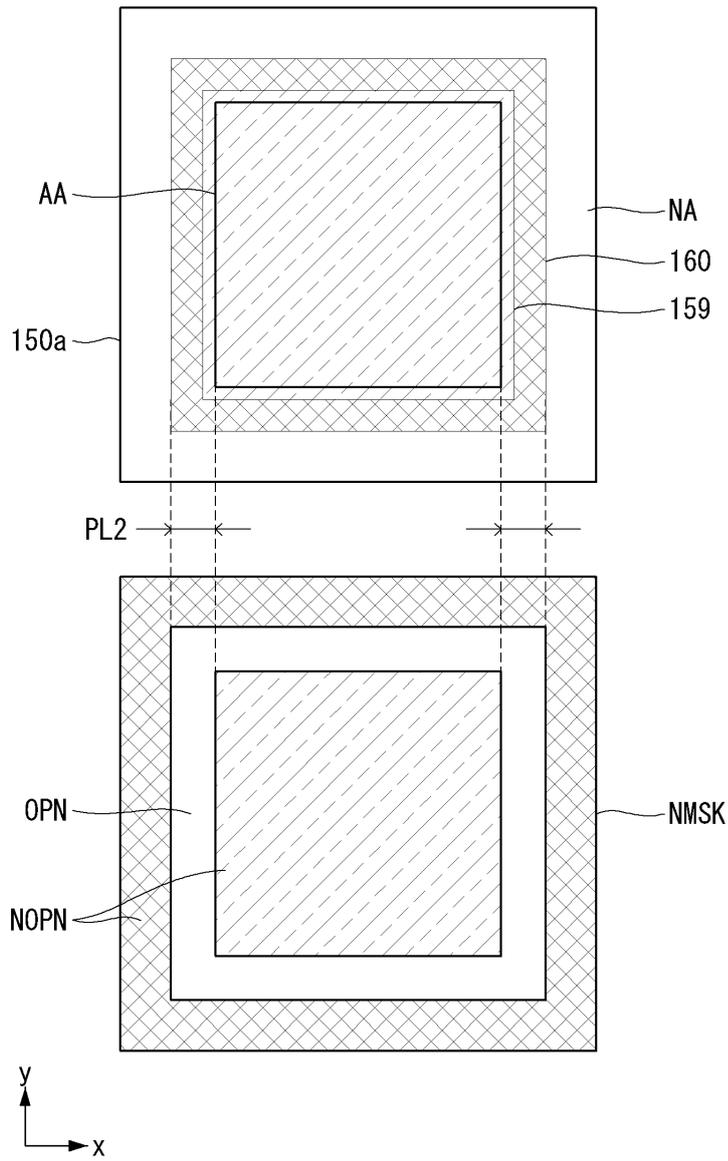
도면9



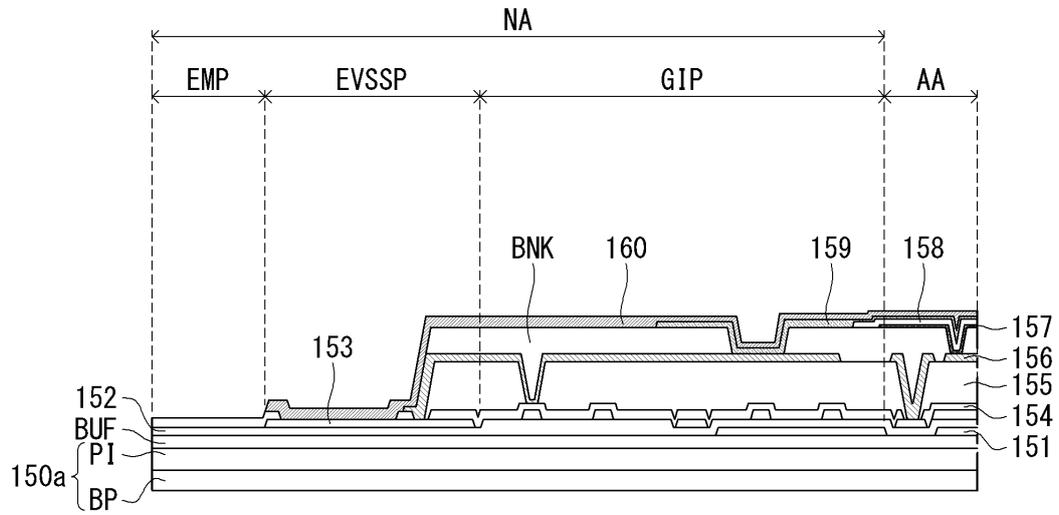
도면10



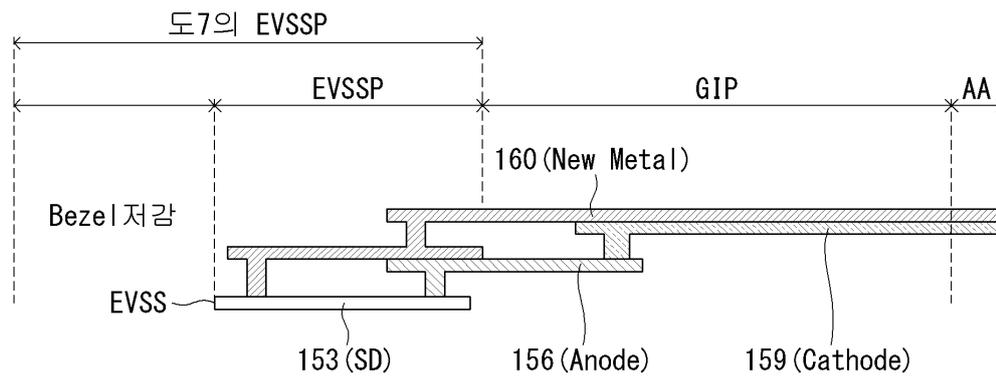
도면11



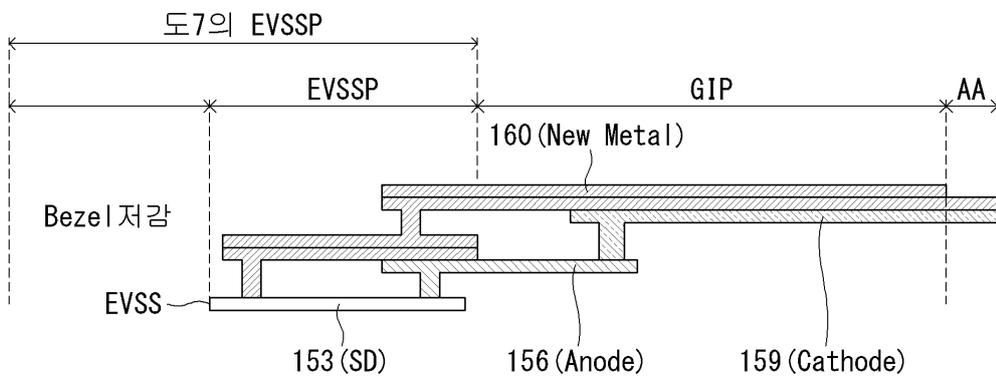
도면12



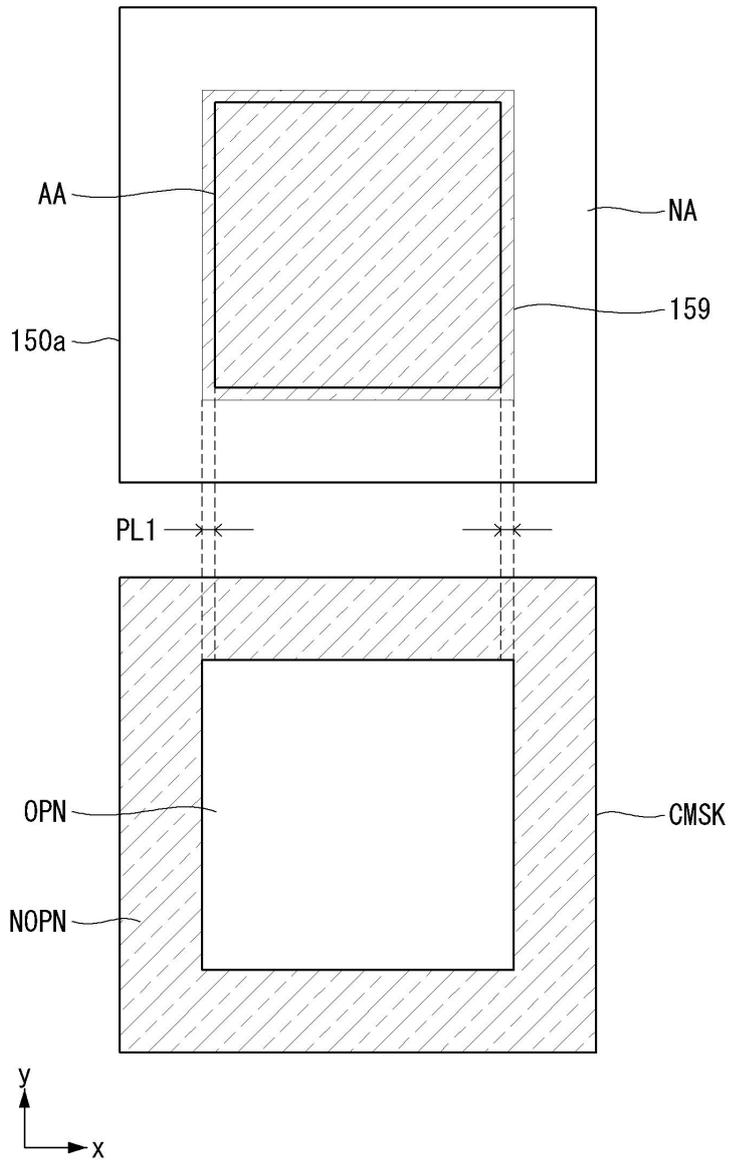
도면13



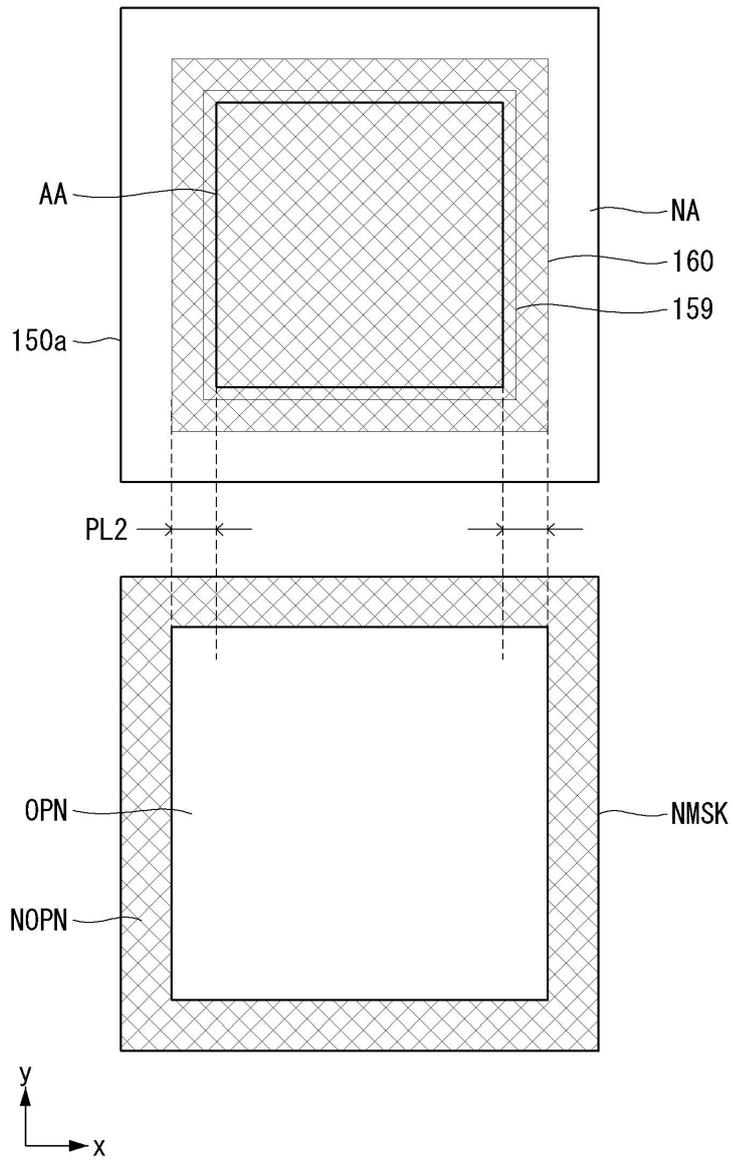
도면14



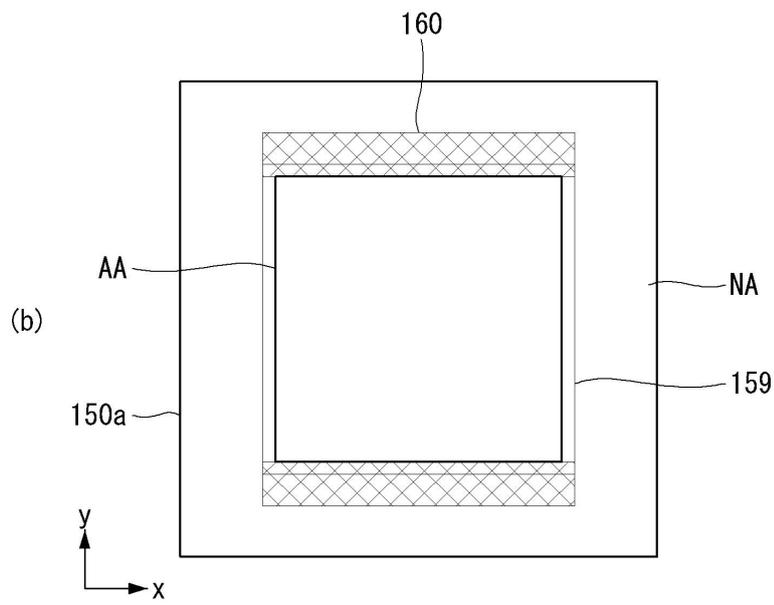
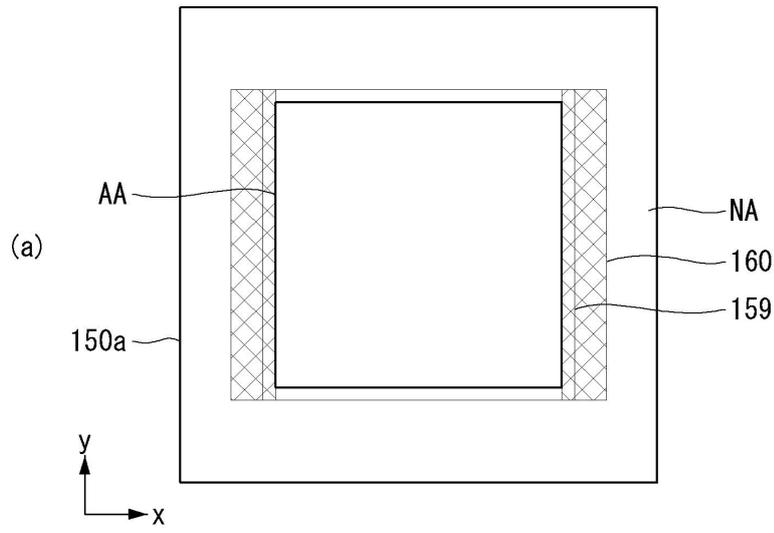
도면15



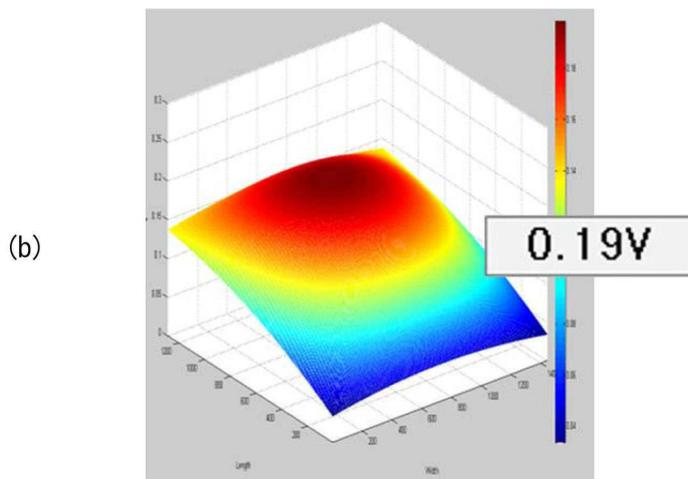
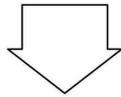
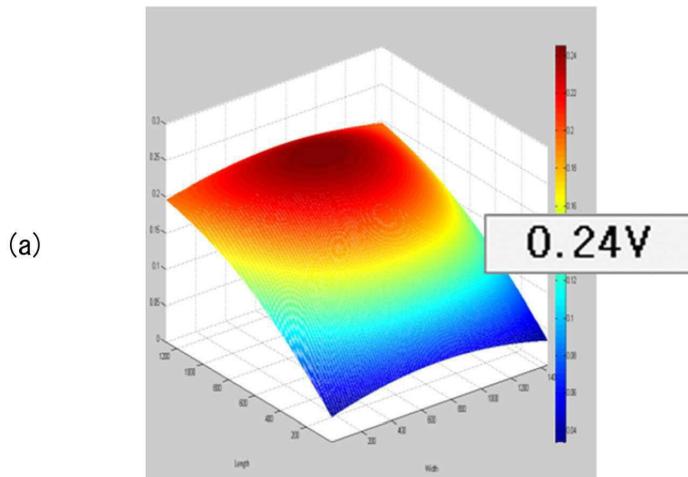
도면16



도면17



도면18



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 5

【변경전】

제1항에 있어서,

상기 제1기판 상의 상기 게이트인패널 영역에 위치하는 게이트 금속층과,

상기 게이트 금속층 상에 위치하는 제1절연층과,

상기 제1절연층 상의 상기 저전위 전원라인 영역에 위치하는 소오스 드레인 금속층과,

상기 소오스 드레인 금속층 상에 위치하는 제2절연층과,

상기 제2절연층 상에 위치하는 평탄화층과,

상기 평탄화층 상의 상기 저전위 전원라인 영역부터 상기 게이트인패널 영역까지 위치하는 상기 하부 전극층과,

상기 하부 전극층 상에 위치하는 बैं크층과,

상기 बैं크층 상의 상기 표시영역에 위치하는 유기 발광층과,
상기 유기 발광층 상의 상기 표시영역부터 상기 게이트인패널 영역까지 위치하는 상부 전극층을 포함하며,
상기 소오스 드레인 금속층은 상기 저전위 전압라인인 유기전계발광표시장치.

【변경후】

제1항에 있어서,
상기 제1기판 상의 상기 게이트인패널 영역에 위치하는 게이트 금속층과,
상기 게이트 금속층 상에 위치하는 제1절연층과,
상기 제1절연층 상의 상기 저전위 전원라인 영역에 위치하는 소오스 드레인 금속층과,
상기 소오스 드레인 금속층 상에 위치하는 제2절연층과,
상기 제2절연층 상에 위치하는 평탄화층과,
상기 평탄화층 상의 상기 저전위 전원라인 영역부터 상기 게이트인패널 영역까지 위치하는 상기 하부 전극층과,
상기 하부 전극층 상에 위치하는 बैं크층과,
상기 बैं크층 상의 상기 표시영역에 위치하는 유기 발광층과,
상기 유기 발광층 상의 상기 표시영역부터 상기 게이트인패널 영역까지 위치하는 상부 전극층을 포함하며,
상기 소오스 드레인 금속층은 상기 저전위 전원라인인 유기전계발광표시장치.