

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5500771号
(P5500771)

(45) 発行日 平成26年5月21日(2014.5.21)

(24) 登録日 平成26年3月20日(2014.3.20)

(51) Int.Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 D
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 C
	HO 1 L 29/78 6 1 8 F
	HO 1 L 29/78 6 1 7 U
	HO 1 L 29/78 6 1 7 L
請求項の数 4 (全 18 頁) 最終頁に続く	

(21) 出願番号	特願2007-289247 (P2007-289247)	(73) 特許権者	000153878
(22) 出願日	平成19年11月7日(2007.11.7)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2008-166724 (P2008-166724A)		神奈川県厚木市長谷398番地
(43) 公開日	平成20年7月17日(2008.7.17)	(72) 発明者	山崎 舜平
審査請求日	平成22年9月10日(2010.9.10)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2006-327718 (P2006-327718)		半導体エネルギー研究所内
(32) 優先日	平成18年12月5日(2006.12.5)	(72) 発明者	荒井 康行
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	鈴木 聡一郎
最終頁に続く			

(54) 【発明の名称】 半導体装置及びマイクロプロセッサ

(57) 【特許請求の範囲】

【請求項1】

絶縁層上の半導体層と、
 前記半導体層上のゲート絶縁層と、
 前記ゲート絶縁層上のゲート電極と、を有し、
 前記半導体層の厚さは、10nm乃至25nmであり、
 前記ゲート絶縁層の厚さは、2nm乃至20nmであり、
 前記半導体層はチャンネル形成領域を有し、前記チャンネル形成領域のチャンネル長は、100nm以上1000nm未満であり、
 前記半導体層の端部は、45度乃至95度(但し、90度を除く)のテーパ角を有し

、
前記半導体層の端部及び前記絶縁層と接している窒化シリコン層を有し、
前記絶縁層は、前記半導体層と重なる第1の領域と、第2の領域と、前記第1の領域と
第2の領域との間の第3の領域とを有し、
前記第2の領域の膜厚は、前記第1の領域の膜厚よりも小さく、
前記第3の領域はテーパ角を有し、
前記窒化シリコン層は、前記半導体層の端部、前記第2の領域、及び前記第3の領域と
連続的に接するように設けられていることを特徴とする半導体装置。

【請求項2】

請求項1において、

前記ゲート絶縁層は、酸化シリコン層、又は酸化シリコン層と窒化シリコン層との積層を有することを特徴とする半導体装置。

【請求項 3】

請求項 1 又は 2 において、

前記ゲート電極は、金属窒化物を含む第 1 層と、金属を含む第 2 層とを有することを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載の半導体装置を用いることを特徴とするマイクロプロセッサ。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は絶縁表面に設けられた半導体層で形成される半導体装置に関し、特に、電界効果型トランジスタにおける微細化技術に関する。

【背景技術】

【0002】

電界効果型トランジスタの一種である薄膜トランジスタ（以下、「TFT」ともいう。）の高性能化を達成するために、ゲート電極のソースとドレイン間の距離として表されるチャンネル長を短くして微細化を図る方法が知られている。これは、トランジスタのチャンネルを流れるキャリアの走行距離を短くして高速化を図ろうとするものである。

20

【0003】

しかし、チャンネル長を短くするとしきい値電圧の変化、弱反転状態におけるソースとドレイン間のリーク電流の増加など、いわゆる短チャンネル効果と呼ばれる現象が顕在化する。そこで、チャンネル形成領域の不純物濃度を増加させて、空乏層の広がりを抑制することにより短チャンネル効果を抑制する方法が知られている。

【0004】

例えば、ゲート電極を二層にし、下層の幅を上層よりも短くしてゲート容量を減少させ、短チャンネル効果を抑制するTFTが知られている（例えば、特許文献1参照）。

【特許文献1】特開2006-41265号公報

【発明の開示】

30

【発明が解決しようとする課題】

【0005】

しかしながら、集積回路を微細化するに当たって、ゲート電極を複雑な形状にすると、製造工程における困難性が增大する。シリコン薄膜をレーザー照射によって結晶化させた多結晶シリコンで形成される電界効果型トランジスタは、結晶粒界がランダムに形成され、結晶の面方位も不均一であることから、しきい値電圧が大きくばらついてしまう。さらに、半導体層を支持する基板が絶縁性であることから基板バイアスを印加できないといった構造上の欠点を有している。

【0006】

本発明は、このような問題に鑑み、絶縁表面を有する基板に形成された電界効果型トランジスタの微細化と高性能化を実現することを目的とする。特に非晶質構造を有する半導体膜に熱又は光エネルギーを照射して結晶化させた半導体層にチャンネル形成領域が形成される薄膜トランジスタの微細化と高性能化を実現することを目的とする。

40

【課題を解決するための手段】

【0007】

本発明は、絶縁表面上の半導体層で素子を構成する所謂SOI（Silicon on Insulator）構造の半導体装置であって、該半導体層を厚さが5nm乃至30nm、好ましくは10nm乃至25nmときわめて薄い半導体層で構成することを要旨とする。すなわち、このような半導体層に対し、厚さ2nm乃至20nmのゲート絶縁層と、ゲート電極を有し、チャンネル長が該半導体層の厚さの10倍以上40倍未満であり、若

50

しくはチャネル長が100nm以上1000nm未満である電界効果型トランジスタを備えた半導体装置である。

【0008】

半導体層を薄膜化することにより、チャネル形成領域に添加される一導電型不純物濃度の影響を受けにくくなるように作用する。また、半導体層の薄膜化は、チャネル形成領域の全域を空乏層化するように作用する。

【発明の効果】

【0009】

本発明によれば、半導体層を薄膜化し、チャネル長が該半導体層の厚さの10倍以上40倍未満の長さであり、若しくはチャネル長が100nm以上1000nm未満であるトランジスタとすることにより、短チャネル効果を抑制することができる。また、該トランジスタのしきい値電圧を小さくすることができる。それにより、半導体装置の低電圧駆動が可能となり低消費電力化を実現することができる。

【発明を実施するための最良の形態】

【0010】

本発明の実施の態様について図面を参照して説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に示す図面において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0011】

図1(A)(B)は、本発明に係る半導体装置の主要な構成要素である電界効果型トランジスタの構成を示す。図1(A)は電界効果型トランジスタのチャネル長方向の断面図であり、図1(B)はチャネル幅方向(チャネル長方向に対して垂直な方向)の断面図を示している。この電界効果型トランジスタは、絶縁表面を有する基板10を用いて作製されている。絶縁表面を有する基板10としては、ガラス基板、石英基板、サファイア基板、セラミック基板、表面に絶縁層が形成された金属基板などを用いることができる。

【0012】

この絶縁表面を有する基板10上に半導体層14が設けられている。図1では基板10と半導体層14の間に下地絶縁層12が形成された構成を示している。下地絶縁層12は基板10からのナトリウムなどによる半導体層14の汚染を防ぐために設けている。従って、基板10の材質として石英基板などを選択した場合には、下地絶縁層12を省略することができる。

【0013】

下地絶縁層12としては、CVD法若しくはスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiO_xN_y 、 $x > y > 0$)、窒化酸化シリコン(SiN_xO_y 、 $x > y > 0$)等の絶縁材料を用いて形成する。例えば、下地絶縁層12を2層構造とする場合、第1層目の絶縁膜として窒化酸化シリコン膜を形成し、第2層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第1層目の絶縁膜として窒化シリコン膜を形成し、第2層目の絶縁膜として酸化シリコン膜を形成してもよい。

【0014】

半導体層14は、単結晶半導体又は結晶性半導体で形成されたものを用いることが好ましい。例えば、スパッタリング法、プラズマCVD法若しくは減圧CVD法によって基板10の全面に形成された半導体膜を結晶化させた後、選択的にエッチングして半導体層14を形成することができる。すなわち、素子分離の目的から、絶縁表面に島状の半導体層を形成し、該半導体層に一又は複数の不揮発性メモリ素子を形成することが好ましい。半導体材料としては、シリコンが好ましく、その他にシリコンゲルマニウム半導体を用いることもできる。半導体膜の結晶化法としては、レーザー結晶化法、瞬間熱アニール(RTA)又はファーネスアニール炉を用いた熱処理による結晶化法、結晶化を助長する金属元

10

20

30

40

50

素を用いる結晶化法又はこれら方法を組み合わせて行う方法を採用することができる。このようにして作製された結晶性半導体で形成される半導体層は、面方位が異なる複数の結晶領域を有している。それにより、チャンネル長を半導体層の厚さの10倍以上40倍未満、若しくは100nm以上1000nm未満とする場合であっても、チャンネル形成領域に複数の結晶粒が存在することによりトランジスタ特性のばらつきを抑えることができる。また、このような薄膜を形成するプロセスに換えて、絶縁表面に単結晶半導体層を設けたSOI基板を用いても良い。

【0015】

半導体層14の厚さは5nm乃至30nm、好ましくは10nm乃至25nmとする。半導体層を薄膜化することで、短チャンネル効果を抑制することが可能となる。また、トランジスタのしきい値電圧を小さくすることが可能であり、低電圧駆動をすることができる。半導体層14の端部には傾斜角(テーパ角)を設ける。その角度は45度乃至95度とすることが好ましい。この領域に半導体層14の中央部と特性が異なる寄生トランジスタが形成されることによる影響を避けるため、その傾斜角は垂直に近い方が好ましい。

10

【0016】

半導体層14の端部には絶縁層20が設けられている。この絶縁層20は窒化シリコンを用い、半導体層14の端部から下地絶縁層12に連続的に設けることが好ましい。このような構造により、電界効果型トランジスタの製造工程において熱処理が行われることにより、半導体層14の下端面から酸化膜が形成され所謂バズピークが形成されるのを防ぐことができる。バズピークは半導体層14に外因性の応力を与え、電気的なストレスがたまりやすいので電界効果型トランジスタの特性に悪影響を与えるが、絶縁層20を設けることによりその問題を解消することができる。

20

【0017】

半導体層14にはp型不純物が注入されていても良い。p型不純物として、例えば硼素が用いられ、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度で添加されている。これは、トランジスタのしきい値電圧を制御するためであり、半導体層14のチャンネル形成領域に添加されることで有効に作用する。チャンネル形成領域は後述するゲート電極25と略一致する領域に形成され、半導体層14の一方の第1不純物領域18の間に位置する。

【0018】

第1不純物領域18はトランジスタにおいてソース領域及びドレイン領域として機能する領域である。第1不純物領域18はn型不純物であるリン若しくはヒ素をピーク濃度で約 $1 \times 10^{21} \text{ cm}^{-3}$ 程度となるように添加することで形成される。

30

【0019】

半導体層14上にはゲート絶縁層16、ゲート電極25が設けられている。ゲート絶縁層16は2nm乃至20nmの厚さで形成する。ゲート絶縁層の薄膜化は、トランジスタを低電圧で高速に動作させるためである。

【0020】

ゲート絶縁層16は酸化シリコン層、若しくは酸化シリコン層と窒化シリコン層との積層構造を有する。ゲート絶縁層16は、プラズマCVD法や減圧CVD法により絶縁膜を堆積することで形成しても良いが、好ましくはプラズマ処理による固相酸化若しくは固相窒化で形成すると良い。半導体層14を、プラズマ処理により酸化又は窒化することにより形成するゲート絶縁層16は、緻密で絶縁耐圧が高く信頼性に優れているためである。このゲート絶縁層16は2nm乃至20nm、好ましくは5nm乃至10nmの厚さに形成することが好ましい。チャンネル長を100nm以上1000nm未満、代表的には250nm乃至650nmとする場合、ゲート絶縁層16は5nm乃至15nmの厚さに形成する。

40

【0021】

プラズマ処理による固相酸化処理若しくは固相窒化処理として、マイクロ波(代表的には2.45GHz)で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}$

50

10^{-3} 以下、且つ電子温度が 0.5 eV 以上 1.5 eV 以下のプラズマを利用することが好ましい。固相酸化処理若しくは固相窒化処理において、 500 以下の温度において、緻密な絶縁膜を形成すると共に実用的な反応速度を得るためである。

【0022】

このプラズマ処理により半導体層14の表面を酸化する場合には、酸素雰囲気下（例えば、酸素(O_2)又は一酸化二窒素(N_2O)と希ガス(He 、 Ne 、 Ar 、 Kr 、 Xe の少なくとも一つを含む)雰囲気下、若しくは酸素又は一酸化二窒素と水素(H_2)と希ガス雰囲気下)でプラズマ処理を行う。また、プラズマ処理により窒化する場合には、窒素雰囲気下（例えば、窒素(N_2)と希ガス(He 、 Ne 、 Ar 、 Kr 、 Xe の少なくとも一つを含む)雰囲気下、窒素と水素と希ガス雰囲気下、若しくは NH_3 と希ガス雰囲気下)でプラズマ処理を行う。希ガスとしては、例えば Ar を用いることができる。また、 Ar と Kr を混合したガスを用いてもよい。

10

【0023】

図2にプラズマ処理を行うための装置の構成を示す。このプラズマ処理装置は、基板10を配置するための支持台88と、ガスを導入するためのガス供給部84、ガスを排気するために真空ポンプに接続する排気口86、アンテナ80、誘電体板82、プラズマ発生用のマイクロ波を供給するマイクロ波供給部92を有している。また、支持台88に温度制御部90を設けることによって、基板10の温度を制御することを可能としている。

【0024】

以下に、プラズマ処理について説明する。なお、プラズマ処理とは、半導体層、絶縁層、導電層に対する酸化処理、窒化処理、酸窒化処理、水素化処理、表面改質処理を含んでいる。これらの処理は、その目的に応じて、ガス供給部84から供給するガスを選択すれば良い。

20

【0025】

半導体層に酸化処理若しくは窒化処理を行うには以下のようにすれば良い。まず、処理室内を真空にし、ガス供給部84から酸素又は窒素を含むプラズマ処理用ガスを導入する。基板10は室温若しくは温度制御部90により 100 乃至 550 に加熱する。なお、基板10と誘電体板82との間隔は 20 mm 乃至 80 mm (好ましくは 20 mm 乃至 60 mm)とする。

【0026】

次に、マイクロ波供給部92からアンテナ80にマイクロ波を供給する。そしてマイクロ波をアンテナ80から誘電体板82を通して処理室内に導入することによって、プラズマ94を生成する。マイクロ波の導入によりプラズマの励起を行うと、低電子温度(3 eV 以下、好ましくは 1.5 eV 以下)で高電子密度($1 \times 10^{11}\text{ cm}^{-3}$ 以上)のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル(OH ラジカルを含む場合もある)及び/又は窒素ラジカル(NH ラジカルを含む場合もある)によって、半導体層の表面を酸化又は窒化することができる。プラズマ処理用ガスにアルゴンなどの希ガスを混合させると、希ガスの励起種により酸素ラジカルや窒素ラジカルを効率良く生成することができる。この方法では、プラズマで励起した活性なラジカルを有効に使うことにより、 500 以下の低温で固相反応による酸化、窒化若しくは酸化と窒化の同時処理を行うことができる。

30

40

【0027】

図1において、プラズマ処理により形成される好適なゲート絶縁層16の一例は、酸素雰囲気下のプラズマ処理により半導体層14の代表例としてのシリコン層の表面に 3 nm 乃至 6 nm の厚さで形成した酸化シリコン層と、その後窒素雰囲気下でその酸化シリコン層の表面を窒化して形成した窒化シリコン層との積層構造である。半導体層14の表面をプラズマ処理で酸化することで、界面に歪みのない緻密な酸化膜を形成することができる。また、当該酸化膜をプラズマ処理で窒化することで、表層部の酸素を窒素に置換して窒化層を形成すると、さらに緻密化することができる。それにより絶縁耐圧が高い絶縁層を形成することができる。

50

【0028】

いずれにしても、上記のようなプラズマ処理による固相酸化処理若しくは固相窒化処理を用いることで、耐熱温度が700 以下のガラス基板を用いても、950 乃至1050 で形成される熱酸化膜と同等な絶縁層を得ることができる。すなわち、トランジスタのゲート絶縁層として信頼性の高い膜を形成することができる。

【0029】

また、ゲート絶縁層16として、高誘電率材料を用いても良い。ゲート絶縁層16に高誘電率材料を用いることにより、ゲートリーク電流を低減することができる。高誘電率材料としては、二酸化ジルコニウム、酸化ハフニウム、二酸化チタン、五酸化タンタルなどを用いることができる。また、プラズマ処理による固相酸化により酸化シリコン層を形成しても良い。

10

【0030】

ゲート電極25は金属若しくは金属窒化物で形成することが好ましい。金属若しくは金属窒化物を用いることでゲート電極の空乏化を無くすことができ、トランジスタの電流駆動能力を高めることができる。

【0031】

図1ではゲート電極25の構成として、第1ゲート電極層24及び第2ゲート電極層26を積層した構成で例示している。第1ゲート電極層24は金属窒化物で形成する。金属窒化物としては、窒化チタン、窒化タンタル、窒化タングステン、窒化クロム、窒化モリブデンなどを用いることができる。第2ゲート電極層26は金属(好ましくは高融点金属)で形成する。金属としてはタングステン、チタン、モリブデン、タンタル、クロムなどを用いることができる。これらの金属は融点が高く、熱的に安定なのでトランジスタの製造工程で容易に扱うことができる。金属窒化物及び金属を用いて、スパッタリング法、電子ビーム蒸着法、有機金属CVD法などを使って成膜することができる。

20

【0032】

なお、極めて薄いゲート絶縁層16を形成する場合、半導体層14とゲート電極25が交差する領域の段差部(半導体層14の端部領域)でゲートリーク電流が増加する場合がある。これは形状起因によるところが大きく、ゲート絶縁層16の膜厚の不均一性、ゲート電極層を成膜するときのダメージなどが原因となる。ゲート絶縁層16を薄膜化する場合には、半導体層14の側端部を被覆する絶縁層の厚さをゲート絶縁層16の膜厚よりも厚くする事が好ましい。

30

【0033】

図1(A)(B)では、酸化シリコン、窒化シリコンなどを用いて側壁絶縁層22を設けている。この側壁絶縁層22を設けることにより、ゲート絶縁層16の段差乗り越え部を、半導体層14の外側に配置することができる。側壁絶縁層22は半導体層14を形成した後に、酸化シリコン膜又は窒化シリコン膜を堆積し、異方性エッチングにより加工することで自己整合的に形成することができる。また、側壁絶縁層22を比誘電率が2.5以下の低誘電率材料で形成しても良い。低誘電率材料としては、CVD法で作製される多孔質酸化シリコン、炭素若しくはフッ素含有酸化シリコンなどを用いることができる。側壁絶縁層22を低誘電率材料で形成することで、膜厚を厚くした場合と同様な効果を得ることができる。

40

【0034】

ゲート電極25の側面にはサイドウォール絶縁層28を窒化シリコン又は酸化シリコンで形成する。このサイドウォール絶縁層28を利用して第2不純物領域17を形成しても良い。第2不純物領域17は低濃度ドレインとして機能するように第1不純物領域18よりも低濃度に一導電型不純物を添加する。

【0035】

パッシベーション層30は窒化シリコンで形成する。ソース及びドレインに接続する配線38を形成するために、層間絶縁層32はBPSG(Boron Phosphorus Silicon Glass)膜を形成してリフローにより平坦化させる。また、T

50

EOS（テトラエトキシシラン）を用いて酸化シリコン膜を形成し化学的機械研磨処理によって平坦化しても良い。層間絶縁層32にコンタクトホールを形成し、バリアメタル34としてチタン膜若しくは窒化チタン膜を形成する。コンタクトホールには六フッ化タングステンをを用いCVD法でコンタクトプラグ36を形成する。配線38はアルミニウム若しくはアルミニウム合金をバリアメタル膜で挟んだ3層構造で形成し、上層と下層のバリアメタル膜はモリブデン、クロム、チタンなどの金属膜で形成する。次いで、配線38上にパッシベーション層40を形成する。

【0036】

図1で示すように、半導体層の膜厚を10nm乃至25nmと薄膜化し、ゲート絶縁層の厚さを2nm乃至20nmとし、チャンネル長が該半導体層の厚さの10倍以上40倍未満とし、若しくはチャンネル長が100nm以上1000nm未満、代表的には250nm乃至650nmの電界効果型トランジスタとすることにより、短チャンネル効果を抑制することができる。また、該トランジスタのしきい値電圧を小さくすることができる。すなわち、しきい値電圧が0.01V以上0.62V未満であって、サブスレッショルド値が60mV/decade以上100mV/decade未満である電界効果型トランジスタを得ることができる。

10

【0037】

以下に、電界効果型トランジスタの半導体層を薄膜化し、チャンネル形成領域の一導電型不純物濃度を規定の範囲とすることにより、短チャンネル効果が抑制されることを示す。また、該トランジスタの閾値電圧を下げることを示す。計算には、synopsys社製TCADソフト、Sentaurusを用いた。

20

【0038】

図3は理論計算に用いたn型電界効果型トランジスタの断面図である。図3の符号は、基板101、ソース領域102、ドレイン領域103、チャンネル形成領域104、ゲート絶縁層105、ソース電極106、ドレイン電極107、ゲート電極108である。計算に用いた条件は次の通りである。基板101とゲート絶縁層105の材質は酸化シリコン(SiO_2)とした。ゲート絶縁層105の膜厚は10nm、チャンネル形成領域104のシリコン膜厚は20nm、30nmおよび50nmの3種類について計算を行った。チャンネル長は0.1 μm ~1.0 μm の範囲で計算を行った。チャンネル形成領域104はp型導電型を付与する不純物元素の濃度を $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の濃度範囲で計算を行った。ソース電位は0V、ドレイン電位は0.1V、ゲート電位は-3Vから+3Vで計算を行った。

30

【0039】

図4はn型電界効果型トランジスタのゲート電圧-ドレイン電流特性から求めたしきい値電圧を示している。図4(A)~(C)で示すグラフにおいて、横軸はチャンネル長、縦軸はチャンネル長1 μm のしきい値電圧を基準とした時のしきい値電圧の変化量である。また、図4(A)はチャンネル形成領域104のp型導電型を付与する不純物元素が $1 \times 10^{16} \text{ cm}^{-3}$ の濃度、図4(B)は該不純物元素が $1 \times 10^{17} \text{ cm}^{-3}$ の濃度、図4(C)は該不純物元素が $1 \times 10^{18} \text{ cm}^{-3}$ の濃度の計算結果である。この結果から、チャンネル形成領域104の膜厚を薄くすることにより、チャンネル長が0.1 μm ~0.5 μm で生じるしきい値電圧のマイナスシフトが減少していることが分かる。

40

【0040】

図5(A)~(C)はn型電界効果型トランジスタのゲート電圧-ドレイン電流特性から求めたサブスレッショルド値を示している。図の横軸はチャンネル長、縦軸はサブスレッショルド値を示している。また、図5(A)はチャンネル形成領域104のp型を付与する不純物元素が $1 \times 10^{16} \text{ cm}^{-3}$ の濃度、図5(B)は該不純物元素が $1 \times 10^{17} \text{ cm}^{-3}$ の濃度、図5(C)は該不純物元素が $1 \times 10^{18} \text{ cm}^{-3}$ の濃度の計算結果である。この結果から、チャンネル形成領域104の膜厚を薄くすることにより、チャンネル長に依らずサブスレッショルド値が減少する。チャンネル形成領域104の不純物元素が $1 \times 10^{18} \text{ cm}^{-3}$ の濃度ではチャンネル形成領域104の膜厚が50nmではサブスレッショ

50

ルド値が増加している。これは、チャンネル形成領域104の不純物濃度が高く部分空乏型になっているためである。また、チャンネル長が $0.1\ \mu\text{m} \sim 0.5\ \mu\text{m}$ で生じているサブスレッシュヨルド値の上昇は、チャンネル形成領域104の膜厚を薄くすることにより、抑えられることが分かる。チャンネル形成領域104の不純物濃度を $1 \times 10^{18}\ \text{cm}^{-3}$ まで上げることにより、さらにサブスレッシュヨルド値の上昇を抑えられていることが分かる。サブスレッシュヨルド値が小さくなっているため、ゲート電圧0Vでのソース・ドレイン間に流れる電流を抑えつつ、しきい値電圧を下げるができる。

【0041】

チャンネル形成領域104の膜厚を薄くすることにより、チャンネル長が $0.1\ \mu\text{m} \sim 0.5\ \mu\text{m}$ というチャンネル長が短い領域でのしきい値電圧のマイナスシフトの抑制、および、サブスレッシュヨルド値の上昇の抑制が計れることが、理論計算から示された。以下に、それらの理由について説明する。チャンネル形成領域104の膜厚が厚いとチャンネル長が短い場合には、ソース・ドレイン間の電界の影響により、ゲート電圧がしきい値電圧以下のサブスレッシュヨルド領域でチャンネル形成領域104中の下側(基板に近い側)を電流が流れる。そのため、サブスレッシュヨルド値が上昇し、しきい値電圧が低下する。チャンネル形成領域104の膜厚を薄くすることにより、チャンネル形成領域104中の下側の電流が流れる経路が遮断されるために、漏れ電流が抑えられる。そのため、サブスレッシュヨルド値の上昇が抑えられ、しきい値電圧の低下も抑えられる。そのため、チャンネル形成領域104の膜厚を薄くすることにより、チャンネル長の短い領域でのしきい値電圧のマイナスシフトが抑えられ、かつ、サブスレッシュヨルド値が小さい電界効果型トランジスタを作製することができる。

【0042】

次いで、図1に示す電界効果型トランジスタの作製方法について図6(A)~(F)を参照して説明する。

【0043】

図6(A)では、基板10上に下地絶縁層12を形成する。半導体層14は、スパッタリング法、プラズマCVD法若しくは減圧CVD法によって非晶質シリコン膜を堆積した後、連続発振又はパルス発振のレーザ光を照射して結晶化させた結晶性半導体で形成される。半導体層14の膜厚は $5\ \text{nm}$ 乃至 $30\ \text{nm}$ であり、好ましくは $10\ \text{nm}$ 乃至 $25\ \text{nm}$ とする。膜厚をこの範囲に設定するには、非晶質シリコン膜の膜厚を前記範囲内として堆積した後結晶化させても良いし、 $50\ \text{nm}$ 乃至 $150\ \text{nm}$ の非晶質シリコン膜を結晶化させた後、エッチング又は研削研磨加工により薄膜化しても良い。

【0044】

半導体層14にはしきい値電圧を制御するために、硼素、アルミニウム、ガリウムなどのp型不純物を添加する。例えば、p型不純物として硼素を $5 \times 10^{17}\ \text{cm}^{-3}$ 以上 $1 \times 10^{18}\ \text{cm}^{-3}$ 以下の濃度で添加する。

【0045】

半導体層14の端部は傾斜角(テーパ角)が付くように加工することが好ましい。次の工程で半導体層14をプラズマ処理により窒化するとき、端部領域における窒化膜厚の減少を避けるためである。

【0046】

図6(B)は半導体層14の表面をプラズマ処理により窒化して絶縁層20を形成する工程である。この工程は、半導体層14を保護するためであり、半導体層14の下端面にバースピークが形成されるのを防ぐためである。バースピークは半導体層14に外因性の応力を与え、電気的なストレスがたまりやすいので電界効果型トランジスタの特性に悪影響を与えるが、絶縁層20を設けることにより半導体層14が歪むことを防ぐことができる。絶縁層20の厚さは $1\ \text{nm}$ 乃至 $5\ \text{nm}$ とする。

【0047】

プラズマ処理による固相窒化処理は、マイクロ波(代表的には $2.45\ \text{GHz}$)で励起され、電子密度が $1 \times 10^{11}\ \text{cm}^{-3}$ 以上 $1 \times 10^{13}\ \text{cm}^{-3}$ 以下、且つ電子温度が

10

20

30

40

50

0.5 eV以上1.5 eV以下のプラズマで行うことが好ましい。プラズマ処理により窒化する場合には、窒素雰囲気下（例えば、窒素（ N_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下、窒素と水素と希ガス雰囲気下、若しくは NH_3 と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。この場合、半導体層14の表面と、下地絶縁層12の表面が窒化されることとなる。

【0048】

その後、図6（C）で示すように、半導体層14が埋め込まれるように絶縁膜を形成し、異方性エッチングにより半導体層14の側面側に側壁絶縁層22が形成されるように加工する。側壁絶縁層22は、酸化シリコン又は窒化シリコンで形成するが、その他にも比誘電率が2.5以下の低誘電率材料で形成しても良い。低誘電率材料としては、多孔質酸化シリコン、炭素若しくはフッ素含有酸化シリコンなどを用いることができる。

10

【0049】

側壁絶縁層22を形成した後、図6（D）で示すように、半導体層14の上面にある絶縁層20をエッチングにより除去する。エッチング条件は適宜設定すれば良い。例えば、エッチングガスとして CF_4 と O_2 を用い、絶縁層20をエッチングする。さらに、半導体層14との選択比を高めるために、エッチングガスを CHF_3 に切り替えてエッチングすると良い。また、図6（C）で示す側壁絶縁層22を形成するエッチングと、絶縁層20を除去するエッチングを同時に行っても良い。例えば、酸化シリコンと窒化シリコンのエッチング速度がほぼ等しいエッチングガスとして CHF_3 を用いて異方性エッチングすれば、図6（D）に示すように、側壁絶縁層22とそれに重なる絶縁層20を残存させることができる。

20

【0050】

半導体層14の端部に、絶縁層20とこの側壁絶縁層22によるなだらかな段差構造を設けることにより、ゲート絶縁層16の段差乗り越え部を、半導体層14の外側に配置することができる。

【0051】

図6（E）は、ゲート絶縁層16及びゲート電極25を形成する工程を示している。ゲート絶縁層16は2 nm乃至20 nmの厚さで形成する。ゲート絶縁層16として、酸化シリコンの他、高誘電率材料を用いることにより、ゲートリーク電流を低減することができる。高誘電率材料としては、二酸化ジルコニウム、酸化ハフニウム、二酸化チタン、五酸化タンタルなどを用いることができる。

30

【0052】

ゲート電極25は金属若しくは金属窒化物で形成することが好ましい。金属若しくは金属窒化物を用いることでゲート電極の空乏化を無くすことができ、トランジスタの電流駆動能力を高めることができる。第1ゲート電極層24は金属窒化物で形成する。金属窒化物としては、窒化チタン、窒化タンタル、窒化タングステン、窒化クロム、窒化モリブデンなどを用いることができる。第2ゲート電極層26は金属（好ましくは高融点金属）で形成する。金属としてはタングステン、チタン、モリブデン、タンタル、クロムなどを用いることができる。これらの金属は融点が高く、熱的に安定なのでトランジスタの製造工程で容易に扱うことができる。金属窒化物及び金属を用いて、スパッタリング法、電子ビーム蒸着法、有機金属CVD法などを使って成膜する。

40

【0053】

この状態で、ゲート電極25をマスクとして、第2不純物領域17を形成する。nチャネル型の電界効果型トランジスタの場合には、第2不純物領域17は低濃度ドレインとして機能するようにリンなどのn型不純物を添加する。

【0054】

図6（F）では、ゲート電極25の側面にはサイドウォール絶縁層28を窒化シリコン又は酸化シリコンで形成する工程を示す。サイドウォール絶縁層28は、窒化シリコン膜又は酸化シリコン膜をCVD法で堆積してゲート電極25を埋め込み、異方性エッチング

50

によってゲート電極 25 の側面に絶縁層（側壁）が残るように加工する。このサイドウォール絶縁層 28 をマスクとしてソース領域及びドレイン領域を形成する第 1 不純物領域 18 を形成する。

【0055】

その後、パッシベーション層、層間絶縁層、配線を形成することにより、図 1 で示す電界効果型トランジスタを得ることができる。

【0056】

次いで、素子分離構造として複数の半導体層の間に絶縁層を埋め込んだ構成の半導体装置について図 7 と図 8 を参照して説明する。

【0057】

図 7 (A) において、基板 10 上に下地絶縁層 12、半導体層 14 を形成する。半導体層 14 上には、素子形成領域に合わせて窒化シリコン層 11、酸化シリコン層 13 を形成する。酸化シリコン層 13 は、素子分離のために半導体層 14 をエッチングするときのハードマスクとして用いる。窒化シリコン層 11 はエッチングストッパーである。

【0058】

半導体層 14 の膜厚は 5 nm 乃至 30 nm、好ましくは 10 nm 乃至 25 nm とする。膜厚をこの範囲に設定するには、非晶質シリコン膜の膜厚を前記範囲内として堆積した後結晶化させても良いし、50 nm 乃至 150 nm の非晶質シリコン膜を結晶化させた後、エッチング又は研削研磨加工により薄膜化しても良い。半導体層 14 にはしきい値電圧を制御するために、硼素、アルミニウム、ガリウムなどの p 型不純物を添加する。例えば、p 型不純物として硼素を $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度で添加しても良い。

【0059】

図 7 (B) は、酸化シリコン層 13 をマスクとして半導体層 14、下地絶縁層 12 をエッチングする工程である。半導体層 14 及び下地絶縁層 12 の露出した端面に対してプラズマ処理を行って窒化する。この窒化处理により、少なくとも半導体層 14 の周辺端部には窒化シリコン層 15 が形成される。窒化シリコン層 15 は絶縁性であり、半導体層 14 の端面でリーク電流が流れるのを防止する効果がある。また、耐酸化作用があるので、半導体層 14 と下地絶縁層 12 との間に、半導体層 14 の端面から酸化膜が成長してパズビークが形成されるのを防ぐことができる。

【0060】

図 7 (C) は、素子分離絶縁層 19 を堆積する工程である。素子分離絶縁層 19 として TEOS を用いて酸化シリコン膜を CVD 法で堆積する。素子分離絶縁層 19 は半導体層 14 が埋め込まれるように厚く堆積する。

【0061】

図 7 (D) は窒化シリコン層 11 が露出するまで素子分離絶縁層 19 を除去する工程を示している。この除去工程は、ドライエッチングによって行うこともできるし、化学的機械研磨処理によって行っても良い。窒化シリコン層 11 はエッチングストッパーとなる。素子分離絶縁層 19 は半導体層 14 の周囲に設けられ、半導体層 14 の間に埋め込まれるように残存する。窒化シリコン層 11 はその後除去する。

【0062】

図 7 (E) において、半導体層 14 が露出した後、図 6 (E)、(F) と同様にしてゲート絶縁層 16、ゲート電極 25、サイドウォール絶縁層 28 を形成し、第 1 不純物領域 18、第 2 不純物領域 17 を形成する。絶縁層 27 は窒化シリコンで形成し、ゲート電極 25 をエッチングするときのハードマスクとして用いる。

【0063】

図 8 (A) において、層間絶縁層 32 を形成する。層間絶縁層 32 は BPSG (Boron Phosphorus Silicon Glass) 膜を形成してリフローにより平坦化させる。また、TEOS (テトラエトキシシラン) を用いて酸化シリコン膜を形成し化学的機械研磨処理によって平坦化しても良い。平坦化处理においてゲート電極 25

10

20

30

40

50

上の絶縁層 27 はエッチングストッパーとして機能する。層間絶縁層 32 にはコンタクトホール 33 を形成する。コンタクトホール 33 は、サイドウォール絶縁層 28 を利用してセルフアラインコンタクトの構成となっている。

【0064】

その後、図 8 (B) で示すように、六フッ化タングステンをを用い CVD 法でコンタクトプラグ 36 を形成する。絶縁層 41 を形成し、コンタクトプラグ 36 に合わせて開口を形成して配線 38 を設ける。配線 38 はアルミニウム若しくはアルミニウム合金で形成し、上層と下層にはバリアメタルとしてモリブデン、クロム、チタンなどの金属膜を形成する。

【0065】

このように、半導体層の厚さを 5 nm 乃至 30 nm、好ましくは 10 nm 乃至 25 nm とした場合であって、チャンネル長が該半導体層の厚さの 10 倍以上 40 倍未満とし、若しくはチャンネル長が 100 nm 以上 1000 nm 未満の電界効果型トランジスタで構成され、素子分離構造として素子分離絶縁層 19 を用いた集積回路を形成することができる。

【0066】

図 9 は本発明に係る半導体装置を用いたマイクロプロセッサ 50 の一例を示す。このマイクロプロセッサ 50 は、上記したように、絶縁表面に形成され、半導体層の厚さが 5 nm 乃至 30 nm、好ましくは 10 nm 乃至 25 nm であって、チャンネル長が該半導体層の厚さの 10 倍以上 40 倍未満であり、若しくはチャンネル長が 100 nm 以上 1000 nm 未満である電界効果型トランジスタで構成されている。

【0067】

このマイクロプロセッサ 50 は、演算回路 51 (Arithmetic logic unit. ALU ともいう。)、演算回路制御部 52 (ALU Controller)、命令解析部 53 (Instruction Decoder)、割り込み制御部 54 (Interrupt Controller)、タイミング制御部 55 (Timing Controller)、レジスタ 56 (Register)、レジスタ制御部 57 (Register Controller)、バスインターフェース 58 (Bus I/F)、読み出し専用メモリ 59 (ROM)、及びメモリインターフェース 60 (ROM I/F) を有している。また読み出し専用メモリ 59 及びメモリインターフェース 60 は、別チップに設けても良い。

【0068】

バスインターフェース 58 を介してマイクロプロセッサ 50 に入力された命令は、命令解析部 53 に入力され、デコードされた後、演算回路制御部 52、割り込み制御部 54、レジスタ制御部 57、タイミング制御部 55 に入力される。演算回路制御部 52、割り込み制御部 54、レジスタ制御部 57、タイミング制御部 55 は、デコードされた命令に基づき、各種制御を行う。具体的に演算回路制御部 52 は、演算回路 51 の動作を制御するための信号を生成する。また、割り込み制御部 54 は、マイクロプロセッサ 50 のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタ制御部 57 は、レジスタ 56 のアドレスを生成し、マイクロプロセッサの状態に応じてレジスタ 56 の読み出しや書き込みを行う。

【0069】

またタイミング制御部 55 は、演算回路 51、演算回路制御部 52、命令解析部 53、割り込み制御部 54、レジスタ制御部 57 の動作のタイミングを制御する信号を生成する。例えばタイミング制御部 55 は、基準クロック信号 CLK1 を元に、内部クロック信号 CLK2 を生成する内部クロック生成部を備えており、クロック信号 CLK2 を上記各種回路に供給する。

【0070】

なお、図 9 に示すマイクロプロセッサ 50 は、その構成を簡略化して示した一例にすぎず、実際のマイクロプロセッサはその用途によって多種多様な構成を有している。

【0071】

10

20

30

40

50

本発明によれば、半導体層を薄膜化したことにより、しきい値電圧の変化量が減少しサプレッション値が抑制されるので低電圧で駆動できる。また、半導体層とゲート電極が交差する領域の段差部（半導体層の端部領域）においてゲートリーク電流を低減することができる。これらにより半導体装置の低消費電力化を実現することができる。

【0072】

次に、非接触でデータの送受信を行うことのできる演算機能を備えた半導体装置の一例について図10を参照して説明する。

【0073】

図10は無線通信により外部装置と信号の送受信を行って動作する半導体装置110のブロック図を示している。この半導体装置110はアナログ回路部130とデジタル回路部132を有している。アナログ回路部130として、共振容量を有する共振回路128、整流回路118、定電圧回路120、リセット回路126、発振回路124、復調回路116、変調回路114と、電源管理回路150を有している。デジタル回路部132は、RFインターフェース134、制御レジスタ136、クロックコントローラ138、インターフェース140（CPUインターフェース）、中央処理ユニット142（CPU）、ランダムアクセスメモリ144（RAM）、読み出し専用メモリ146（ROM）を有している。

【0074】

このような構成の半導体装置110の動作は概略以下の通りである。アンテナ112が受信した信号は共振回路128により誘導起電力を生じる。誘導起電力は、整流回路118を経て容量部122に充電される。この容量部122はセラミックコンデンサーや電気二重層コンデンサーなどのキャパシタで形成されていることが好ましい。容量部122は半導体装置110と一体形成されている必要はなく、別部品として半導体装置110を構成する絶縁表面を有する基板に取り付けられていれば良い。

【0075】

リセット回路126は、デジタル回路部132をリセットし初期化する信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。発振回路124は、定電圧回路120により生成される制御信号に応じて、クロック信号の周波数とデューティ比を変更する。ローパスフィルタで形成される復調回路116は、例えば振幅変調（ASK）方式の受信信号の振幅の変動を二値化する。変調回路114は、振幅変調（ASK）方式の送信信号の振幅を変動させて送信する。変調回路114は、共振回路128の共振点を変化させることで通信信号の振幅を変化させている。クロックコントローラ138は、電源電圧又は中央処理ユニット142における消費電流に応じてクロック信号の周波数とデューティ比を変更するための制御信号を生成している。電源電圧の監視は電源管理回路150が行っている。

【0076】

アンテナ112から半導体装置110に入力された信号は復調回路116で復調された後、RFインターフェース134で制御コマンドやデータなどに分解される。制御コマンドは制御レジスタ136に格納される。制御コマンドには、読み出し専用メモリ146に記憶されているデータの読み出し、ランダムアクセスメモリ144へのデータの書き込み、中央処理ユニット142への演算命令などが含まれている。中央処理ユニット142は、インターフェース140を介して読み出し専用メモリ146、ランダムアクセスメモリ144、制御レジスタ136にアクセスする。インターフェース140は、中央処理ユニット142が要求するアドレスより、読み出し専用メモリ146、ランダムアクセスメモリ144、制御レジスタ136のいずれかに対するアクセス信号を生成する機能を有している。

【0077】

中央処理ユニット142の演算方式は、読み出し専用メモリ146にOS（オペレーティングシステム）を記憶させておいて、起動とともにプログラムを読み出し実行する方式を採用することができる。また、専用回路で演算回路を構成して、演算処理をハードウェア

10

20

30

40

50

ア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式では、専用の演算回路で一部の処理を行い、残りの演算をプログラムを使って中央処理ユニット142が実行する方式を適用することができる。

【0078】

半導体装置110の動作に必要な電力を供給する容量部122の容量を大きくすることにより、安定した動作を確保することができる。また、容量部122の容量増加には限界がある。そこで、本発明のように半導体層の薄膜化により、しきい値電圧及びサブスレッショルド値を小さくして低電圧で駆動可能とすることにより、低消費電力化を図ることは有効である。

【図面の簡単な説明】

10

【0079】

【図1】本発明に係る半導体装置の主要な構成要素である電界効果型トランジスタの構成を示す図。

【図2】プラズマ処理を行うための装置の構成を示す図。

【図3】計算に用いた電界効果型トランジスタの構成を示す断面図。

【図4】電界効果型トランジスタのゲート電圧-ドレイン電流特性から求めたしきい値電圧を示す図。

【図5】電界効果型トランジスタのゲート電圧-ドレイン電流特性から求めたサブスレッショルド値を示す図。

【図6】電界効果型トランジスタの作製方法を示す断面図。

20

【図7】電界効果型トランジスタの作製方法を示す断面図。

【図8】電界効果型トランジスタの作製方法を示す断面図。

【図9】マイクロプロセッサの一構成例を示す図。

【図10】非接触でデータの送受信を行うことのできる演算機能を備えた半導体装置の構成を示す図。

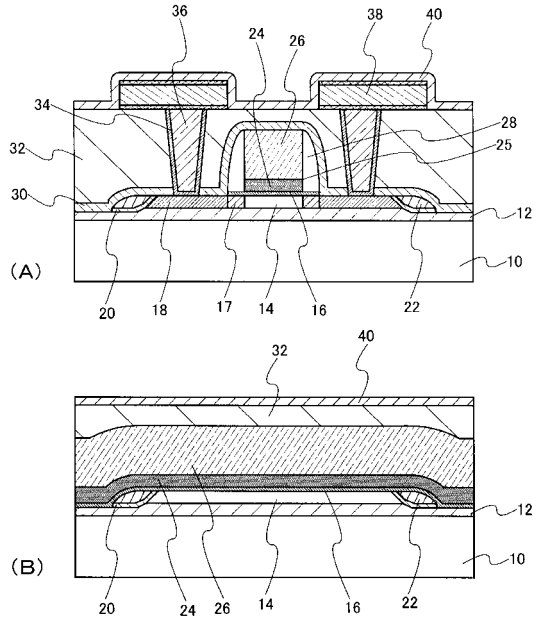
【符号の説明】

【0080】

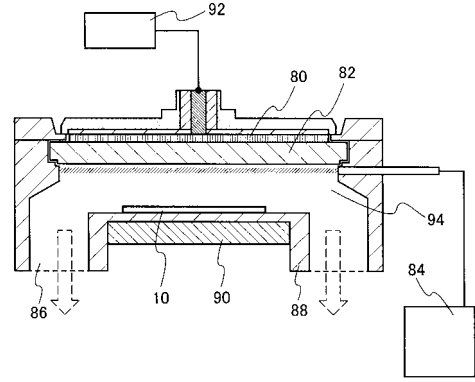
10	基板	
11	窒化シリコン層	
12	下地絶縁層	30
13	酸化シリコン層	
14	半導体層	
15	窒化シリコン層	
16	ゲート絶縁層	
17	第2不純物領域	
18	第1不純物領域	
19	素子分離絶縁層	
20	絶縁層	
22	側壁絶縁層	
24	第1ゲート電極層	40
25	ゲート電極	
26	第2ゲート電極層	
27	絶縁層	
28	サイドウォール絶縁層	
30	パッシベーション層	
32	層間絶縁層	
33	コンタクトホール	
34	バリアメタル	
36	コンタクトプラグ	
38	配線	50

4 0	パッシベーション層	
4 1	絶縁層	
5 0	マイクロプロセッサ	
5 1	演算回路	
5 2	演算回路制御部	
5 3	命令解析部	
5 4	割り込み制御部	
5 5	タイミング制御部	
5 6	レジスタ	
5 7	レジスタ制御部	10
5 8	バスインターフェース	
5 9	読み出し専用メモリ	
6 0	メモリインターフェース	
8 0	アンテナ	
8 2	誘電体板	
8 4	ガス供給部	
8 6	排気口	
8 8	支持台	
9 0	温度制御部	
9 2	マイクロ波供給部	20
9 4	プラズマ	
1 0 1	基板	
1 0 2	ソース領域	
1 0 3	ドレイン領域	
1 0 4	チャネル形成領域	
1 0 5	ゲート絶縁層	
1 0 6	ソース電極	
1 0 7	ドレイン電極	
1 0 8	ゲート電極	
1 1 0	半導体装置	30
1 1 2	アンテナ	
1 1 4	変調回路	
1 1 6	復調回路	
1 1 8	整流回路	
1 2 0	定電圧回路	
1 2 2	容量部	
1 2 4	発振回路	
1 2 6	リセット回路	
1 2 8	共振回路	
1 3 0	アナログ回路部	40
1 3 2	デジタル回路部	
1 3 4	RFインターフェース	
1 3 6	制御レジスタ	
1 3 8	クロックコントローラ	
1 4 0	インターフェース	
1 4 2	中央処理ユニット	
1 4 4	ランダムアクセスメモリ	
1 4 6	読み出し専用メモリ	
1 5 0	電源管理回路	

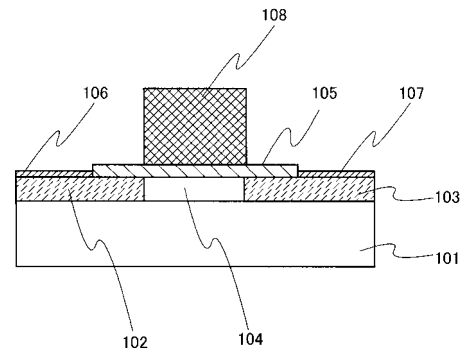
【図1】



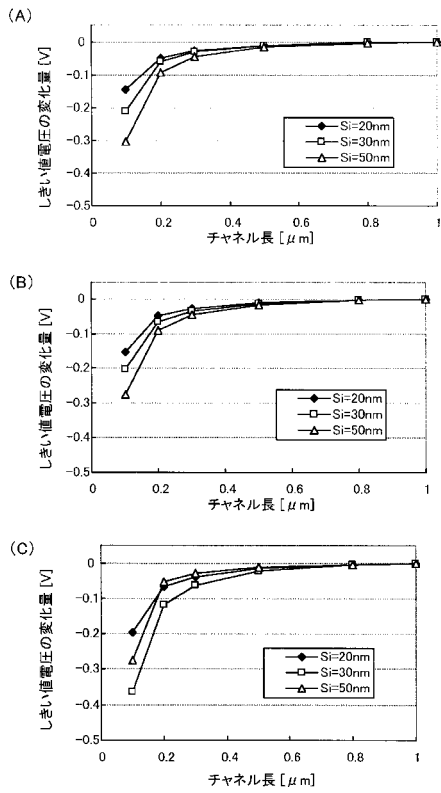
【図2】



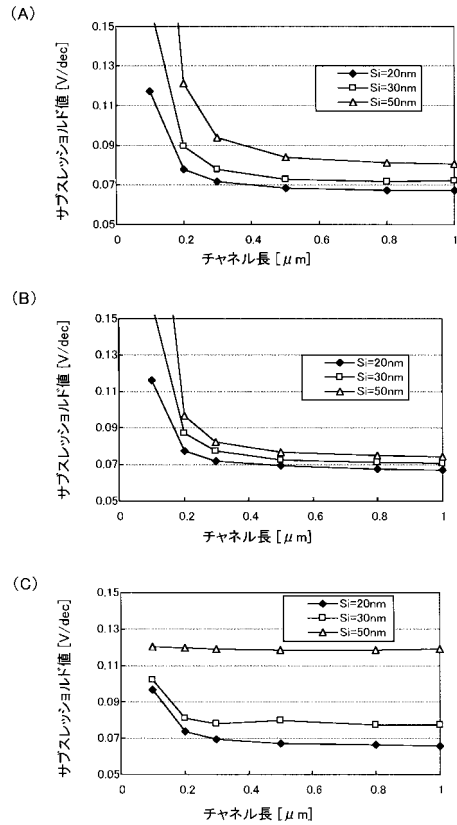
【図3】



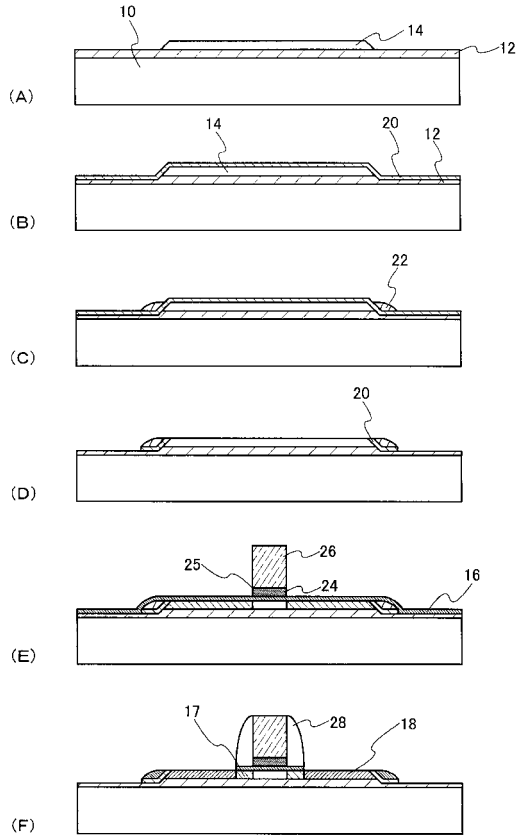
【図4】



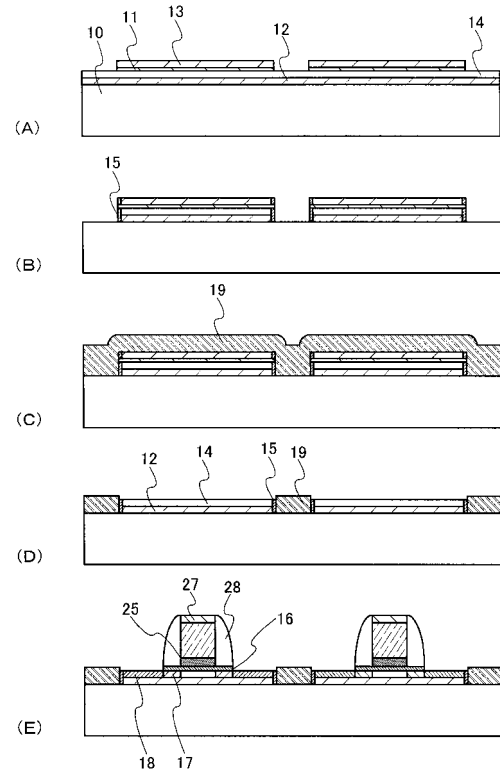
【図5】



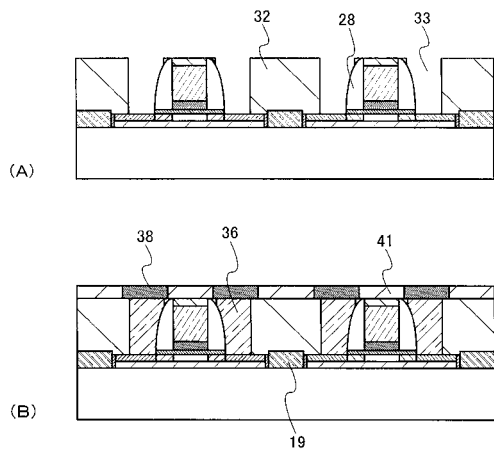
【図6】



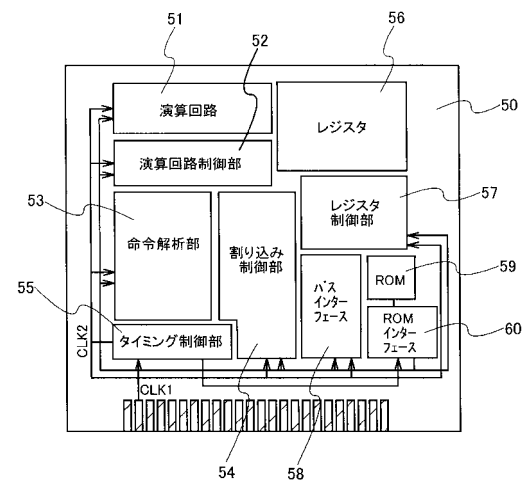
【図7】



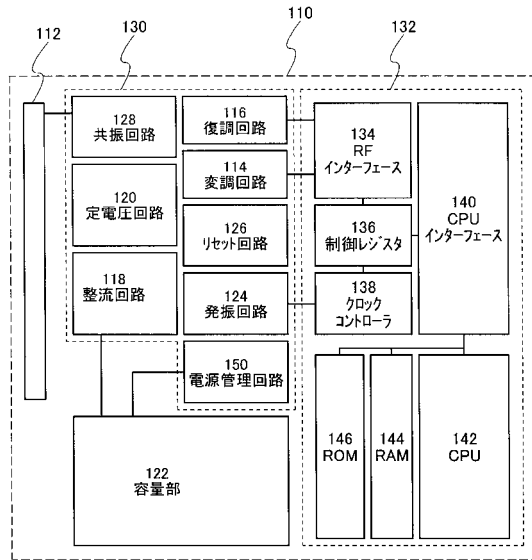
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 1 8 Z
H 0 1 L 29/78 6 2 6 C

(56)参考文献 特開2004-327977(JP,A)
特開2005-167207(JP,A)
特開2005-057042(JP,A)
国際公開第2006/038351(WO,A1)
特開2003-110105(JP,A)
特開2006-148049(JP,A)
特開2000-277737(JP,A)
特開2003-243415(JP,A)
特開2000-101087(JP,A)
特開2006-260722(JP,A)
特開2006-179746(JP,A)
特開2006-270076(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8 6