

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-22422  
(P2012-22422A)

(43) 公開日 平成24年2月2日(2012.2.2)

(51) Int.Cl.  
G06F 12/16 (2006.01)

F I  
G06F 12/16 320F

テーマコード(参考)  
5B018

審査請求 未請求 請求項の数 11 O L (全 16 頁)

(21) 出願番号 特願2010-158395 (P2010-158395)  
(22) 出願日 平成22年7月13日 (2010.7.13)

(71) 出願人 000005821  
パナソニック株式会社  
大阪府門真市大字門真1006番地  
(74) 代理人 100109667  
弁理士 内藤 浩樹  
(74) 代理人 100109151  
弁理士 永野 大介  
(74) 代理人 100120156  
弁理士 藤井 兼太郎  
(72) 発明者 大塚 健  
大阪府門真市大字門真1006番地 パナ  
ソニック株式会社内  
Fターム(参考) 5B018 GA02 GA04 HA12 HA14 HA35  
LA07 MA24 NA06 PA03 QA16

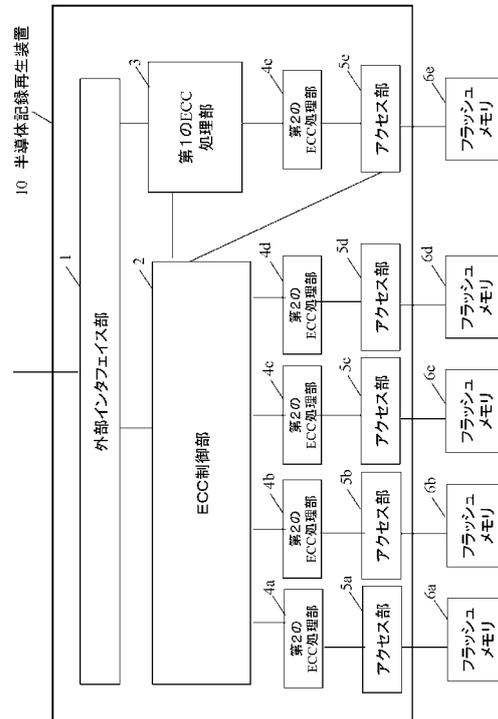
(54) 【発明の名称】 半導体記録再生装置

(57) 【要約】

【課題】エラー耐性を改善しつつ、高速リード転送と低消費電力の双方を満足する半導体記録装置を提供する。

【解決手段】半導体記録再生装置10は、外部機器とユーザデータを送受信する外部インタフェース部1と、ユーザデータに対するパリティデータを生成するとともに、パリティデータを用いてユーザデータのエラーを訂正する第1のECC処理部3と、ユーザデータを複数に分割し、分割したユーザデータおよびパリティデータを、フラッシュメモリ6a~6eに記録するとともに、パリティデータを除くユーザデータを読み出す第1の再生モードと、パリティデータを含むユーザデータを読み出す第2の再生モードを有し、何れかのモードでフラッシュメモリ6a~6eからユーザデータを読み出して再生するECC制御部2と、を備える。

【選択図】図2



## 【特許請求の範囲】

## 【請求項 1】

外部機器とユーザデータを送受信する外部インタフェース部と、  
 前記ユーザデータに対するパリティデータを生成する第 1 の ECC 生成部と、  
 不揮発性メモリへのデータの記録および読み出しを制御するアクセス部と、  
 前記ユーザデータを複数に分割し、分割したユーザデータおよび前記パリティデータを、  
 前記アクセス部を介して少なくとも一つの不揮発性メモリに記録する記録制御部と、  
 前記アクセス部を介して、前記不揮発性メモリから読み出したパリティデータを用いて、  
 前記不揮発性メモリから読み出したユーザデータのエラーを訂正する ECC 訂正部と、  
 前記パリティデータを除くユーザデータを読み出す第 1 の再生モードと、前記パリティ  
 データを含むユーザデータを読み出す第 2 の再生モードを有し、何れかのモードで前記ア  
 クセス部を介して前記不揮発性メモリからユーザデータを読み出して再生する再生制御部  
 と、  
 を備える半導体記録再生装置。

10

## 【請求項 2】

前記再生制御部は、  
 前記第 1 の再生モードを実行中にエラーが検出された場合に、前記第 2 の再生モード  
 を実行する  
 請求項 1 に記載の半導体記録再生装置。

## 【請求項 3】

前記 ECC 訂正部は、  
 前記不揮発性メモリから読み出したユーザデータに対応する、前記第 1 の ECC 生成  
 部で生成したパリティデータを、前記不揮発性メモリから読み出して、前記ユーザデータ  
 のエラーを訂正する  
 請求項 1 または 2 に記載の半導体記録再生装置

20

## 【請求項 4】

前記再生制御部は、  
 前記第 1 の再生モードから前記第 2 の再生モードに切り替えた際は、前記第 2 の再生  
 モードを、予め定められたリード区間連続して実行する  
 請求項 1 から 3 の何れかに記載の半導体記録再生装置

30

## 【請求項 5】

前記再生制御部は、  
 前記第 1 の再生モードから前記第 2 の再生モードに切り替えた際は、少なくとも、モ  
 ードを切り替えた時点でリード中であつた消去ブロックに対して前記第 2 の再生モードを  
 連続して実行する  
 請求項 4 に記載の半導体記録再生装置

## 【請求項 6】

前記記録制御部は、  
 前記パリティデータを特定の前記不揮発性メモリに記録するように制御する  
 請求項 1 から 5 の何れかに記載の半導体記録再生装置

40

## 【請求項 7】

前記再生制御部は、  
 前記第 1 の再生モード実行時は、前記パリティデータが記録されている不揮発性メモ  
 リを制御する前記アクセス部に対して、前記不揮発性メモリへの制御信号を非アクティブ  
 にするよう制御する  
 請求項 6 に記載の半導体記録再生装置

## 【請求項 8】

前記記録制御部は、  
 前記不揮発性メモリのページ内に、前記第 1 の ECC 符号と直交する形式で第 2 の E  
 CC 符号を付加する第 2 の ECC 生成部を含み、

50

前記再生制御部は、

前記第1の再生モードにおいて、前記第2のECC符号によってリードエラーを検出する

請求項1から7の何れかに記載の半導体記録再生装置

【請求項9】

前記アクセス部は、

前記パリティデータを記録する不揮発性メモリと前記ユーザデータを記録する不揮発メモリとに、共通のメモリバスによって接続される

請求項6から8の何れかに記載の半導体記録再生装置。

【請求項10】

10

前記アクセス部は、

前記メモリバスを2系統以上有し、

前記パリティデータを記録するメモリバスに接続された不揮発性メモリ数は、前記パリティデータを記録しないメモリバスに繋がる不揮発性メモリ数よりも、前記パリティデータに相当する分多い

請求項9に記載の半導体記録再生装置。

【請求項11】

前記アクセス部は、

前記パリティデータを記録するメモリバス側と前記パリティデータを記録しないメモリバス側において同一クロック周波数で動作する

20

請求項10に記載の半導体記録再生装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリカードなどの半導体記録再生装置において、内部の不揮発性メモリのデータ保持特性のバラツキ及び書き換え回数に伴う劣化を抑制する制御手法に関する。

【背景技術】

【0002】

従来、フラッシュメモリが内蔵されたカード型の記録媒体であるSD (Secure Digital) カード等の半導体記録再生装置は、超小型、超薄型であり、その取り扱い易さから、デジタルカメラ、携帯機器等において画像等のデータを記録するために広く利用されている。

30

【0003】

半導体記録再生装置に内蔵されているフラッシュメモリは、一定サイズの多数の物理ブロックから成り、物理ブロックの単位でデータを消去できるメモリである。昨今の大容量化の要請に対応すべく、1セルで2ビット以上のデータが蓄積できる多値フラッシュメモリが商品化されている。

【0004】

図1に、多値フラッシュメモリのフローティングゲートに蓄積する電子の数と閾値電圧 ( $V_{th}$ ) の関係の一例を示す。図1に示すように、4値のフラッシュメモリは、フローティングゲートの電子の蓄積状態をその閾値電圧 ( $V_{th}$ ) に従って4状態で管理する。消去状態は電位が一番低く、これを (1, 1) とする。そして電子が蓄積していくにつれて閾値電圧が離散的に上昇し、その状態を夫々 (1, 0) (0, 0) (0, 1) とする。このように、蓄積する電子の数に比例して電位が上昇するので、所定の電位の閾値に収まるように制御することによって、4値のフラッシュメモリは1つのメモリセルに2ビットのデータを記録することができる。

40

【0005】

しかしながら、4値フラッシュメモリは、電子のチャージ量によって4状態を識別するために、各状態間の閾値電圧の差が、2値フラッシュメモリより小さい。

【0006】

50

また、書き換え回数を重ねる毎に、データの書き換えを繰り返すと、電子の注入と引き抜きによってゲート酸化膜にわずかな損傷が発生する。この損傷が積み重なると電子トラップが数多く形成されるため、実際のフローティングゲートに蓄積される電子数が減少してしまう。半導体プロセスの微細化に比例して、フローティングゲートに蓄積される電子数が少なくなるため、電子トラップの影響は大きくなる

このように、フラッシュメモリの大容量化を支える多値記録および半導体プロセスの微細化に従い、フラッシュメモリのデータ保持特性の劣化といった課題が顕著になってきた。

#### 【 0 0 0 7 】

上記の課題の解決手法として

( 1 ) 書き換え回数の制限

( 2 ) エラー訂正の強化

が、採用されている。

#### 【 0 0 0 8 】

特許文献 1 では、複数チップで構成されたフラッシュメモリにおいて、フラッシュメモリの互いに異なるチップ内のブロックを関連付け、関連付けられた複数のブロックを共通のグループとして取り扱い、グループ内の 1 ブロックを当該グループ内の他のブロックに書き込まれたユーザデータのパリティ用のブロックに割当てることにより、誤り訂正能力を強化し、データ保持特性の劣化を抑制するフラッシュメモリが開示されている。

#### 【 先行技術文献 】

#### 【 特許文献 】

#### 【 0 0 0 9 】

【 特許文献 1 】 特開 2 0 0 6 - 1 8 3 7 3 号公報

#### 【 発明の概要 】

#### 【 発明が解決しようとする課題 】

#### 【 0 0 1 0 】

上述した手法は、ハードディスクドライブ ( H D D ) で利用されている R A I D 5 をフラッシュメモリに適用したものである。特にフラッシュメモリのような半導体メモリに適用する場合には、パリティデータの分、冗長度が増加し、特にリード動作において、高速リードと低消費電力化の双方を満足することができない。

#### 【 0 0 1 1 】

例えば、4 バイトのユーザデータに 1 バイトのパリティデータを付加した ( 5 , 4 ) E C C 符号が生成させる。そして、パリティデータはブロック単位で別チップに割り付けてライトする。ライト時の消費電力は、パリティデータの 2 0 % 分増加する。また、リード時においても、2 0 % 分のパリティデータを余分にリードするので、同様に 2 0 % 分の消費電力が増加する。

#### 【 0 0 1 2 】

一方、メモリカードに動画を記録する業務用アプリケーションにおいては、ライトはリアルタイム記録を満足できれば良いが、リードは記録したデータをサーバにアップロードするため、高速転送が要求される。ゆえに、パリティデータによる 2 0 % の電力増大は高速転送時に顕著となるため、リード時に高速転送と低消費電力の双方を満足させることが課題であった。

#### 【 0 0 1 3 】

本発明は、上記問題を解決するものであり、積符号構成により、エラー耐性を改善しつつ、高速リード転送と低消費電力の双方を満足する半導体記録再生装置を提供することを目的とする。

#### 【 課題を解決するための手段 】

#### 【 0 0 1 4 】

この課題を解決するために、本発明の半導体記録再生装置は、外部機器とユーザデータを送受信する外部インタフェース部と、前記ユーザデータに対するパリティデータを生成

10

20

30

40

50

する第1のECC生成部と、不揮発性メモリへのデータの記録および読み出しを制御するアクセス部と、前記ユーザデータを複数に分割し、分割したユーザデータおよび前記パリティデータを、前記アクセス部を介して少なくとも一つの不揮発性メモリに記録する記録制御部と、前記アクセス部を介して、前記不揮発性メモリから読み出したパリティデータを用いて、前記不揮発性メモリから読み出したユーザデータのエラーを訂正するECC訂正部と、前記パリティデータを除くユーザデータを読み出す第1の再生モードと、前記パリティデータを含むユーザデータを読み出す第2の再生モードを有し、何れかのモードで前記アクセス部を介して前記不揮発性メモリからユーザデータを読み出して再生する再生制御部と、を備える半導体記録再生装置。

【発明の効果】

【0015】

上記構成によって、パリティデータを除くユーザデータを再生する第1の再生モードを使用することで、パリティデータ分の転送レート劣化及び消費電流の増加を防止することができ、必要に応じてパリティデータを含むユーザデータを読み出す第2の再生モードに切り替えることで、第2の再生モードではパリティデータをリードしエラー訂正を実施するのでエラー耐性を改善することができる。

【図面の簡単な説明】

【0016】

【図1】多値フラッシュメモリの電子の蓄積状態を示す模式図

【図2】実施の形態1における半導体記録再生装置の構成図

【図3】フラッシュメモリの消去ブロックの構成図

【図4】実施の形態1におけるライト時の主要部のタイミング図

【図5】実施の形態1の第1のECC処理部の動作説明図

【図6】実施の形態1におけるリード時の主要部のタイミング図

【図7】実施の形態1におけるバーストエラー発生時の主要部のタイミング図

【図8】実施の形態1の変形におけるバーストエラー発生時の主要部のタイミング図

【図9】実施の形態2の半導体記録再生装置の構成図

【発明を実施するための形態】

【0017】

(実施の形態1)

図2に実施の形態1における半導体記録再生装置の構成図を示す。本実施の形態において、半導体記録再生装置10は、外部インタフェース部1と、ECC制御部2と、第1のECC処理部3と、第2のECC処理部4a~4eと、アクセス部5a~5eを含む。半導体記録再生装置10は、アクセス部5a~5eを介して、フラッシュメモリ6a~6eに接続される。

【0018】

外部インタフェース部1は、図示しないホスト機器からのコマンドやユーザデータを送受信するインタフェースである。アクセス部5a~5eは、フラッシュメモリ6a~6eに接続し、フラッシュメモリ6a~6eへのデータのライトやリードを行う。

【0019】

ECC制御部2、第1のECC処理部3および第2のECC処理部4a~4eは、ライト時とリード時において動作が異なるため、最初にライト時の動作について説明した後リード時の動作について説明する。

【0020】

「ライト時の動作」

ECC制御部2は、外部インタフェース部1を介して転送されたユーザデータを、並び替えて第1のECC処理部3に転送するとともに、入力データを4個のフラッシュメモリ6a~6dに分配する。第1のECC処理部3は、ECC制御部2より転送されたユーザデータに対して、所定バイト単位でパリティデータを生成する。第2のECC処理部4a~4dは、ECC制御部2によって分配されたユーザデータに対して所定バイト単位でパ

10

20

30

40

50

リティデータを付加した第2のECC符号を生成する。また、第2のECC処理部4eは、第1のECC処理部3によって生成された第1のECC符号のパリティデータに対して所定バイト単位でパリティデータを付加した第2のECC符号を生成する。アクセス部5a~5eは、夫々に接続されたフラッシュメモリ6a~6eに対してデータをライトする。

【0021】

図3に本実施の形態で使用するフラッシュメモリの消去ブロックの構成図を示す。

【0022】

フラッシュメモリは、複数の消去ブロックにより構成され、各消去ブロックは複数のページで構成される。図3に示す消去ブロックは、ページ0~ページ127の128ページによって構成され、データの書き込みをページ単位で実施する。1ページ当たりのデータ容量が8KBであれば、消去ブロックサイズは1MB、そして、消去ブロック数が1K個あれば、当該フラッシュメモリの容量は1GBとなる。

10

【0023】

つぎに、第1のECC処理部3について説明する。第1のECC処理部3は(5,4)ECC符号を生成する。より具体的には、第1のECC処理部3は連続する4バイトのデータに対して、EXORを実施してパリティデータを生成する。半導体不良などのエラー耐性の点を考慮すると、第1のECC符号を生成する4バイトのデータは別チップのフラッシュメモリにライトされることが望ましい。このため、入力されるユーザデータは、フラッシュメモリのページサイズ単位(=8KB)で、4個のフラッシュメモリ(6a~6d)に割り当てられる。そして、第1のECC処理部3は、各フラッシュメモリに割り当てられる8KBのデータから1バイトずつ抽出した4バイトのデータのEXOR処理を行い1バイトのパリティデータを生成する。

20

【0024】

上記処理を繰り返し実施し、外部インタフェース部1より入力される32KBのユーザデータに対して、8KBのパリティデータを生成する。

【0025】

図4はライト動作における主要部のタイミングを示す図であり、同図上段は外部インタフェース部1の入力タイミング、同図中段は第1のECC処理部3の処理タイミング、同図下段はフラッシュメモリ6a~6eへのライトタイミングを示す。

30

【0026】

同図のD00、D01、D02、D03は、夫々8KBで、入力されるユーザデータを示し、同図P0は、D00、D01、D02、D03の合計32KBの入力されたユーザデータより生成された8KBのパリティデータを示す。

【0027】

同図によると、フラッシュメモリの4ページ分(=32KB)の入力後に、第1のECC処理部3はECC処理を開始する(同図の上段と中段を参照)。そして、8KBのパリティデータ(P0)生成後に、第2のECC処理部5a~5eは第2のECC処理を実施し、アクセス部5a~5eを介してフラッシュメモリ6a~6eにライトする。ここで、同図のD00、D01、D02、D03はフラッシュメモリ6a、6b、6c、6dに夫々ライトされ、第1のECC処理で生成されたパリティデータはフラッシュメモリ6eにライトされる。

40

【0028】

次に第2のECC処理部4a~4eの動作について説明する。第2のECC処理部4a~4eは、8KBのユーザデータおよびパリティデータに対して、所定バイト単位で第2のパリティデータを付加する。エラー訂正符号はBCH符号やリードソロモン符号が使用されるが、本発明の本質ではないため詳細を割愛する。本実施の形態では、リードソロモン符号が使用される。そして、第2のECC処理部4a~4eは、8KBのユーザデータおよびパリティデータに対して、512バイト単位で8バイトの第2のパリティデータを追加した16個の(520,512)ECC符号を生成する。第2のECC符号は、対象

50

とする512バイトのデータをエラー訂正する役割と、エラー訂正が不可であった場合にエラーを検出し、第1のECC符号におけるエラー位置として、第1のECC処理部3に転送する役割を担っている。

【0029】

以上が、本実施の形態のライトにおける動作説明である。このようにライトされた本実施の形態の半導体記録再生装置10におけるリード動作について、以下説明する。

【0030】

「リード時の動作」

まず、図2における構成要素の動作について、説明する。

【0031】

フラッシュメモリ6a～6eは、半導体記録再生装置10でライトされたユーザデータおよびパリティデータを保持している不揮発性メモリである。フラッシュメモリ6a～6dは、外部インタフェース部1を介して転送されたユーザデータが記録されている。また、フラッシュメモリ6eには、第1のECC処理部3により生成されたパリティデータが記録されている。

【0032】

アクセス部5a～5eは、夫々に接続されたフラッシュメモリ6a～6eに記録されているデータのリードを行い、少なくとも第1のECC処理部3により生成されたパリティデータを記録しているフラッシュメモリ6eへのリードアクセスは、ユーザデータを記録しているフラッシュメモリ6a～6dのリードアクセスとは独立して実施できる構成とする。

【0033】

第2のECC処理部4a～4eは、リードされたデータに対して512バイト単位でエラー訂正を実施する。512バイトに対して8バイトの第2のパリティデータが付加されているので、リードソロン符号においては、最大4バイトのエラー訂正が可能である。そして、4バイトを超えるエラーが発生した場合は、第2のECC処理部4a～4eは、エラー訂正不可の512バイトのデータとして検出し、当該512バイトをエラーセクタとしてECC制御部2に転送する。

【0034】

第1のECC処理部3は、エラーセクタを第1のECC符号を用いてエラー訂正する。第1のECC符号は(5,4)ECC符号なので、ECC符号を生成している5バイトにおいて、エラーセクタを除いた4バイトのXOR計算を実施する。これにより、エラーセクタと検出されたデータを訂正することができる。エラーセクタは512バイト単位なので、XOR処理を512回実施すれば、エラーセクタとなった箇所を復元することが可能となる。

【0035】

ECC制御部2は、第2のECC処理部4a～4dによるエラー訂正結果が訂正可の場合は、フラッシュメモリ6a～6dよりリードされたユーザデータを、外部インタフェース部1を介して出力する。フラッシュメモリ6a～6dよりリードしたデータについて、エラーが存在しない場合、およびエラーは存在するが第2のECC処理部4a～4dでエラー訂正が可能な場合を、第1の再生モードと定義する。

【0036】

一方、第2のECC処理部4a～4dによるエラー訂正結果が訂正不可の場合の処理について、以下詳細に説明する。

【0037】

第2のECC処理部4a～4dによるエラー訂正結果が訂正不可の場合は、ECC制御部2は以下のステップに従って処理していく。

【0038】

(STEP1)エラー訂正結果の判定

ECC制御部2は、第2のECC処理部4a～4dにおいて、エラーセクタが1個の場

10

20

30

40

50

合はSTEP 2に進み、エラーセクタが2個以上存在した場合は、リードエラーとして外部インタフェース部1を介してホストに通知する。

【0039】

(STEP 2) パリティデータのリード

ECC制御部2は、アクセス部5eを介して、フラッシュメモリ6eに記録されているパリティデータをリードする。そして、リードするパリティデータは、STEP 1でエラーセクタと判定されたデータと第1のECC符号によって関連づけられたデータを含んだパリティデータである。

【0040】

(STEP 3) エラー訂正可否の判定

ECC制御部2は、第2のECC処理部4eにより、STEP 2でリードされたパリティデータのエラー訂正の可否を判定する。判定はSTEP 1でエラーセクタと判定されたユーザデータと第1のECC符号によって関連づけられたパリティデータのエラー訂正の可否について行う。そして、エラー訂正が否の場合は、ECC制御部2は、リードエラーとして外部インタフェース部1を介してホストに通知する。エラー訂正が可の場合は、STEP 4に移行する。

10

【0041】

(STEP 4) エラー訂正の実行

ECC制御部2は第1のECC処理部3によりECC訂正を実施する。より具体的な例について、図5を参照にしながら説明する。

20

【0042】

図5は、第1のECC処理部3の動作説明図である。同図(a)はフラッシュメモリ6aよりリードしたフラッシュメモリの1ページ分(=8KB)のユーザデータを示す。第2のECC符号は512バイトのユーザデータを構成要素としているので、1ページには16個の第2のECC符号が含まれることになる。そして、第1のECC処理部3におけるエラー訂正可否の判定は512バイト単位で16個の第2のECC符号に対して実施される。同図では第2のECC符号はSA0、SA1、・・・、SA15で示される。同様に同図(b)はフラッシュメモリ6bよりリードしたフラッシュメモリの1ページ分(=8KB)のユーザデータを示す。第2のECC符号はSB0、SB1、・・・、SB15で示される。また、同図(c)はフラッシュメモリ6cよりリードしたフラッシュメモリの1ページ分(=8KB)のデータを示す。第2のECC符号はSC0、SC1、・・・、SC15で示される。また、同図(d)はフラッシュメモリ6dよりリードしたフラッシュメモリの1ページ分(=8KB)のデータを示す。第2のECC符号はSD0、SD1、・・・、SD15で示される。さらに、同図(e)はフラッシュメモリ6eよりリードしたフラッシュメモリの1ページ分(=8KB)のパリティデータを示す。第2のECC符号はSP0、SP1、・・・、SP15で示される。同図における斜線部はエラーセクタを示す。同図では、SB1とSC15がエラーセクタであり、これらがエラー訂正の対象となる。

30

【0043】

SB1はSA1、SC1、SD1、SP1と関連づけられたECC符号なので、先頭バイトから順番に、SA1、SC1、SD1、SP1のEXOR計算が512回繰り返し実施され、エラー訂正が行われる。同様に、SC15はSA15、SB15、SD15、SP15と関連づけられたECC符号なので、先頭バイトから順番に、SA15、SB15、SD15、SP15のEXOR計算が512回繰り返し実施され、エラー訂正が行われる。

40

【0044】

以上のSTEP 1~STEP 4を順次実行することにより、第2のECC処理部4a~4dによるエラー訂正結果が訂正不可であったユーザデータを復元することができ、エラー耐性を改善することができる。

【0045】

50

第2のECC処理部4a~4dによるエラー訂正結果が訂正不可の場合に、フラッシュメモリ6eに記録されたパリティデータを読み出してユーザデータの復元を図るモードを、第2の再生モードと定義する。

【0046】

図6にリードにおける主要部のタイミング図を示す。同図の上段はフラッシュメモリ6a~6dより、ユーザデータをリードするタイミングを示す。同図のD0、D1、D2、・・・、D5は、夫々4個のフラッシュメモリから並列リードされた32KBバイトのユーザデータを示す。同図は、斜線部D2のみでエラーセクタが存在したことを示している。同図の中段は、フラッシュメモリ6eより、パリティデータをリードするタイミングを示す。符号P2はD2に対応するパリティデータである。

10

【0047】

同図の上段のリードにおいてエラーセクタが存在しなかった場合は、フラッシュメモリ6eから、パリティデータをリードする必要はない。したがって、P2以外のパリティデータはリードを実施していない。そして、フラッシュメモリ6eのクロック等の制御信号はそのアクセス部5eにより、同図中段のパリティデータのリード時以外は非アクティブにしておいた方が、省電力効果が高い。

【0048】

同図の下段はユーザデータの出力タイミングを示す。同図によると、4個のフラッシュメモリ6a~6dから、ユーザデータを8KBずつデータリードし、それぞれの8KBでエラーセクタ発生の有無を確認し、エラーセクタが無の場合はリードデータが出力される。一方、エラーセクタが有の場合は、フラッシュメモリ6eよりパリティデータをリードし、第1のECC処理部3でエラー訂正したユーザデータが出力される。

20

【0049】

以上説明したように、記録された第1のECC符号のパリティデータを除くユーザデータを再生する第1の再生モードと、パリティデータを再生しユーザデータの復元を図る第2の再生モードを有し、リードエラーが検出されない限りは、第1の再生モードを使用し、リードエラーが検出された場合にのみ、パリティデータを再生する第2の再生モードに切り替える。これにより、リードエラーが発生しない限り、パリティデータのリードを除去することができる。実際、第2の再生モードを実行する割合は1%以下と想定されるので、リード時の消費電力の上昇分を1%以下に抑制し、かつエラー耐性を改善した半導体記録再生装置10を提供することができる。

30

【0050】

なお、本実施の形態では第1のECC符号を(5,4)ECC符号による1重訂正としたが、例えば(10,8)ECC符号等にして2重訂正にするなど誤り訂正を強化してもよい。

【0051】

また、アクセス部5a~5dに夫々接続されるフラッシュメモリ数を1個として説明したが、複数個のフラッシュメモリがアクセス部5a~5dに接続されていてもよい。

【0052】

また、第1のECC符号のパリティデータを1個のフラッシュメモリに割当てたが、複数のフラッシュメモリに分散してもよい。この場合、パリティデータを記録しているフラッシュメモリのクロックを、エラー発生のみ活性化するような制御はできないので、省電力効果は減少する。

40

【0053】

(実施の形態1の変形)

実施の形態1では、ユーザデータが記録されている4個のフラッシュメモリ6a~6dをリードし、第2のECC処理部4a~4dでエラー訂正が不可であった場合のみ、パリティデータが記録されているフラッシュメモリ6eをリードして、第1のECC処理部3でエラー訂正を実施した。しかしながら、連続して第1のECC処理部3でエラー訂正を実施するようなバーストエラーが発生した場合に、リード転送レートが大幅に劣化すると

50

いう課題がある。実施の形態 1 において、バーストエラーが発生した場合の主要部のタイミングを図 7 に示す。

【0054】

同図の上段はフラッシュメモリ 6 a ~ 6 d からのユーザデータのリードタイミングを示す。同図の D 0、D 1、D 2、・・・、D 5 は、夫々 4 個のフラッシュメモリ 6 a ~ 6 d から並列リードされた 32 KB バイトのユーザデータを示す。同図は、斜線部 D 2、D 3、D 4 に連続してエラーセクタが存在したことを示している。同図の中段は、フラッシュメモリ 6 e からパリティデータのリードタイミングを示す。符号 P 2、P 3、P 4 は夫々ユーザデータ D 2、D 3、D 4 に対応するパリティデータである。同図の上段のリードにおいてエラーセクタが存在しなかった場合は、フラッシュメモリ 6 e から、パリティデータのリードを実行する必要はないので、P 2、P 3、P 4 以外はリードを実行していない。

10

【0055】

同図の下段はユーザデータの出力タイミングを示す。ユーザデータの出力タイミングは、第 1 の ECC 処理部 3 によるエラー訂正後である。そして、1 個前の 32 KB のユーザデータの出力が開始されると、次の 32 KB のユーザデータをフラッシュメモリ 6 a ~ 6 d から並列にリードする。ゆえに、第 1 の ECC 処理部 3 でエラー訂正を実施したユーザデータについて、フラッシュメモリからのリードから出力までにかかる時間は、第 1 の ECC 処理部 3 でエラー訂正処理を実施しなかった場合の約 2 倍となる。すなわち、バーストエラーが発生し第 1 の ECC 処理部 3 でエラー訂正したユーザデータ D 2、D 3、D 4 がフラッシュメモリからリードされて出力されるまでの時間は、第 1 の ECC 処理部 3 によるエラー訂正を実施しなかったユーザデータ D 0、D 1 がフラッシュメモリからリードされて出力されるまでの時間の約 2 倍になる。

20

【0056】

上記課題を解決する方法として、例えば P 2 のリードと並行して D 3 のリードを実行すれば良いが、D 2 と D 3 のユーザデータを内部メモリに保持する必要があり、回路規模が増大してしまう。本実施の形態 1 の変形では、内部メモリを増加させることなく、バーストエラーが発生した場合も、リード転送レートの劣化を抑制できる半導体記録再生装置 10 を提供することを目的とする。

【0057】

これを実現するため、ユーザデータが記録されている 4 個のフラッシュメモリ 6 a ~ 6 d をリードし、第 2 の ECC 処理部 4 a ~ 4 d でエラー訂正が不可と検出された場合は、エラー訂正が不可であった消去ブロックにかかる区間のみ、ユーザデータが記録されている 4 個のフラッシュメモリ 6 a ~ 6 d とパリティデータが記録されているフラッシュメモリ 6 e を並列にリードする。

30

【0058】

図 8 は、実施の形態 1 の変形における主要部のタイミング図である。同図の上段はフラッシュメモリ 6 a ~ 6 d よりユーザデータをリードするタイミングを示す。同図の D 0、D 1、D 2、・・・、D 5 は、夫々 4 個のフラッシュメモリ 6 a ~ 6 d から並列リードされた 32 KB バイトのユーザデータを示し、夫々のフラッシュメモリでは同一の消去ブロック内のデータとする。同図は、斜線を記した D 2、D 3、D 4 に連続してエラーセクタが存在したことを示している。

40

【0059】

同図の中段は、フラッシュメモリ 6 e からのパリティデータのリードタイミングを示す。符号 P 2、P 3、P 4 は夫々、ユーザデータ D 2、D 3、D 4 に対応するパリティデータである。同図によると、ユーザデータ D 2 のリードによりエラーセクタが存在することが検出されたので、D 2 のパリティデータ P 2 がフラッシュメモリ 6 e からリードされ、次の D 3 及び D 4 は同一の消去ブロック内のユーザデータなので、D 3、D 4 と夫々のパリティデータ P 3 と P 4 がフラッシュメモリ 6 a ~ 6 e より 5 並列にリードされている。データ D 3、D 4 はそのパリティデータ P 3、P 4 と夫々並列にリードしているので、D

50

3、D4をリードしながらエラー訂正することが可能となる。図7と比較すると、エラー訂正終了までに要する時間は約半分になる。

【0060】

同図の下段はユーザデータの出力タイミングを示す。バーストエラーが発生した場合、第1のECC処理部3により、最初のエラー訂正されたユーザデータの出力は、図7と同程度の時間を要するが、それ以降はエラーセクタが発生しなかった場合と同程度の時間で処理を終了できる。

【0061】

以上説明したように、第2のECC処理部4a~4dでエラー訂正が不可と検出された場合は、エラー訂正が不可であった消去ブロックにかかる区間のみ、データが記録されている4個のフラッシュメモリ6a~6dとパリティデータが記録されているフラッシュメモリ6eを並列リードする。これにより、内部メモリを増加させることなく、バーストエラーが発生した場合も、リード転送レートの劣化を抑制できる半導体記録再生装置10を提供することができる。

10

【0062】

なお、第1のECC処理は1重訂正なのでエラー訂正にかかる時間は無視して説明したが、エラー訂正数が増えるとエラー訂正にかかる時間は無視できなくなる為、エラー訂正にかかる時間分、速度が劣化する。

【0063】

また、エラー訂正が不可であった消去ブロックにかかる区間のみ、データが記録されている4個のフラッシュメモリとパリティデータが記録されているフラッシュメモリを並列リードするように制御したが、想定するエラー要因によって、バーストエラー長を切り替えてもよい。しかしながら、フラッシュメモリは書き換え回数の増加に伴いデータ保持性が劣化し、書き換え回数のバラツキは消去ブロック単位で発生する可能性が高いので、説明したように消去ブロックが重要パラメータとなることはいうまでもない。

20

【0064】

(実施の形態2)

実施の形態1では、すくなくともパリティデータを記録しているフラッシュメモリは、その他のフラッシュメモリと異なるメモリバスで制御部(アクセス部)と繋がれている。実施の形態2では、パリティデータを記録しているフラッシュメモリは、その他の一部のフラッシュメモリと共通のメモリバスで接続されていることを特徴とする。

30

【0065】

昨今、フラッシュメモリの外部インタフェイスは、クロックの両エッジを使用した高速インタフェイスに変遷しつつある。しかしながら、フラッシュメモリのライト速度は特に高速化されていないため、高速インタフェイスを有するフラッシュメモリは、1個のメモリバスに複数のフラッシュメモリが接続される可能性が高い。

【0066】

本実施の形態では、高速インタフェイスを有するフラッシュメモリを用いて、エラー耐性の改善、高速リード転送時における消費電流の抑制を実現する半導体記録再生装置を提供することを目的とする。

40

【0067】

図9は本実施の形態の半導体記録再生装置の構成図である。同図において、図2と同一符号を付したブロックは説明を割愛する。同図と第1の実施の形態の構成(図2)との差異は、アクセス部である。図2のアクセス部5a~5eは、夫々のアクセス部に1個のフラッシュメモリが接続されるのに対して、本実施の形態ではアクセス部50に2個のフラッシュメモリ、アクセス部51に3個のフラッシュメモリを接続する。

【0068】

以下、アクセス部50とフラッシュメモリ6a、6bとの接続をメモリバスA、アクセス部51とフラッシュメモリ6c~6eとの接続をメモリバスBと定義する。

【0069】

50

メモリバス A に接続された 2 個のフラッシュメモリ 6 a、6 b はユーザデータを記録し、メモリバス B に接続されたフラッシュメモリ 6 c ~ 6 d はユーザデータを、フラッシュメモリ 6 e はパリティデータを記録する。そして、メモリバス A のクロックとメモリバス B のクロックは同一の周波数を用いる。そして、フラッシュメモリのリード転送性能がライト転送性能に比べて 2 倍以上高速であることから、クロック周波数は、2 個のフラッシュメモリ 6 a、6 b からデータを並列リードする際に、最大リード転送性能を発揮できる周波数とする。

**【0070】**

使用するフラッシュメモリ 1 個当たりの最大ライト転送レートを 20 MB / s、最大リード転送レートを 50 MB / s とすると、2 個のメモリバスの夫々帯域は 100 MB / s あればよく、両エッジのクロックを使用した 8 ビットデータのインタフェイスでは 50 MHz のクロックを供給すればよい。

10

**【0071】**

ライト時のメモリバス A に要求される帯域は、2 個のフラッシュメモリ 6 a、6 b の最大ライト転送レートの和であり、40 MB / s となる。また、ライト時のメモリバス B に要求される帯域は、3 個のフラッシュメモリ 6 c ~ 6 e の最大ライト転送レートの和であり、60 MB / s となる。メモリバス A 及びメモリバス B の帯域は共に 100 MB / s であるので、フラッシュメモリの実力を最大限発揮できる。

**【0072】**

また、リード時のメモリバス A に要求される帯域は 2 個のフラッシュメモリ 6 a、6 b の最大リード転送レートの和であり、100 MB / s となる。一方、リード時のメモリバス B に要求される帯域は、その方式によって大幅に異なる。

20

**【0073】**

メモリバス B に接続された 3 個のフラッシュメモリ 6 c ~ 6 e を並列リードさせた場合に要求される帯域は、最大リード転送レートの和 (= 150 MB / s ) となり、メモリバス B に関しては、メモリバス帯域が不足することになる。しかしながら、本実施の形態ではリードエラーが発生していない場合は、フラッシュメモリ 6 e よりパリティデータをリードしないため、2 個のフラッシュメモリ 6 c、6 d の最大リード転送レートの和 (= 100 MB / s ) が確保できていれば、メモリバス帯域が不足することはない。

**【0074】**

ゆえに、データにエラー検出がされた場合のみパリティデータをリードする方式 ( 実施の形態 1 ) を本実施の形態に適用した場合は、メモリバス B において、3 個のフラッシュメモリ 6 c ~ 6 e を並列にリードする事象は発生しないので、メモリバス帯域が不足することはない。

30

**【0075】**

また、データにエラー検出がされた場合には、当該消去ブロックに限りデータとパリティデータを並列リードする方式 ( 実施の形態 1 の変形 ) を本実施の形態に適用した場合は、バス帯域が不足し最大性能の 2 / 3 程度の転送速度になるが、リードエラー発生の確率は 1 % 程度と想定されるため、その影響は僅かとなる。

**【0076】**

以上、説明したように、フラッシュメモリを制御するメモリバスを少なくとも 2 個以上有し、パリティデータを 1 個のメモリバスに接続されたフラッシュメモリ 6 e のみに記録し、パリティデータを記録するメモリバスに接続されるフラッシュメモリ数 ( 3 ) は、パリティデータを記録しないメモリバスに接続されるメモリ数 ( 2 ) よりも、パリティデータに相当する分のみ多くなる構成とする。そして、パリティデータを記録しないメモリバスを基準に、全メモリバスのクロック周波数を決定する。そして、パリティデータをリードしない第 1 の再生モードと、少なくともパリティデータをリードする第 2 の再生モードを設け、リードエラーが発生した場合にのみ、第 2 の再生モードに切り替える。

40

**【0077】**

これにより、リードエラーが発生しない状態では、第 1 の再生モードの最大リード転送

50

性能が発揮できるようにメモリバス帯域を設定しているため、性能に対する消費電流のムダは発生しない。またリードエラーが発生した場合は、転送性能劣化、消費電流の増大が発生するが、その区間は全体の1%以下と想定されるので、その影響は微少である。

【0078】

ゆえに、高速インタフェースを有する不揮発性メモリを使用して、エラー耐性の改善、高速リード転送時における消費電流の抑制を実現する半導体記録再生装置20を提供することができる。

【0079】

なお、本実施の形態では、メモリバス数を2個で説明したが、これに限るものではなく、パリティデータとユーザデータが同一のメモリバスを介して不揮発性メモリにライトされるような半導体記録再生装置であれば、同様の効果が得られることはいうまでもない。

10

【産業上の利用可能性】

【0080】

本実施の形態にかかる半導体記録再生装置は、複数のフラッシュメモリに跨るECC符号を構成しエラー耐性を改善するとともに、2個の再生モードをリードエラーの有無で切り替えて使用することにより、低消費電力を実現している。ゆえに、高信頼性と低消費電力が要求される業務用のメモリカードや、カメラレコーダなどのバッテリー/電池駆動の機器で使用される可能性が大きい。

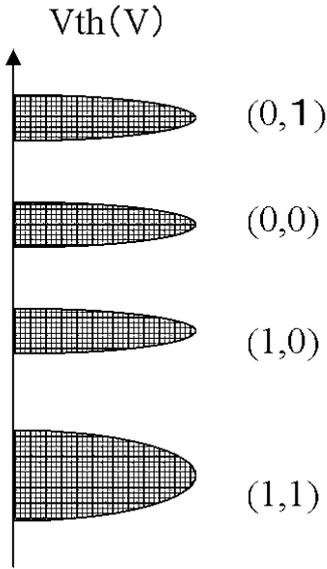
【符号の説明】

【0081】

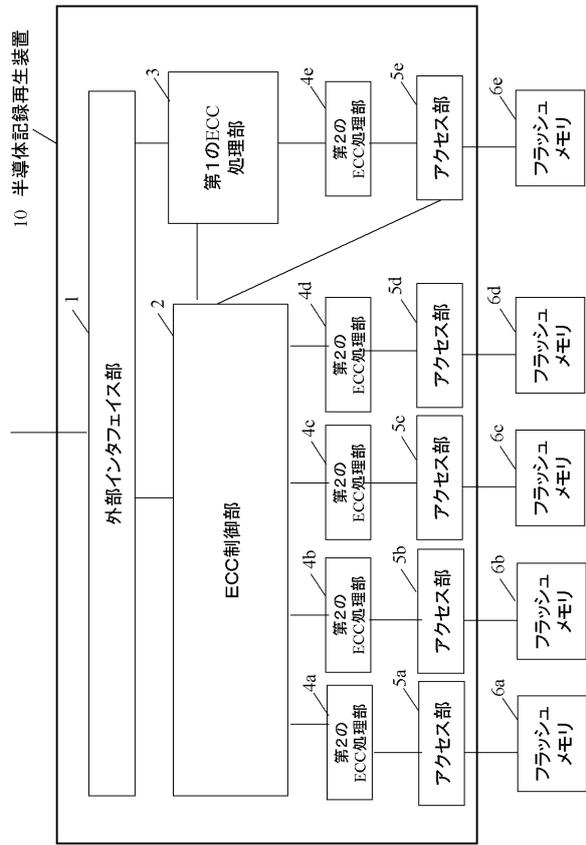
20

- 1 外部インタフェース部
- 2 ECC制御部
- 3 第1のECC処理部
- 4a ~ 4e 第2のECC処理部
- 5a ~ 5e、50、51 アクセス部
- 6a ~ 6e フラッシュメモリ
- 10、20 半導体記録再生装置

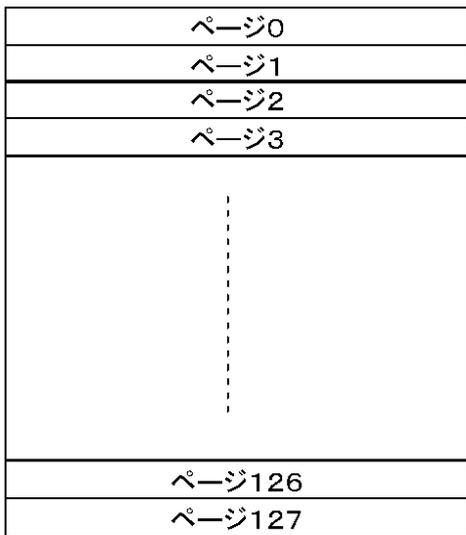
【図1】



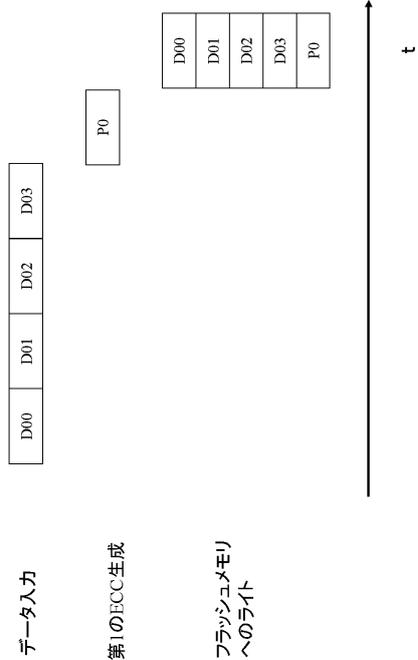
【図2】



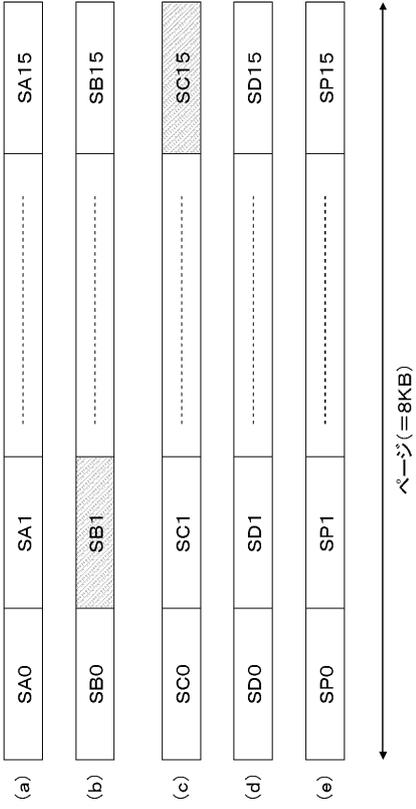
【図3】



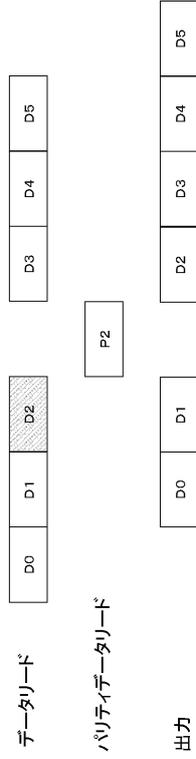
【図4】



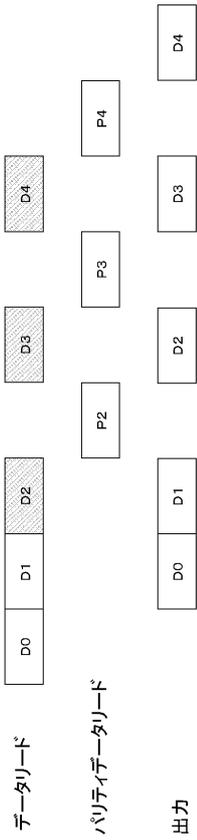
【 5 】



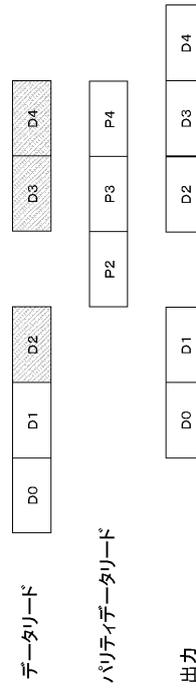
【 6 】



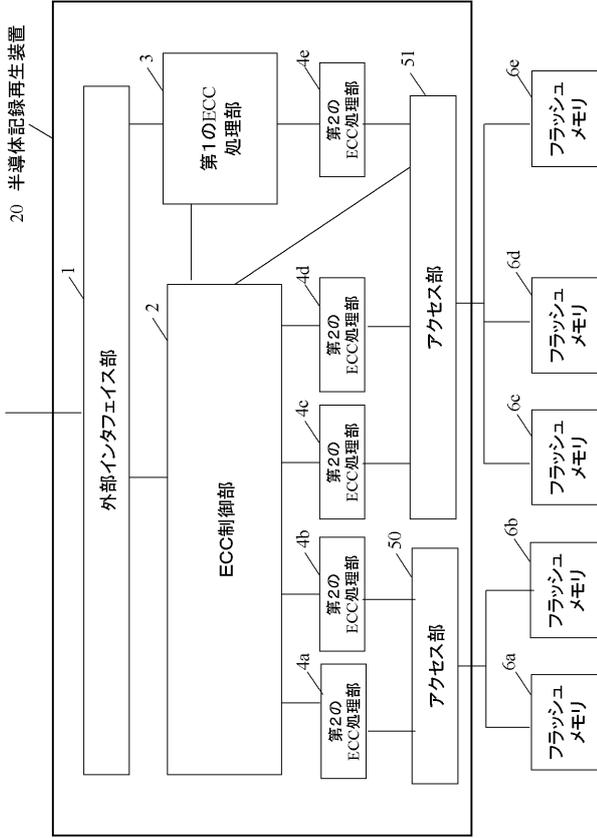
【 7 】



【 8 】



【 図 9 】



20 半導体記録再生装置