



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I512981 B

(45)公告日：中華民國 104 (2015) 年 12 月 11 日

(21)申請案號：100112459

(22)申請日：中華民國 100 (2011) 年 04 月 11 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2010/04/27 日本

2010-102205

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：鳥海聰志 TORIUMI, SATOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200924074A

US 4409134

US 2008/0173348A1

審查人員：陳志遠

申請專利範圍項數：11 項 圖式數：14 共 64 頁

(54)名稱

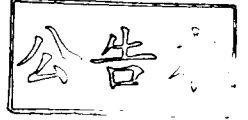
微晶半導體膜的製造方法及半導體裝置的製造方法

MANUFACTURING METHOD OF MICROCRYSTALLINE SEMICONDUCTOR FILM AND
MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)摘要

本發明的目的是提供一種微晶半導體膜的製造方法，該製造方法包括如下製程：藉由在包含沉積氣體的氣圍中進行連續放電產生電漿，來在基板上形成第一半導體膜；藉由在包含所述沉積氣體的所述氣圍中進行脈衝放電產生電漿，來在所述第一半導體膜上形成第二半導體膜；藉由在包含所述沉積氣體的所述氣圍中進行連續放電產生電漿，來在基板上形成第三半導體膜；以及藉由在包含所述沉積氣體的所述氣圍中進行脈衝放電產生電漿，來在所述第三半導體膜上形成第四半導體膜。

To provide a manufacturing method of a microcrystalline semiconductor film, the manufacturing method comprises the steps of forming a first semiconductor film over a substrate by generating plasma by performing continuous discharge under an atmosphere containing a deposition gas; forming a second semiconductor film over the first semiconductor film by generating plasma by performing pulsed discharge under the atmosphere containing the deposition gas; forming a third semiconductor film over the second semiconductor film by generating plasma by performing continuous discharge under the atmosphere containing the deposition gas; and forming a fourth semiconductor film over the third semiconductor film by generating plasma by performing pulsed discharge under the atmosphere containing the deposition gas.



發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100112459

※申請日：100 年 04 月 11 日

※IPC 分類：H01L 29/78
21/336

一、發明名稱：(中文/英文)

微晶半導體膜的製造方法及半導體裝置的製造方法

Manufacturing method of microcrystalline semiconductor film and manufacturing method of semiconductor device

二、中文發明摘要：

本發明的目的是提供一種微晶半導體膜的製造方法，該製造方法包括如下製程：藉由在包含沉積氣體的氣圍中進行連續放電產生電漿，來在基板上形成第一半導體膜；藉由在包含所述沉積氣體的所述氣圍中進行脈衝放電產生電漿，來在所述第一半導體膜上形成第二半導體膜；藉由在包含所述沉積氣體的所述氣圍中進行連續放電產生電漿，來在基板上形成第三半導體膜；以及藉由在包含所述沉積氣體的所述氣圍中進行脈衝放電產生電漿，來在所述第三半導體膜上形成第四半導體膜。

三、英文發明摘要：

To provide a manufacturing method of a microcrystalline semiconductor film, the manufacturing method comprises the steps of forming a first semiconductor film over a substrate by generating plasma by performing continuous discharge under an atmosphere containing a deposition gas; forming a second semiconductor film over the first semiconductor film by generating plasma by performing pulsed discharge under the atmosphere containing the deposition gas; forming a third semiconductor film over the second semiconductor film by generating plasma by performing continuous discharge under the atmosphere containing the deposition gas; and forming a fourth semiconductor film over the third semiconductor film by generating plasma by performing pulsed discharge under the atmosphere containing the deposition gas.

四、指定代表圖：

(一) 本案指定代表圖為：第 1 圖。

(二) 本代表圖之元件符號簡單說明：

100：襯底

102：第一半導體膜

104：第二半導體膜

106：第三半導體膜

108：第四半導體膜

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明關於一種微晶半導體膜的製造方法及半導體裝置的製造方法。注意，在本說明書中，半導體裝置是指半導體元件本身或者包括半導體元件的裝置，並且，作為這種半導體元件，例如可以舉出電晶體（薄膜電晶體等）。此外，液晶顯示裝置等顯示裝置也包括在半導體裝置中。

【先前技術】

作為可用於薄膜電晶體的半導體膜，正在積極地展開對微晶半導體膜的開發。微晶半導體膜例如可以利用電漿 CVD 法製造。當利用電漿 CVD 法製造微晶半導體膜時，例如可以根據電漿的放電條件來調整膜的性質。在此，膜的性質是指膜的結晶性、膜中含有的物質的分佈的均勻性以及膜表面的平坦性等。

微晶半導體膜除了可用於薄膜電晶體以外還可用於光電轉換裝置。作為將微晶矽用於微晶半導體膜的具有高光電轉換效率的光電轉換裝置的製造方法，例如可以舉出專利文獻 1。

專利文獻 1 公開了如下疊層型光電轉換裝置的製造方法，該疊層型光電轉換裝置具有 pin 結，並且，從光入射一側依次層疊形成由矽類半導體構成的第一光電轉換層、第二光電轉換層及第三光電轉換層，並且，第一光電轉換層及第二光電轉換層包括由非晶矽類半導體構成的 i 型非

晶層，並且，第三光電轉換層包括由微晶矽類半導體構成的 i 型微晶層，並且，第一光電轉換層的 i 型非晶層藉由連續放電電漿來形成，並且，第二光電轉換層的 i 型非晶層藉由脈衝放電電漿來形成。

[專利文獻 1] 日本專利申請公開第 2008-181960 號公報

只利用連續放電製造的結晶性高的微晶半導體膜當不加改變地進行結晶生長時進行磊晶生長。但是，在形成微晶半導體膜時，通常將沉積氣體的稀釋比率（就是說，在成膜氣體中，使沉積氣體的流量極小於稀釋氣體的流量）設定得極高，並且，當沉積氣體的稀釋比率不足夠時，膜容易非晶化。因此，調整成膜氣體的稀釋比率對形成微晶半導體膜是很重要的。

然而，當利用稀釋比率高的成膜氣體形成微晶半導體膜時，又有如下問題：結晶生長所需要的足夠的沉積氣體不被供給，而使微晶半導體膜中的結晶變得稀疏（在多個結晶之間產生空間（空洞））。這在微晶半導體膜的厚度加厚時更顯著。

另一方面，在採用脈衝放電時，很難供給形成晶核所需要的足夠的能量。在只利用脈衝放電形成微晶半導體膜時，停止脈衝放電的時間越長，所形成的微晶半導體膜的結晶性越降低。

注意，在本說明書中，脈衝放電是指藉由對上部電極和下部電極之間施加短時間電壓來產生的放電。在此，

“短時間”大約為 1.0×10^{-4} 秒以上且 1.0 秒以下，就可以。例如，當電源頻率為 13.56MHz 且正弦波交流波形的頻率為 1kHz 時，在占空比為 20%以上且 30%以下的情況下，“短時間”大約為 2.0×10^{-4} 秒以上且 1.0 秒以下，就可以。或者，在占空比為 10%的情況下，“短時間”大約為 1.0×10^{-4} 秒以上且 1.0 秒以下，就可以。

注意，在本說明書中，占空比是指對以脈衝週期為標準的上部電極施加電壓的時間（對上部電極供給電力的時間）的比率。就是說，占空比為 100%是指連續放電。

【發明內容】

本發明的一個方式的目的是提供一種形成可以形成優質的微晶半導體膜的多個晶核，並且，使該多個晶核生長的微晶半導體膜的製造方法。

本發明的一個方式的目的是提供一種可以將優質的微晶半導體膜形成得厚的微晶半導體膜的製造方法。

本發明的一個方式是一種將連續放電和脈衝放電互相組合的微晶半導體膜的製造方法。該微晶半導體膜可以應用於半導體裝置。

本發明的一個方式包括：藉由在包含沉積氣體的氣圍中進行連續放電來產生電漿以形成多個晶核的第一製程；藉由在包含沉積氣體的氣圍中進行脈衝放電來產生電漿以填充所述多個晶核之間的空間的第二製程，其中，所述第二製程在所述第一製程之後進行。

本發明的一個方式包括：藉由在包含沉積氣體的氣圍中進行連續放電來產生電漿以形成多個晶核的第一製程；藉由在包含沉積氣體的氣圍中進行脈衝放電來產生電漿以填充所述多個晶核之間的空間的第二製程，其中，所述第二製程在所述第一製程之後進行，並且，在所述第二製程之後再次進行所述第一製程，然後再次進行所述第二製程。

本發明的一個方式包括：藉由在包含沉積氣體的氣圍中進行連續放電來產生電漿以形成多個晶核的第一製程；藉由在包含沉積氣體的氣圍中進行脈衝放電來產生電漿以填充所述多個晶核之間的空間的第二製程，其中，所述第二製程在所述第一製程之後進行，並且，在所述第二製程之後按上述順序多次進行所述第一製程和所述第二製程。

注意，最後的製程也可以為第一製程。就是說，第一製程和第二製程至少進行一次即可。也可以按第一製程和第二製程的順序交替地進行第一製程和第二製程，並且，最後的製程可以為第一製程或者第二製程。

本發明的一個方式是一種半導體裝置的製造方法，包括如下步驟：形成閘極電極層；覆蓋所述閘極電極層地形成閘極絕緣層；在所述閘極絕緣層上利用上述中的任一個方式的微晶半導體膜的製造方法形成微晶半導體膜；以及在所述微晶半導體膜上形成源極及汲極。

注意，在本說明書中，“膜”是指藉由 CVD 法（包括電漿 CVD 法等）或者濺射法等形成在整個被形成面上

的膜。另一方面，“層”是指加工了的“膜”或者形成在整個被形成面上的不需要加工的膜。但是，有時對“膜”和“層”不進行特別的區別而使用。

注意，在本說明書中，“成膜”是指形成膜的製程。

注意，在本說明書中，“源極”包括源極電極及源極區的兩者。“汲極”包括汲極電極及汲極區的兩者。注意，源極區是指由雜質半導體膜形成的與源極電極接觸的部分，並且，汲極區是指由雜質半導體膜形成的與汲極電極接觸的部分。

藉由應用本發明的一個方式，產生可以形成優質的微晶半導體膜的多個晶核，而可以形成優質的微晶半導體膜。

根據本發明的一個方式，可以將優質的微晶半導體膜形成得厚。

【實施方式】

下面，參照附圖對本發明的實施方式進行詳細說明。但是，本發明不侷限於以下說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限在以下所示的實施方式所記載的內容中。注意，當利用圖式說明發明結構時，表示相同物件的附圖標記在不同的附圖中共同使用。此外，當表示相同物件時，有時利用相同的

陰影線，而不特別附加附圖標記。另外，爲了方便起見，有時不將絕緣層表示在俯視圖中。注意，有時各附圖中所示的各結構的大小、層的厚度、或者區域爲了明瞭化而誇大表示。從而，並不侷限於該尺寸。

實施方式 1

在本實施方式中，參照圖 1A 至圖 7 說明本發明的一個方式的半導體膜的製造方法。

圖 1A 至 1D 是說明在本實施方式中說明的利用電漿 CVD 法的半導體膜的製造方法的一例的示意圖。

首先，在基板 100 上形成多個晶核，使該多個晶核生長，形成第一半導體膜 102。在此，用來形成第一半導體膜 102 的電漿藉由連續放電產生。第一半導體膜 102 是晶核大體上各向同性地生長的膜，所以在結晶之間存在大量的空間，並且，在表面上具有凹凸（圖 1A）。

圖 2A 及 2B 是當只進行連續放電時的半導體膜的 SEM (Scanning Electron Microscope) 像的一例，並且，圖 2A 是放大了 10 萬倍的像，而圖 2B 是放大了 20 萬倍的像。如此，當只利用連續放電形成晶核並使其生長時，表面上有很大的凹凸。

接著，以填充第一半導體膜 102 的凹部的方式在第一半導體膜 102 上形成第二半導體膜 104。在此，用來形成第二半導體膜 104 的電漿藉由脈衝放電產生（圖 1B）。

在本實施方式中形成半導體膜時，藉由連續放電形成

第一半導體膜 102，並且，藉由脈衝放電形成第二半導體膜 104。

在此，示出：在基板 100 上作為結晶半導體膜只形成第一半導體膜 102 來製造的薄膜電晶體的電場效應遷移率 ($\mu_{FE}=0.35$)；在基板 100 上作為結晶半導體膜只形成第二半導體膜 104 來製造的薄膜電晶體的 I_d-V_g 曲線 ($\mu_{FE}=0.32$)；在基板 100 上作為結晶半導體膜層疊如上所述的 first 半導體膜 102 和 second 半導體膜 104 來製造的薄膜電晶體的 I_d-V_g 曲線 ($\mu_{FE}=0.39$)。當比較這些時，在基板 100 上作為結晶半導體膜層疊 first 半導體膜 102 和 second 半導體膜 104 來製造的薄膜電晶體的電場效應遷移率最高。在此，作為這些薄膜電晶體，使用在後面的實施方式 2 中說明的薄膜電晶體。

本實施方式的半導體膜的成膜雖然可以分別只進行一次第一製程及第二製程，但是最好的是此後再次進行或多次進行同樣的製程。在此，本實施方式的半導體膜的形成的更佳的方式的特徵在於藉由連續放電形成 first 半導體膜 102，藉由脈衝放電形成 second 半導體膜 104，藉由連續放電形成 third 半導體膜 106 (圖 1C)，並且，藉由脈衝放電形成 fourth 半導體膜 108 (圖 1D)。

在此，將在進行第一製程和 second 製程之後再次進行 first 製程和 second 製程來製造 (形成到 fourth 半導體膜 108 的圖 1D 的示意圖的狀態) 的薄膜電晶體的 I_d-V_g 曲線示出於圖 3。在此，作為該薄膜電晶體，使用在後面的實施方式

2 中說明的薄膜電晶體。

注意， I_d-V_g 曲線是指藉由將汲電壓設定為一定並且測量相對於閘電壓 V_g 的汲電流 I_d 來得到的曲線。閘電壓是指源極的電位與閘極的電位之間的差，汲電流是指流過源極與汲極之間的電流，並且，汲電壓是指源極的電位與汲極的電位之差。

在此，只利用連續放電形成的第一半導體膜 102 和第三半導體膜 106 是結晶性高的半導體膜。另一方面，只利用脈衝放電形成的第二半導體膜 104 和第四半導體膜 108 包括結晶，但是，其結晶性比第一半導體膜 102 和第三半導體膜 106 的結晶性低。

如第一半導體膜 102 和第三半導體膜 106 那樣的只利用連續放電形成的結晶性高的微晶半導體膜當不加改變地進行結晶生長時進行磊晶生長。但是，在形成微晶半導體膜時，通常將沉積氣體的稀釋比率（就是說，在成膜氣體中，使沉積氣體的流量極小於稀釋氣體的流量）設定得極高，並且，當沉積氣體的稀釋比率不足夠時，膜容易非晶化。因此，調整成膜氣體的稀釋比率對形成微晶半導體膜是很重要的。

然而，當利用稀釋比率高的成膜氣體形成微晶半導體膜時，又有如下問題：結晶生長所需要的足夠的沉積氣體不被供給，而使微晶半導體膜中的結晶變得稀疏（在多個結晶之間產生空間（空洞））。這在微晶半導體膜的厚度加厚時更加顯著。

在此，圖 4A 示出在基板 100 上作為基底膜形成有氮化矽膜，並且，在該氮化矽膜上形成有第一半導體膜 102 的 STEM（掃描透射電子顯微鏡，Scanning Transmission Electron Microscope）像（明場像）。注意，在第一半導體膜 102 上形成有為了觀察 STEM 像（為了進行 FIB 加工）而設置的碳膜。在此，以雙箭頭顯示的部分的厚度為 54.2nm。根據圖 4A，可以知道如下事實：第一半導體膜 102 的近於氮化矽膜的一側的結晶稠密，並且，越遠於氮化矽膜，其結晶越稀疏。

另一方面，在採用脈衝放電時，很難供給形成晶核所需要的足夠的能量。在只利用脈衝放電形成微晶半導體膜時，停止脈衝放電的時間越長，所形成的微晶半導體膜的結晶性越降低。

在此，圖 4B 示出在基板 100 上作為基底膜形成有氮化矽膜，並且，在該氮化矽膜上形成有第二半導體膜 104 的 STEM 像（明場像）。注意，在第二半導體膜 104 上形成有為了觀察 STEM 像（為了進行 FIB 加工）而設置的碳膜。在此，以雙箭頭顯示的部分的厚度為 55.6nm。

當進行利用連續放電的成膜之後進行利用脈衝放電的成膜時，在微晶半導體膜上沉積不繼承利用連續放電來形成的微晶半導體膜的結晶性的半導體膜，這樣可以形成包括微晶半導體膜及半導體膜的結晶半導體膜。從而，藉由在微晶半導體膜上沉積如第二半導體膜 104 那樣不繼承微晶半導體膜的結晶性的半導體膜，可以形成能夠防止膜整

體的結晶變得稀疏的半導體膜。

注意，本實施方式的半導體膜可以用作半導體裝置所包括的薄膜電晶體的包括通道形成區的半導體膜。本實施方式的半導體膜在結晶性高的第一半導體膜 102 和第三半導體膜 106 之間具有其結晶性比第一半導體膜 102 和第三半導體膜 106 低的第二半導體膜 104，但是，當將半導體膜用作薄膜電晶體的通道形成區時，電流流過該半導體膜的面內方向（就是說，與基板 100 的表面平行的方向），所以即使其間具有結晶性較低的半導體膜也可以將載子遷移率及導通電流的降低抑制到最小限度。在本實施方式中，與由於其間具有結晶性低的半導體膜而使載子遷移率及導通電流降低的現象相比，藉由使用結晶性低的半導體膜填充半導體膜中的結晶之間的空間而提高載子遷移率及導通電流的利點大。因此，藉由使用本實施方式的半導體膜，可以得到電場效應遷移率高且導通電流大的薄膜電晶體。

圖 5A 至 5C 是示出當形成在本實施方式中說明的半導體膜時的放電的時序的圖。橫軸表示時間，且縱軸表示放電的導通/截止。圖 5A 表示連續放電。圖 5B 表示脈衝放電。圖 5C 表示並用連續放電和脈衝放電的放電。

當形成本實施方式的半導體膜時，在圖 5A 的導通狀態下形成晶核，然後幾乎在停止放電的同時，利用圖 5B 所示的脈衝放電填充該晶核之間的空間地形成半導體膜。

注意，當只利用圖 5A 所示的連續放電形成半導體膜

時，多個晶核粗大化，粗大化了的一部分結晶彼此接觸，這樣就很難填充這些結晶之間的空間，並且，很難提高所形成的微晶半導體膜的載子遷移率。

當只利用圖 5B 所示的脈衝放電形成半導體膜時，沈積速度遲緩，並且，很難產生具有足夠尺寸的晶核，所以所形成的膜包括大量的非晶成分，而使結晶性低。從而，要使所形成的半導體膜的載子遷移率充分高是很困難的。

從而，如圖 5C 所示，藉由並用連續放電和脈衝放電，可以形成結晶性高的微晶半導體膜。

注意，作為反應氣體，使用利用 H_2 氣體和 Ar (氬，以下寫為 Ar) 氣體中的一方或者兩者將甲矽烷稀釋為 150 倍至 750 倍的氣體，即可。成膜條件為如下，即可：反應室內的壓力為 40Pa 至 2000Pa，電源頻率為 13.56MHz 至 100MHz，電源電力為 15W 至 1000W (電力密度大約為 35mW/cm^2 至 243mW/cm^2)，上部電極表面和被形成膜的基板之間的間隔為 7mm 至 25mm，並且，基板溫度為 50°C 至 400°C 。

最好的是，成膜條件為如下：反應室內的壓力為 350Pa 至 1300Pa，電源頻率為 13.56MHz 至 27.12MHz，電源電力為 20W 至 200W，上部電極表面和被形成膜的基板之間的間隔為 7mm 至 15mm，並且，基板溫度為 200°C 至 300°C 。藉由採用這種成膜條件，可以提高處理量。

進行連續放電的期間 T1 以使所形成的半導體膜的厚度成為 10nm 左右的方式進行，即可。例如，在作為反應

氣體使用利用 H₂ 氣體和 Ar 氣體中的一方或者兩者將甲矽烷稀釋為大約 300 倍的氣體，反應室內的壓力大約為 350Pa，電源頻率為 13.56MHz，電源電力大約為 60W（電力密度大約為 146mW/cm²），上部電極表面和被形成膜的基板之間的間隔大約為 25mm，並且，基板溫度大約為 250℃ 的情況下，進行連續放電的期間 T1 最好大約為 2 分鐘至 3 分鐘左右。

當進行脈衝放電時，利用與連續放電相同的條件進行即可，並且，只適當地設定放電方法即可。在脈衝放電中，藉由對電極之間施加“短時間”電壓（對上部電極供給電力）來產生放電，並且，該時間大約為 1.0×10^{-4} 秒以上且 1.0 秒以下，即可。例如，當電源頻率為 13.56MHz 且正弦波交流波形的頻率為 1kHz 時，在占空比為 20% 以上且 30% 以下的情況下，該時間為 2.0×10^{-4} 秒以上且 1.0 秒以下，即可。或者，在占空比為 10% 的情況下，該時間為 1.0×10^{-4} 秒以上且 1.0 秒以下，即可。注意，占空比是指對以脈衝週期為標準的上部電極施加電壓的時間（對上部電極供給電力的時間）的比率。就是說，脈衝放電中的導通期間（圖 5A 至 5C 中的期間 t）例如為 1.0×10^{-3} 秒左右，即可。當占空比成爲 100% 時成爲連續放電（圖 5A 至 5C 中的期間 T1）。

但是，在本發明的一個方式的微晶半導體膜的製造方法中，既可以藉由結束期間 T2 而結束成膜，又可以將成膜進行到期間 T4。並且，也可以在期間 T4 後再次或者多

次進行連續放電和脈衝放電。

注意，在所形成的半導體膜成爲薄膜電晶體的通道形成區的情況下，最好將半導體膜形成得薄（11nm 以上且 50nm 以下，最好爲 11nm 以上且 25nm 以下）。

此時，使第一半導體膜 102 的厚度成爲 10nm 以上且 20nm 以下，並且，使第二半導體膜 104 的厚度成爲 1nm 以上且 5nm 以下，即可。但是，即使半導體膜的厚度爲超過 20nm，也將成膜進行到脈衝放電期間 T2 結束。

注意，在上述成膜條件的說明中，沒有區別記載第一半導體膜 102、第二半導體膜 104、第三半導體膜 106 及第四半導體膜 108 的成膜條件。這是因爲在從第一半導體膜 102 到第四半導體膜 108 的成膜中，只改變了電漿的放電方法（連續放電或者脈衝放電），而沒有改變其他成膜條件。所以，與需要改變氣體流量、基板溫度等的現有的利用多個製程的成膜方法相比，操作容易，並且，反復繼續性高。

注意，不侷限於上述記載而也可以當結束連續放電期間 T3 時結束成膜。或者，當結束脈衝放電期間 T2 時結束成膜。

在此，參照圖 6 說明可以用於上述微晶半導體膜的形成的電漿 CVD 設備的一例。

圖 6 示出電漿 CVD 設備的一個結構例子。反應室 150 的反應室壁由諸如鋁或不鏽鋼等的具有剛性的素材形成，並且，其結構可以進行內部的真空排氣。本實施方式

所示的反應室 150 採用鋁反應室。此外，在採用諸如不鏽鋼等的具有剛性的素材形成的反應室的情況下，採用可以拆開的結構以便進行維修，並且，採用可以定期再次施行鋁熱噴塗的結構，即可。反應室 150 具備第一電極 151（也稱為上部電極）、與第一電極 151 相對的第二電極 152（也稱為下部電極）。

第一電極 151 連接有高頻電力供給單元 153。第二電極 152 接地，並且是能夠安裝基板的結構。第一電極 151 是藉由利用絕緣材料 166 與反應室 150 絕緣分離而防止高頻電力洩漏的結構。當作爲絕緣材料 166 例如使用陶瓷材料時，由於很難將刀口型金屬密封法蘭用於上部電極的密封，所以使用 O 型密封圈，即可。

注意，雖然在圖 6 中示出具有第一電極 151 和第二電極 152 的電容耦合型（平行平板型）的結構，但是不侷限於此。只要是藉由供給高頻電力來在反應室 150 內產生輝光放電電漿的結構，就也可以應用如電感耦合型等其他結構。

第一電極 151 是其中凸部 181 及凹部 183 有規則地，最好以相等的間隔配置的凹凸電極。就是說，構成凸部 181 的凸狀結構體有規則地，最好以相等的間隔配置。此外，在第一電極 151 的凸部 181 中設置有連接到氣體供給單元 158 的空心部分 182，並且，在第一電極 151 的凹部 183 中設置有連接到氣體供給單元 158 的空心部分 184。就是說，設置有氣體供給口的共同平面是凹部 183。藉由

採用這種結構，可以使從凸部 181 供給到反應室 150 的氣體種類和從凹部 183 供給到反應室 150 的氣體種類不同。注意，在此，將具有近於第二電極 152 的表面的氣體供給口的區域設定為凸部 181，並且，將具有遠於第二電極 152 的表面的氣體供給口的區域設定為凹部 183。

在此，適當地決定從空心部分 182 流過的氣體的種類和從空心部分 184 流過的氣體的種類，即可。例如，也可以從空心部分 182 流過沉積性氣體，並且，從空心部分 184 流過 H_2 氣體。或者，也可以從空心部分 182 流過 H_2 氣體，並且，從空心部分 184 流過沉積性氣體。或者，也可以從空心部分 182 流過沉積性氣體和 H_2 氣體的混合氣體，並且，從空心部分 184 流過沉積性氣體。或者，也可以從空心部分 182 流過沉積性氣體，並且，從空心部分 184 流過沉積性氣體和 H_2 氣體的混合氣體。或者，也可以從空心部分 182 流過沉積性氣體和 H_2 氣體的混合氣體，並且，從空心部分 184 流過 H_2 氣體。最好的是，從空心部分 182 流過 H_2 氣體，並且，從空心部分 184 流過沉積性氣體和 H_2 氣體的混合氣體。藉由從空心部分 182 流過 H_2 氣體，並且，從空心部分 184 流過沉積性氣體和 H_2 氣體的混合氣體，可以提高所形成的微晶半導體膜的結晶性。

注意，也可以在進行成膜的中途改變氣體的流量比。例如，藉由在成膜的初期中提高沉積性氣體的流量比，並且，在成膜的後期中提高稀釋比率，可以提高結晶性。

在此，空心部分 182 藉由氣體管道 185 連接到氣體供給單元 158 中的填充有包括矽或鍺的沉積氣體或稀釋氣體的汽缸 160a 以及填充有 H_2 氣體的汽缸 160b。空心部分 184 藉由氣體管道 186 連接到氣體供給單元 158 中的填充有 H_2 氣體的汽缸 160b 以及填充有包括矽或鍺的沉積氣體或稀釋氣體的汽缸 160c。

氣體供給單元 158 由填充有氣體的多個汽缸 160（汽缸 160a、160b、160c）、多個壓力調節閥 161、多個停止閥 162、多個質量流量控制器 163 等構成。注意，也可以並不設置有汽缸 160c。

作為填充在汽缸 160a 及/或汽缸 160c 的包括矽或鍺的沉積性氣體，例如有甲矽烷（ SiH_4 ）氣體、乙矽烷（ Si_2H_6 ）氣體、有鍺烷（ GeH_4 ）氣體、二鍺烷（ Ge_2H_6 ）氣體等，但是也可以使用其他沉積性氣體。

作為填充在汽缸 160a 及/或汽缸 160c 的稀釋氣體，可以舉出 Ar、Xe（氙）、Kr（氪）等。

由加熱控制器 165 控制其溫度的基板加熱器 164 設置在第二電極 152 內。當將基板加熱器 164 設置在第二電極 152 內時，採用熱傳導加熱方式。基板加熱器 164 例如由護套加熱器（sheathed heater）構成。

高頻電力供給單元 153 包括高頻電源 154、匹配器 156、高頻濾波器 179。從高頻電源 154 供給的高頻電力供給到第一電極 151。

高頻電源 154 以 60MHz 以下的高頻振盪而供給電

力。此外，在安裝在第二電極 152 上的基板為第七代以上的大面積基板時，作為高頻電源 154，最好以波長大約為 10m 以上的高頻振盪。例如，最好以 13.56MHz 以下，例如 3MHz 以上且 13.56MHz 以下的頻率振盪。藉由使高頻電源 154 以上述範圍的頻率振盪，即使將第七代以上的大面積基板安裝在第二電極 152 上而進行輝光放電，也可以在不受到表面駐波的影響的情況下產生均勻的電漿，因此，即使當採用大面積的基板時，也可以在整個基板上形成均勻且優質的膜。

此外，在使用以 13.56MHz 振盪的電源作為高頻電源 154 時，使用 10pF 至 100pF 的可變電容器作為高頻阻擋濾波器 179，即可。

此外，作為高頻阻擋濾波器 179，還可以使用線圈，以構成使用線圈和可變電容器的並聯諧振電路。

連接到反應室 150 的排氣單元 159 具有進行真空排氣的功能和在流過反應氣體時將反應室 150 內保持為指定的壓力的調整功能。作為排氣單元 159 的結構，包括蝶閥 167、蝶閥 168、停止閥 169 至 174、渦輪分子泵 175、渦輪分子泵 176、乾燥泵 177 等。另外，渦輪分子泵 176 藉由停止閥 174 與乾燥泵 177 聯結。

在對反應室 150 內進行真空排氣時，首先，打開用於粗略排氣的停止閥 169 和用於粗略排氣的停止閥 171，使用乾燥泵 177 對反應室 150 內進行排氣。然後，關閉停止閥 169 並打開蝶閥 167 和停止閥 170 進行真空排氣。再

者，當對反應室 150 內進行低於 10^{-5} Pa 的壓力的超高真空排氣時，在使用乾燥泵對反應室 150 內進行排氣後，關閉蝶閥 167、停止閥 170 及停止閥 171，並打開蝶閥 168、停止閥 172 至 174、渦輪分子泵 175 及 176，並且，使用串聯連接的渦輪分子泵 175、渦輪分子泵 176 及乾燥泵 177 進行排氣來進行真空排氣。此外，最好在進行了真空排氣之後，對反應室 150 內進行加熱處理以對內壁進行脫氣處理。

可以適當地改變第一電極 151 和第二電極 152 之間的時間隔(也稱為間隙間隔)。藉由在反應室 150 中調整第二電極 152 的高度來進行該間隙間隔的調整。藉由使用波紋管 157，可以在保持反應室 150 內的真空的情況下調節間隙間隔。

此外，第一電極 151 也可以具有多個擴散板(參照圖 7)。在圖 7 中，從氣體管道 185 供給的氣體在被擴散板 191 擴散之後經過擴散板 191 的貫穿孔 193 從設置在凸部 181 中的空心部分 182 的引入口供給到反應室 150。此外，從氣體管道 186 供給的氣體在被擴散板 192 擴散之後經過擴散板 192 的貫穿孔 194 從設置在凹部 183 中的空心部分 184 的引入口供給到反應室 150。如圖 7 所示，第一電極 151 具有擴散板 191 及擴散板 192，使得從氣體管道 185 及氣體管道 186 引入的氣體在第一電極 151 內充分地擴散，而可以將均勻的氣體供給到反應室 150，所以可以在基板上形成均勻且優質的膜。

注意，用於本發明的一個方式的微晶半導體膜的製造方法的電漿 CVD 設備不侷限於圖 6 及圖 7 所示的結構。例如，氣體供給口也可以只設置在凸部和凹部中的任一方。或者，第一電極 151 也可以不具有凸部和凹部。就是說，第一電極 151 也可以是平行平板型電極。

如上所述，可以形成微晶半導體膜。

實施方式 2

在本實施方式中，說明本發明的一個方式的半導體裝置的製造方法。對在本實施方式中製造的半導體裝置應用在實施方式 1 中說明的微晶半導體膜的製造方法。注意，作為在本實施方式中說明的半導體裝置，例示薄膜電晶體。

本實施方式的薄膜電晶體具有結晶半導體。一般地，具有結晶半導體的 n 型薄膜電晶體與具有結晶半導體的 p 型薄膜電晶體相比，載子遷移率高。此外，當使形成在同一個基板上的薄膜電晶體的極性都相同時，可以抑制製程數。因此，在此，說明 n 型薄膜電晶體的製造方法。但是，不侷限於此。

首先，在基板 200 上形成閘極電極層 202（參照圖 8A）。作為基板 200，除了可以使用鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋁矽酸鹽玻璃等藉由熔融法或浮法製造的無鹼玻璃基板或陶瓷基板以外，還可以使用具有本製造製程的處理溫度以上的耐熱性的塑膠基板等。或者，還可以

使用在金屬基板（不鏽鋼合金基板等）的表面上設置有絕緣層的基板。換言之，作為基板 200，使用表面具有絕緣性的基板即可，而不侷限於特別指定的基板。

閘極電極層 202 只要使用導電材料形成即可。作為導電材料，例如可以使用 Mo、Ti、Cr、Ta、W、Al、Cu、Nd 或 Sc 等金屬材料或以這些為主要成分的合金材料。或者，也可以使用添加有賦予一種導電型的雜質元素的結晶矽。閘極電極層 202 既可以由單層形成，又可以由多個層的疊層形成。例如，最好採用在 Al 層或 Cu 層上層疊有 Ti 層或 Mo 層的兩層的疊層結構、由 Ti 層或 Mo 層夾持 Al 層或 Cu 層的三層的疊層結構。另外，也可以使用氮化鈦代替 Ti。

注意，在本說明書中，Mo 表示鉬，Ti 表示鈦，Cr 表示鉻，Ta 表示鉭，W 表示鎢，Al 表示鋁，Cu 表示銅，Nd 表示釹，Sc 表示鈾，Ag 表示銀，並且，Au 表示金。

藉由利用濺射法或真空蒸鍍法在基板 200 上形成導電膜，利用光刻法或噴墨法等該導電膜上形成抗蝕劑掩模，並且使用該抗蝕劑掩模對導電膜進行蝕刻，從而可以形成閘極電極層 202。或者，也可以藉由利用噴墨法將諸如 Ag、Au 或 Cu 等導電奈米膏噴射在基板上並進行焙燒，來形成閘極電極層 202。另外，作為提高閘極電極層 202 和基板 200 的密接性並且防止構成閘極電極層 202 的材料擴散到基底的阻擋層金屬，也可以將上述金屬材料的氮化物層設置在基板 200 和閘極電極層 202 之間。在此，

藉由在基板 200 上形成導電膜，並且利用使用光掩模形成的抗蝕劑掩模對該導電膜進行蝕刻，來形成閘極電極層 202。

另外，最好將閘極電極層 202 加工為錐形形狀。這是因為在閘極電極層 202 上在後面的製程中至少要形成半導體層及源極佈線（信號線）的緣故。此外，可以在該製程中也同時形成閘極佈線（掃描線）。注意，掃描線是指選擇像素的佈線。

接著，覆蓋閘極電極層 202 地形成閘極絕緣層 204（參照圖 8B）。閘極絕緣層 204 可以利用 CVD 法或濺射法等並例如使用氮化矽來形成。此外，雖然可以使用氮氧化矽、氧氮化矽或者氧化矽，但是至少使用氮化矽來形成閘極絕緣層 204 的表面。將閘極絕緣層 204 形成為 50nm 以上，最好為 50nm 以上且 400nm 以下，更佳為 150nm 以上且 300nm 以下的厚度。但是，不侷限於此，也可以根據製造的電晶體的特性，而適當地調整閘極絕緣層 204 的厚度。注意，當利用頻率高（例如為 1GHz 以上）的電漿 CVD 設備來形成閘極絕緣層 204 時，可以形成細緻的氮化矽層，所以是最好的。

另外，氧氮化矽是指其組成中氧的含量比氮的含量多的物質，最好是指當利用盧瑟福背散射光譜學法（RBS：Rutherford Backscattering Spectrometry）及氫前方散射法（HFS：Hydrogen Forwardscattering Spectrometry）進行測量時，作為組成範圍包含 50 原子%至 70 原子%的氧、

0.5 原子%至 15 原子%的氮、25 原子%至 35 原子%的矽以及 0.1 原子%至 10 原子%的氫的物質。

另外，氮氧化矽是指其組成中氮的含量比氧的含量多的物質，最好是指當利用 RBS 及 HFS 進行測量時，作為組成範圍包含 5 原子%至 30 原子%的氧、20 原子%至 55 原子%的氮、25 原子%至 35 原子%的矽、10 原子%至 30 原子%的氫的物質。但是，當將構成氮氧化矽或氮氧化矽的原子總量設定為 100 原子%時，氮、氧、矽及氫的含有比率在上述範圍內。

接著，在閘極絕緣層 204 上形成第一半導體膜 206A、第二半導體膜 208A 以及雜質半導體膜 210A（參照圖 8C）。在此，在同一個反應室內不暴露於大氣地連續形成閘極絕緣層 204、第一半導體膜 206A、第二半導體膜 208A 以及雜質半導體膜 210A，即可。但是，不侷限於此，而例如也可以在形成第一半導體膜 206A 之前使閘極絕緣層 204 暴露於大氣氣圍。再者，也可以在使閘極絕緣層 204 暴露於大氣氣圍後進行電漿處理。圖 11 示出多室方式的電漿 CVD 設備的結構的示意圖的一例。不管是在如上所述進行連續成膜的情況下還是在暴露於大氣的情況下，都可以使用圖 11 所示的多室方式的電漿 CVD 設備。

圖 11 是示出具備多個反應室的多室式電漿 CVD 設備的一例的示意圖。該裝置具備公共室 270、裝載/卸載室 271、第一反應室 250a、第二反應室 250b、第三反應室

250c 及第四反應室 250d。裝載/卸載室 271 具有板料送進方式的結構，其中，裝在卡匣中的基板由公共室 270 的傳送機構 274 搬入到各反應室或者從各反應室搬出。在公共室 270 和各室之間具備閘閥 273，以防止在各反應室中進行的處理相互干涉。

注意，第二反應室 250b 最好與圖 6 所示的反應室 150 是相同的反應室。就是說，最好的是，上部電極設置有凹部或者凸部。

注意，如圖 6 所示的上部電極設置有凹部或者凸部的電漿 CVD 設備也可以用於閘極絕緣層的形成。當將圖 6 所示的上部電極設置有凹部或者凸部的電漿 CVD 設備用於閘極絕緣層的形成時，可以形成均勻且優質的閘極絕緣層 204，並且，可以製造可靠性高的薄膜電晶體。

圖 11 所示的具備多個反應室的多室式電漿 CVD 設備根據形成的薄膜的種類而受到區分。當然，反應室的個數不侷限於此，而可以適當地進行增減。注意，既可以採用在一個反應室內形成一個膜的結構，又可以採用在一個反應室內形成多個膜的結構。

圖 11 所示的多室式電漿 CVD 設備的各反應室連接有排氣裝置 259。排氣裝置 259 不侷限於圖 11 所示的真空泵的組合，而只要是可以進行排氣到大約 10^{-5} Pa 至 10^{-1} Pa 的真空度，就也可以應用其他真空泵。

注意，也可以將可以進行真空排氣到超高真空的低溫泵 275 連接到裝載/卸載室 271。藉由採用低溫泵 275，可

以將裝載/卸載室 271 的壓力設定得低於 10^{-5} Pa 的壓力的超高真空，並且，可以減少沉積在反應室內的基板上的膜所包括的大氣成分等。此外，低溫泵 275 的排氣速度比渦輪分子泵及乾燥泵的排氣速度快，所以藉由將低溫泵 275 設置到開閉頻度高的裝載/卸載室 271，可以提高處理量。

氣體供給單元 258 由填充有氣體的汽缸 260、壓力調節閥 261、停止閥 262、質量流量控制器 263 等構成。雖然在此未圖示，但是填充有氣體的汽缸包括填充有包含矽或鍺的沉積性氣體的汽缸、填充有 H_2 氣體的汽缸、填充有稀釋氣體的汽缸、填充有反應性氣體（氧化性氣體、氮化性氣體、鹵素氣體等）的汽缸、或者填充有包含賦予一種導電型的雜質元素的氣體的汽缸等。

圖 11 所示的多室式電漿 CVD 設備的各反應室連接有用來產生電漿的高頻電力供給單元。高頻電力供給單元至少包括高頻電源 254 和匹配器 256。

圖 11 所示的多室式電漿 CVD 設備的各反應室可以根據形成的薄膜的種類而分別使用。各薄膜具有最適的成膜溫度，所以，藉由將反應室個別分開，可以容易根據要形成的膜而管理成膜溫度。並且，因為可以反復形成相同種類的膜，所以可以排除起因於在前面形成的膜的殘留物的影響。

也可以在形成膜的同時或者形成膜之後對用作薄膜電晶體的通道形成區的第一半導體膜 206A 添加賦予 p 型的雜質元素（例如，硼），從而調整閾值電壓 V_{th} 。作為賦

予 p 型的雜質元素，例如有硼，並且，可以將包含括 B_2H_6 或者 BF_3 等雜質元素的氣體以 1ppm 至 1000ppm，最好為 1ppm 至 200ppm 的比例混入到氫化矽。並且，將第一半導體膜 206A 中的硼的濃度例如設定為 $1 \times 10^{14} \text{ atoms/cm}^3$ 至 $6 \times 10^{16} \text{ atoms/cm}^3$ ，即可。

在此，第二半導體膜 208A 用作高電阻區域，因此可以降低薄膜電晶體的截止電流並提高開關特性。當將開關特性高的薄膜電晶體例如用作液晶顯示裝置的切換元件時，可以提高液晶顯示裝置的對比度。注意，第二半導體膜 208A 最好包括 NH 基或 NH_2 基。藉由使第二半導體膜 208A 包括 NH 基或 NH_2 基，可以交聯懸空鍵，這樣，不但可以抑制截止電流而且可以提高導通電流。注意，為了使第二半導體膜 208A 包括 NH 基或 NH_2 基，使用於形成的氣體包括 NH_3 （氨）氣體，即可。

第二半導體膜 208A 最好包括非晶結構及微小晶粒。與現有的非晶半導體相比，第二半導體膜 208A 當用 CPM（Constant Photocurrent Method）或光致發光光譜測量儀測量時其 Urbach 端的能量小，並且缺陷吸收光譜少。就是說，與現有的非晶半導體相比，第二半導體膜 208A 可以說是缺陷少且在價電子帶的帶端（遷移率端）中的能級的尾（邊）的傾斜度陡峭的秩序性高的半導體層。這種半導體層可以藉由採用與結晶半導體層的形成同樣的條件並且使形成氣體包括氮來形成。

但是，第二半導體膜 208A 不侷限於此，也可以由非

晶半導體形成。第二半導體膜 208A 至少由其載子遷移率低於第一半導體膜 206A 的材料設置即可。此外，在由非晶半導體形成第二半導體膜 208A 的情況下，也可以使第二半導體膜 208A 包括 NH 基或 NH₂ 基。

注意，如實施方式 1 所說明，第一半導體膜 206A 的厚度可以為 11nm 以上且 50nm 以下，最好為 11nm 以上且 25nm 以下。注意，第二半導體膜 208A 的厚度可以為 10nm 以上且 500nm 以下。這些厚度例如可以根據沉積氣體的流量和形成時間受到調整。

注意，第二半導體膜 208A 最好不包括賦予一種導電型的雜質元素如磷、硼等。或者，當在第二半導體膜 208A 中含磷、硼等時，需要將磷、硼等的濃度調整成 SIMS（二次離子質譜分析）技術中的檢測極限以下。這是因為如下緣故：例如，當第一半導體膜 206A 包括硼且第二半導體膜 208A 包括磷時，會在第一半導體膜 206A 與第二半導體膜 208A 之間形成 PN 結。另外，當第二半導體膜 208A 包括硼且源極區及汲極區 210 包括磷時，會在第二半導體膜 208A 與源極區及汲極區 210 之間形成 PN 結。另外，第二半導體膜 208A 因混入有硼和磷的兩者，所以會產生複合中心，而成為產生漏電流的一個原因。此外，藉由在成為源極區及汲極區 210 的雜質半導體膜 210A 與第一半導體膜 206A 之間具有不包括磷、硼等雜質元素的第二半導體膜 208A，可以防止雜質元素侵入成為通道形成區的第一半導體膜 206A 中。

雜質半導體膜 210A 在後面受到加工而成爲源極區及汲極區 210。源極區及汲極區 210 是爲使第二半導體層 208 與源極電極及汲極電極層 212 實現歐姆接觸而設置的層。這種雜質半導體膜 210A 可以藉由使形成氣體包括賦予一種導電型的雜質元素來形成。在要形成其導電型爲 n 型的薄膜電晶體時，例如添加磷作爲雜質元素即可，可以對氫化矽添加如 PH_3 （磷化氫）等包含賦予 n 型導電型的雜質元素的氣體來形成。在要形成其導電型爲 p 型的薄膜電晶體時，例如添加硼作爲雜質元素即可，可以對氫化矽添加如 B_2H_6 （乙硼烷）等包含賦予 p 型導電型的雜質元素的氣體來形成。

另外，成爲源極區及汲極區 210 的雜質半導體膜 210A 可以爲結晶或者非晶，但是，最好由結晶半導體形成。這是因爲藉由使用結晶半導體形成源極區及汲極區 210，可以使導通電流增大的緣故。另外，源極區及汲極區 210 以 2nm 以上且 60nm 以下的厚度形成，即可。

如此，可以形成從閘極絕緣層 204 到成爲源極區及汲極區 210 的雜質半導體膜 210A 的部分。

接著，在雜質半導體膜 210A 上形成抗蝕劑掩模 220（參照圖 9A）。抗蝕劑掩模 220 可以藉由光刻法形成。此外，還可以藉由噴墨法等形成。

接著，藉由利用抗蝕劑掩模 220 對第一半導體膜 206A、第二半導體膜 208A 以及雜質半導體膜 210A 進行蝕刻，分離爲各元件，以形成具有第一半導體層 206、第

二半導體層 208B 以及雜質半導體層 210B 的疊層體 222 (參照圖 9B)。此後，去除抗蝕劑掩模 220。

注意，在該蝕刻處理中，最好以使具有第一半導體層 206、第二半導體層 208B 以及雜質半導體層 210B 的疊層體 222 的側面成爲錐形形狀的方式進行蝕刻。在此，錐形角爲 30° 以上且 90° 以下，最好爲 40° 以上且 80° 以下。藉由實現錐形形狀的側面，也可以提高在後面的製程中形成在這些層上的層（例如，佈線層）的覆蓋性。從而，可以防止起因於臺階差的佈線斷開等。

接著，在雜質半導體層 210B 及閘極絕緣層 204 上形成導電膜 212A (參照圖 9C)。導電膜 212A 是在後面受到加工而成爲源極電極及汲極電極層 212 的膜，而只要採用導電材料就沒有特別的限制。作爲導電材料，例如可以使用 Mo、Ti、Cr、Ta、W、Al、Cu、Nd 或 Sc 等金屬材料或以這些爲主要成分的合金材料。或者，也可以使用添加有賦予一種導電型的雜質元素的結晶矽。導電膜 212A 既可以由單層形成，又可以由多個層的疊層形成。例如，最好採用在 Al 層或 Cu 層上層疊有 Ti 層或 Mo 層的兩層的疊層結構、由 Ti 層或 Mo 層夾持 Al 層或 Cu 層的三層的疊層結構。另外，也可以使用氮化鈦層代替 Ti 層。

藉由利用濺射法或真空蒸鍍法等來形成導電膜 212A。或者，也可以藉由利用絲網印刷法或者噴墨法等並使用諸如 Ag、Au 或 Cu 等導電奈米膏進行噴射，然後進行焙燒，來形成導電膜 212A。

接著，在導電膜 212A 上形成抗蝕劑掩模 224（參照圖 9C）。抗蝕劑掩模 224 與抗蝕劑掩模 220 同樣地利用光刻法或噴墨法來形成。

接著，使用抗蝕劑掩模 224 對導電膜 212A 進行蝕刻，以形成源極電極及汲極電極層 212（參照圖 10A）。在此，作為蝕刻使用乾蝕刻，但是也可以使用濕蝕刻。該源極電極及汲極電極層 212，除了構成薄膜電晶體的源極電極及汲極電極以外，還構成信號線。

接著，在形成有抗蝕劑掩模 224 的情況下，對雜質半導體層 210B 及第二半導體層 208B 進行蝕刻，以形成源極區及汲極區 210 和其背通道部具有凹部的第二半導體層 208（參照圖 10A）。

在此，蝕刻最好進行使用含 O_2 的氣體的乾蝕刻。藉由使用含 O_2 的氣體，可以邊使抗蝕劑掩模縮退邊蝕刻雜質半導體層 210B 和第二半導體層 208B，並且，可以將源極區及汲極區 210 和第二半導體層 208 形成為錐形形狀。作為蝕刻氣體，例如，使用在四氟化甲烷（ CF_4 ）氣體中含氧（ O_2 ）的蝕刻氣體或在氯（ Cl_2 ）氣體中含 O_2 氣體的蝕刻氣體。藉由將源極區及汲極區 210 的側面和第二半導體層 208 形成為錐形形狀，可以防止電場集中，而可以降低截止電流。作為一例，在將 CF_4 和 O_2 的流量比設定為 45 : 55（sccm），將反應室內的壓力設定為 2.5 Pa，將反應室的側壁的溫度設定為 70℃，對線圈型電極投入 500 W 的 RF（13.56 MHz）電力來產生電漿，對基板一側投入

200W 的 RF (13.56MHz) 電力，實質上施加負偏壓功率來產生自偏壓，從而可以進行蝕刻。

第二半導體層 208 的一部分受到蝕刻而為凹部（背通道部），但是最好使重疊於背通道部的第二半導體層 208 的至少一部分殘留。在形成源極區及汲極區 210 的製程中，重疊於源極區及汲極區 210 的部分的第二半導體層 208 不受到蝕刻，該部分的厚度大約為 80nm 以上且 500nm 以下，最好為 150nm 以上且 400nm 以下，更佳為 200nm 以上且 300nm 以下。如上所述，藉由使第二半導體層 208 充分厚，可以防止大氣成分等侵入到第一半導體層。如此，第二半導體層 208 也用作第一半導體層 206 的保護層。

接著，去除抗蝕劑掩模 224（參照圖 10A）。

注意，如下成為截止電流增大的一個原因，即：背通道部上附著或者沉積有在蝕刻製程中產生的副產生物、抗蝕劑掩模的渣滓及會成為用來去除抗蝕劑掩模的裝置內的污染源的物質、剝離液的成分物質等。因此，以去除這些為目的，而最好進行低損傷條件的蝕刻，最好為無偏壓的乾蝕刻。或者，既可以對背通道部進行電漿處理，又可以進行清洗。另外，也可以組合這些製程。

藉由上述製程，可以製造薄膜電晶體。

注意，可以將上述說明的薄膜電晶體用作顯示裝置的像素電晶體。下面說明後面的製程。

首先，覆蓋如上述製造的薄膜電晶體地形成絕緣層

214 (參照圖 10B)。絕緣層 214 可以與閘極絕緣層 204 同樣形成，但是特別最好使用氮化矽形成。特別地，為了防止懸浮在大氣中的有機物、金屬、水蒸氣等有可能成為污染源的雜質的侵入，而最好採用細緻的氮化矽層。藉由以高頻（具體的是 13.56MHz 以上）的電漿 CVD 法形成氮化矽層，可以形成細緻的氮化矽層。

注意，絕緣層 214 具有到達源極電極及汲極電極層 212 的開口部 216，並且，源極電極及汲極電極層 212 中的一個藉由設置在絕緣層 214 中的開口部 216 連接到像素電極層 218 (參照圖 10C)。

像素電極層 218 可以使用具有透光性的包含導電高分子（也稱為導電聚合物）的導電組成物形成。最好使用導電組成物來形成的像素電極層 218 的薄層電阻為 $10000\ \Omega / \text{平方}$ 以下，且當波長為 550nm 時的透光率為 70% 以上。此外，包含在導電組成物中的導電高分子的電阻率最好為 $0.1\ \Omega \cdot \text{cm}$ 以下。

注意，作為導電高分子，可以使用所謂的 π 電子共軛導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物或者苯胺、吡咯及噻吩中的兩種以上的共聚物或其衍生物等。

例如可以使用如下材料形成像素電極層 218：包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物（以下記載為 ITO）、銦鋅氧化物、添加有氧化矽的銦錫氧化

物等。

像素電極層 218 與源極電極及汲極電極層 212 等同樣，在形成在整個表面上之後，使用抗蝕掩模等進行蝕刻來形成即可。

注意，雖然未圖示，但是也可以在絕緣層 214 和像素電極層 218 之間具有藉由旋塗法等由有機樹脂形成的絕緣層。

注意，雖然在上述說明中，說明了以同一個製程形成閘極電極和掃描線，並且以同一個製程形成源極電極及汲極電極和信號線的情況，但是不侷限於此。也可以以不同的製程分別形成電極、連接到該電極的佈線。

注意，本實施方式的薄膜電晶體的製造方法不侷限於上述說明。例如，也可以使用多色調掩模形成具有厚度不同的多個區域的抗蝕劑掩模（具有凹凸的抗蝕劑掩模），並使用該抗蝕劑掩模來形成本實施方式的薄膜電晶體。下面，簡單地說明該情況。

注意，多色調掩模是指能夠以多級光量進行曝光的掩模，例如有以曝光區域、半曝光區域及未曝光區域的三級光量進行曝光的掩模。藉由使用多色調掩模，可以以一次曝光及顯影步驟形成具有多種（例如兩種）厚度的抗蝕劑掩模。由此，藉由使用多色調掩模，可以削減光掩模的數目。作為多色調掩模，可以使用其半曝光區域由繞射光柵部構成的灰色調掩模、其半曝光區域由半透過膜構成的半色調掩模。

首先，覆蓋設置在基板 300 上的閘極電極層 302 地形成閘極絕緣層 304，在閘極絕緣層 304 上形成第一半導體膜 306A、第二半導體膜 308A 以及雜質半導體膜 310A。並且，在雜質半導體膜 310A 上形成導電膜 312A，在導電膜 312A 上形成具有多個厚度不同的區域的抗蝕劑掩模 320（參照圖 12A）。

在抗蝕劑掩模 320 中，在要形成源極電極及汲極電極層 312 的區域中形成凸部（厚度厚的部分），並且，在不具有源極電極及汲極電極層 312 而以露出半導體層的方式形成的區域中形成凹部（厚度薄的部分）。

接著，使用抗蝕劑掩模 320 進行構圖，來形成第一半導體層 306、第二半導體層 308B、雜質半導體層 310B 以及導電層 312B（參照圖 12B）。

接著，藉由使抗蝕劑掩模 320 縮退（縮小），來形成抗蝕劑掩模 324（參照圖 12B）。為了使抗蝕劑掩模 320 縮退（縮小），進行使用氧電漿的灰化處理等，即可。蝕刻條件等與實施方式 1 同樣。

接著，使用抗蝕劑掩模 324 對導電層 312B 進行蝕刻，來形成源極電極及汲極電極層 312（參照圖 12C）。在此，作為蝕刻採用乾蝕刻，但是也可以採用濕蝕刻。

然後，藉由對雜質半導體層 310B 及第二半導體層 308B 的一部分進行蝕刻，來形成源極區及汲極區 310 及其背通道部具有凹部的第二半導體層 308（參照圖 13A）。

然後，去除抗蝕劑掩模 324，形成具有開口部的絕緣層 314 和像素電極層 318，以得到像素電晶體（參照圖 13B）。

如上所說明，藉由採用多色調掩模，可以削減使用的光掩模的數目。

如以上本實施方式所說明，可以製造本發明的一個方式的顯示裝置的陣列基板。

從而，可以使用在本實施方式中製造的顯示裝置的陣列基板來製造顯示面板或者發光面板，並且，將它們組合到顯示裝置中。

實施方式 3

實施方式 1 及實施方式 2 所說明的薄膜電晶體及顯示裝置可以應用於各種電子設備（也包括遊戲機）。作為電子設備，例如可以舉出電視裝置（也稱為電視或電視接收機）、用於電腦的監視器、電子紙、數位相機、數碼攝像機、數碼相框、行動電話機（也稱為行動電話、行動電話裝置）、可攜式遊戲機、可攜式資訊終端、聲音再現裝置、彈珠機等大型遊戲機等。

實施方式 2 所說明的顯示裝置例如可以應用於電子紙。電子紙可以用於顯示資訊的各種領域的電子設備。例如，電子紙可以應用於電子書閱讀器（電子書）、招貼、列車等車輛中的廣告、信用卡等各種卡中的顯示等等。

圖 14A 示出電子書閱讀器的一例。圖 14A 所示的電

子書閱讀器包括框體 400 及框體 401。框體 400 及框體 401 由鉸鏈 404 聯結，使得電子書閱讀器能夠進行開閉，並且，可以像紙書一樣來操縱電子書閱讀器。

框體 400 編入有顯示部 402，並且，框體 401 編入有顯示部 403。顯示部 402 及顯示部 403 可以分開顯示一個圖像或者顯示不同圖像。藉由採用顯示不同圖像的結構，例如，可以在右側顯示部（圖 14A 中的顯示部 402）顯示文本，而在左側顯示部（圖 14A 中的顯示部 403）顯示圖像。實施方式 2 所說明的顯示裝置可以應用於顯示部 402 及顯示部 403。

在圖 14A 中，框體 400 包括電源輸入端子 405、操作鍵 406、揚聲器 407 等。例如，操作鍵 406 也可以具有翻頁的功能。注意，既可以將鍵盤、定位裝置等設置在與框體的顯示部同一個表面上，又可以將外部連接端子（耳機端子、USB 端子、可連接到例如 USB 電纜等各種電纜的端子等）、記錄媒體插入部等設置在框體的背面或側面。注意，圖 14A 所示的電子書閱讀器還可以具有能夠以無線的方式傳送及接收資訊的結構。

圖 14B 示出數碼相框的一例。圖 14B 所示的數碼相框具有框體 411 編入有顯示部 412 的結構。實施方式 2 所說明的顯示裝置可以應用於顯示部 412。

注意，圖 14B 所示的數碼相框可以是具有操作部、外部連接端子（USB 端子、可連接到 USB 電纜等各種電纜的端子等）、記錄媒體插入部等的結構。雖然這些結構可

以設置在與顯示部同一個表面上，但是當將它們設置在側面或背面上時，設計性得到提高，所以是最好的。例如，將儲存由數位相機拍攝的圖像資料的記憶體插入數碼相框的記錄媒體插入部來提取圖像資料，可以在顯示部 412 上顯示該被提取的圖像資料。注意，圖 14B 所示的數碼相框還可以具有能夠以無線的方式傳送及接收資訊的結構。

圖 14C 示出電視裝置的一例。在圖 14C 所示的電視裝置中，框體 421 編入有顯示部 422，並且，框體 421 由支架 423 支撐。實施方式 2 所說明的顯示裝置可以應用於顯示部 422。

圖 14C 所示的電視裝置可以藉由框體 421 的操作開關或者獨立的遙控器來操作。頻道、音量可以利用遙控器的操作鍵來調整，而可以選擇顯示在顯示部 422 上的圖像。此外，遙控器本身也可以設置有顯示部，該顯示部顯示從該遙控器輸出的資訊。

注意，圖 14C 所示的電視裝置包括接收器、數據機等。可以利用接收器接收一般的電視廣播，並且，將電視裝置藉由數據機連接到有線或無線通信網路，可以進行單向（從傳送者到接收者）或雙向（傳送者與接收者之間、接收者之間等等）的資訊通信。

圖 14D 示出行動電話機的一例。圖 14D 所示的行動電話機除了編入到框體 431 中的顯示部 432 之外，還具備操作按鈕 433、操作按鈕 437、外部連接埠 434、揚聲器 435、麥克風 436 等。實施方式 2 所說明的顯示裝置可以

應用於顯示部 432。

在圖 14D 所示的行動電話機中，顯示部 432 也可以是觸摸屏。在此情況下，撥打電話或寫郵件等可以藉由使用顯示部 432 作為觸摸屏來進行。

顯示部 432 的畫面主要具有三種模式。第一模式是以圖像的顯示為主的顯示模式，第二模式是以文字等資訊的輸入為主的輸入模式。第三模式是混合了顯示模式和輸入模式的兩種模式的顯示/輸入模式。

例如，在撥打電話或寫郵件的情況下，將顯示部 432 設定為以文字的輸入為主的文字輸入模式，進行顯示於畫面上的文字的輸入操作，即可。在此情況下，最好在顯示部 432 的幾乎整個畫面上顯示鍵盤或號碼按鈕。

當將包括例如陀螺儀或加速感測器等用來檢測傾斜的感測器的檢測裝置設置在圖 14D 所示的行動電話機的內部時，顯示在顯示部 432 上的資訊根據行動電話機的方向（縱向或者橫向）自動切換。

畫面模式的切換既可以藉由觸摸顯示部 432 或者操作框體 431 的操作按鈕 437 來進行，又可以根據在顯示部 432 上顯示的圖像的種類來進行。

也可以採用如下結構：當在輸入模式中，信號由顯示部 432 中的光感測器檢測，並且，觸摸顯示部 432 的操作在一定期間中沒有進行時，將畫面模式從輸入模式切換到顯示模式。

顯示部 432 還可以用作圖像感測器。例如，藉由利用

手掌或手指觸摸顯示部 432，利用圖像感測器拍攝掌紋、指紋等，可以進行身份識別。當將發出近紅外光的背光燈或者發出近紅外光的感測光源用於顯示部時，還可以拍攝指靜脈、掌靜脈等。

如上所述，實施方式 1 及實施方式 2 所說明的薄膜電晶體及顯示裝置可以應用於各種電子設備。

【圖式簡單說明】

在附圖中：

圖 1A 至 1D 是說明微晶半導體膜的製造方法的示意圖；

圖 2A 和 2B 是只利用連續放電形成的半導體膜的 SEM 像；

圖 3 是的使用在進行第一製程和第二製程之後再次進行第一製程和第二製程來形成的半導體膜的薄膜電晶體的 I_d-V_g 曲線；

圖 4A 是只利用連續放電形成的半導體膜的 STEM 像，而圖 4B 是只利用脈衝放電形成的半導體膜的 STEM 像；

圖 5A 至 5C 是示出當形成半導體膜時的放電的時序的圖。

圖 6 是說明在形成微晶半導體膜時使用的電漿 CVD 設備的一例的圖；

圖 7 是說明在形成微晶半導體膜時使用的電漿 CVD

設備的一例的圖；

圖 8A 至 8C 是說明半導體裝置的製造方法的圖；

圖 9A 至 9C 是說明半導體裝置的製造方法的圖；

圖 10A 至 10C 是說明半導體裝置的製造方法的圖；

圖 11 是說明用於半導體裝置的製造的裝置的圖；

圖 12A 至 12C 是說明半導體裝置的製造方法的圖；

圖 13A 和 13B 是說明半導體裝置的製造方法的圖；

圖 14A 至 14D 是說明電子設備的一例的圖。

【主要元件符號說明】

100：基板

102：第一半導體膜

104：第二半導體膜

106：第三半導體膜

108：第四半導體膜

150：反應室

151：第一電極

152：第二電極

153：高頻電力供給單元

154：高頻電源

156：匹配器

157：波紋管

158：氣體供給單元

159：排氣單元

- 160 : 多個汽缸
- 160a : 汽缸
- 160b : 汽缸
- 160c : 汽缸
- 161 : 多個壓力調節閥
- 162 : 多個停止閥
- 163 : 多個質量流量控制器
- 164 : 基板加熱器
- 165 : 加熱控制器
- 166 : 絕緣材料
- 167 : 蝶閥
- 168 : 蝶閥
- 169 : 停止閥
- 170 : 停止閥
- 171 : 停止閥
- 174 : 停止閥
- 175 : 渦輪分子泵
- 176 : 渦輪分子泵
- 177 : 乾燥泵
- 179 : 高頻濾波器
- 181 : 凸部
- 182 : 空心部分
- 183 : 凹部
- 184 : 空心部分

- 185 : 氣體管道
- 186 : 氣體管道
- 191 : 擴散板
- 192 : 擴散板
- 193 : 貫穿孔
- 194 : 貫穿孔
- 200 : 基板
- 202 : 閘極電極層
- 204 : 閘極絕緣層
- 206 : 第一半導體層
- 206A : 第一半導體膜
- 208 : 第二半導體層
- 208A : 第二半導體膜
- 208B : 第二半導體層
- 210 : 源極區及汲極區
- 210A : 雜質半導體膜
- 210B : 雜質半導體層
- 212 : 源極電極及汲極電極層
- 212A : 導電膜
- 214 : 絕緣層
- 216 : 開口部
- 218 : 像素電極層
- 220 : 抗蝕劑掩模
- 222 : 疊層體

- 224 : 抗蝕劑掩模
- 250a : 第一反應室
- 250b : 第二反應室
- 250c : 第三反應室
- 250d : 第四反應室
- 254 : 高頻電源
- 256 : 匹配器
- 258 : 氣體供給單元
- 259 : 排氣裝置
- 260 : 汽缸
- 261 : 壓力調節閥
- 262 : 停止閥
- 263 : 質量流量控制器
- 270 : 公共室
- 271 : 裝載/卸載室
- 273 : 閘閥
- 274 : 傳送機構
- 275 : 低溫泵
- 300 : 基板
- 302 : 閘極電極層
- 304 : 閘極絕緣層
- 306 : 第一半導體層
- 306A : 第一半導體膜
- 308 : 第二半導體層

- 308A：第二半導體膜
- 308B：第二半導體層
- 310：源極區及汲極區
- 310A：雜質半導體膜
- 310B：雜質半導體層
- 312：源極電極及汲極電極層
- 312A：導電膜
- 312B：導電層
- 314：絕緣層
- 318：像素電極層
- 320：抗蝕劑掩模
- 324：抗蝕劑掩模
- 400：框體
- 401：框體
- 402：顯示部
- 403：顯示部
- 404：鉸鏈
- 405：電源輸入端子
- 406：操作鍵
- 407：揚聲器
- 411：框體
- 412：顯示部
- 421：框體
- 422：顯示部

423 : 支 架

431 : 框 體

432 : 顯 示 部

433 : 操 作 按 鈕

434 : 外 部 連 接 埠

435 : 揚 聲 器

436 : 麥 克 風

437 : 操 作 按 鈕

七、申請專利範圍：

1. 一種微晶半導體膜的製造方法，包括如下製程：

藉由在包含沉積氣體的氣圍中進行連續放電產生電漿，來在基板上形成第一半導體膜；

藉由在包含該沉積氣體的該氣圍中進行脈衝放電產生電漿，來在該第一半導體膜上形成第二半導體膜；

藉由在包含該沉積氣體的該氣圍中進行連續放電產生電漿，來在該第二半導體膜上形成第三半導體膜；以及

藉由在包含該沉積氣體的該氣圍中進行脈衝放電產生電漿，來在該第三半導體膜上形成第四半導體膜。

2. 根據申請專利範圍第 1 項之製造方法，其中以在該第一半導體膜中產生多個晶核且使該多個晶核生長成結晶的方式進行形成該第一半導體膜的製程，並且以填充從該多個晶核生長的該結晶之間的空間的方式進行形成該第二半導體膜的製程。

3. 根據申請專利範圍第 1 項之製造方法，其中該沉積氣體包括矽或鍺。

4. 根據申請專利範圍第 1 項之製造方法，還包括在反應室內設置第一電極、第二電極及氣體供給單元的製程，其中該沉積氣體從該氣體供給單元流出。

5. 根據申請專利範圍第 4 項之製造方法，其中該電漿在該第一電極和該第二電極之間產生。

6. 一種半導體裝置的製造方法，包括如下製程：

形成閘極電極層；

覆蓋該閘極電極層地形成閘極絕緣層；

利用根據申請專利範圍第 1 項之微晶半導體膜的製造方法在該閘極絕緣層上形成微晶半導體膜；以及

在該微晶半導體膜上形成源極及汲極。

7. 一種微晶半導體膜的製造方法，包括如下製程：

藉由在包含第一沉積氣體的氣圍中進行連續放電產生電漿，來在基板上形成第一半導體膜；

藉由在包含第二沉積氣體的氣圍中進行脈衝放電產生電漿，來在該第一半導體膜上形成第二半導體膜；

藉由在包含該第一沉積氣體的該氣圍中進行連續放電產生電漿，來在該第二半導體膜上形成第三半導體膜；以及

藉由在包含該第二沉積氣體的該氣圍中進行脈衝放電產生電漿，來在該第三半導體膜上形成第四半導體膜。

8. 根據申請專利範圍第 7 項之製造方法，其中以在該第一半導體膜中產生多個晶核且使該多個晶核生長成結晶的方式進行形成該第一半導體膜的製程，並且以填充從該多個晶核生長的該結晶之間的空間的方式進行形成該第二半導體膜的製程。

9. 根據申請專利範圍第 7 項之製造方法，其中該第一沉積氣體及該第二沉積氣體都包括矽或銻。

10. 根據申請專利範圍第 7 項之製造方法，還包括設置第一電極及第二電極的製程，其中該電漿在該第一電極和該第二電極之間產生。

11. 一種半導體裝置的製造方法，包括如下製程：

形成閘極電極層；

覆蓋該閘極電極層地形成閘極絕緣層；

利用根據申請專利範圍第 7 項之微晶半導體膜的製造方法在該閘極絕緣層上形成微晶半導體膜；以及

在該微晶半導體膜上形成源極及汲極。

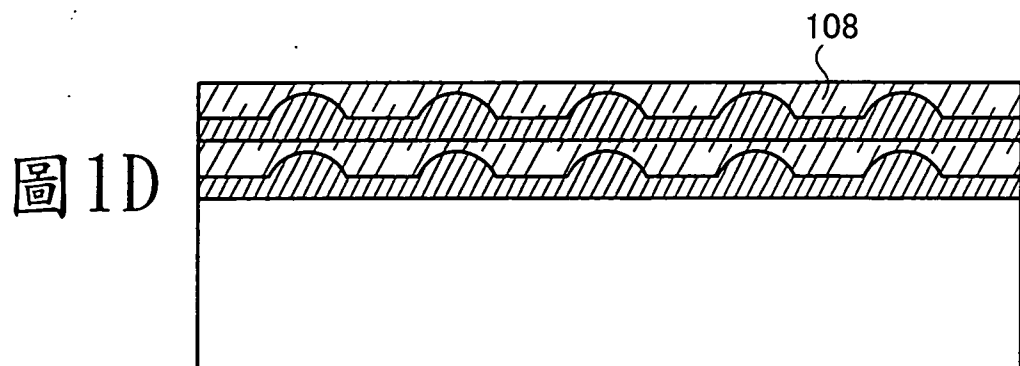
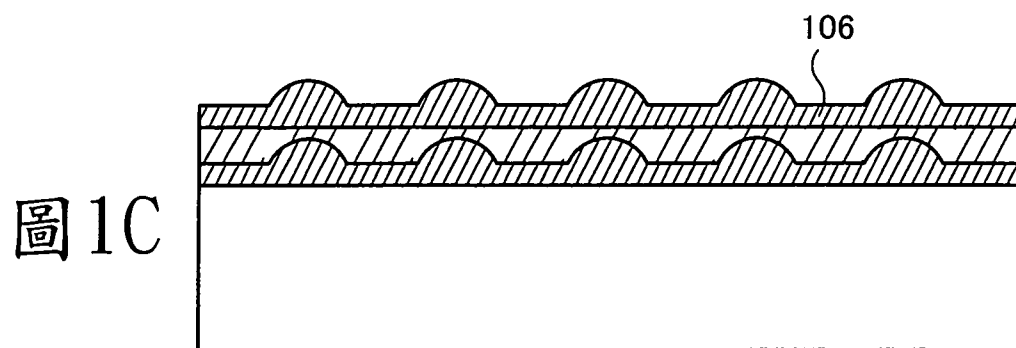
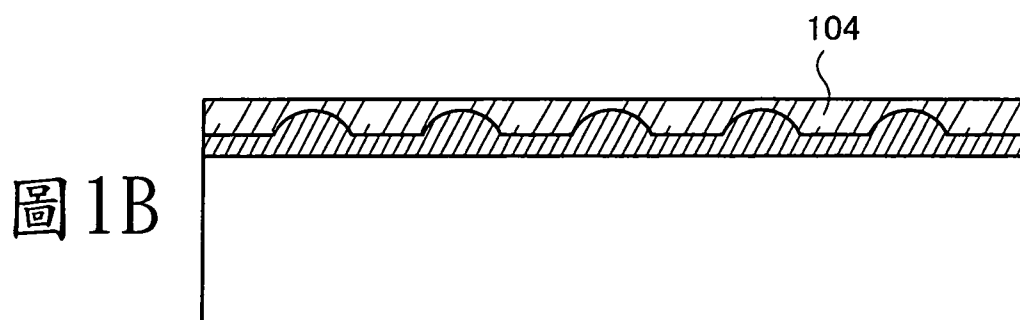
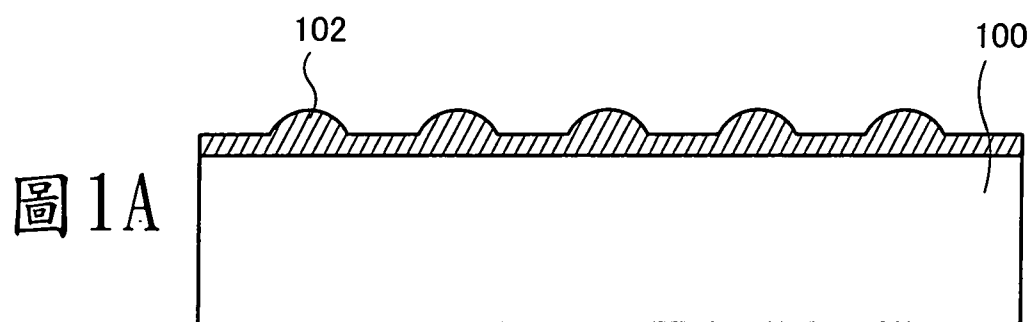


圖 2A

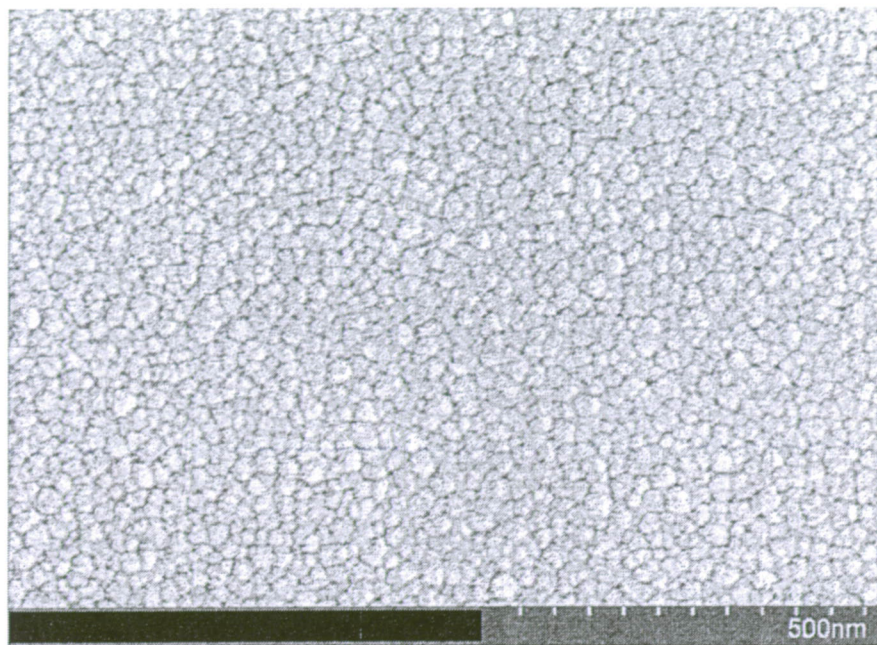
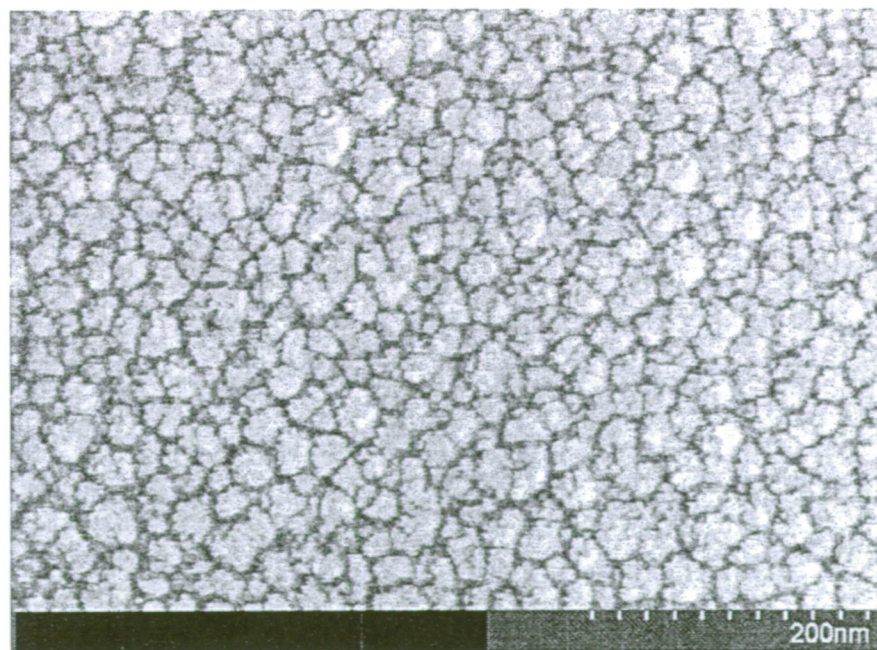


圖 2B



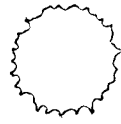


圖 3

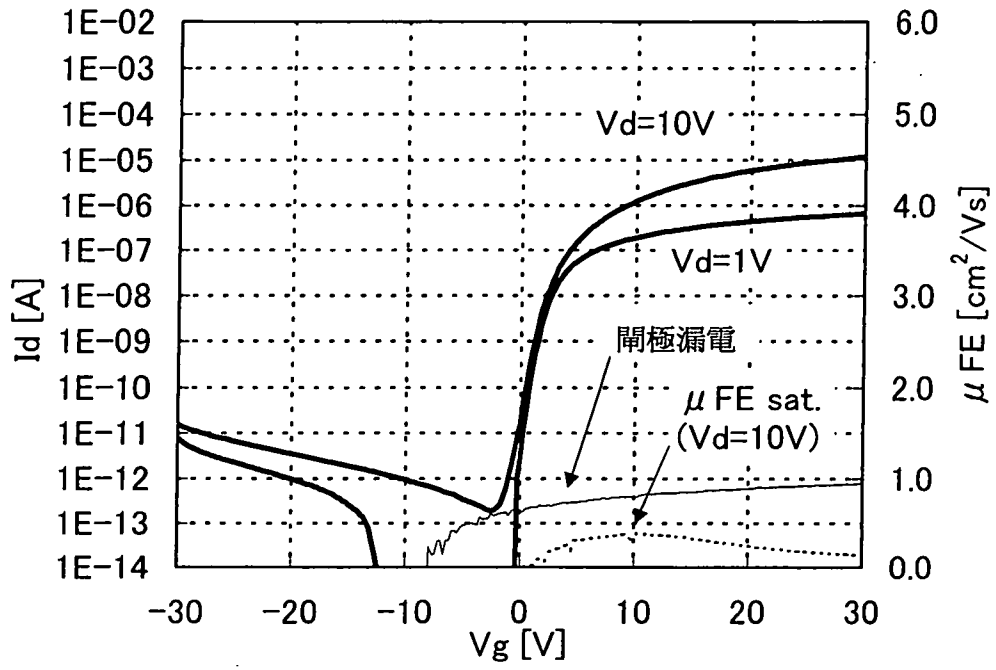




圖 4A

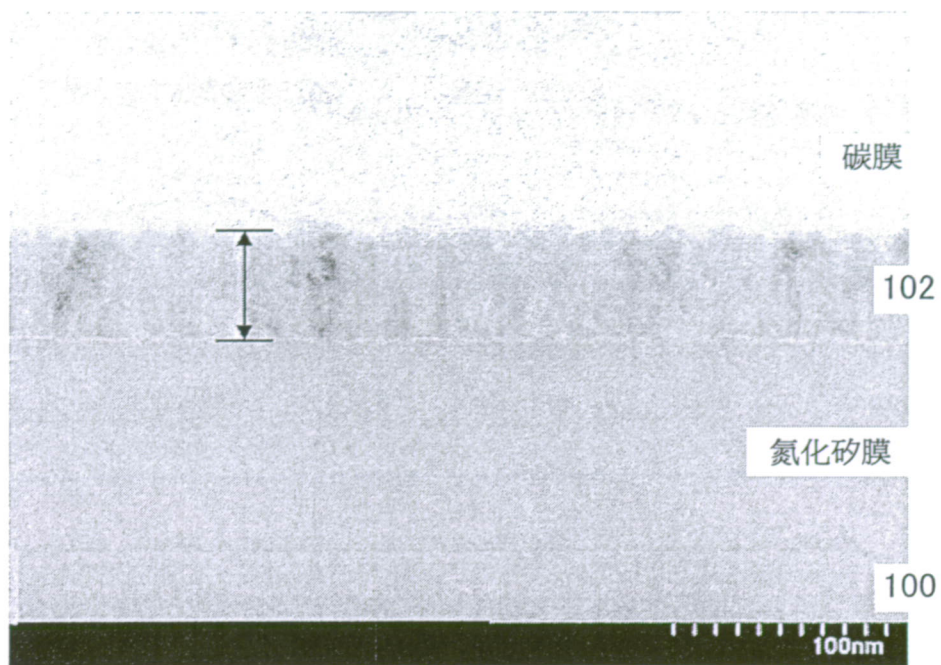


圖 4B

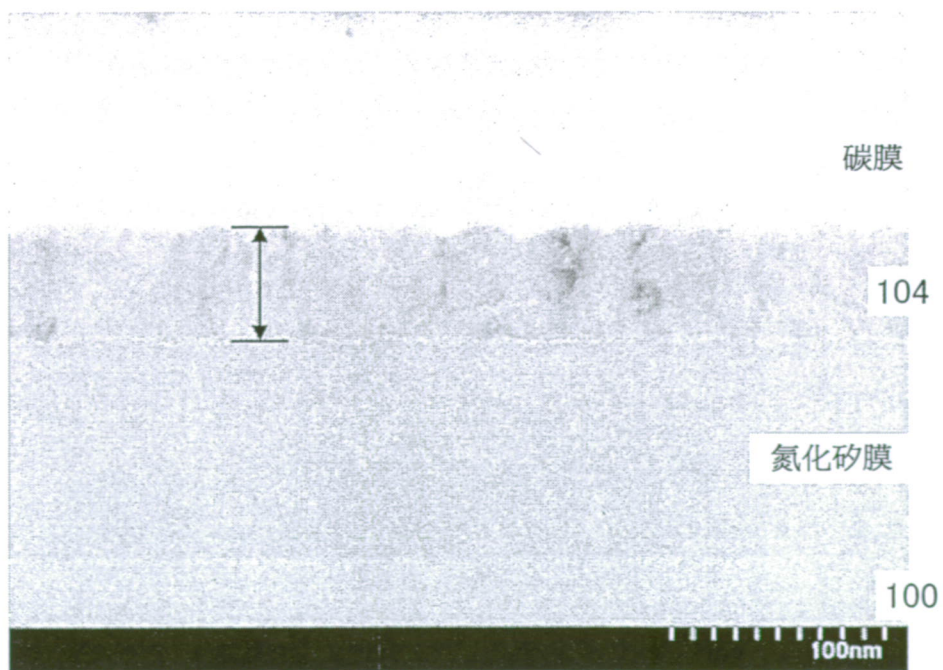


圖 5A

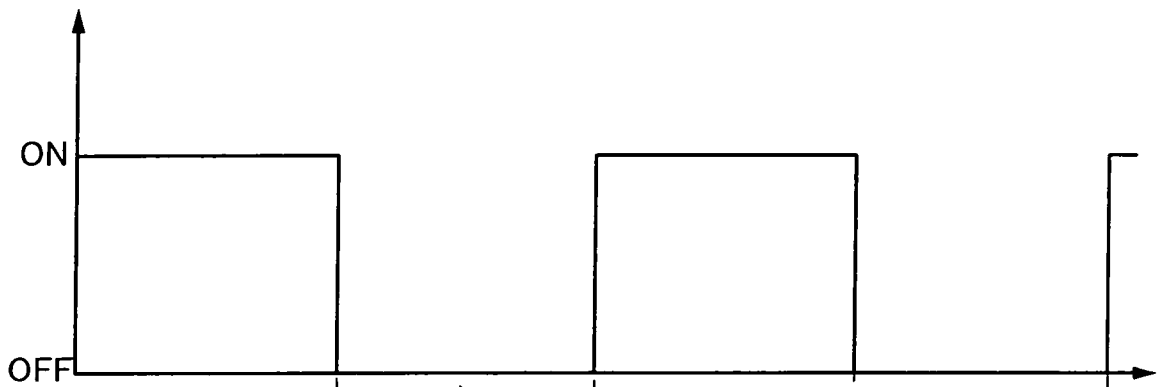


圖 5B

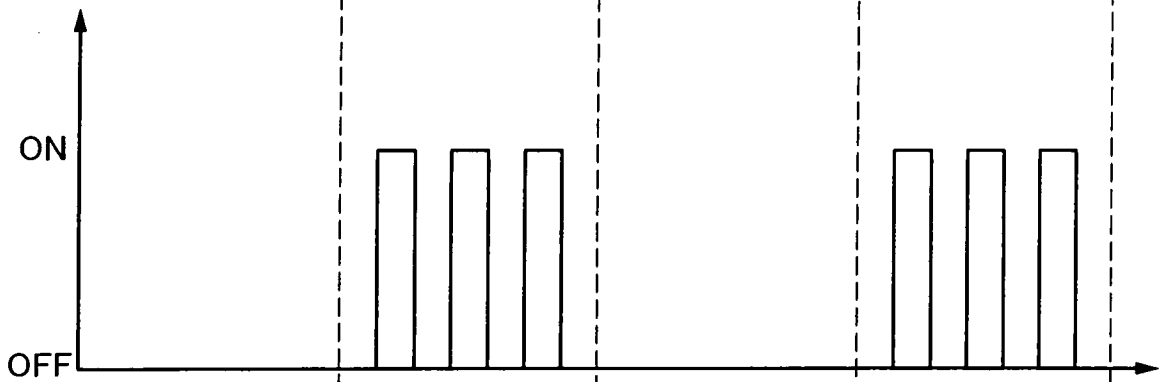


圖 5C

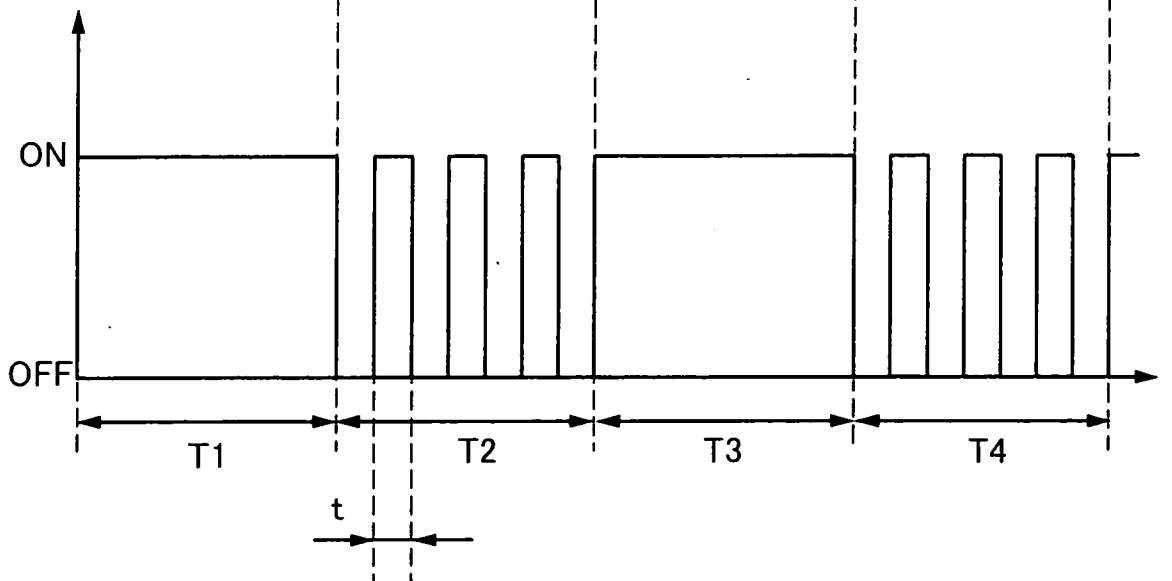


圖 6

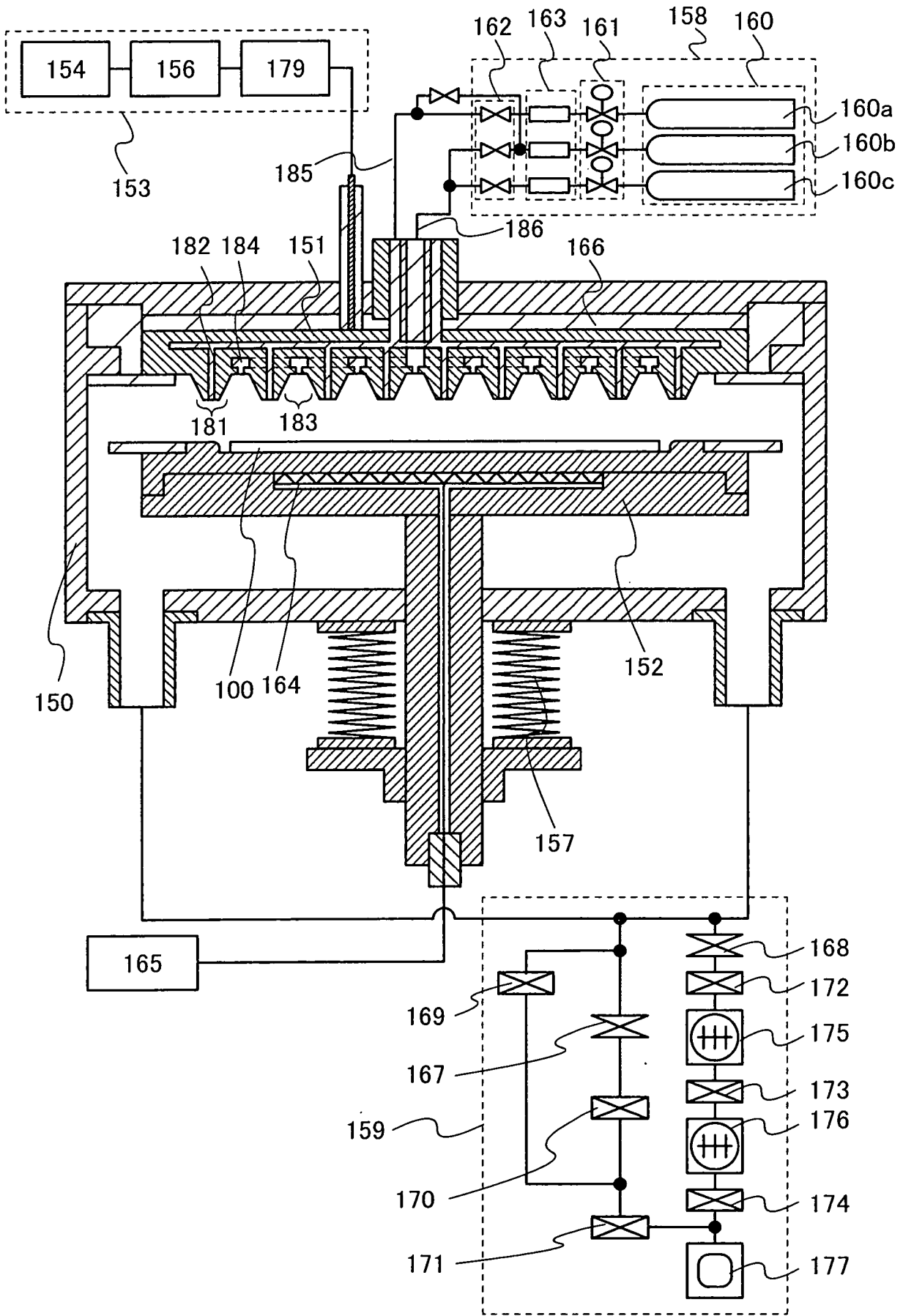


圖 7

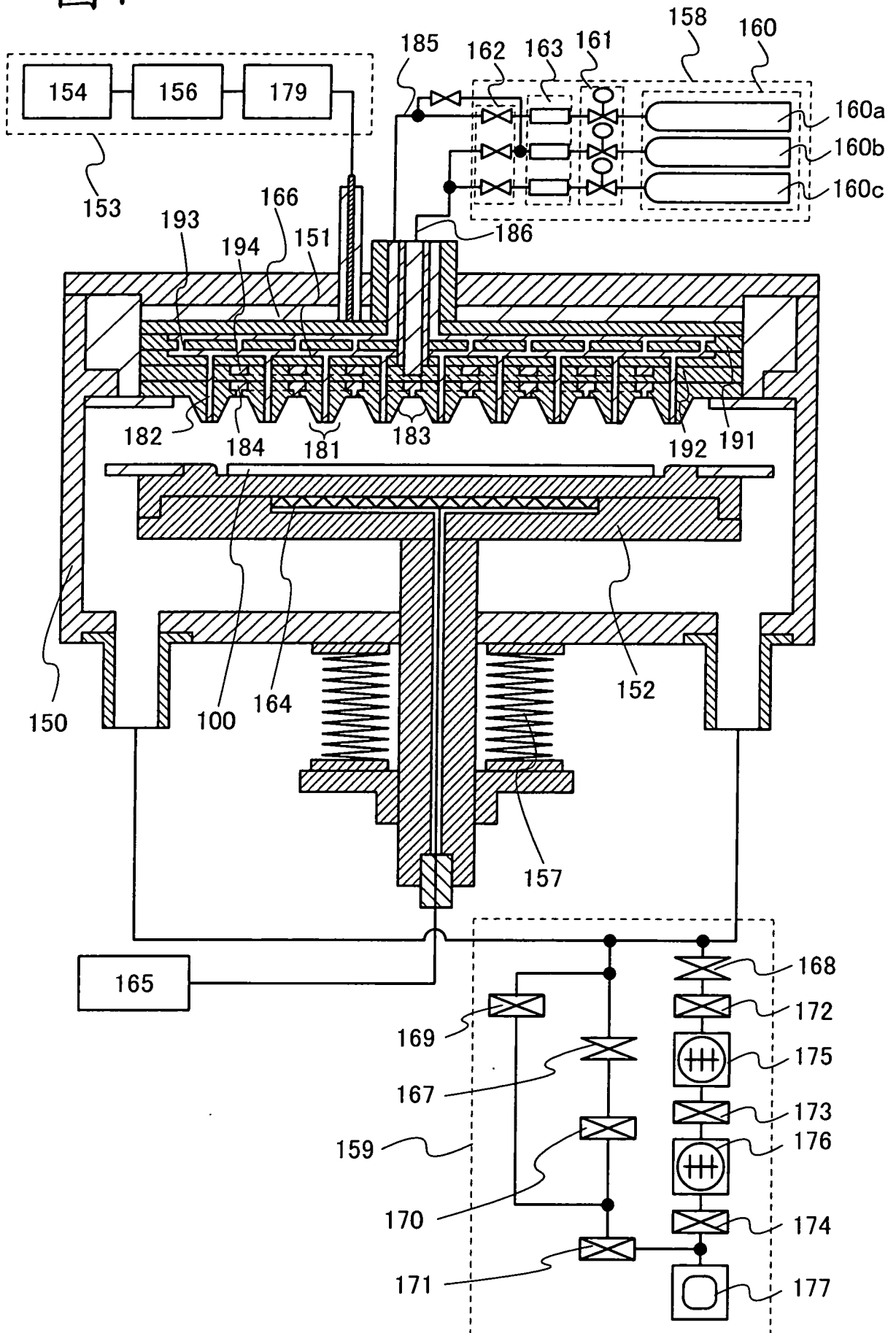


圖 8A

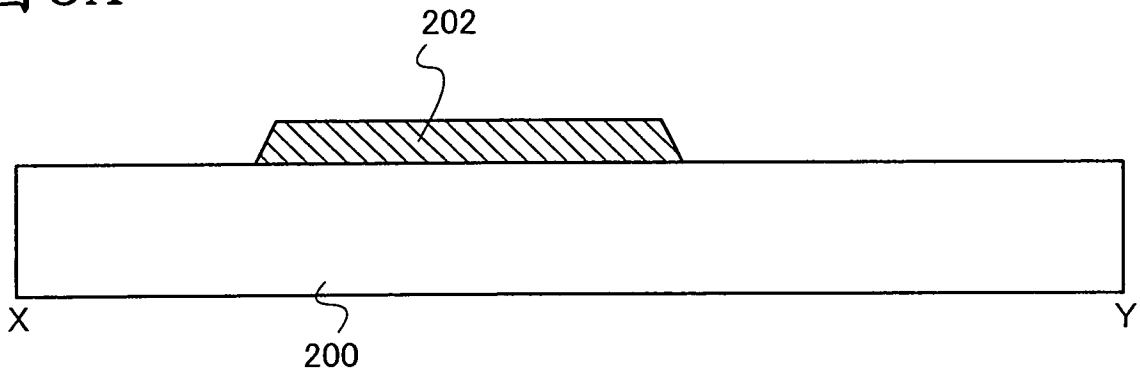


圖 8B

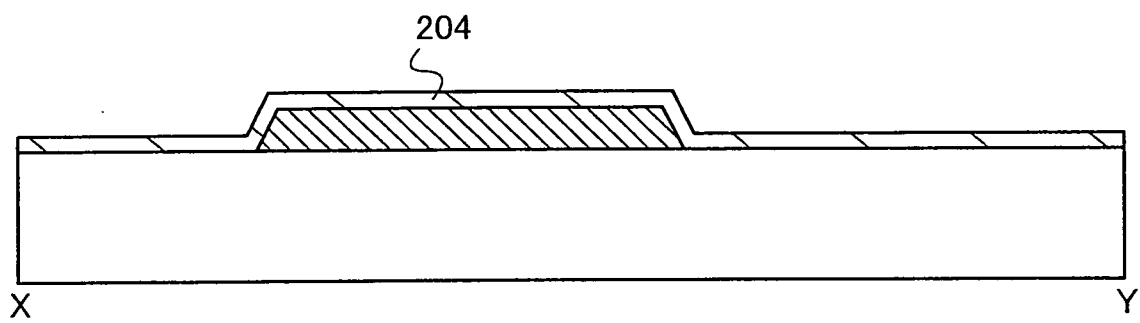


圖 8C

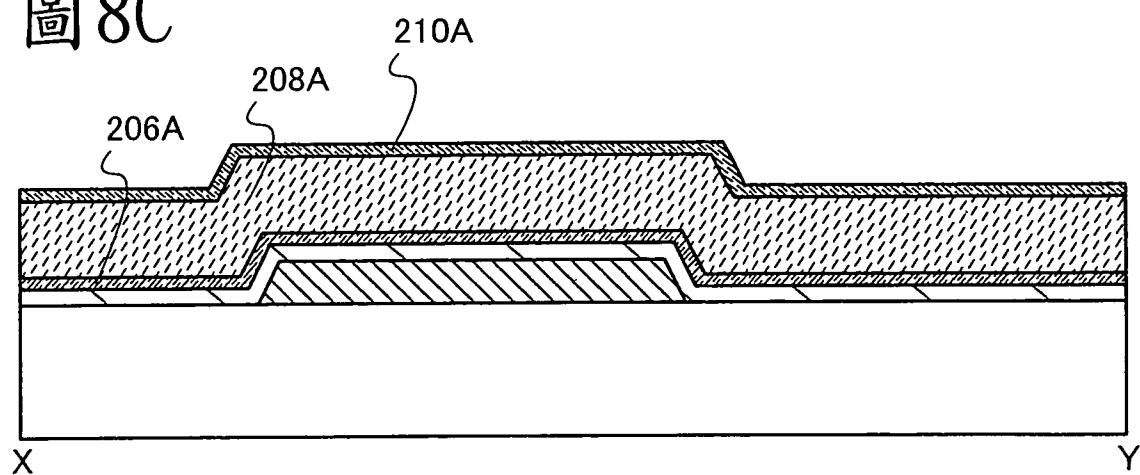


圖 9A

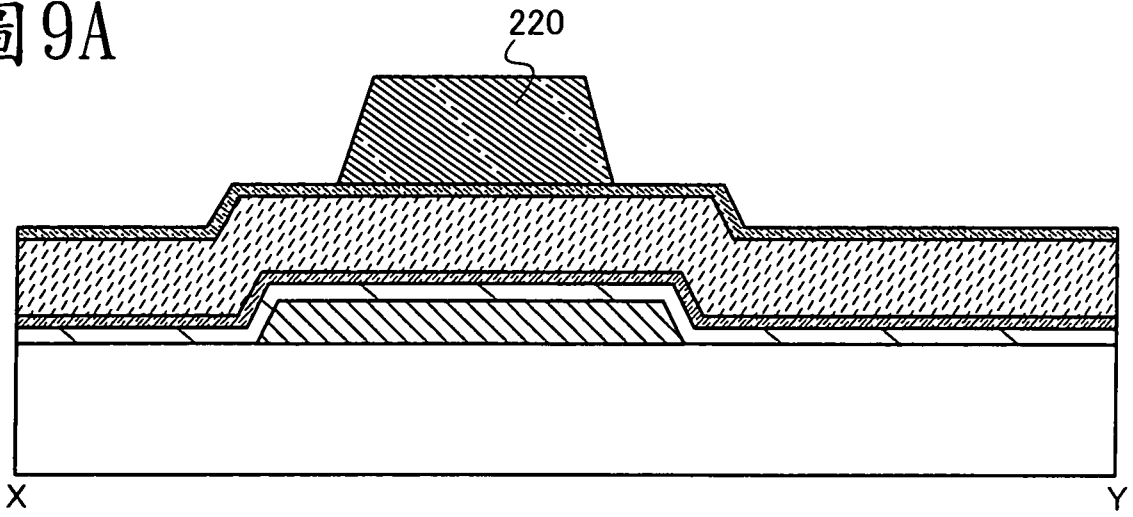


圖 9B

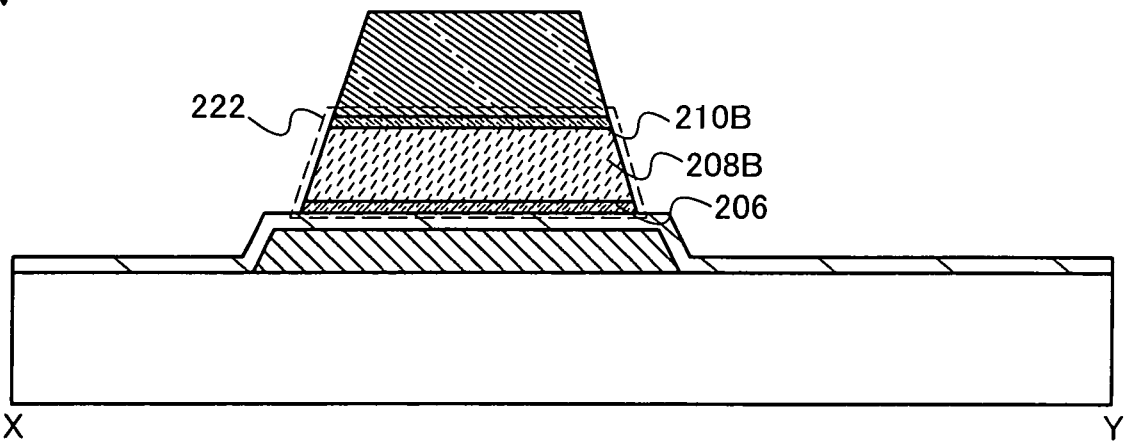


圖 9C

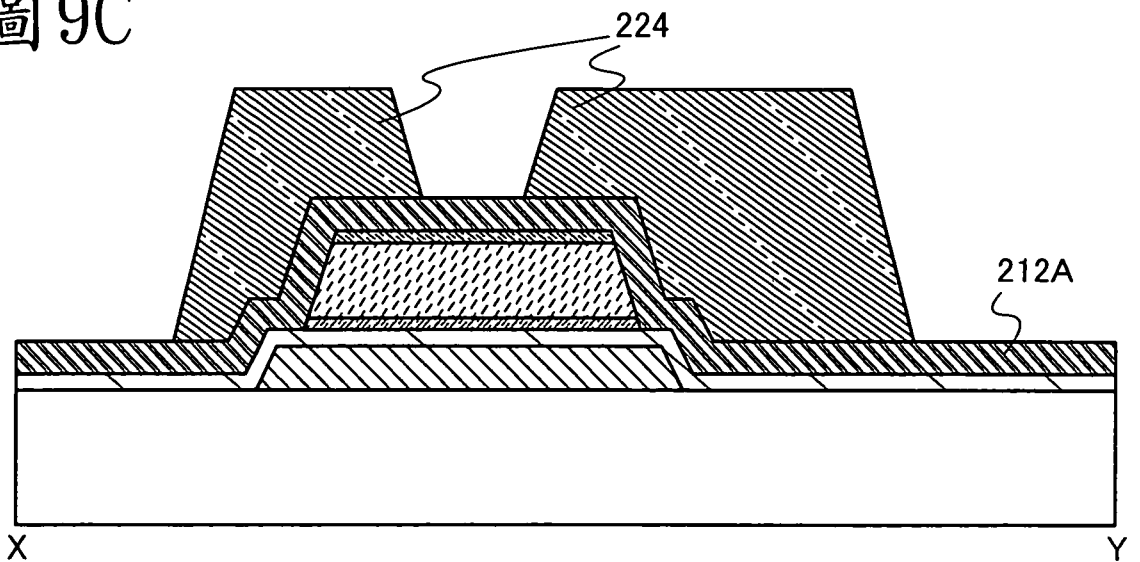


圖 10A

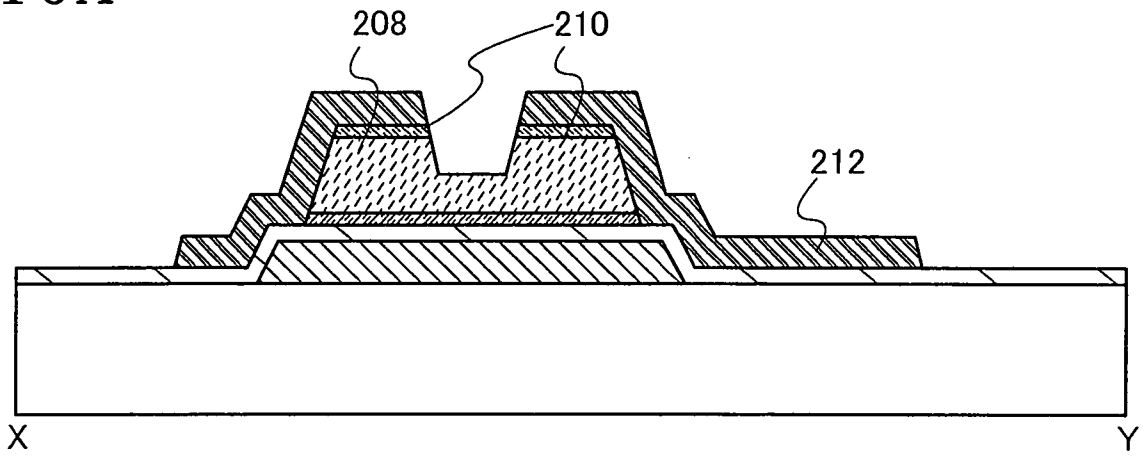


圖 10B

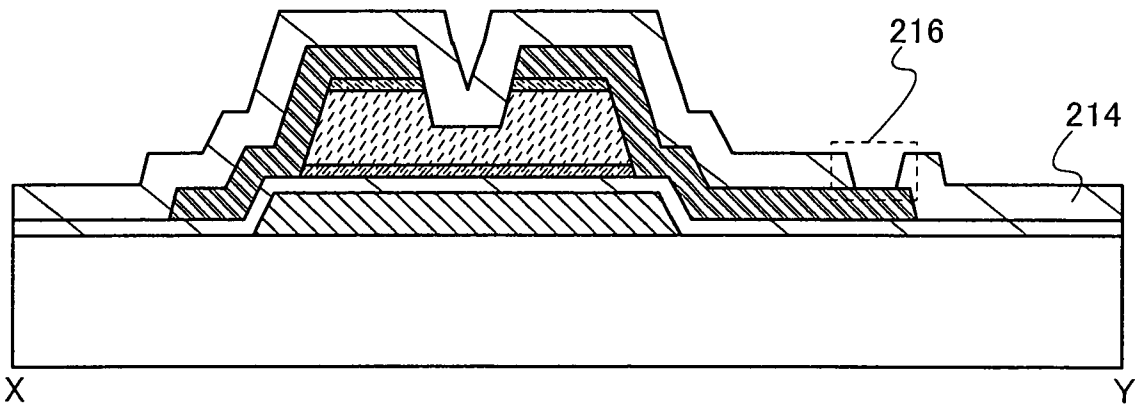


圖 10C

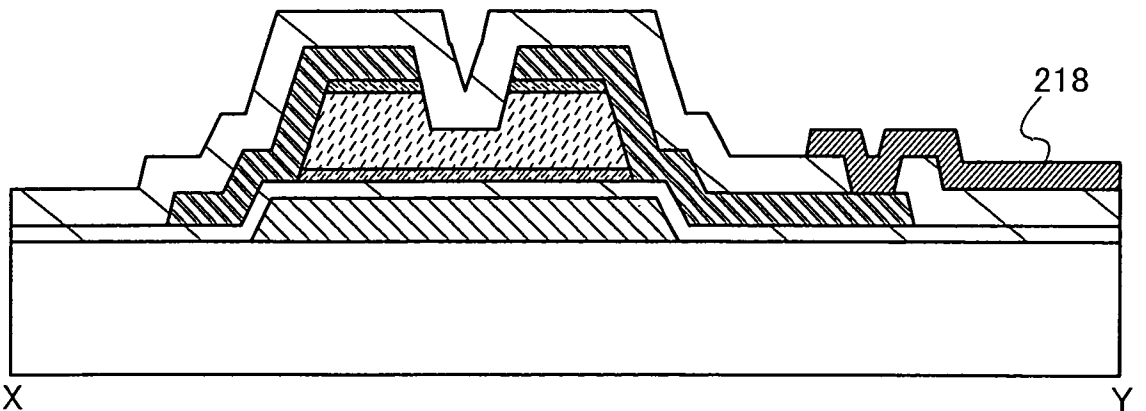


圖 11

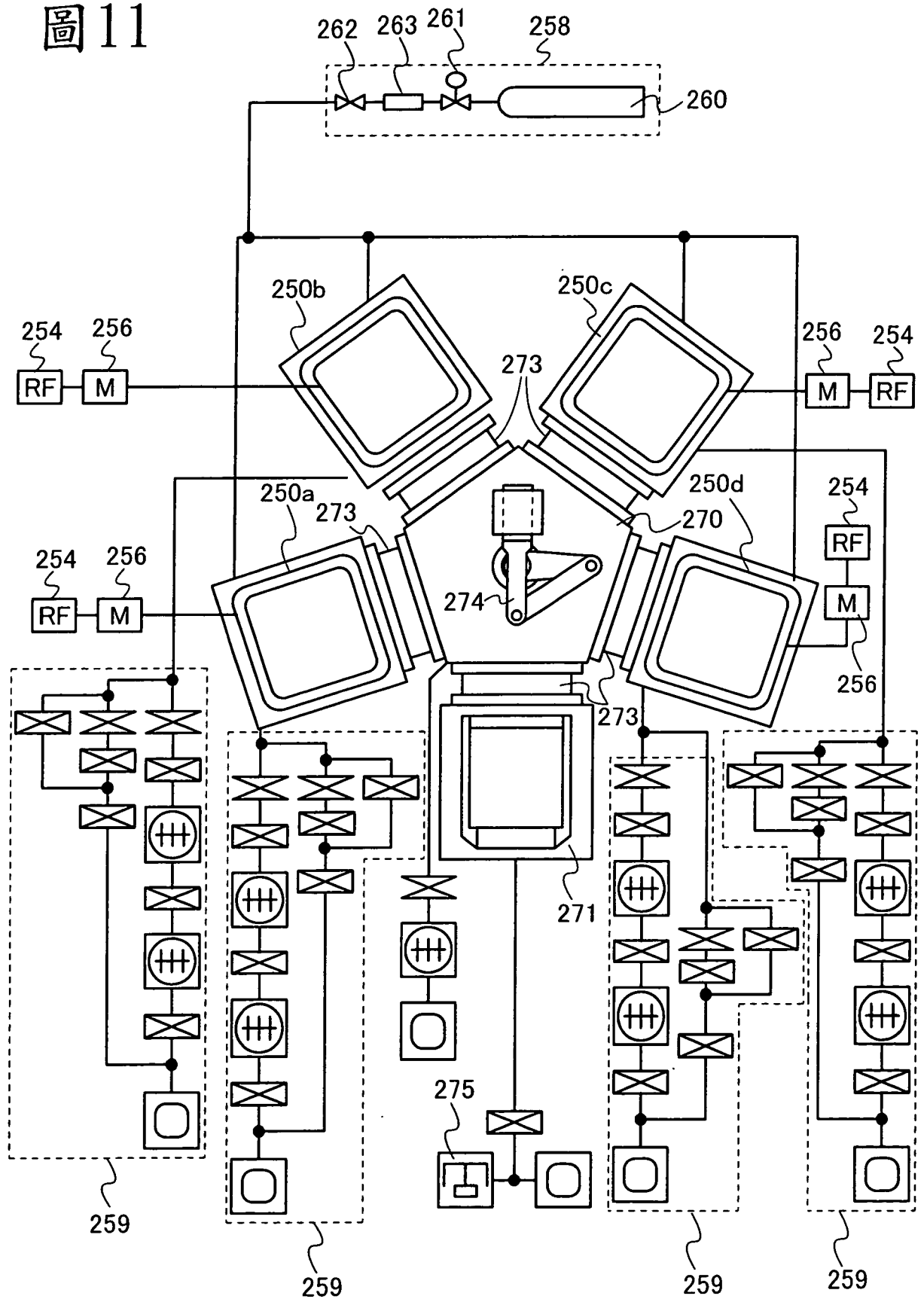


圖 12A

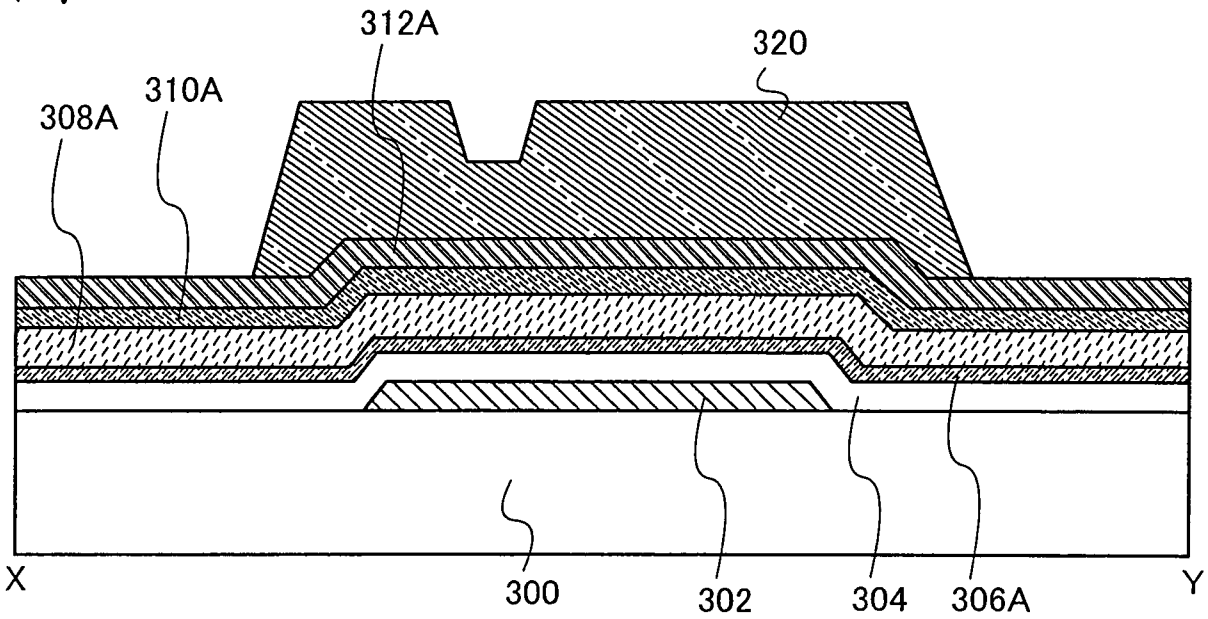


圖 12B

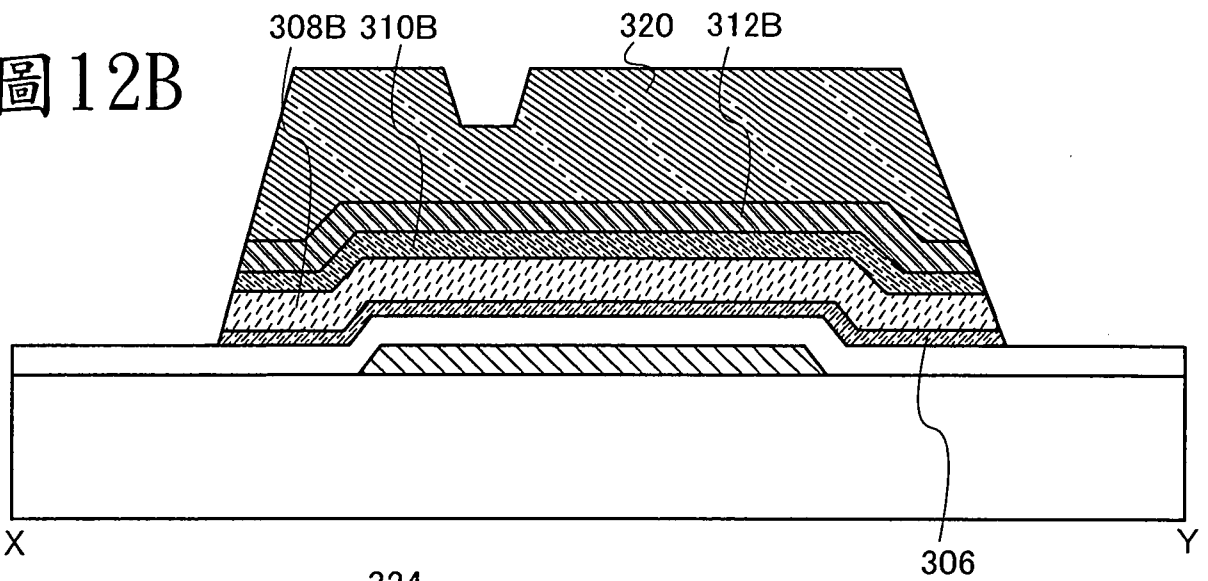


圖 12C

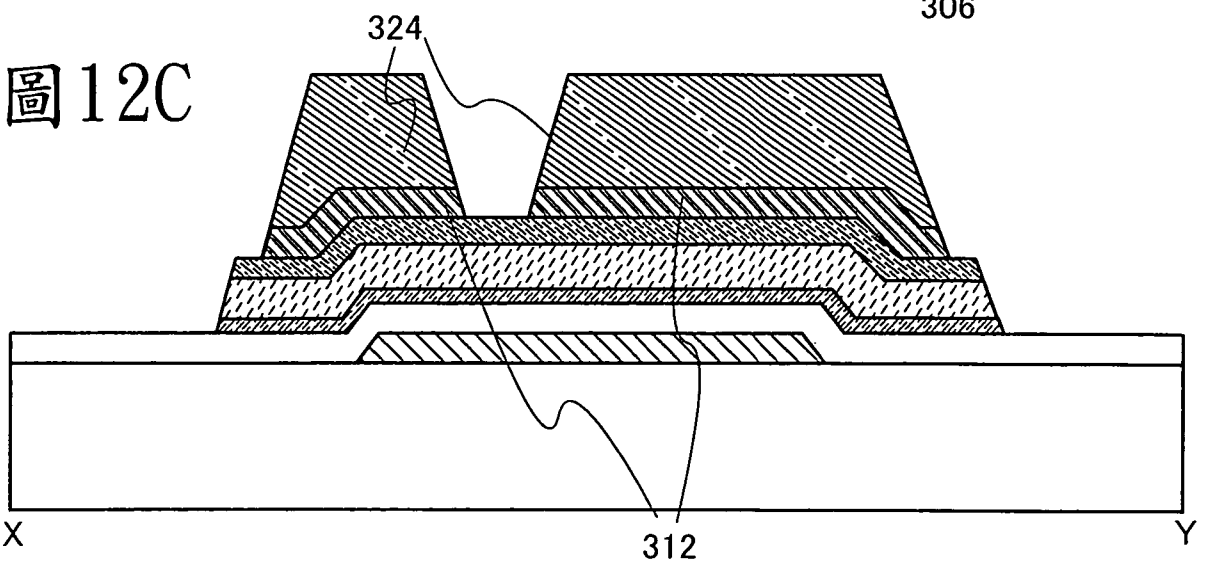


圖 13A

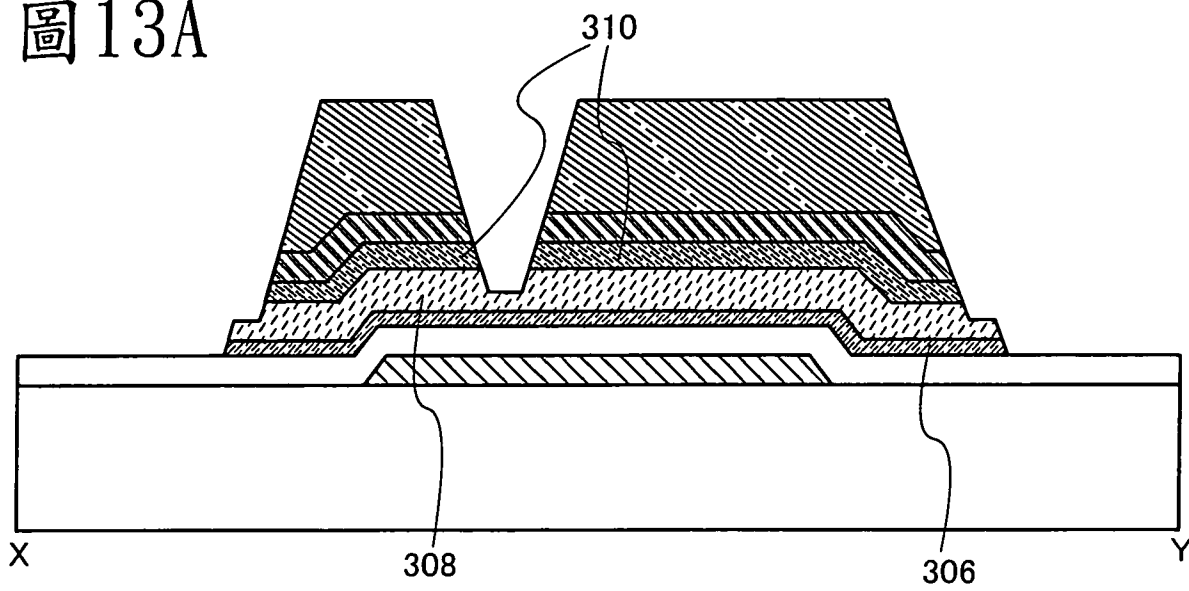


圖 13B

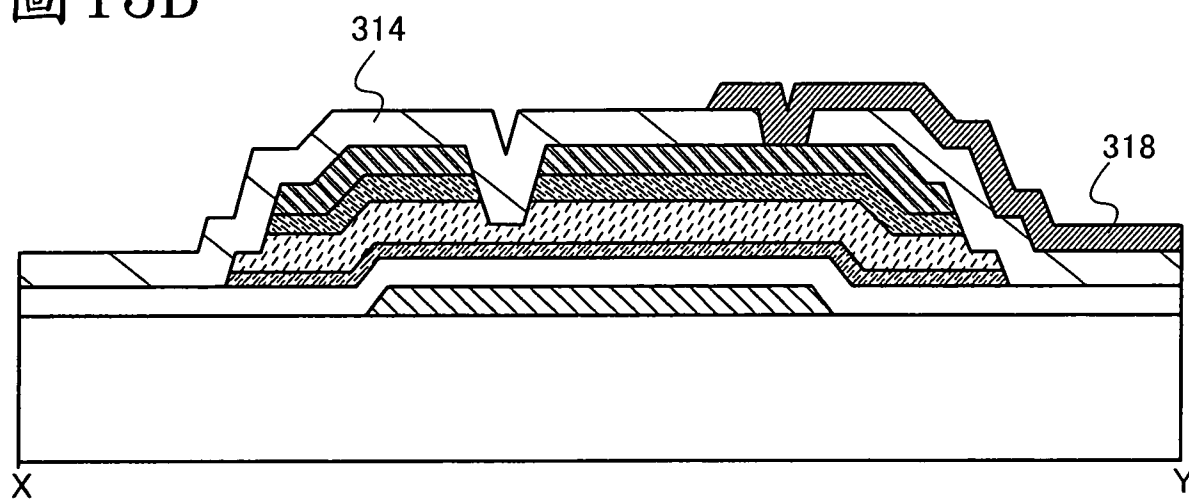


圖 14A

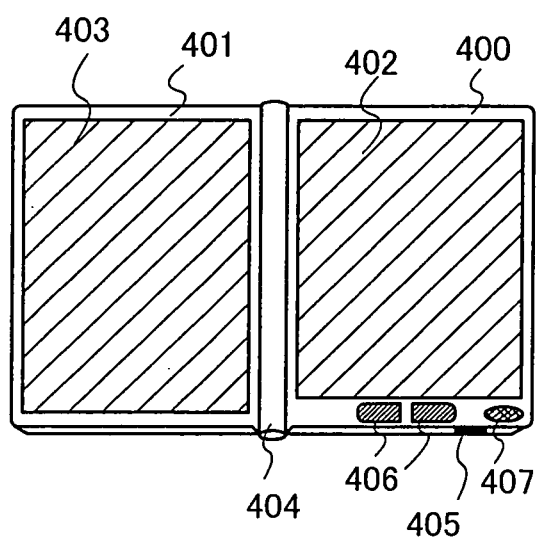


圖 14B

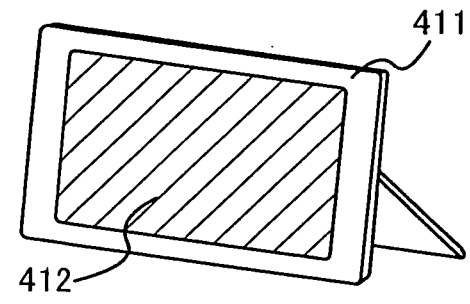


圖 14C

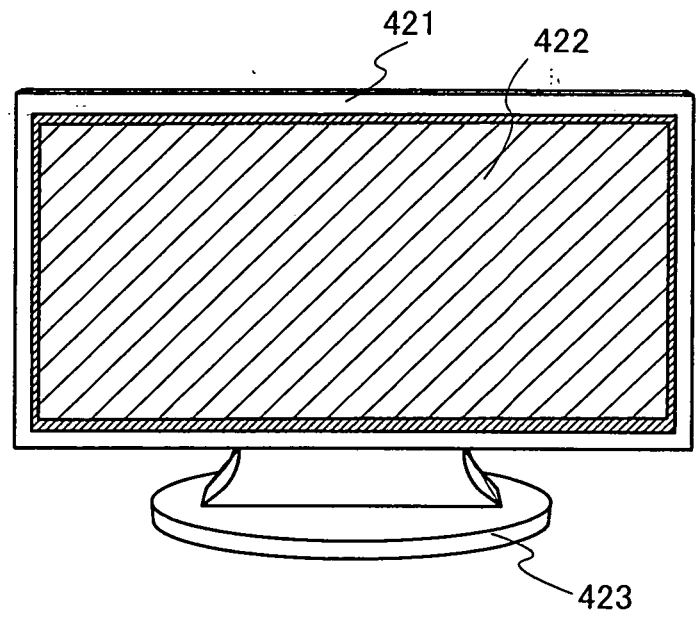


圖 14D

