

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-88513

(P2012-88513A)

(43) 公開日 平成24年5月10日(2012.5.10)

(51) Int.Cl.	F I	テーマコード(参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 623T	5C006
G02F 1/133 (2006.01)	G09G 3/20 621B	5C080
	G09G 3/20 611A	
	G09G 3/20 611C	

審査請求 未請求 請求項の数 9 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2010-234969 (P2010-234969)
 (22) 出願日 平成22年10月19日(2010.10.19)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100102864
 弁理士 工藤 実
 (72) 発明者 円城 啓裕
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内
 (72) 発明者 河越 弘和
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内
 Fターム(参考) 2H193 ZA04 ZA05 ZF01 ZF07 ZF21
 ZF31
 5C006 AC21 AC27 AC28 AF43 BB16
 BC06 BC11 FA14 FA43 FA47
 最終頁に続く

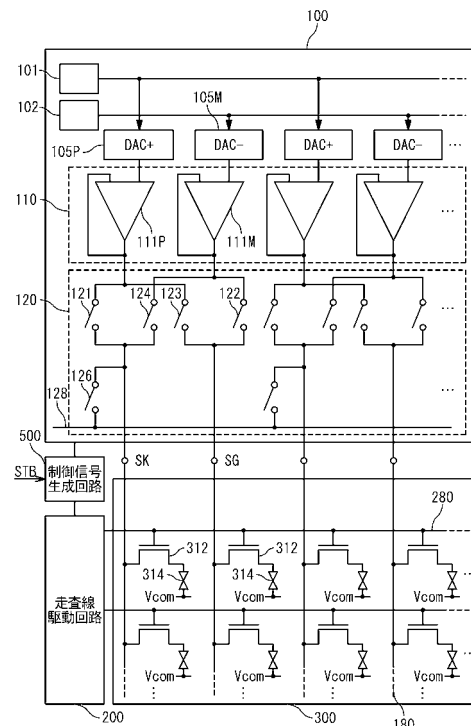
(54) 【発明の名称】 液晶表示装置駆動回路、駆動方法

(57) 【要約】

【課題】チップサイズを大きくせずにチャージシェア動作を行う液晶表示装置駆動回路、駆動方法を提供する。

【解決手段】液晶表示装置駆動回路は、第1および第2バッファ回路と第1から第4のスイッチと制御信号生成回路とを具備する。第1バッファ回路は第1のデータ線または第2のデータ線を駆動し、第2バッファ回路は第2のデータ線または第1のデータ線を駆動する。第1の制御信号にตอบสนองして、第1のスイッチは、第1バッファ回路が第1のデータ線を駆動するように閉成し、第2のスイッチは、第2バッファ回路が第2のデータ線を駆動するように閉成する。第2の制御信号にตอบสนองして、第3のスイッチは、第1バッファ回路が第2のデータ線を駆動するように閉成し、第4のスイッチは、第2バッファ回路が第1のデータ線を駆動するように閉成する。制御信号生成回路は、第1および第2の制御信号と、第1および第2バッファ回路の出力をハイインピーダンス状態にする第3の制御信号とをストロブ信号に基づいて生成する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

第 1 のデータ線または前記第 1 のデータ線に隣接する第 2 のデータ線を駆動する第 1 バッファ回路と、

前記第 2 のデータ線または前記第 1 のデータ線を駆動する第 2 バッファ回路と、

表示動作のタイミング基準を示すストローク信号に基づいて生成される第 1 の制御信号に
 応答して、前記第 1 バッファ回路が前記第 1 のデータ線を駆動するように閉成する第 1
 のスイッチと、

前記第 1 の制御信号に
 応答して、前記第 2 バッファ回路が前記第 2 のデータ線を駆動する
 ように閉成する第 2 のスイッチと、

前記ストローク信号に基づいて生成される第 2 の制御信号に
 応答して、前記第 1 バッファ回路が前記第 2 のデータ線を駆動する
 ように閉成する第 3 のスイッチと、

前記第 2 の制御信号に
 応答して、前記第 2 バッファ回路が前記第 1 のデータ線を駆動する
 ように閉成する第 4 のスイッチと、

前記第 1 および第 2 の制御信号と、前記第 1 および第 2 バッファ回路の出力をハイイン
 ピーダンス状態にする第 3 の制御信号とを前記ストローク信号に基づいて生成する制御信
 号生成回路と

を具備する

液晶表示装置駆動回路。

10

【請求項 2】

前記制御信号生成回路は、前記第 3 の制御信号に
 応答して前記第 1 および第 2 バッファ回路が出力をハイインピーダンスにする
 とき、前記第 1、第 2、第 3、第 4 のスイッチを閉成する
 ように前記第 1 および第 2 の制御信号を生成する

請求項 1 に記載の液晶表示装置駆動回路。

20

【請求項 3】

前記第 1 および第 2 バッファ回路の出力がハイインピーダンス状態のときに、前記第 1
 および第 2 のデータ線を共通ノードに接続する第 5 のスイッチをさらに具備する

請求項 1 または請求項 2 に記載の液晶表示装置駆動回路。

【請求項 4】

前記第 1 および第 2 バッファ回路は、前記第 3 の制御信号に
 応答してゲート・ソース間を短絡してオフ状態になる出力トランジスタを備える

請求項 1 から請求項 3 のいずれかに記載の液晶表示装置駆動回路。

30

【請求項 5】

前記第 1 および第 2 バッファ回路は、一端を出力ノードに接続され、他端を前段の出力
 に接続される位相補償容量を備え、

前記ハイインピーダンス状態のときに、前記他端は前記第 3 の制御信号に
 応答して所定の電源電圧に接続される

請求項 4 に記載の液晶表示装置駆動回路。

【請求項 6】

第 1 制御信号に
 応答して、第 1 バッファ回路の出力を第 1 データ線に接続し、第 2 バッ
 ファ回路の出力を第 2 データ線に接続するステップと、

第 2 制御信号に
 応答して、前記第 1 バッファ回路の出力を前記第 2 データ線に接続し、
 前記第 2 バッファ回路の出力を前記第 1 データ線に接続するステップと、

前記第 1 および第 2 バッファ回路の出力が前記第 1 および第 2 データ線に
 ともに接続されるとき、前記第 1 および第 2 バッファ回路の出力をハイイン
 ピーダンス状態にするステップと

を具備し、

前記ハイインピーダンス状態のときに隣り合う前記第 1 および第 2 データ線の電圧を共
 通電圧にするチャージシェア動作を行う

液晶表示装置の駆動方法。

40

50

【請求項 7】

前記ハイインピーダンス状態のときに、前記第 1 および第 2 データ線を共通ノードに接続するステップをさらに具備する

請求項 6 に記載の液晶表示装置の駆動方法。

【請求項 8】

前記第 1 および第 2 バッファ回路は、出力トランジスタを備え、

前記ハイインピーダンス状態にするステップは、前記出力トランジスタのゲート・ソース間を短絡してオフ状態にするステップを備える

請求項 6 または請求項 7 に記載の液晶表示装置の駆動方法。

【請求項 9】

前記第 1 および第 2 バッファ回路は、一端を出力ノードに接続され、他端を前段の出力に接続される位相補償容量を備え、

前記ハイインピーダンス状態にするステップは、前記他端を所定の電源電圧に接続するステップを備える

請求項 6 から請求項 8 のいずれかに記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置駆動回路、駆動方法に関する。

【背景技術】

【0002】

近年、高度な映像・情報化社会の進展やマルチメディアシステムの普及に伴い、液晶表示装置などのフラット表示装置の重要性はますます増大している。液晶表示装置は、低消費電力・薄型・軽量などの利点を有することから、携帯端末機器などの表示装置として幅広く応用されている。

【0003】

液晶表示装置は、画像表示を行う液晶パネルと、この液晶パネルを駆動するための駆動回路（走査線駆動回路：ゲートドライバ、データ線駆動回路：ソースドライバ）とを備えている。そして、データ線駆動回路（ソースドライバ）の消費電力低減や輻射ノイズ対策（EMI）、スルーレートの向上等の理由から、チャージシェア技術の採用が主流となっている。

【0004】

特開 2007-052396 号公報にチャージシェア技術を用いた液晶表示装置の駆動回路に関する技術が開示されている。図 1 は、その液晶表示装置の構成を示す概略図である。TFT（Thin Film Transistor）312 および液晶容量 314 がマトリクス状に配置される液晶パネル 300 と、液晶パネル 300 の走査線 280 を駆動する走査線駆動回路 200 と、液晶パネル 300 のデータ線を駆動するデータ線駆動回路 400 とを備える。データ線駆動回路 400 は、正極用階調電圧発生回路 401、負極用階調電圧発生回路 402、正極用階調電圧発生回路 401 が生成した階調電圧を DA 変換する正極用 DA 変換回路 405 P、負極用階調電圧発生回路 402 が生成した階調電圧を DA 変換する負極用 DA 変換回路 405 M、バッファ部 410、切り替え部 420、出力短絡部 430 を備える。

【0005】

DA 変換された信号は、バッファ部 410 でバッファリングされて切り替え部 420 において正極信号、負極信号が切り替えられる。出力短絡部 430 では、偶数データ線 480 とその隣り合う奇数データ線 481 とが短絡される。さらに、短絡された偶数データ線 480 と奇数データ線 481 とは、共通ノード接続スイッチ 426 を介して共通ノード 428 に接続され、偶数データ線 480 と奇数データ線 481 とは同電圧になる。

【0006】

図 2 に、このデータ線駆動回路 400 の DA 変換回路 405 P、405 M から出力まで

10

20

30

40

50

の一对のデータ線に関する部分を示す回路図が示される。一对の偶数データ線480、奇数データ線481の駆動に係る回路は、正極用DA変換回路405P、負極用DA変換回路405M、正極用バッファ回路411P、負極用バッファ回路411M、ストレートスイッチ421、422、クロススイッチ423、424、短絡スイッチ425を含む(図2では共通ノード428および共通ノード接続スイッチ426は図示省略)。

【0007】

データ線駆動回路400は、2つのバッファ回路を切り替えて一对のデータ線を駆動する2アンプ方式である。極性の切り替えは、4つのスイッチ(421、422、423、424)で行われる。ストレートスイッチ421、422は、バッファ回路411Pが奇数データ線481を駆動し、バッファ回路411Mが偶数データ線482を駆動するように、同相でオン状態になる(閉成される)。クロススイッチ423、424は、バッファ回路411Pが偶数データ線482を駆動し、バッファ回路411Mが奇数データ線481を駆動するように、同相でオン状態になる(閉成される)。したがって、ストレートスイッチ421、422と、クロススイッチ423、424とは逆位相で動作する。

10

【0008】

図3に示されるように、極性を切り替える時にチャージシェア動作が行われる。ストローク信号STBを表示動作のタイミング基準として(図3(a))、各スイッチを動作させる制御信号が切り替わる。ストレートスイッチ421、422をオンオフさせる制御信号SSTと、クロススイッチ423、424をオンオフさせる制御信号SCRとは、ストローク信号STBの立ち下りに同期して交互にオンし、ストローク信号STBの立ち上がり同期して交互にオフする(図3(b)(c))。ストローク信号STBがハイレベルの間、短絡スイッチ425および共通ノード接続スイッチ426が閉成してチャージシェアリングが行われる(図3(c)(d)(e))。すなわち、ストローク信号STBがハイレベルの期間に、スイッチ421~424が開放状態になり、スイッチ425、426が閉成状態になってチャージシェア動作が行われる(図3(d)(e))。

20

【0009】

チャージシェア動作では、短絡スイッチ425は、短時間に各偶数データ線480と各奇数データ線481の電圧を等しくするため、ある程度オン抵抗を小さくしなければならず、スイッチを構成するトランジスタの面積が大きくなる。すなわち、チャージシェア動作のための、オン抵抗が小さい短絡スイッチ425が必要となる。短絡スイッチ425は、各奇数データ線481・偶数データ線480間にあり、チップサイズが増大することになる。

30

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2007-052396号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

本発明は、チップサイズを大きくせずにチャージシェア動作を行う液晶表示装置駆動回路、駆動方法を提供する。

40

【課題を解決するための手段】

【0012】

以下に、[発明を実施するための形態]で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、[特許請求の範囲]の記載と[発明を実施するための形態]との対応関係を明らかにするために付加されたものである。ただし、それらの番号・符号を、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

【0013】

本発明の観点では、液晶表示装置駆動回路は、第1および第2バッファ回路(111P

50

、 1 1 1 M) と、第 1 から第 4 のスイッチ (1 2 1 ~ 1 2 4) と、制御信号生成回路 (5 0 0) とを具備する。第 1 バッファ回路 (1 1 1 P) は、第 1 のデータ線 (1 8 1) または第 1 のデータ線に隣接する第 2 のデータ線 (1 8 2) を駆動する。第 2 バッファ回路 (1 1 1 M) は、第 2 のデータ線 (1 8 2) または第 1 のデータ線 (1 8 1) を駆動する。第 1 のスイッチ (1 2 1) は、表示動作のタイミング基準を示すストローク信号 (S T B) に基づいて生成される第 1 の制御信号 (S S A) に応答して、第 1 バッファ回路 (1 1 1 P) が第 1 のデータ線を駆動するように閉成する。第 2 のスイッチ (1 2 2) は、第 1 の制御信号 (S S A) に応答して、第 2 バッファ回路 (1 1 1 M) が第 2 のデータ線 (1 8 2) を駆動するように閉成する。第 3 のスイッチ (1 2 3) は、ストローク信号 (S T B) に基づいて生成される第 2 の制御信号 (S S B) に応答して、第 1 バッファ回路 (1 1 1 P) が第 2 のデータ線 (1 8 2) を駆動するように閉成する。第 4 のスイッチ (1 2 4) は、第 2 の制御信号 (S S B) に応答して、第 2 バッファ回路 (1 1 1 M) が第 1 のデータ線 (1 8 1) を駆動するように閉成する。制御信号生成回路 (5 0 0) は、第 1 および第 2 の制御信号 (S S A 、 S S B) と、第 1 および第 2 バッファ回路の出力をハイインピーダンス状態にする第 3 の制御信号 (S S C ・ S S D) とをストローク信号 (S T B) に基づいて生成する。

10

【 0 0 1 4 】

本発明の他の観点では、液晶表示装置の駆動方法は、第 1 制御信号 (S S A) に応答して、第 1 バッファ回路 (1 1 1 P) の出力を第 1 データ線 (1 8 1) に接続し、第 2 バッファ回路 (1 1 1 M) の出力を第 2 データ線 (1 8 2) に接続するステップと、第 2 制御信号 (S S B) に応答して、第 1 バッファ回路 (1 1 1 P) の出力を第 2 データ線 (1 8 2) に接続し、第 2 バッファ回路 (1 1 1 M) の出力を第 1 データ線 (1 8 1) に接続するステップと、第 1 および第 2 バッファ回路 (1 1 1 P 、 1 1 1 M) の出力が第 1 および第 2 データ線 (1 8 1 、 1 8 2) にともに接続されるとき、第 1 および第 2 バッファ回路の出力をハイインピーダンス状態にするステップとを具備し、ハイインピーダンス状態のときに隣り合う第 1 および第 2 データ線の電圧を共通電圧にするチャージシェア動作を行う。

20

【 発明の効果 】

【 0 0 1 5 】

本発明によれば、チップサイズを大きくせずにチャージシェア動作を行う液晶表示装置駆動回路、駆動方法を提供することができる。

30

【 図面の簡単な説明 】

【 0 0 1 6 】

【 図 1 】 液晶表示装置の構成例を示すブロック図である。

【 図 2 】 データ線駆動回路の D A 変換回路から表示パネル負荷までの信号経路を説明する図である。

【 図 3 】 各スイッチの動作を説明するタイミングチャートである。

【 図 4 】 本発明の実施の形態に係る液晶表示装置の構成例を示すブロック図である。

【 図 5 】 本発明の実施の形態に係るデータ線駆動回路の D A 変換回路から表示パネル負荷までの信号経路を説明する図である。

40

【 図 6 】 本発明の実施の形態に係るバッファ回路の構成例を示す回路図である。

【 図 7 】 本発明の実施の形態に係る各スイッチの動作を説明するタイミングチャートである。

【 発明を実施するための形態 】

【 0 0 1 7 】

図面を参照して本発明の実施の形態を説明する。

【 0 0 1 8 】

図 4 は、本発明の実施の形態に係る液晶表示装置の構成を示す図である。T F T (T h i n F i l m T r a n s i s t o r) 3 1 2 および液晶容量 3 1 4 がマトリクス状に配置される液晶パネル 3 0 0 と、液晶パネル 3 0 0 の走査線 2 8 0 を駆動する走査線駆動

50

回路 200 と、液晶パネル 300 のデータ線 180 を駆動するデータ線駆動回路 100 と、制御信号生成回路 500 とを備える。

【0019】

制御信号生成回路 500 は、表示動作のタイミング基準を示すストロブ信号 STB に基づいて、データ線駆動回路 100 および走査線駆動回路 200 に各スイッチの動作タイミングを示す制御信号を供給する。

【0020】

データ線 180 は、その並びの順に基づいて、奇数データ線 181 と偶数データ線 182 とを組にして制御される。すなわち、2アンプ方式のデータ線駆動回路 100 は、正極用階調電圧発生回路 101、負極用階調電圧発生回路 102、正極用階調電圧発生回路 101 が生成した階調電圧に基づいて DA 変換する正極用 DA 変換回路 105 P、負極用階調電圧発生回路 102 が生成した階調電圧に基づいて DA 変換する負極用 DA 変換回路 105 M、バッファ部 110、切り替え部 120 を備える。

10

【0021】

DA 変換された信号は、バッファ部 110 でバッファリングされて切り替え部 120 において正極信号、負極信号が切り替えられる。さらに、共通ノード接続スイッチ 126 を介して共通ノード 128 に接続されて各データ線 180 は同電圧になる。ここでは、共通ノード接続スイッチ 126 は、奇数データ線 181 に接続されているが、偶数データ線 182 に接続されてもよいし、全てのデータ線 180 に接続されてもよい。

20

【0022】

図 5 に、このデータ線駆動回路 100 の DA 変換回路 105 P、105 M から出力までの一对のデータ線に関する部分を示す回路図が示される。一对のデータ線 181、182 の駆動に係る回路は、正極用 DA 変換回路 105 P、負極用 DA 変換回路 105 M、正極用バッファ回路 111 P、負極用バッファ回路 111 M、ストレートスイッチ 121、122、クロススイッチ 123、124 を含む（図 5 では、共通ノード 128 および共通ノード接続スイッチ 126 は図示省略）。

【0023】

データ線駆動回路 100 は、2つのバッファ回路を切り替えて一对のデータ線を駆動する 2アンプ方式である。極性の切り替えは、4つのスイッチ（121、122、123、124）で行う。ストレートスイッチ 121、122 は、バッファ回路 111 P が奇数データ線 181 を駆動し、バッファ回路 111 M が偶数データ線 182 を駆動するように、制御信号生成回路 500 から供給される制御信号 SSA に基づいて動作する。クロススイッチ 123、124 は、バッファ回路 111 P が偶数データ線 182 を駆動し、バッファ回路 111 M が奇数データ線 181 を駆動するように、制御信号生成回路 500 から供給される制御信号 SSB に基づいて動作する。したがって、ストレートスイッチ 121、122 とクロススイッチ 123、124 とが同時に閉成されると、奇数データ線 181 と偶数データ線 182 とは短絡される。奇数データ線 181 は奇数出力ノード SK を介して表示パネル負荷 331 を駆動し、偶数データ線 182 は偶数出力ノード SG を介して表示パネル負荷 332 を駆動する。

30

【0024】

バッファ部 110 のバッファ回路 111（ここでは、バッファ回路 111 P、111 M は同じ回路構成のバッファ回路 111 として説明する）は、図 6 に示されるように、入力部、加算部、出力部を備える。入力部は、入力ノード INP、INN から入力される差動信号を受ける相補の 2つの差動増幅回路を備える。第 1の差動増幅回路は、トランジスタ MN1、MN2 および定電流源 ICS1 を含み、第 2の差動増幅回路は、トランジスタ MP1、MP2 および定電流源 ICS2 を含む。

40

【0025】

加算部は、2つのカレントミラー回路と定電流源 ICS3 と浮遊電流源 ICS4 とを備える。第 1の差動増幅回路に接続される第 1のカレントミラー回路は、トランジスタ MP3 ~ MP6 を備え、第 2の差動増幅回路に接続される第 2のカレントミラー回路は、トラ

50

ンジスタMN3～MN6を備える。定電流源ICS3は、第1のカレントミラー回路と第2のカレントミラー回路との間に接続される。AB級バイアス制御を行う浮遊電流源ICS4は、第1のカレントミラー回路と第2のカレントミラー回路の出力側の間に接続される。トランジスタMP5、MP6のゲートにはバイアス電圧BP2が印加され、また、トランジスタMN5、MN6のゲートにはバイアス電圧BN2が印加される。

【0026】

出力部は、出力トランジスタMP8、MN8と、位相補償容量C1、C2と、スイッチSW1～SW8を備える。出力トランジスタMP8、MN8は、電源電圧VDD、VSS間に直列に接続される。出力トランジスタMP8のゲートは、スイッチSW1を介して電源電圧VDDに接続され、トランジスタMP6と浮遊電流源ICS4との接続ノードN7にスイッチSW7を介して接続される。スイッチSW1とスイッチSW7とは、出力トランジスタMP8のゲートを加算部のノードN7または電源電圧VDDに接続切り替えする。出力トランジスタMP8のゲートが電源電圧VDDに接続されると、出力トランジスタMP8はオフ状態になる。また、出力トランジスタMN8のゲートは、スイッチSW2を介して電源電圧VSSに接続され、トランジスタMN6と浮遊電流源ICS4との接続ノードN8にスイッチSW8を介して接続される。スイッチ2とスイッチ8とは、出力トランジスタMN8のゲートを加算部のノードN8または電源電圧VSSに接続切り替えする。出力トランジスタMN8のゲートが電源電圧VSSに接続されると、出力トランジスタMN8はオフ状態になる。

10

【0027】

出力トランジスタMP8のドレインと出力トランジスタMN8のドレインとの接続ノードがバッファ回路111の出力ノードOUTとなる。トランジスタMP4、MP6の接続ノードN5と出力ノードOUTとの間に位相補償容量C1が挿入される。位相補償容量C1は、スイッチSW5を介して接続ノードN5に接続され、さらに、スイッチSW3を介して電源電圧VDDに接続される。トランジスタMN4、MN6の接続ノードN6と出力ノードOUTとの間に位相補償容量C2が挿入される。位相補償容量C2は、スイッチSW6を介して接続ノードN6に接続され、さらに、スイッチSW4を介して電源電圧VSSに接続される。

20

【0028】

スイッチSW1～SW8は、ストローク信号STBに基づいて制御される。スイッチSW1～SW4は、制御信号生成回路500から供給される制御信号SSCに基づいて動作し、ストローク信号STBがハイレベルのときにスイッチSW1～SW4は回路を開放する。スイッチSW5～SW8は、制御信号生成回路500から供給される制御信号SSDに基づいて動作し、ストローク信号STBがハイレベルのときにスイッチSW5～SW8は回路を閉成する。スイッチSW1～SW8は、大きな電流を流さないため、小さなトランジスタを用いることができる。このように、スイッチSW1～SW8によって、バッファ回路111は、ストローク信号STBに基づいて出力をハイインピーダンス状態にし、出力ノードOUTを電源電圧VDD、VSSの中間の電圧にすることができる。

30

【0029】

図7は、データ線駆動回路100の動作を示すタイミングチャートである。ストローク信号STBは、図7(a)に示されるように、表示動作のタイミング基準を示す信号である。制御信号SSAは、図7(b)に示されるように、ストローク信号STBの1周期分とストローク信号STBがハイレベルの間、ストレートスイッチ121、122が閉成(オン)するようにハイレベルになる。制御信号SSbは、図7(c)に示されるように、ストローク信号STBの1周期とストローク信号STBがハイレベルの間、クロススイッチ123、124が閉成するようにハイレベルになる。すなわち、ストローク信号STBがハイレベルの間、制御信号SSA、SSBはハイレベルとなり、スイッチ121～124は全て閉成状態になる。

40

【0030】

バッファ回路111に供給される制御信号SSCは、図7(d)に示されるように、ス

50

トローブ信号 S T B がハイレベルの間ハイレベルになる。制御信号 S S C がハイレベルの期間は、出力トランジスタ M P 8 のゲート、位相補償容量 C 1 は電源電圧 V D D に接続され、出力トランジスタ M N 8 のゲート、位相補償容量 C 2 は電源電圧 V S S に接続される。また、バッファ回路 1 1 1 に供給される制御信号 S S D は、図 7 (e) に示されるように、ストローブ信号 S T B と逆相でストローブ信号 S T B がローレベルの間ハイレベルになる。制御信号 S S D がハイレベルの期間は、スイッチ S W 5 ~ S W 8 がオン状態になる。したがって、ストローブ信号 S T B がローレベルの間、スイッチ S W 1 ~ S W 4 がオフ状態、スイッチ S W 5 ~ S W 8 がオン状態になり、バッファ回路 1 1 1 の加算部の出力が出力部に供給され、入力に応じて出力部から出力信号が出力される。ストローブ信号 S T B がハイレベルの間、スイッチ S W 1 ~ S W 4 がオン状態、スイッチ S W 5 ~ S W 8 がオフ状態になり、バッファ回路 1 1 1 の出力部 (トランジスタ M P 8、M N 8、位相補償容量 C 1、C 2) は、加算部と切り離される。出力トランジスタ M P 8、M N 8 がオフ状態になってバッファ回路 1 1 1 の出力はハイインピーダンス状態になり、さらに、バッファ回路 1 1 1 と、奇数データ線 1 8 1 および偶数データ線 1 8 2 とを接続するスイッチ 1 2 1 ~ 1 2 4 が全て閉成されるため、奇数出力ノード S K および偶数出力ノード S G は、同電圧になる (図 7 (f) (g))。このストローブ信号 S T B がハイレベルの期間がチャージシェア動作期間となる。これまでのチャージシェア動作に必要であった短絡スイッチ 4 2 5 (図 1、図 2 参照) を用いずにチャージシェア動作させることができる。

10

【 0 0 3 1 】

バッファ回路 1 1 1 がハイインピーダンス状態になることによりバッファ部 1 1 0 と切り替え部 1 2 0 とが切り離され、同時期に、スイッチ 1 2 1 ~ 1 2 4 が閉成されるため、隣接する奇数出力ノード S K、偶数出力ノード S G 及びこれに接続される表示パネル負荷 3 3 1、3 3 2 が短絡される。短絡される複数のデータ線対は、共通ノード接続スイッチ 1 2 6 により共通ノード 1 2 8 に短絡される (図 4 参照)。

20

【 0 0 3 2 】

このように、バッファ回路 1 1 1 が出力をハイインピーダンス状態とし、スイッチ 1 2 1 ~ 1 2 4 が同時に閉成して隣接するデータ線の短絡を実現し、図 1 に示されるチャージシェア用の短絡スイッチ 4 2 5 を完全に削除することができる。そして、個々のスイッチ 1 2 1、1 2 2、1 2 3、1 2 4 の機能を損なうことなく、同時に閉成される時のオン抵抗をチャージシェア用の短絡スイッチ 4 2 5 と同等以下に設計することが可能である。そのためチャージシェア動作上の影響も無く、チャージシェア用の短絡スイッチ 4 2 5 を削除した分レイアウト面積上も有利となる。

30

【 0 0 3 3 】

バッファ回路 1 1 1 は、上記の構成に限定されず、制御信号 S S C、S S D に基づいて、出力をハイインピーダンスにすることが可能であればよい。また、制御信号 S S C、S S D に基づいて、バッファ回路 1 1 1 の出力ノード O U T は、電源電圧 V D D、V S S の中間電圧等の所定の電圧に固定されることが好ましい。

【 0 0 3 4 】

以上、実施の形態を参照して本願発明を説明したが、本願発明は上記実施の形態に限定されるものではない。本願発明の構成や詳細には、本願発明のスコープ内で当業者が理解し得る様々な変更をすることができる。

40

【 符号の説明 】

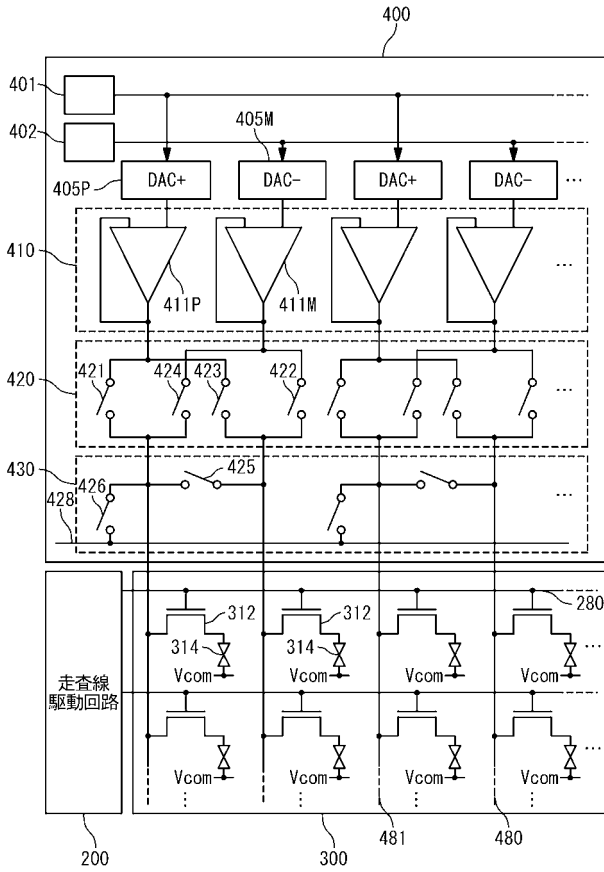
【 0 0 3 5 】

- 1 0 0 データ線駆動回路 (ソースドライバ)
- 1 0 1 正極用階調電圧発生回路
- 1 0 2 負極用階調電圧発生回路
- 1 0 5 P 正極用 D A 変換回路
- 1 0 5 M 負極用 D A 変換回路
- 1 1 0 バッファ部
- 1 1 1 P、1 1 1 M バッファ回路

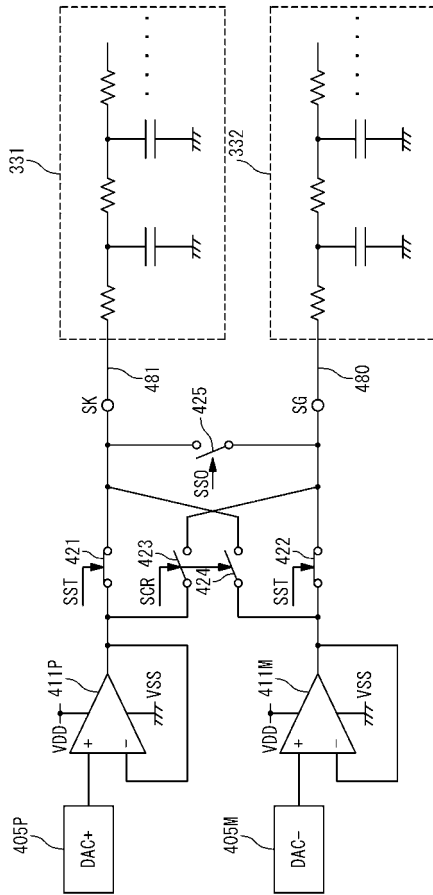
50

1 2 0	切り替え部	
1 2 1、1 2 2	ストレートスイッチ	
1 2 3、1 2 4	クロススイッチ	
1 2 6	共通ノード接続スイッチ	
1 2 8	共通ノード	
1 8 0	データ線	
1 8 1	奇数データ線	
1 8 2	偶数データ線	
2 0 0	走査線駆動回路(ゲートドライバ)	
2 8 0	走査線	10
3 0 0	液晶パネル	
3 1 2	T F T	
3 1 4	液晶容量	
3 3 1、3 3 2	表示パネル負荷	
4 0 0	データ線駆動回路(ソースドライバ)	
4 0 1	正極用階調電圧発生回路	
4 0 2	負極用階調電圧発生回路	
4 0 5 P	正極用 D A 変換回路	
4 0 5 M	負極用 D A 変換回路	
4 1 0	バッファ部	20
4 1 1 P、4 1 1 M	バッファ回路	
4 2 0	切り替え部	
4 2 1、4 2 2	ストレートスイッチ	
4 2 3、4 2 4	クロススイッチ	
4 2 5	短絡スイッチ	
4 2 6	共通ノード接続スイッチ	
4 2 8	共通ノード	
4 3 0	出力短絡部	
4 8 0	偶数データ線	
4 8 1	奇数データ線	30
5 0 0	制御信号生成回路	
B P 2、B M 2	バイアス電圧	
C 1、C 2	位相補償容量	
I C S 1、I C S 2、I C S 3、I C S 4	定電流源	
I N N、I N P	入力ノード	
M N 1、M N 2、M N 3、M N 4、M N 5、M N 6、M N 8	トランジスタ	
M P 1、M P 2、M P 3、M P 4、M P 5、M P 6、M P 8	トランジスタ	
O U T	出力ノード	
S K	奇数出力ノード	
S G	偶数出力ノード	40

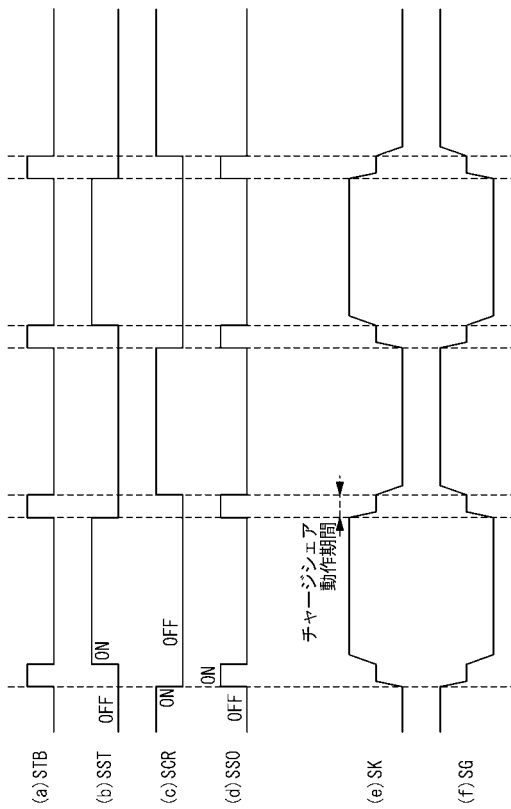
【 図 1 】



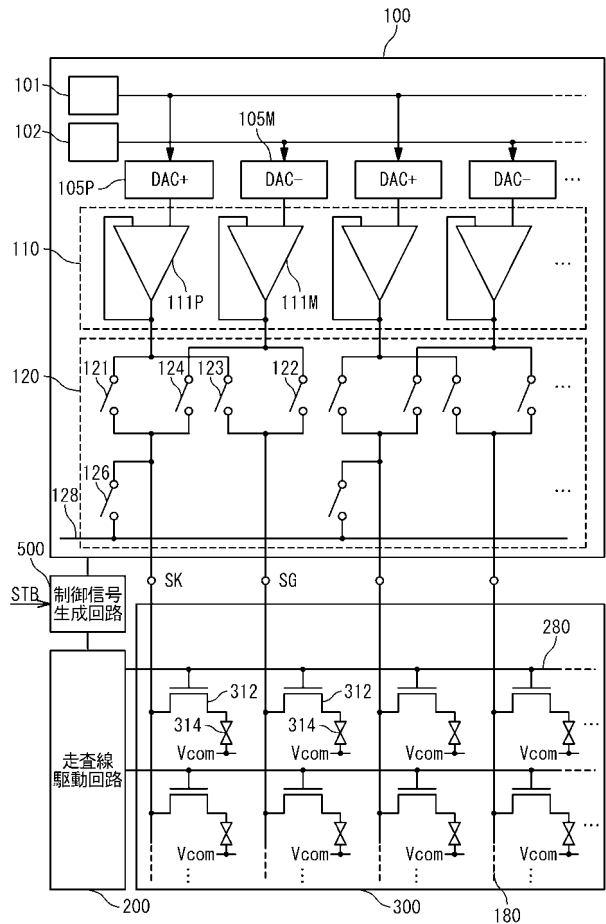
【 図 2 】



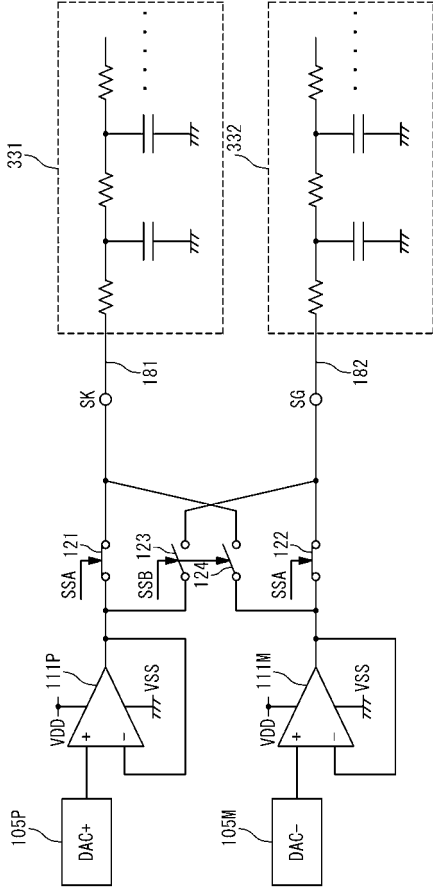
【 図 3 】



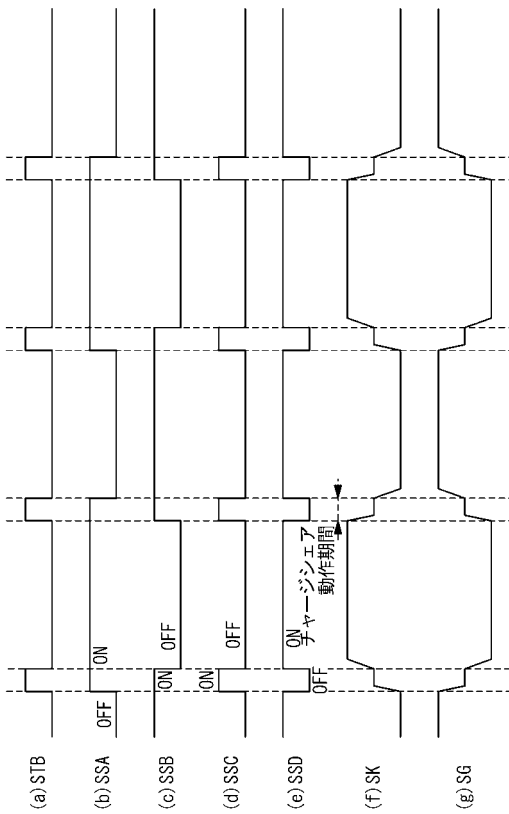
【 図 4 】



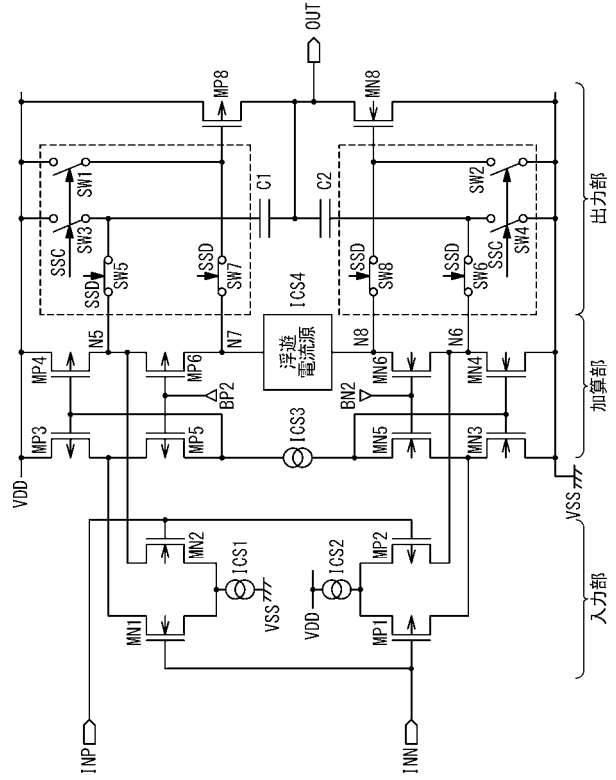
【 図 5 】



【 図 7 】



【 図 6 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 A
G 0 2 F	1/133	5 5 0
G 0 9 G	3/20	6 2 1 F

Fターム(参考) 5C080 AA10 BB05 DD05 DD08 DD26 EE29 FF01 FF11 JJ02 JJ03
JJ04