



(12)发明专利申请

(10)申请公布号 CN 109643700 A

(43)申请公布日 2019.04.16

(21)申请号 201880002644.0

H01L 21/68(2006.01)

(22)申请日 2018.11.21

(85)PCT国际申请进入国家阶段日

2018.12.28

(86)PCT国际申请的申请数据

PCT/CN2018/116664 2018.11.21

(71)申请人 长江存储科技有限责任公司

地址 430074 湖北省武汉市东湖开发区关

东科技工业园华光大道18号7018室

(72)发明人 严孟 王家文 胡思平 胡顺

(74)专利代理机构 北京永新同创知识产权代理

有限公司 11376

代理人 钟胜光

(51)Int.Cl.

H01L 23/544(2006.01)

权利要求书3页 说明书14页 附图10页

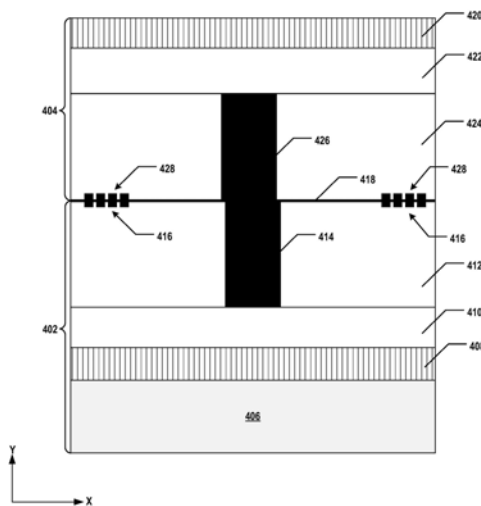
(54)发明名称

接合界面处的接合对准标记

(57)摘要

公开了接合半导体结构及其制作方法的实施例。在示例中，一种半导体器件包括第一半导体结构、第二半导体结构以及处于第一半导体结构和第二半导体结构之间的接合界面。所述第一半导体结构包括衬底、设置在所述衬底上的第一器件层以及设置在所述第一器件层上方并且包括第一接合触点和第一接合对准标记的第一接合层。所述第二半导体结构包括第二器件层以及设置在所述第二器件层下方并且包括第二接合触点和第二接合对准标记的第二接合层。使所述第一接合对准标记与所述第二接合对准标记在所述接合界面处对准，以使得所述第一接合触点与所述第二接合触点在接合界面处对准。

400



1. 一种半导体器件,包括:

第一半导体结构,其包括衬底、设置在所述衬底上的第一器件层以及设置在所述第一器件层上方并且包括第一接合点和第一接合对准标记的第一接合层;

第二半导体结构,其包括第二器件层以及设置在所述第二器件层下方并且包括第二接合点和第二接合对准标记的第二接合层;以及

处于所述第一半导体结构和所述第二半导体结构之间的接合界面,

其中,使所述第一接合对准标记与所述第二接合对准标记在所述接合界面处对准,以使得所述第一接合点与所述第二接合点在所述接合界面处对准。

2. 根据权利要求1所述的半导体器件,其中,所述第一接合对准标记和所述第二接合对准标记中的每者的尺寸不大于大约 $15\mu\text{m}$ 。

3. 根据权利要求2所述的半导体器件,其中,所述第一接合对准标记和所述第二接合对准标记中的每者的尺寸为大约 $10\mu\text{m}$ 。

4. 根据权利要求1-3中的任何一项所述的半导体器件,其中,所述第一接合对准标记和所述第二接合对准标记中的至少一个包括多个重复图案。

5. 根据权利要求4所述的半导体器件,其中,所述重复图案中的每者的尺寸不大于大约 $1\mu\text{m}$ 。

6. 根据权利要求4或5所述的半导体器件,其中,所述重复图案中的每者包括金属区和电介质区。

7. 根据权利要求6所述的半导体器件,其中,所述金属区的尺寸不大于所述重复图案的尺寸的大约25%。

8. 根据权利要求1-7中的任何一项所述的方法,其中,

所述第一半导体结构还包括处于所述第一器件层和所述第一接合层之间的第一互连层;

所述第二半导体结构还包括处于所述第二器件层和所述第二接合层之间的第二互连层;并且

所述第一互连层和所述第二互连层中的至少一个不包括用于使所述第一接合点和所述第二接合点对准的接合对准标记。

9. 根据权利要求1-8中的任何一项所述的半导体器件,其中,所述第一接合层还包括第一电介质,并且所述第二接合层还包括在所述接合界面处与所述第一电介质接触的第二电介质。

10. 根据权利要求1-9中的任何一项所述的半导体器件,其中,所述第一接合对准标记和所述第二接合对准标记中的至少一个是光刻套刻标记。

11. 根据权利要求1-10中的任何一项所述的半导体器件,其中,所述第一器件层和所述第二器件层之一包括NAND存储器串,并且所述第一器件层和所述第二器件层中的另一个包括外围器件。

12. 一种接合结构,包括:

包括第一接合点和第一接合对准标记的第一接合层;

包括第二接合点和第二接合对准标记的第二接合层;以及

处于所述第一接合层和所述第二接合层之间的接合界面,

其中,使所述第一接合对准标记与所述第二接合对准标记在所述接合界面处对准,以使得所述第一接合触点与所述第二接合触点在所述接合界面处对准;以及

所述第一接合对准标记和所述第二接合对准标记中的每者的尺寸不大于大约 $15\mu\text{m}$ 。

13. 根据权利要求12所述的接合结构,其中,所述第一接合对准标记和所述第二接合对准标记中的每者的尺寸为大约 $10\mu\text{m}$ 。

14. 根据权利要求12或13所述的接合结构,其中,所述第一接合对准标记和所述第二接合对准标记中的至少一个包括多个重复图案。

15. 根据权利要求14所述的接合结构,其中,所述重复图案中的每者的尺寸不大于大约 $1\mu\text{m}$ 。

16. 根据权利要求14或15所述的接合结构,其中,所述重复图案中的每者包括金属区和电介质区。

17. 根据权利要求16所述的接合结构,其中,所述金属区的尺寸不大于所述重复图案的尺寸的大约25%。

18. 根据权利要求12-17中的任何一项所述的接合结构,其中,所述第一接合层还包括第一电介质,并且所述第二接合层还包括在所述接合界面处与所述第一电介质接触的第二电介质。

19. 一种用于形成半导体器件的方法,包括:

在第一衬底上形成第一器件层;

在所述第一器件层上方形成包括第一接合触点和第一接合对准标记的第一接合层;

在第二衬底上形成第二器件层;

在所述第二器件层上方形成包括第二接合触点和第二接合对准标记的第二接合层;

使所述第一接合对准标记与所述第二接合对准标记对准,以使得所述第一接合触点与所述第二接合触点对准;以及

将所述第一衬底和所述第二衬底以面对面方式接合,使得所述第一接合触点与所述第二接合触点在所述接合界面处接触,并且所述第一接合对准标记与所述第二接合对准标记在所述接合界面处接触。

20. 根据权利要求19所述的方法,其中,所述第一接合对准标记和所述第二接合对准标记中的每者的尺寸不大于大约 $15\mu\text{m}$ 。

21. 根据权利要求20所述的方法,其中,所述第一接合对准标记和所述第二接合对准标记中的每者的尺寸为大约 $10\mu\text{m}$ 。

22. 根据权利要求19-21中的任何一项所述的方法,其中,所述第一接合对准标记和所述第二接合对准标记中的至少一个包括多个重复图案。

23. 根据权利要求22所述的方法,其中,所述重复图案中的每者的尺寸不大于大约 $1\mu\text{m}$ 。

24. 根据权利要求22或23所述的方法,其中,所述重复图案中的每者包括金属区和电介质区。

25. 根据权利要求24所述的方法,其中,所述金属区的尺寸不大于所述重复图案的尺寸的大约25%。

26. 根据权利要求19-25中的任何一项所述的方法,还包括:

在所述第一器件层和所述第一接合层之间形成第一互连层;以及

在所述第二器件层和所述第二接合层之间形成第二互连层，
其中，所述第一互连层和所述第二互连层中的至少一个不包括用于使所述第一接合触点和所述第二接合触点对准的接合对准标记。

27. 根据权利要求19-26中的任何一项所述的方法，其中，所述接合包括混合接合。

28. 一种用于确定接合结构的对准度的方法，包括：

形成包括第一接合触点和第一光刻套刻标记的第一接合层；

形成包括第二接合触点和第二光刻套刻标记的第二接合层；

将所述第一接合层与所述第二接合层在接合界面处以面对面方式接合；

测量所述第一光刻套刻标记和所述第二光刻套刻标记之间的对准度；以及

基于所述第一光刻套刻标记和所述第二光刻套刻标记之间的所测量的对准度来确定所述第一接合触点和所述第二接合触点之间的对准度。

29. 根据权利要求28所述的方法，其中，使用红外光测量所述第一光刻套刻标记和所述第二光刻套刻标记之间的对准度。

30. 根据权利要求28或29所述的方法，其中，所述第一光刻套刻标记和所述第二光刻套刻标记中的每者的尺寸不大于大约 $15\mu\text{m}$ 。

31. 根据权利要求30所述的方法，其中，所述第一光刻套刻标记和所述第二光刻套刻标记中的每者的尺寸为大约 $10\mu\text{m}$ 。

32. 根据权利要求28-31中的任何一项所述的方法，其中，所述第一光刻套刻标记和所述第二光刻套刻标记中的至少一个包括多个重复图案。

33. 根据权利要求32所述的方法，其中，所述重复图案中的每者的尺寸不大于大约 $1\mu\text{m}$ 。

34. 根据权利要求32或33所述的方法，其中，所述重复图案中的每者包括金属区和电介质区。

35. 根据权利要求34所述的方法，其中，所述金属区的尺寸不大于所述重复图案的尺寸的大约25%。

36. 根据权利要求28-35中的任何一项所述的方法，其中，所述接合包括混合接合。

接合界面处的接合对准标记

背景技术

[0001] 本公开的实施例涉及接合的半导体结构及其制作方法。

[0002] 通过改进工艺技术、电路设计、程序设计算法和制作工艺使诸如存储单元的平面半导体器件缩小到更小的尺寸。但是,随着半导体器件的特征尺寸接近下限,平面工艺和制作技术变得更加困难且成本高。三维(3D)器件架构能够解决一些平面半导体器件(例如,闪存存储器件)中的密度限制。

[0003] 可以通过堆叠半导体晶片或管芯并且使用(例如)穿硅过孔(TSV)或者铜到铜(Cu-Cu)连接将它们竖直互连而形成3D半导体器件,使得所得到的结构充当单个器件,以相对于常规平面工艺以降低的功率和更小的占用面积实现性能提高。在用于对半导体衬底进行堆叠的各种技术中,混合接合被认为是一种有前景的技术,因为其能够形成高密度互连。

发明内容

[0004] 本文公开了半导体器件、接合结构及其制作方法的实施例。

[0005] 在一个示例中,一种半导体器件包括第一半导体结构、第二半导体结构以及处于第一半导体结构和第二半导体结构之间的接合界面。所述第一半导体结构包括衬底、设置在所述衬底上的第一器件层以及设置在所述第一器件层上方并且包括第一接合接触点和第一接合对准标记的第一接合层。所述第二半导体结构包括第二器件层以及设置在所述第二器件层下方并且包括第二接合接触点和第二接合对准标记的第二接合层。所述第一接合对准标记与所述第二接合对准标记在所述接合界面处对准,以使得所述第一接合接触点与所述第二接合接触点在所述接合界面处对准。

[0006] 在另一个示例中,一种接合结构包括:包括第一接合接触点和第一接合对准标记的第一接合层;包括第二接合接触点和第二接合对准标记的第二接合层;以及处于所述第一接合层和所述第二接合层之间的接合界面。所述第一接合对准标记与所述第二接合对准标记在所述接合界面处对准,以使得所述第一接合接触点与所述第二接合接触点在所述接合界面处对准。所述第一接合对准标记和所述第二接合对准标记中的每者的尺寸不大于15 μm 。

[0007] 在又一示例中,公开了一种用于形成半导体器件的方法。在第一衬底上形成第一器件层。在所述第一器件层上方形成包括第一接合接触点和第一接合对准标记的第一接合层。在第二衬底上形成第二器件层。在所述第二器件层上方形成包括第二接合接触点和第二接合对准标记的第二接合层。使所述第一接合对准标记与所述第二接合对准标记对准,以使得所述第一接合接触点与所述第二接合接触点对准。将所述第一衬底和所述第二衬底以面对面方式接合,使得所述第一接合接触点与所述第二接合接触点在接合界面处接触,并且所述第一接合对准标记与所述第二接合对准标记在所述接合界面处接触。

[0008] 在又一个示例中,公开了一种用于确定接合结构的对准度的方法。形成包括第一接合接触点和第一光刻套刻(lithography overlay)标记的第一接合层。形成包括第二接合接触点和第二光刻套刻标记的第二接合层。将所述第一接合层与所述第二接合层在接合界面处以面对面方式接合。测量所述第一光刻套刻标记和所述第二光刻套刻标记之间的对准

度。基于所述第一光刻套刻标记和所述第二光刻套刻标记之间的所测量的对准度而确定所述第一接合触点和所述第二接合触点之间的对准度。

附图说明

[0009] 被并入本文并形成说明书的一部分的附图例示了本公开的实施例并与文字描述一起进一步用以解释本公开的原理,并使相关领域的技术人员能够做出和使用本公开。

[0010] 图1A示出了根据本公开的一些实施例的示例性接合半导体器件的截面。

[0011] 图1B示出了根据本公开的一些实施例的另一示例性接合半导体器件的截面。

[0012] 图2示出了包括处于远离接合界面的互连层中的接合对准标记的接合半导体器件的截面。

[0013] 图3A-3C示出了如图2所示的处于远离接合界面的互连层中的接合对准标记的平面图。

[0014] 图4示出了根据本公开的一些实施例的包括处于接合界面处的接合层中的接合对准标记的示例性接合半导体器件的截面。

[0015] 图5A-5C示出了根据本公开的一些实施例的如图4所示的处于接合界面处的接合层中的示例性接合对准标记的平面图。

[0016] 图6A-6B示出了根据本公开的一些实施例的如图5A-5C所示的示例性接合对准标记的放大平面图。

[0017] 图7是根据本公开的一些实施例的用于形成包括处于接合界面处的接合对准标记的半导体器件的示例性方法的流程图。

[0018] 图8是根据本公开的一些实施例的用于测量接合结构的对准度的示例性方法的流程图。

[0019] 将参考附图描述本公开的实施例。

具体实施方式

[0020] 尽管对具体配置和布置进行了讨论,但应当理解,这只是出于示例性目的而进行的。相关领域中的技术人员将认识到,可以使用其它配置和布置而不脱离本公开的精神和范围。对相关领域的技术人员显而易见的是,本公开还可以用于多种其它应用中。

[0021] 要指出的是,在说明书中提到“一个实施例”、“实施例”、“示例性实施例”、“一些实施例”等指示所述的实施例可以包括特定特征、结构或特性,但未必每个实施例都包括该特定特征、结构或特性。此外,这种短语未必是指同一个实施例。另外,在结合实施例描述特定特征、结构或特性时,结合其它实施例(无论是否明确描述)实现这种特征、结构或特性应在相关领域技术人员的知识范围内。

[0022] 通常,可以至少部分从上下文中的使用来理解术语。例如,至少部分取决于上下文,本文中使用的术语“一个或多个”可以用于描述单数意义的任何特征、结构或特性,或者可以用于描述复数意义的特征、结构或特性的组合。类似地,至少部分取决于上下文,诸如“一”或“所述”的术语同样可以被理解为传达单数使用或传达复数使用。此外,可以将术语“基于”理解为未必旨在传达排他性的一组因素,并且相反可以允许存在未必明确描述的额外因素,其同样至少部分地取决于上下文。

[0023] 应当容易理解,本公开中的“在…上”、“在…上方”和“在…之上”的含义应当以最宽方式被解读,以使得“在…上”不仅表示“直接在”某物“上”而且还包括在某物“上”且其间有居间特征或层的含义,并且“在…上方”或“在…之上”不仅表示“在”某物“上方”或“之上”,而且还可以包括其“在”某物“上方”或“之上”且其间没有居间特征或层(即,直接在某物上)的含义。

[0024] 此外,诸如“在…下”、“在…下方”、“下部”、“在…上方”、“上部”等空间相对术语在本文中为了描述方便可以用于描述一个元件或特征与另一个或多个元件或特征的如图中所示的关系。空间相对术语旨在涵盖除了在附图所描绘的取向之外的在设备使用或操作中的不同取向。设备可以以另外的方式被定向(旋转90度或在其它取向),并且本文中使用的空间相对描述词可以类似地被相应解释。

[0025] 如本文中使用的,术语“衬底”是指向其上增加后续材料层的材料。衬底自身可以被图案化。增加在衬底顶部的材料可以被图案化或者可以保持不被图案化。此外,衬底可以包括宽范围的半导体材料,例如硅、锗、砷化镓、磷化铟等。替代地,衬底可以由诸如玻璃、塑料或蓝宝石晶圆的非导电材料制成。

[0026] 如本文中使用的,术语“层”是指包括具有厚度的区域的材料部分。层可以在下方或上方结构的整体之上延伸,或者可以具有小于下方或上方结构范围的范围。此外,层可以是厚度小于连续结构的厚度的均质或非均质连续结构的区域。例如,层可以位于在连续结构的顶表面和底表面之间或在顶表面和底表面处的任何水平面对之间。层可以水平、竖直和/或沿倾斜表面延伸。衬底可以是层,在其中可以包括一个或多个层,和/或可以在其上、其上方和/或其下方具有一个或多个层。层可以包括多个层。例如,互连层可以包括一个或多个导体和接触层(其中形成互连线 and/或过孔触点)和一个或多个电介质层。

[0027] 如本文使用的,术语“标称/标称地”是指在产品或过程的设计阶段期间设置的用于部件或过程操作的特性或参数的期望或目标值,以及高于和/或低于期望值的值的范围。值的范围可能是由于制造过程或容限中的轻微变化导致的。如本文使用的,术语“大约”指示可以基于与主题半导体器件相关联的特定技术节点而变化的给定量的值。基于特定技术节点,术语“大约”可以指示给定量的值,其例如在值的10%-30%(例如,值的 $\pm 10\%$ 、 $\pm 20\%$ 或 $\pm 30\%$)内变化。

[0028] 如本文使用的,术语“3D存储器件”是指一种半导体器件,其在横向取向的衬底上具有竖直取向的存储单元晶体管串(在本文中被称作“存储器串”,例如NAND存储器串),以使得所述存储器串相对于衬底在竖直方向上延伸。如本文使用的,术语“竖直/竖直地”是指标称地竖直于衬底的横向表面。

[0029] 在混合接合工艺中,接合接触点的对准程度是影响产量的重要因素。为了避免碟化(dishing)效应并且控制形成接合界面的表面的平坦度,通常在远离接合界面的互连层中形成接合对准标记,这使得可以直接测量接合接触点在接合界面处的对准度。

[0030] 根据本公开的各种实施例提供了能够形成到接合半导体器件的接合界面处的接合层中的接合对准标记,由此实现对接合界面处的接合接触点的对准度的直接测量。与在互连层中形成接合对准标记相反,通过在接合界面处形成接合对准标记,能够避免接合接触点和互连层之间的套刻失配。可以对本文公开的接合对准标记的尺寸和/或布局进行优化,以减小在接合界面处出现的碟化效应。在一些实施例中,在接合界面处使用用于光刻套刻的

对准标记作为用于使用与光刻套刻控制所用仪器相同的仪器对接触点进行对准的接合对准标记。

[0031] 图1A示出了根据本公开的一些实施例的示例性接合半导体器件100的截面。接合半导体器件100表示非单片式3D存储器件的示例。术语“非单片式”是指接合半导体器件100的部件(例如,外围器件和存储器阵列器件)可以单独形成在不同衬底上,并且之后被接合以形成接合半导体器件。接合半导体器件100可以包括衬底108,衬底108可以包括硅(例如,单晶硅)、硅锗(SiGe)、砷化镓(GaAs)、锗(Ge)、绝缘体上硅(SOI)或者任何其他适当材料。为了便于描述,接合半导体器件100将被描述为非单片式3D存储器件。然而,应当理解,接合半导体器件100不限于3D存储器件,并且可以包括在接合界面处具有接合对准标记的任何适当接合半导体器件,如下文详细所述。应当理解,如本文所公开的使用接合界面处的接合对准标记的接合半导体器件不限于图1A-1B所示的示例,并且可以包括任何其他适当半导体器件,诸如处于2D、2.5D或3D架构中的逻辑器件、易失性存储器件(例如,动态随机存取存储器(DRAM)和静态随机存取存储器(SRAM))、以及非易失性存储器件(例如,闪速存储器)。

[0032] 接合半导体器件100可以包括两个半导体结构,即,存储器阵列器件芯片102以及在接合界面106处按照面对面方式接合到存储器阵列器件芯片102的顶部的外围器件芯片104。在一些实施例中,接合界面106作为混合接合(又称为“金属/电介质混合接合”)的结果设置于存储器阵列器件芯片102和外围器件芯片104之间,所述混合接合是一种直接接合技术(例如,在不使用诸如焊料或粘合剂的中间层的情况下在表面之间形成接合),并且可以同时获得金属-金属接合和电介质-电介质接合。在一些实施例中,接合界面106是存储器阵列器件芯片102和外围器件芯片104相遇并接合的地方。在实践中,接合界面106可以是包括存储器阵列器件芯片102的顶表面和外围器件芯片104的底表面的具有一定厚度的层。

[0033] 应当理解,在图1A中包括x轴和y轴以进一步例示具有衬底108的接合半导体器件100中的部件的空间关系。衬底108包括沿x方向(即,横向方向)横向延伸的两个横向表面(例如,顶表面和底表面)。如本文所使用的,在半导体器件(例如,接合半导体器件100)的衬底(例如,衬底108)在y方向(即,竖直方向)上被定位于半导体器件的最下平面中时,在y方向上相对于半导体器件的衬底判断半导体器件的一个部件(例如,层或器件)在另一部件(例如,层或器件)“上”、“上方”还是“下方”。在本公开中将通篇应用于描述空间关系的相同概念。

[0034] 在一些实施例中,存储器阵列器件芯片102是NAND闪速存储器件,其中,存储单元是以存储器阵列器件层134中的NAND存储器串110的阵列的形式提供的。存储器阵列器件层134可以设置在衬底108上。在一些实施例中,每个NAND存储器串110竖直延伸通过多个对,每一对包括导体层和电介质层(本文称为“导体/电介质层对”)。堆叠的导体/电介质层对在文中被统称为存储器阵列器件层134中的“存储器堆叠层”112。存储器堆叠层112中的导体层和电介质层可以在竖直方向上交替堆叠。每个NAND存储器串110可以包括半导体沟道和复合电介质层(又称为“存储器膜”),所述复合电介质层包括隧穿层、存储层(又称为“电荷捕获/存储层”)和阻挡层(未示出)。在一些实施例中,存储器阵列器件层134还包括竖直延伸通过存储器堆叠层112的栅缝隙(“GSL”)114。GLS 114可以用于通过栅极替换工艺形成存储器堆叠层112中的导体/电介质层对,并且GLS 114可以被导电材料填充,以用于电连接阵列公共源极(ACS)。

[0035] 在一些实施例中,存储器阵列器件芯片102还包括处于存储器阵列器件层134上方的阵列互连层136,以用于向和从NAND存储器串110传输电信号。如图1A所示,阵列互连层136可以包括多个互连(文中又称为“触点”),其包括垂直互连接入(过孔)触点116和横向互连线118。如本文所用,术语“互连”可以宽泛地包括任何适当类型的互连,例如,中段工序(MEOL)互连和后段工序(BEOL)互连。阵列互连层136还可以包括一个或多个层间电介质(ILD)层(又称为“金属间电介质(IMD)层”),其中可以形成互连线118和过孔触点116。

[0036] 如图1A所示,存储器阵列器件芯片102还可以包括处于接合界面106处并且在阵列互连层136和存储器阵列器件层134上方的接合层138。接合层138可以包括多个接合触点130以及将接合触点130电隔离的电介质。接合触点130可以包括导电材料,所述导电材料包括但不限于钨(W)、钴(Co)、铜(Cu)、铝(Al)、硅化物或其任何组合。接合层138的其余区域可以利用电介质形成,所述电介质包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。接合层138中的接合触点130和周围电介质可以用于混合接合。

[0037] 外围器件芯片104可以包括处于设置在半导体层120(例如,减薄衬底)下方的外围器件层140中的多个晶体管122。在一些实施例中,外围器件层140可以包括用于促进接合半导体器件100的操作的任何适当数字、模拟和/或混合信号外围电路。例如,外围器件层140可以包括页缓冲器、解码器(例如,行解码器和列解码器)、感测放大器、驱动器、电荷泵、电流或电压参考或者所述电路的任何有源或无源部件(例如,晶体管、二极管、电阻器或电容器)中的一者或多者。

[0038] 与存储器阵列器件芯片102类似,外围器件芯片104还可以包括设置在外围器件层140下方的外围互连层142,以用于向和从晶体管122传输电信号。外围互连层142可以包括多个互连,所述多个互连包括处于一个或多个ILD层中的互连线126和过孔触点124。在一些实施例中,外围器件芯片104还包括竖直延伸通过半导体层120的过孔触点128(例如,如果半导体层120是减薄硅衬底,则过孔触点128为穿硅过孔(TSV))。在一些实施例中,外围器件芯片104还包括处于晶体管122和半导体层120上方的BEOL互连层(未示出)。在一些实施例中,BEOL互连层包括能够在接合半导体器件100和外部电路之间传输电信号的任何适当BEOL互连和接触焊盘。

[0039] 如图1A所示,外围器件芯片104还可以包括处于接合界面106处并且在外围互连层142和外围器件层140下方的接合层144。接合层144可以包括多个接合触点132以及将接合触点132电隔离的电介质。接合触点132可以包括导电材料,所述导电材料包括但不限于W、Co、Cu、Al、硅化物或其任何组合。接合层144的其余区域可以利用电介质形成,所述电介质包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。接合层144中的接合触点132和周围电介质可以用于混合接合。

[0040] 如下文所详细描述,可以在接合界面106处的接合层138和144中形成接合对准标记(未示出),以用于在接合工艺期间使接合触点130和132对准,和/或在接合工艺之后测量接合触点130和132的对准度。与将接合对准标记布置在远离接合界面106的互连层(例如,阵列互连层136和外围互连层142)中的示例相比,通过在接合界面106处将接合对准标记与接合触点130和132布置在同一层中(例如,在接合层138和144中),能够显著减少失配和测量错误。

[0041] 图1B示出了根据本公开的一些实施例的另一示例性接合半导体器件101的截面。

与上文联系图1A描述的接合半导体器件类似,接合半导体器件101表示非单片式3D存储器器件的示例,其中,两个半导体结构(即,外围器件芯片103和存储器阵列器件芯片105)单独形成,并且按照面对面方式在接合界面107处接合。在一些实施例中,接合界面107是存储器阵列器件芯片105和外围器件芯片103相遇并接合的地方。在实践中,接合界面107可以是包括外围器件芯片103的顶表面和存储器阵列器件芯片105的底表面的具有一定厚度的层。与上文联系图1A所述的其中外围器件芯片104处于存储器阵列器件芯片102上方的接合半导体器件100不同,图1B的接合半导体器件101包括设置在存储器阵列器件芯片105下方的外围器件芯片103。应当理解,下文可能不再重复接合半导体器件100和101这两者中的类似结构的细节(例如,材料、制作工艺、功能等)。

[0042] 外围器件芯片103可以包括处于设置在衬底109上和/或衬底109中的外围器件层135中的多个晶体管111。在一些实施例中,外围器件层135可以包括用于促进接合半导体器件101的操作的任何适当数字、模拟和/或混合信号外围电路。例如,外围器件层135可以包括页缓冲器、解码器(例如,行解码器和列解码器)、感测放大器、驱动器、电荷泵、电流或电压参考或者所述电路的任何有源或无源部件(例如,晶体管、二极管、电阻器或电容器)中的一者或多者。外围器件芯片103还可以包括处于外围器件层135上方的外围互连层137,以用于向和从晶体管111传输电信号。外围互连层137可以包括多个互连,所述多个互连包括处于一个或多个ILD层中的互连线115和过孔触点113。如图1B所示,外围器件芯片103还包括处于接合界面107处并且在外围互连层137和外围器件层135上方的接合层139。接合层139可以包括多个接合触点131以及将接合触点131电隔离的电介质。

[0043] 在一些实施例中,存储器阵列器件芯片105是NAND闪速存储器器件,其中,存储单元是以设置在半导体层119(例如,减薄衬底)下方的存储器阵列器件层141中的NAND存储器串121的阵列的形式提供的。在一些实施例中,每个NAND存储器串121竖直延伸通过存储器阵列器件层141中的存储器堆叠层117。每个NAND存储器串121可以包括半导体沟道和复合电介质层(又称为“存储器膜”),所述复合电介质层包括隧穿层、存储层(又称为“电荷捕获/存储层”)和阻挡层(未示出)。在一些实施例中,存储器阵列器件层105还包括竖直延伸通过存储器堆叠层117的GSL 123。GLS 123可以用于通过栅极替换工艺形成存储器堆叠层117中的导体/电介质层对,并且GLS 123可以被导电材料填充以用于电连接阵列公共源极ACS。

[0044] 存储器阵列器件芯片105还可以包括处于存储器阵列器件层141下方的阵列互连层143,以用于向和从NAND存储器串121传输电信号。阵列互连层143可以包括多个互连,所述多个互连包括处于一个或多个ILD层中的互连线129和过孔触点127。存储器阵列器件芯片105还可以包括处于NAND存储器串121和半导体层119上方的BEOL互连层(未示出)。在一些实施例中,BEOL互连层包括能够在接合半导体器件101和外部电路之间传输电信号的任何适当BEOL互连和接触焊盘。在一些实施例中,存储器阵列器件芯片105还包括竖直延伸通过整个存储器堆叠层117以及半导体层119的至少部分的一个或多个贯穿阵列触点(TAC) 125。TAC 125的上端可以接触BEOL互连层(未示出)中的互连,并且TAC 125的下端可以接触阵列互连层143中的另一互连127或129。因而,TAC 125可以在外围互连层137和BEOL互连层之间形成电连接,并将电信号从外围器件芯片103传送至接合半导体器件101的BEOL互连。如图1B所示,存储器阵列器件芯片105还可以包括处于接合界面107处并且在阵列互连层143和存储器阵列器件层141下方的接合层145。接合层145可以包括多个接合触点133以及

将接合触点133电隔离的电介质。

[0045] 如下文所详细描述,可以在接合界面107处的接合层139和145中形成接合对准标记(未示出),以用于在接合工艺期间使接合触点131和133对准,和/或在接合工艺之后测量接合触点131和133的对准度。与将接合对准标记布置在远离接合界面107的互连层(例如,阵列互连层143和外围互连层137)中的示例相比,通过在接合界面107处将接合对准标记与接合触点131和133布置在同一层中(例如,在接合层139和145中),能够显著减少失配和测量错误。

[0046] 化学机械抛光(CMP,又称为“化学机械平坦化”)是一种利用化学蚀刻和无磨料机械抛光的组合使晶片表面平滑的工艺,并且用于使接合层138、139、144和145中的接合触点130、131、132和133的金属(例如,Cu、Al、W等)平坦化。在CMP工艺期间,与小金属图案相比,在大金属图案的情况下,焊盘抛光可能去除更多的金属材料。另一方面,与金属相比,电介质的去除速率更低。结果,在接合层包括大尺寸金属图案时,可能在接合界面处出现“碟化”(例如,侧视图中的没有金属填充的碟形曲线),这是一种制造缺陷。由于碟化效应可能影响接合界面处的接合层的表面的平坦度,因而包括接合对准标记的大尺寸金属图案通常不形成在接合层中,而是通常形成在远离接合层的互连层中。

[0047] 例如,图2示出了包括处于远离接合界面218的互连层210和222中的接合对准标记212和224的接合半导体器件200的截面。接合半导体器件200包括在接合界面218处以面对面的方式接合的第一半导体结构202和第二半导体结构204。第一半导体结构202包括衬底206、设置在衬底206上的第一器件层208、处于第一器件层208上方的第一互连层210、以及在接合界面218处并在第一互连层210上方的第一接合层214。在一些实施例中,接合界面218是第一半导体结构202和第二半导体结构204相遇并接合的地方。在实践中,接合界面218可以是包括第一半导体结构202的顶表面和第二半导体结构204的底表面的具有一定厚度的层。第一接合对准标记212和第一接合触点216形成于不同层中,即分别形成于第一互连层210和第一接合层214中。第一接合对准标记212和第一接合触点216中的每者由诸如Cu、W、Al、Co等的金属制成,并且被诸如氧化硅或氮化硅的电介质包围。

[0048] 第二半导体结构204包括第二器件层220、处于第二器件层220下方的第二互连层222、以及在接合界面218处并且在第二互连层222下方的第二接合层226。第二接合对准标记224和第二接合触点228形成于不同层中,即,分别形成于第二互连层222和第二接合层226中。第二接合对准标记224和第二接合触点228中的每者由诸如Cu、W、Al、Co等的金属制成,并且被诸如氧化硅或氮化硅的电介质包围。

[0049] 如图2所示,第一和第二接合对准标记212和224分别处于远离接合界面218的互连层210和222中。例如,图3A-3C示出了如图2所示的处于远离接合界面218的互连层210和222中的接合对准标记212和224的平面图。接合对准标记212和224之间的对准度(例如,如图3C中所示)只能间接反映互连层210和222之间的对准度,而不反映接合界面218处的接合层214和226中的接合触点216和228之间的对准度。应当理解,在其他常规接合半导体器件中,接合对准标记212和224的图案可能存在变化。尽管如此,常规接合对准标记(例如,接合对准标记212和224)的尺寸太大,以至于无法避免碟化效应。在一些实施例中,常规接合对准标记的尺寸(例如,侧面的长度)大于大约100 μm ,例如大于100 μm 。

[0050] 图4示出了根据本公开的一些实施例的包括处于接合界面418处的接合层412和

424中的接合对准标记416和428的示例性接合半导体器件400的截面。接合半导体器件400可以是接合存储器件(例如,接合半导体器件100和101)或者任何适当接合半导体器件,例如,逻辑器件、易失性存储器件和非易失性存储器件。接合半导体器件400可以包括在接合界面418处以面对面方式接合的第一半导体结构402和第二半导体结构404。在一些实施例中,接合界面418是第一半导体结构402和第二半导体结构404相遇并接合的地方。在实践中,接合界面418可以是包括第一半导体结构402的顶表面和第二半导体结构404的底表面的具有一定厚度的层。与大尺寸接合对准标记远离接合界面的常规接合半导体器件(例如,接合半导体器件200)不同,图4中的接合对准标记416和428在接合界面418处,这使得能够在接合工艺之前、期间或者之后对接合界面418处的接合触点414和426的对准度进行直接测量。

[0051] 如图4所示,第一半导体结构402可以包括衬底406、设置在衬底406上的第一器件层408、第一器件层408上方的第一互连层410、以及在接合界面418处并且在第一互连层410上方的第一接合层412。在一些实施例中,第一半导体结构402是存储器阵列器件芯片,并且第一器件层408是包括NAND存储器串(例如,图1A中的NAND存储器串110)的阵列的存储器阵列器件层。在一些实施例中,第一半导体结构402是外围器件芯片,并且第一器件层408是包括外围器件(例如,图1B中的晶体管111)的外围器件层。第一器件层408和第一接合层412之间的第一互连层410可以包括处于一个或多个ILD层中的互连线和过孔触点。根据一些实施例,第一互连层410不包括用于使第一接合触点414和第二接合触点426对准的接合对准标记,这与常规接合半导体器件不同。

[0052] 在一些实施例中,第一接合层412包括均处于接合界面418处的第一接合触点414和第一接合对准标记416。第一接合触点414和第一接合对准标记416可以由诸如Cu、W、Al、Co等的金属制成,并且被诸如氧化硅或氮化硅的电介质包围。在一个示例中,第一接合触点414和第一接合对准标记416由铜制成,并且第一接合层412中的将第一接合触点414和第一接合对准标记416电隔离的电介质由氧化硅制成。第一接合触点414可以电连接至第一互连层410中的互连(未示出),而第一接合对准标记416例如通过具有小于第一接合层412(以及其中的第一接合触点414)的厚度的厚度而与第一互连层410中的互连电气隔离。应当理解,在一些实施例中,第一接合对准标记416的厚度与第一接合层412(以及其中的第一接合触点414)的厚度相同。

[0053] 如图4所示,第二半导体结构404包括第二器件层420、第二器件层420下方的第二互连层422以及在接合界面418处并且在第二互连层422下方的第二接合层424。在一些实施例中,第二半导体结构404是存储器阵列器件芯片,并且第二器件层420是包括NAND存储器串(例如,图1B中的NAND存储器串121)的阵列的存储器阵列器件层。在一些实施例中,第二半导体结构404是外围器件芯片,并且第二器件层420是包括外围器件(例如,图1A中的晶体管122)的外围器件层。处于第二器件层420和接合层424之间的第二互连层422可以包括处于一个或多个ILD层中的互连线和过孔触点。根据一些实施例,第二互连层422不包括用于使第一接合触点414和第二接合触点426对准的接合对准标记,这与常规接合半导体器件不同。

[0054] 在一些实施例中,第二接合层424可以包括均处于接合界面418处的第二接合触点426和第二接合对准标记428。第二接合触点426和第二接合对准标记428可以由诸如Cu、W、

Al、Co等金属制成,并且被诸如氧化硅或氮化硅的电介质包围。在一个示例中,第二接合触点426和第二接合对准标记428由铜制成,并且第二接合层424中的将第二接合触点426和第二接合对准标记428电隔离的电介质由氧化硅制成。第二接合触点426可以电连接至第二互连层422中的互连(未示出),而第二接合对准标记428例如通过具有小于第二接合层424(以及其中的第二接合触点426)的厚度的厚度而与第二互连层422中的互连电气隔离。应当理解,在一些实施例中,第二接合对准标记428的厚度与第二接合层424(以及其中的第二接合触点426)相同。除了第一接合触点414和第二接合触点426之外,第一接合层412和第二接合层424中的电介质也可以在接合界面418处相互接触。尽管在图4中未示出,但是应当理解,在一些实施例中,半导体层(例如,减薄衬底)和/或BEOL互连层设置在第二器件层420上方。

[0055] 第一接合对准标记416和第二接合对准标记428可以用于在用于形成接合半导体结构400的接合工艺(例如,混合接合工艺)期间使第一接合触点414和第二接合触点426对准。如图4所示,在一些实施例中,第一接合对准标记416与第二接合对准标记428在接合界面418处对准,使得第一接合触点414与第二接合触点426在接合界面418处对准。替代地或此外,第一接合对准标记416和第二接合对准标记428可以用于在接合工艺之后测量第一接合触点414和第二接合触点426的对准度,以用于例如质量控制或对接合参数进行调节。根据一些实施例,对准度用于在接合工艺期间使第一接合触点414和第二接合触点426对准,以例如确定对准何时完成。在一些实施例中,对准度是基于接合界面418处的两个图案(例如,第一接合触点414和第二接合触点426或者第一接合对准标记416和第二接合对准标记428)之间的重合度而确定的。在一些实施例中,在第一接合触点414和第二接合触点426的对准度处于阈值内时,认为第一接合触点414和第二接合触点426对准。在一些实施例中,在第一和第二接合对准标记的对准度处于阈值内时,认为第一接合触点414和第二接合触点426对准。阈值可以为100%或者低于100%。也就是说,在使第一和第二接合触点414和426对准时,一定偏差是可以接受的。

[0056] 为了避免接合界面418处的接合对准标记416和428的碟化效应,接合对准标记416和428的尺寸与互连层中的常规接合对准标记相比相对较小。在一些实施例中,第一和第二接合对准标记416和428中的每者的尺寸不大于大约15 μm ,例如不大于15 μm 。在一些实施例中,第一和第二接合对准标记416和428中的每者的尺寸处于大约1 μm 和大约15 μm 之间,例如,1 μm 和15 μm 之间(例如,1 μm 、2 μm 、3 μm 、4 μm 、5 μm 、6 μm 、7 μm 、8 μm 、9 μm 、10 μm ,由所述下端和这些值中的任何值所界定的任何范围、或者由这些值中的任何两个值所限定的任何范围)。在一些实施例中,第一和第二接合对准标记416和428中的每者的尺寸为大约10 μm ,例如,10 μm 。所述尺寸可以是平面图中的接合对准标记416或428的尺寸(即,不包括竖直方向上的厚度),例如侧面的长度。在一些实施例中,所述尺寸是不同侧面的最小长度。

[0057] 在一些实施例中,接合对准标记416和428中的至少一个不是单个图案,而是包括多个重复图案。也就是说,可以重复相同的图案,以形成接合对准标记416和/或428。例如,图5A-5C示出了根据本公开的一些实施例的接合半导体器件400的接合界面418处的接合层412和424中的示例性接合对准标记416和428的平面图。如图5A所示,根据一些实施例,在平面图中,在第一半导体结构402(例如,晶片或者晶片的每个管芯)的每个侧面形成四个接合对准标记416。每个接合对准标记416可以包括多个重复条带。每个条带可以通过相邻电介质区(暗区)分隔开的金属区(亮区)。

[0058] 如图6A进一步所示,每个接合对准标记416包括多个重复图案602,所述多个重复图案中的每者包括金属区604和电介质区606。在一些实施例中,每个重复图案602的尺寸不大于大约 $1\mu\text{m}$,例如不大于 $1\mu\text{m}$ 。在一些实施例中,每个重复图案602的尺寸处于大约100nm和大约 $1\mu\text{m}$ 之间,例如处于100nm和 $1\mu\text{m}$ 之间(例如,100nm、200nm、300nm、400nm、500nm、600nm、700nm、800nm、900nm、 $1\mu\text{m}$,由所述下端和这些值中的任何值所界定的任何范围、或者由这些值中的任何两个值所限定的任何范围)。所述尺寸可以是平面图中的重复图案602的尺寸(即,不包括垂直方向上的厚度),例如侧面的长度。在一些实施例中,所述尺寸是不同侧面的最小长度。在一些实施例中,金属区604的尺寸不大于重复图案602的尺寸的大约25%,例如,不大于重复图案602的尺寸的25%。在一些实施例中,金属区604的尺寸处于重复图案602的尺寸的大约1%和大约25%之间,例如,处于重复图案602的尺寸的1%和25%之间(例如,1%、2%、3%、4%、5%、6%、7%、8%、9%、10%、11%、12%、13%、14%、15%、16%、17%、18%、19%、20%、21%、22%、23%、24%、25%,由所述下端和这些值中的任何值所界定的任何范围、或者由这些值中的任何两个值所限定的任何范围)。上文联系接合对准标记416描述的尺寸、大小和/或布局能够有效地减少接合界面418处的接合对准标记416的碟化效应。

[0059] 如图5B所示,根据一些实施例,在平面图中,在第二半导体结构404(例如,另一晶片或者另一晶片的每个管芯)的每个侧面形成四个接合对准标记428。每个接合对准标记428可以包括多个重复的方形。每个方形可以通过相邻电介质区(暗区)分隔开的金属区(亮区)。

[0060] 如图6B进一步所示,每个接合对准标记428包括多个重复图案608,所述多个重复图案中的每者包括金属区610和电介质区612。在一些实施例中,每个重复图案608的尺寸不大于大约 $1\mu\text{m}$,例如不大于 $1\mu\text{m}$ 。在一些实施例中,每个重复图案608的尺寸处于大约100nm和大约 $1\mu\text{m}$ 之间,例如处于100nm和 $1\mu\text{m}$ 之间(例如,100nm、200nm、300nm、400nm、500nm、600nm、700nm、800nm、900nm、 $1\mu\text{m}$,由所述下端和这些值中的任何值所界定的任何范围、或者由这些值中的任何两个值所限定的任何范围)。所述尺寸可以是平面图中的重复图案608的尺寸(即,不包括垂直方向上的厚度),例如侧面的长度。在一些实施例中,所述尺寸是不同侧面的最小长度。在一些实施例中,金属区610的尺寸不大于重复图案608的尺寸的大约25%,例如,不大于重复图案608的尺寸的25%。在一些实施例中,金属区610的尺寸处于重复图案608的尺寸的大约1%和大约25%之间,例如,处于重复图案608的尺寸的1%和25%之间(例如,1%、2%、3%、4%、5%、6%、7%、8%、9%、10%、11%、12%、13%、14%、15%、16%、17%、18%、19%、20%、21%、22%、23%、24%、25%,由所述下端和这些值中的任何值所界定的任何范围、或者由这些值中的任何两个值所限定的任何范围)。上文联系接合对准标记428描述的尺寸、大小和/或布局能够有效地减少接合界面418处的接合对准标记428的碟化效应。

[0061] 在一些实施例中,第一和第二接合对准标记416和428中的至少一个是光刻套刻标记。光刻套刻标记可以用于套刻控制,所述套刻控制定义了在接受半导体器件400的制造期间对多种光刻工艺中的图案到图案对准的控制。在一些实施例中,使用形成于接合层412和424中的已存在光刻套刻标记作为接合对准标记416和428。换言之,在一些实施例中,可能不需要额外的专用接合对准标记。例如,如图5C所示,接合对准标记416和428两者都可以是

接合界面418处的光刻套刻标记,它们可以用于测量接合半导体器件400的对准度。在一些实施例中,使用红外光,例如,使用与套刻控制测量所用的相同的红外光测量仪器来测量光刻套刻标记之间的对准度。

[0062] 图7是根据本公开的一些实施例的用于形成半导体器件的示例性方法700的流程图。图7所示的半导体器件的示例包括图4所示的接合半导体器件400。将一起描述图4和图7。应当理解,方法700中所示的操作并不具有排他性,并且也可以在所示操作中的任何操作之前、之后或之间执行其他操作。此外,所述操作中的一些可以是同时执行的或者可以是按照不同于图7所示的顺序执行的。

[0063] 参考图7,方法700开始于操作702,其中,在第一衬底上形成第一器件层。如图4所示,在衬底406上形成第一器件层408。第一器件层408可以是包括多个NAND存储器串(未示出)的存储器阵列器件层或者包括多个外围器件(未示出)的外围器件层。

[0064] 方法700进行至操作704,其中,在第一器件层上方形成包括第一接合接触点和第一接合对准标记的第一接合层。在一些实施例中,第一互连层形成于第一接合层和第一器件层之间。如图4所示,包括第一接合接触点414和第一接合对准标记416的第一接合层412形成于第一器件层408上方,并且第一互连层410形成于第一接合层412和第一器件层408之间。

[0065] 方法700进行至操作706,其中,在第二衬底上形成第二器件层。如图4所示,在接合之前在衬底(未示出)上形成第二器件层420。第二器件层420可以是包括多个NAND存储器串(未示出)的存储器阵列器件层或者包括多个外围器件(未示出)的外围器件层。

[0066] 方法700进行至操作708,其中,在第二器件层上方形成包括第二接合接触点和第二接合对准标记的第二接合层。在一些实施例中,第二互连层形成于第二接合层和第二器件层之间。如图4所示,在接合之前,在第二器件层420上方形成包括第二接合接触点426和第二接合对准标记428的第二接合层424,并且在第二接合层424和第二器件层420之间形成第二互连层422。

[0067] 在一些实施例中,第一和第二接合对准标记中的每者的尺寸不大于大约 $15\mu\text{m}$ 。在一个示例中,第一和第二接合对准标记中的每者的尺寸为大约 $10\mu\text{m}$ 。例如,第一和第二接合对准标记416和428中的每者的尺寸不大于 $15\mu\text{m}$,例如为 $10\mu\text{m}$ 。

[0068] 在一些实施例中,第一和第二接合对准标记中的至少一个包括多个重复图案。在一些实施例中,重复图案中的每者的尺寸不大于大约 $1\mu\text{m}$ 。例如,第一和第二接合对准标记416和428中的每者包括多个重复图案602和608,并且重复图案602和608中的每者的尺寸不大于 $1\mu\text{m}$ 。

[0069] 在一些实施例中,重复图案中的每者包括金属区和电介质区。在一些实施例中,金属区的尺寸不大于重复图案的尺寸的大约25%。例如,重复图案602和608中的每者包括金属区604或610以及电介质区606或612,并且金属区604或610的尺寸不大于重复图案602或608的尺寸的大约25%。

[0070] 在一些实施例中,第一和第二互连层中的至少一个不包括用于使第一和第二接合接触点对准的接合对准标记。例如,第一和第二互连层410和422中的每者不包括用于使第一和第二接合接触点414和426对准的接合对准标记。

[0071] 方法700进行至操作710,其中,使第一接合对准标记与第二接合对准标记对准,以使得第一接合接触点与第二接合接触点对准。在一些实施例中,通过使用红外光示出第一和第

二接合对准标记两者来进行对准。如图4所示,使第一接合对准标记416与第二接合对准标记428对准,以使得第一接合触点414与第二接合触点426对准。

[0072] 方法700进行至操作712,其中,将第一衬底和第二衬底以面对面方式接合,使得第一接合触点与第二接合触点在接合界面处接触,并且第一接合对准标记与第二接合对准标记在接合界面处接触。在一些实施例中,接合包括混合接合。如图4所示,将第一和第二半导体结构402和404以面对面方式接合,使得第一接合触点414与第二接合触点426在接合界面418处接触,并且第一接合对准标记416与第二接合对准标记428在接合界面418处接触。在接合之后,第一接合层412中的第一电介质与第二接合层424中的第二电介质也可以在接合界面418处接触。

[0073] 图8是根据本公开的一些实施例的用于确定接合结构的对准度的示例性方法800的流程图。图8所示的接合结构的示例包括图4所示的接合半导体器件400。将一起描述图4和图8。应当理解,方法800中所示的操作并不具有排他性,并且也可以在所示操作中的任何操作之前、之后或之间执行其他操作。此外,所述操作中的一些可以是同时执行的或者可以是按照不同于图8所示的顺序执行的。

[0074] 参考图8,方法800开始于操作802,其中,形成包括第一接合触点和第一光刻套刻标记的第一接合层。如图4所示,形成包括第一接合触点414和第一光刻套刻标记416的第一接合层412。

[0075] 方法800进行至操作804,其中,形成包括第二接合触点和第二光刻套刻标记的第二接合层。如图4所示,形成包括第二接合触点426和第二光刻套刻标记428的第二接合层424。

[0076] 方法800进行至操作806,其中,将第一接合层与第二接合层在接合界面处以面对面方式接合。在一些实施例中,所述接合包括混合接合。如图4所示,使用混合接合将第一接合层412与第二接合层424在接合界面418处以面对面方式接合

[0077] 方法800进行至操作808,其中,测量第一光刻套刻标记和第二光刻套刻标记之间的对准度。在一些实施例中,使用红外光测量第一和第二光刻套刻标记之间的对准度。例如,使用红外光测量第一和第二光刻套刻标记416和428之间的对准度。在一些实施例中,红外光测量仪器用于使用具有大约1000nm的波长的红外光测量第一和第二光刻套刻标记416和428之间的对准度。由于红外光能透射半导体结构(例如,硅衬底),因而能够通过第一和第二接合层412和424上方和/或下方的多个层识别出第一和第二光刻套刻标记416和428。

[0078] 方法800进行至操作810,其中,基于第一光刻套刻标记和第二光刻套刻标记之间的测量的对准度来确定第一接合触点和第二接合触点之间的对准度。在一些实施例中,这两个对准度是相关的。例如,可以基于第一和第二光刻套刻标记416和428之间的测量的对准度确定第一和第二接合触点414和426之间的对准度。

[0079] 根据本公开的一个方面,一种半导体器件包括第一半导体结构、第二半导体结构以及处于第一半导体结构和第二半导体结构之间的接合界面。所述第一半导体结构包括衬底、设置在所述衬底上的第一器件层以及设置在所述第一器件层上方并且包括第一接合触点和第一接合对准标记的第一接合层。所述第二半导体结构包括第二器件层以及设置在所述第二器件层下方并且包括第二接合触点和第二接合对准标记的第二接合层。使所述第一接合对准标记与所述第二接合对准标记在所述接合界面处对准,以使得所述第一接合触点

与所述第二接合触点在所述接合界面处对准。

[0080] 在一些实施例中,第一和第二接合对准标记中的每者的尺寸不大于大约 $15\mu\text{m}$ 。第一和第二接合对准标记中的每者的尺寸可以为大约 $10\mu\text{m}$ 。

[0081] 在一些实施例中,第一和第二接合对准标记中的至少一个包括多个重复图案。根据一些实施例,所述重复图案中的每者的尺寸不大于大约 $1\mu\text{m}$ 。在一些实施例中,重复图案中的每者包括金属区和电介质区。根据一些实施例,金属区的尺寸不大于重复图案的尺寸的大约25%。

[0082] 在一些实施例中,所述第一半导体结构还包括处于所述第一器件层和所述第一接合层之间的第一互连层;所述第二半导体结构还包括处于所述第二器件层和所述第二接合层之间的第二互连层;并且所述第一和第二互连层中的至少一个不包括用于使所述第一和第二接合点对准的接合对准标记。

[0083] 在一些实施例中,所述第一接合层还包括第一电介质,并且所述第二接合层还包括在所述接合界面处与所述第一电介质接触的第二电介质。

[0084] 在一些实施例中,所述第一和第二接合对准标记中的至少一个是光刻套刻标记。

[0085] 在一些实施例中,所述第一和第二器件层之一包括NAND存储器串,并且所述第一和第二器件层中的另一个包括外围器件。

[0086] 根据本公开的另一方面,一种接合结构包括:包括第一接合触点和第一接合对准标记的第一接合层;包括第二接合触点和第二接合对准标记的第二接合层;以及处于所述第一接合层和所述第二接合层之间的接合界面。使所述第一接合对准标记与所述第二接合对准标记在所述接合界面处对准,以使得所述第一接合触点与所述第二接合触点在所述接合界面处对准。所述第一接合对准标记和所述第二接合对准标记中的每者的尺寸不大于大约 $15\mu\text{m}$ 。

[0087] 在一些实施例中,所述第一和第二接合对准标记中的每者的尺寸为大约 $10\mu\text{m}$ 。

[0088] 在一些实施例中,所述第一和第二接合对准标记中的至少一个包括多个重复图案。根据一些实施例,所述重复图案中的每者的尺寸不大于大约 $1\mu\text{m}$ 。在一些实施例中,重复图案中的每者包括金属区和电介质区。根据一些实施例,金属区的尺寸不大于重复图案的尺寸的大约25%。

[0089] 在一些实施例中,所述第一接合层还包括第一电介质,并且所述第二接合层还包括在所述接合界面处与所述第一电介质接触的第二电介质。

[0090] 根据本公开的又一方面,公开了一种用于形成半导体器件的方法。在第一衬底上形成第一器件层。在所述第一器件层上方形成包括第一接合触点和第一接合对准标记的第一接合层。在第二衬底上形成第二器件层。在所述第二器件层上方形成包括第二接合触点和第二接合对准标记的第二接合层。使所述第一接合对准标记与所述第二接合对准标记对准,以使得所述第一接合触点与所述第二接合触点对准。将所述第一衬底和所述第二衬底以面对面方式接合,使得所述第一接合触点与所述第二接合触点在所述接合界面处接触,并且使得所述第一接合对准标记与所述第二接合对准标记在所述接合界面处接触。

[0091] 在一些实施例中,所述第一和第二接合对准标记中的每者的尺寸不大于大约 $15\mu\text{m}$ 。根据一些实施例,所述第一和第二接合对准标记中的每者的尺寸为大约 $10\mu\text{m}$ 。

[0092] 在一些实施例中,所述第一和第二接合对准标记中的至少一个包括多个重复图

案。根据一些实施例,所述重复图案中的每者的尺寸不大于大约 $1\mu\text{m}$ 。在一些实施例中,重复图案中的每者包括金属区和电介质区。根据一些实施例,金属区的尺寸不大于重复图案的尺寸的大约25%。

[0093] 在一些实施例中,第一互连层形成于所述第一器件层和所述第一接合层之间,并且第二互连层形成于所述第二器件层和所述第二接合层之间。所述第一和第二互连层中的至少一个不包括用于使所述第一和第二接合点对准的接合对准标记。

[0094] 在一些实施例中,所述接合包括混合接合。

[0095] 根据本公开的又一方面,公开了一种用于确定接合结构的对准度的方法。形成包括第一接合点和第一光刻套刻标记的第一接合层。形成包括第二接合点和第二光刻套刻标记的第二接合层。将所述第一接合层与所述第二接合层在接合界面处以面对面方式接合。测量所述第一光刻套刻标记和所述第二光刻套刻标记之间的对准度。基于所述第一光刻套刻标记和所述第二光刻套刻标记之间的测量的对准度确定所述第一接合点和所述第二接合点之间的对准度。

[0096] 在一些实施例中,使用红外光测量所述第一和第二光刻套刻标记之间的对准度。

[0097] 在一些实施例中,所述第一和第二光刻套刻标记中的每者的尺寸不大于大约 $15\mu\text{m}$ 。根据一些实施例,所述第一和第二光刻套刻标记中的每者的尺寸为大约 $10\mu\text{m}$ 。

[0098] 在一些实施例中,所述第一和第二光刻套刻标记中的至少一个包括多个重复图案。根据一些实施例,所述重复图案中的每者的尺寸不大于大约 $1\mu\text{m}$ 。在一些实施例中,重复图案中的每者包括金属区和电介质区。根据一些实施例,金属区的尺寸不大于重复图案的尺寸的大约25%。

[0099] 在一些实施例中,所述接合包括混合接合。

[0100] 对特定实施例的上述说明因此将完全揭示本公开的一般性质,使得他人能够通过运用本领域技术范围内的知识容易地对这种特定实施例进行修改和/或调整以用于各种应用,而不需要过度实验,并且不脱离本公开的一般概念。因此,基于本文呈现的教导和指导,这种调整和修改旨在处于所公开的实施例的等同物的含义和范围内。应当理解,本文中的措辞或术语是用于说明的目的,而不是为了进行限制,从而本说明书的术语或措辞将由技术人员按照所述教导和指导进行解释。

[0101] 上文已经借助于功能构建块描述了本公开的实施例,功能构建块例示了指定功能及其关系的实施方式。在本文中出于方便描述的目的任意地限定了这些功能构建块的边界。可以限定替代的边界,只要适当执行指定的功能及其关系即可。

[0102] 发明内容和摘要部分可以阐述发明人所设想的本公开的一个或多个示例性实施例,但未必是所有示例性实施例,并且因此,并非旨在通过任何方式限制本公开和所附权利要求。

[0103] 本公开的广度和范围不应受任何上述示例性实施例的限制,并且应当仅根据以下权利要求书及其等同物来进行限定。

100

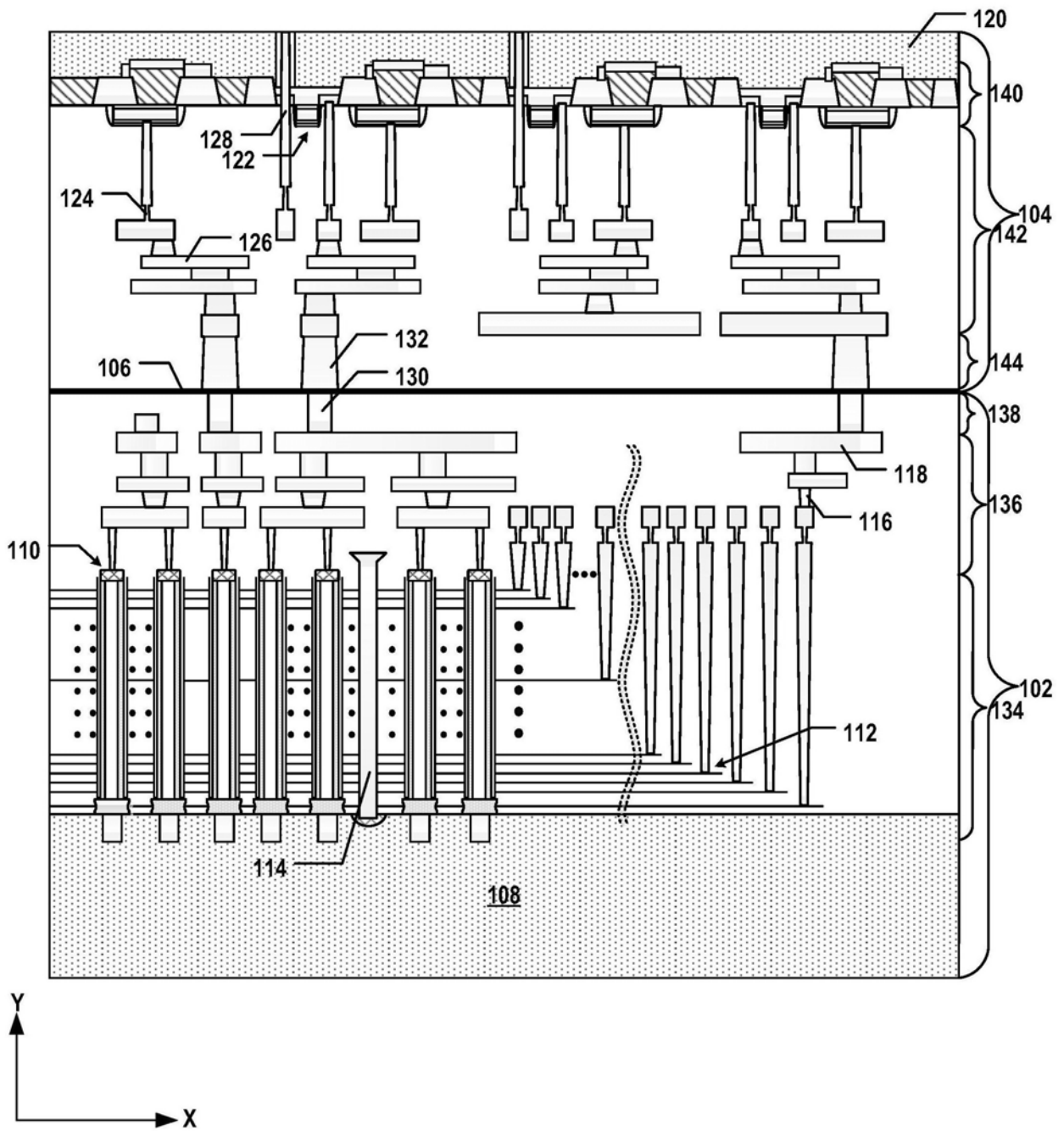


图1A

101

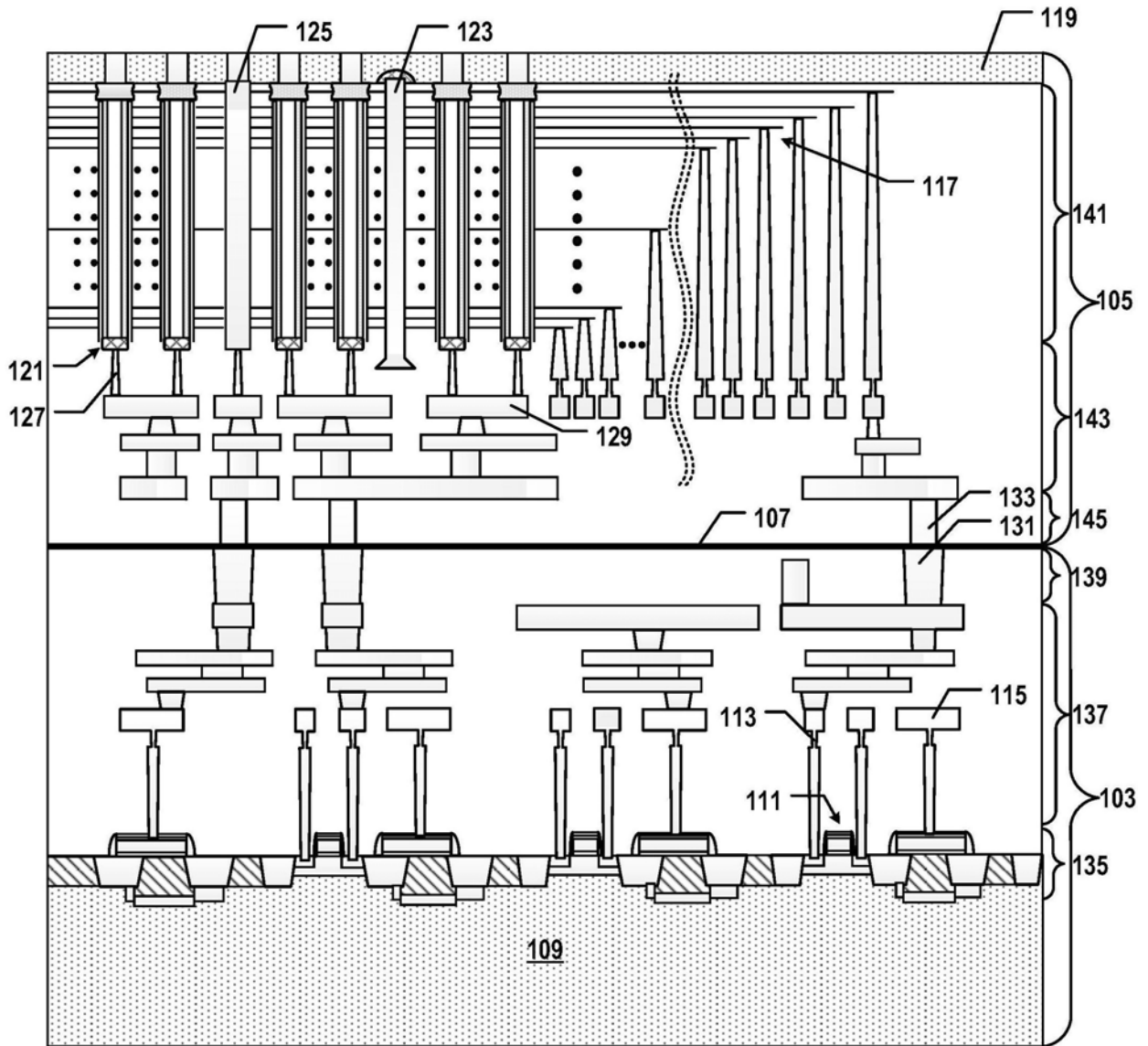


图1B

200

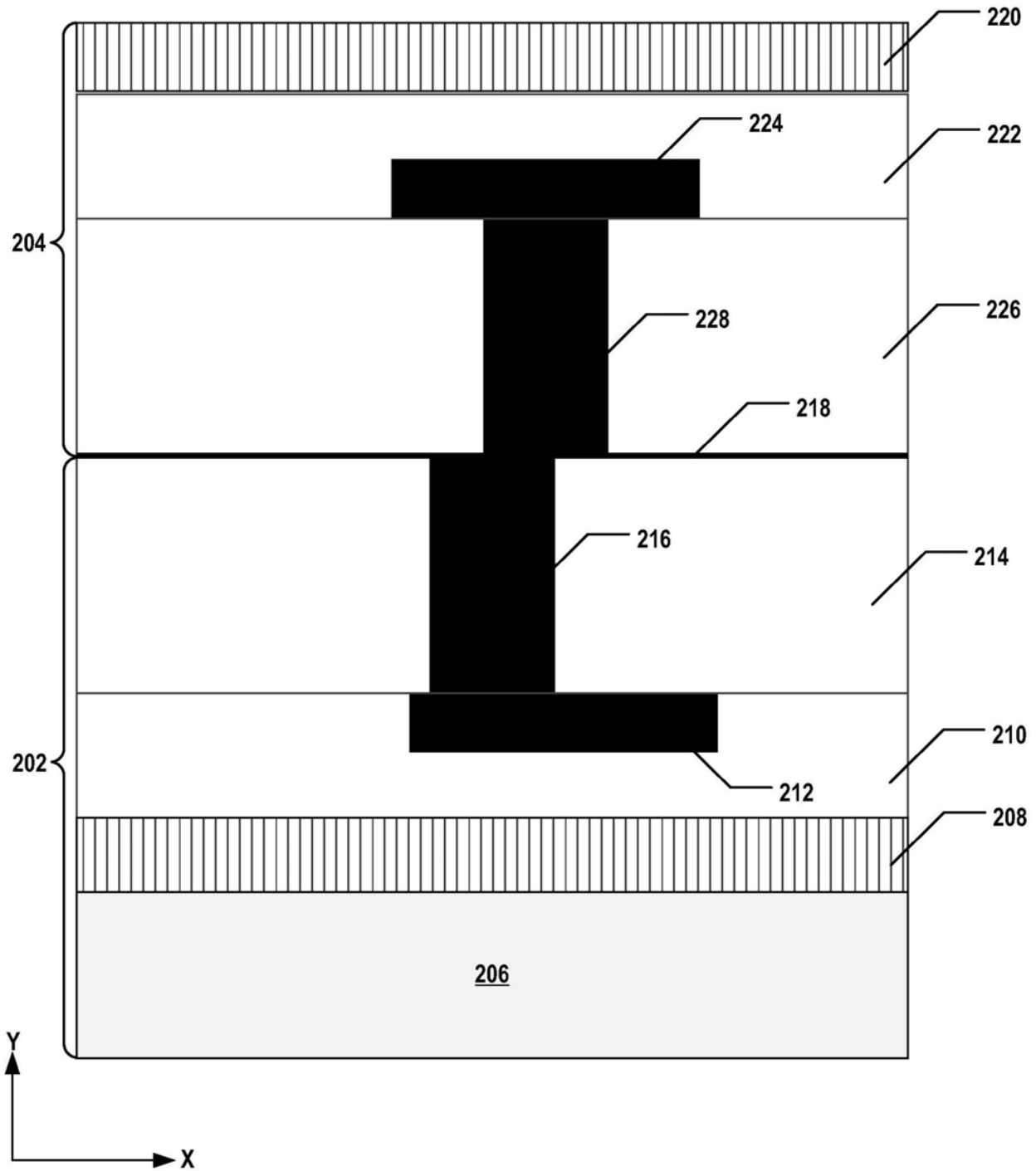


图2

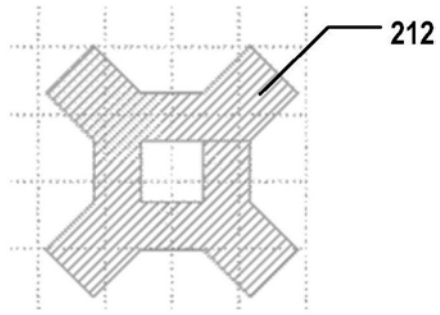


图3A

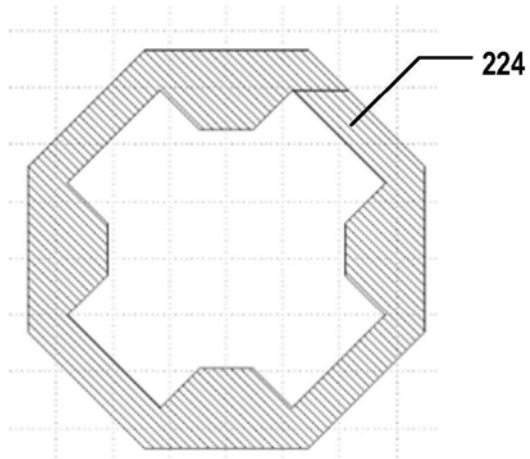


图3B

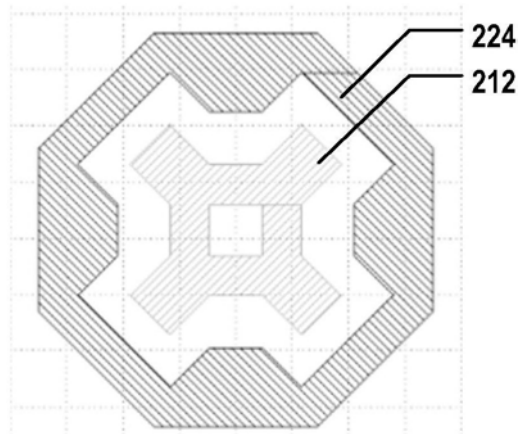


图3C

400

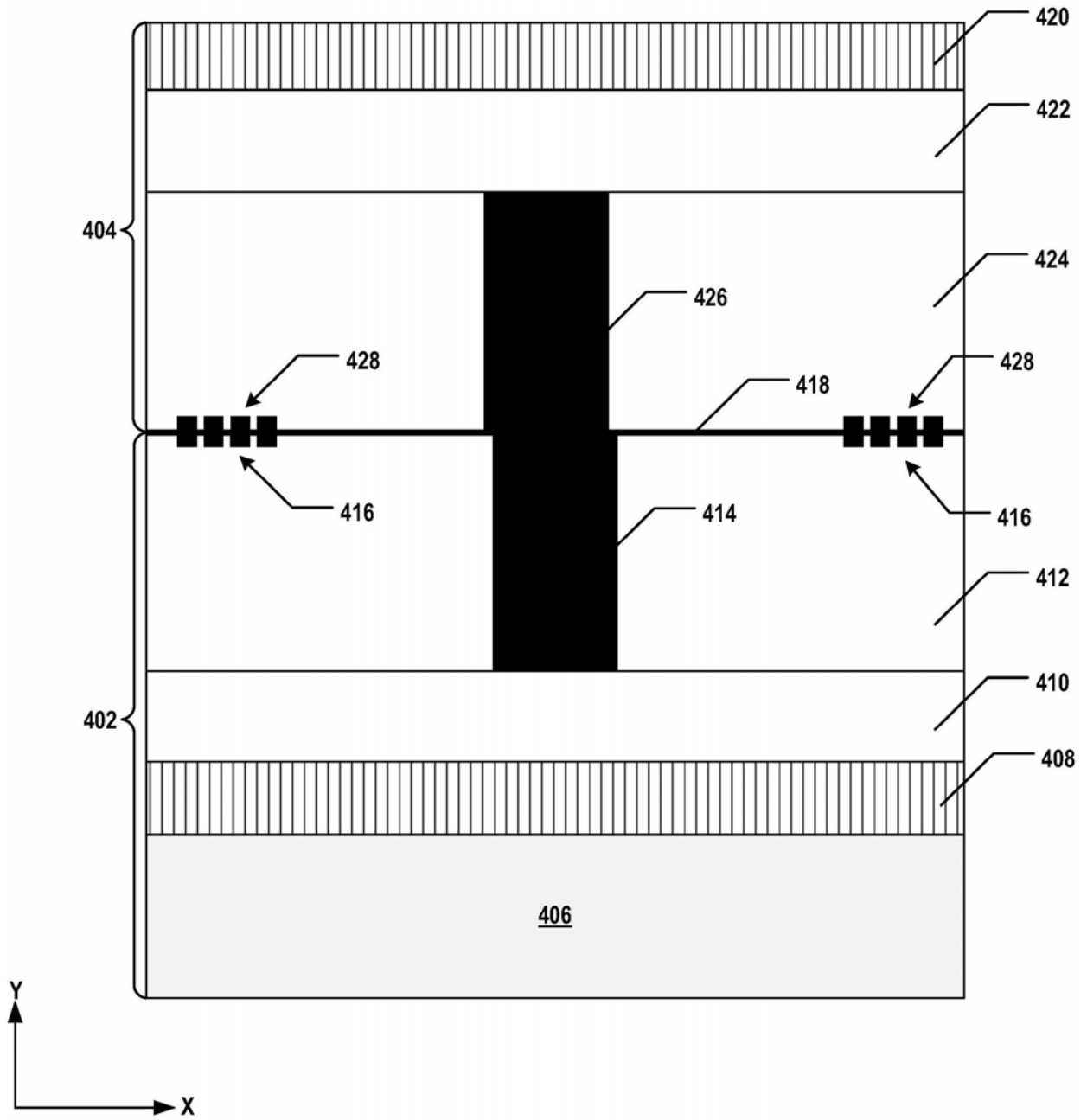


图4

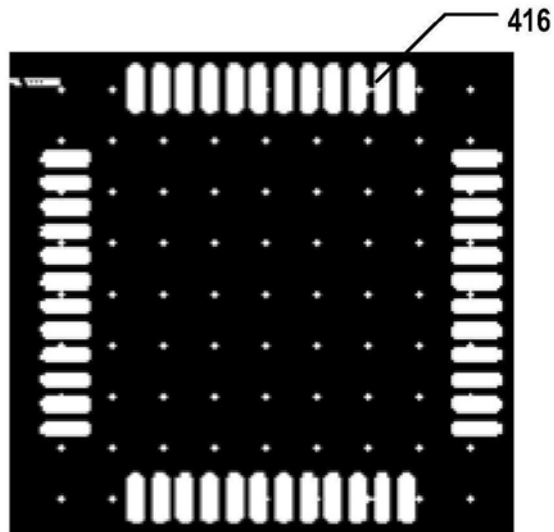


图5A

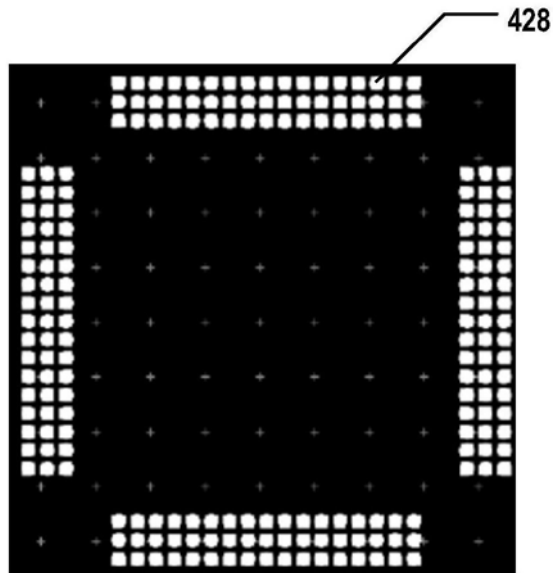


图5B

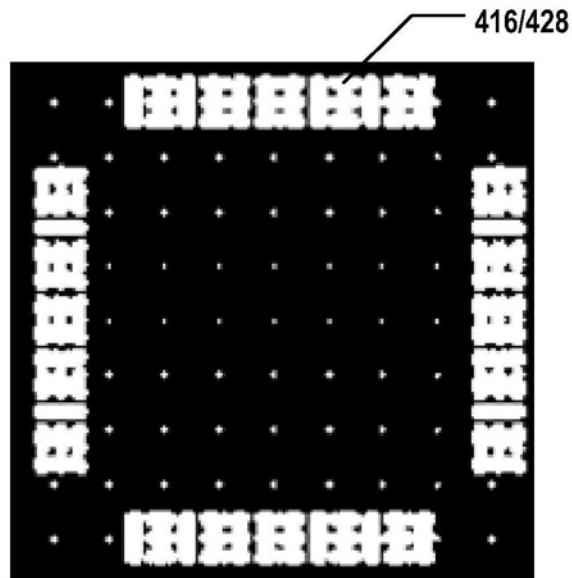


图5C

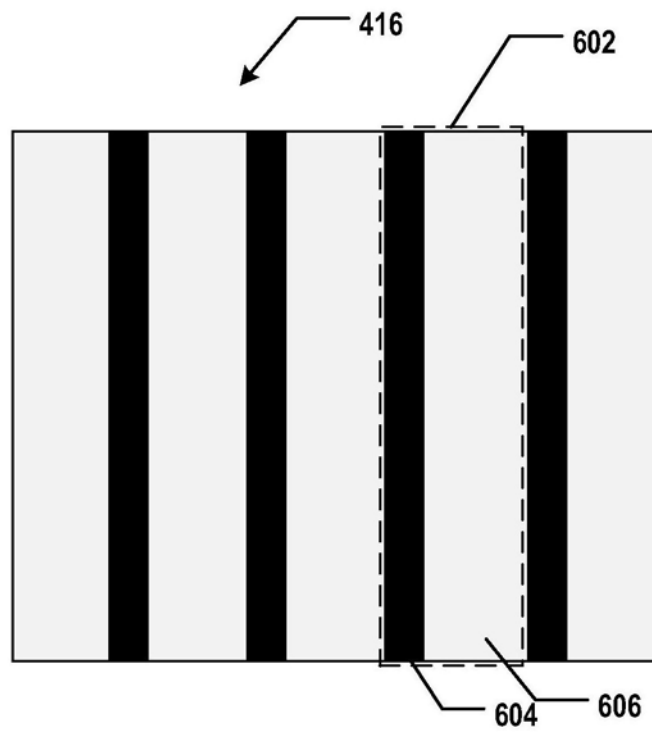


图6A

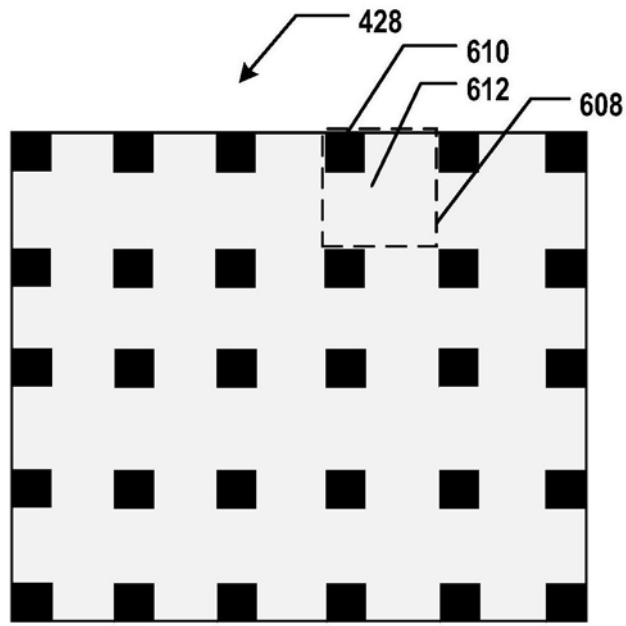


图6B

700

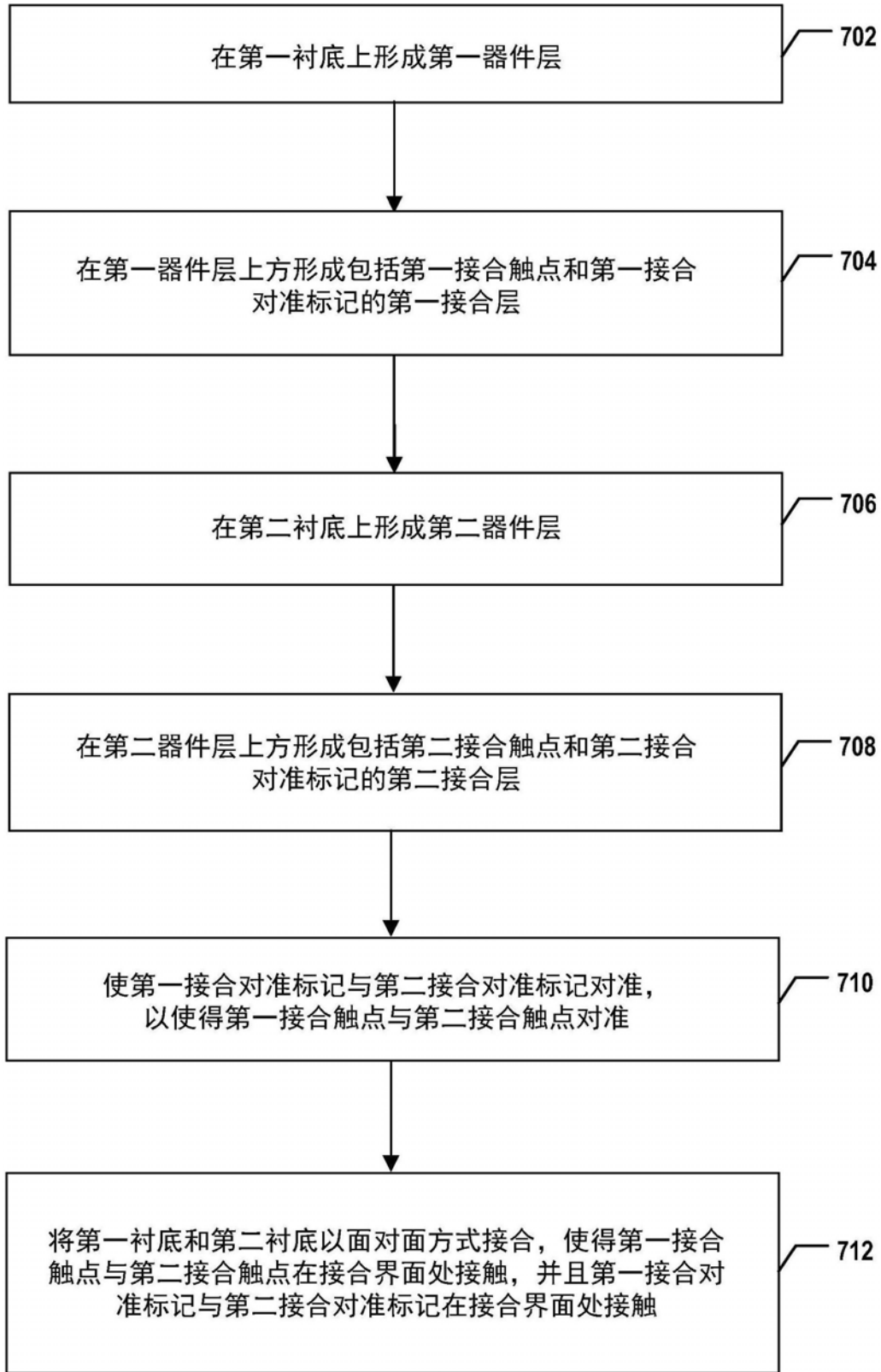


图7

800

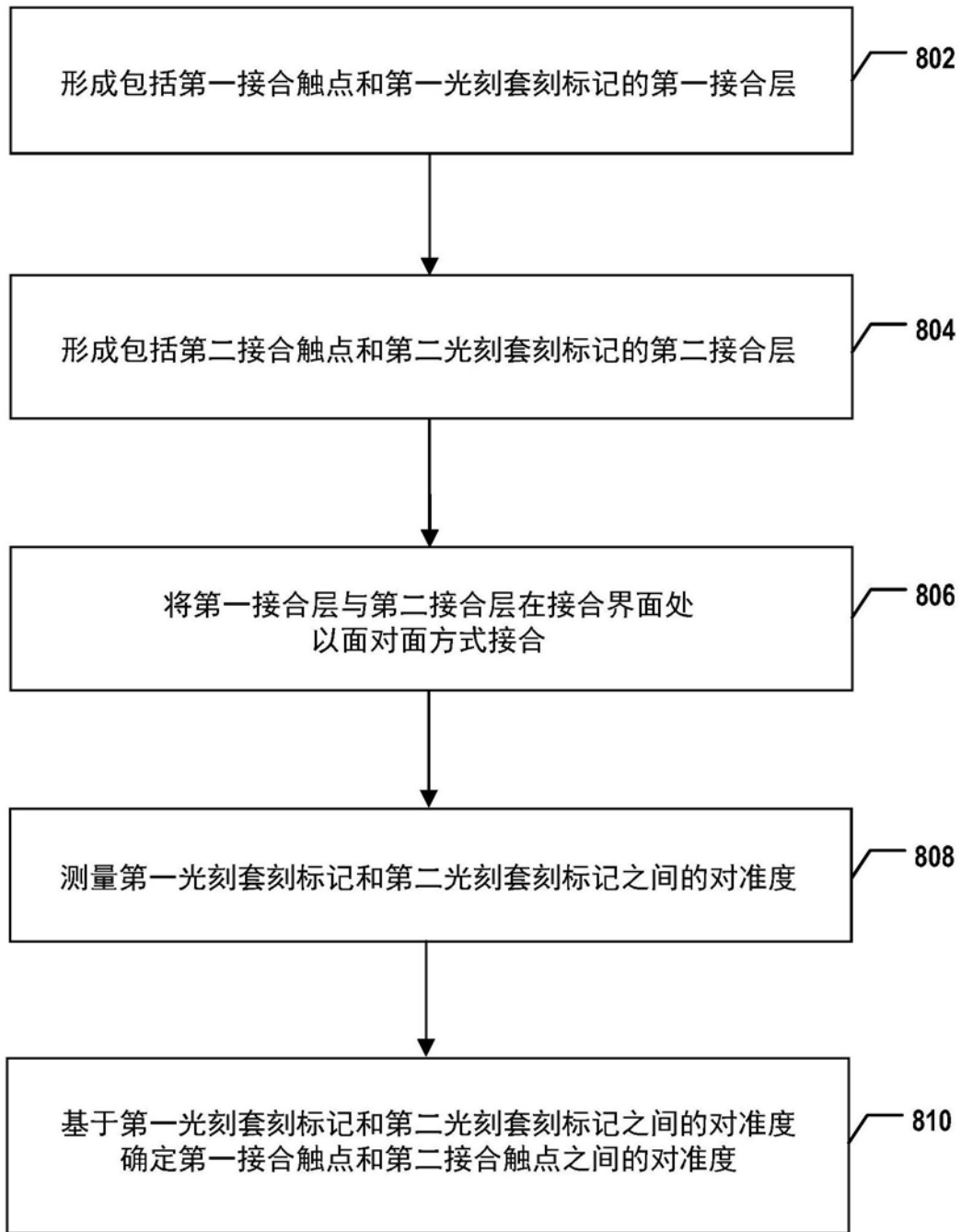


图8