



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I778249 B

(45) 公告日：中華民國 111 (2022) 年 09 月 21 日

(21) 申請案號：108112061 (22) 申請日：中華民國 108 (2019) 年 04 月 08 日

(51) Int. Cl. : *H01L25/065 (2006.01)* *H01L23/31 (2006.01)*
H01L23/367 (2006.01) *H01L23/498 (2006.01)*
H01L23/373 (2006.01) *H01L23/492 (2006.01)*

(30) 優先權：2018/05/11 南韓 10-2018-0054304
2018/05/11 南韓 10-2018-0054305
2018/05/11 南韓 10-2018-0054307
2018/05/14 南韓 10-2018-0055081
2018/09/14 南韓 10-2018-0110511

(71) 申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72) 發明人：權興奎 KWON, HEUNGKYU (KR)

(74) 代理人：林孟閱；盧珮君；陳怡如

(56) 參考文獻：

US 2010/0109152A1 US 2011/0228485A1
US 2017/0345732A1

審查人員：王世賢

申請專利範圍項數：21 項 圖式數：5 共 68 頁

(54) 名稱

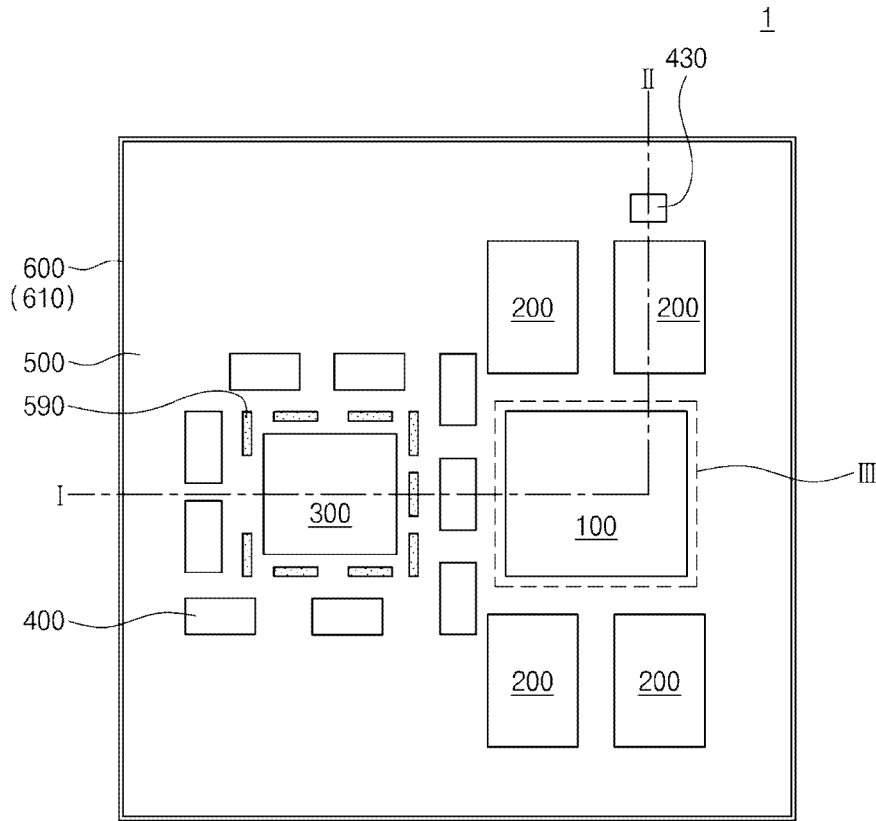
半導體封裝系統

(57) 摘要

提供一種半導體封裝系統。所述系統包括：基板；第一半導體封裝，位於所述基板上；第二半導體封裝，位於所述基板上；第一被動元件，位於所述基板上；散熱結構，位於所述第一半導體封裝、所述第二半導體封裝及所述第一被動元件上；以及第一熱傳導層，位於所述第一半導體封裝與所述散熱結構之間。所述第一半導體封裝的高度與所述第一熱傳導層的厚度之和可大於所述第一被動元件的高度。所述第一半導體封裝的所述高度可大於所述第二半導體封裝的高度。

Provided is a semiconductor package system. The system includes a substrate, a first semiconductor package on the substrate, a second semiconductor package on the substrate, a first passive element on the substrate, a heat dissipation structure on the first semiconductor package, the second semiconductor package, and the first passive element, and a first heat conduction layer between the first semiconductor package and the heat dissipation structure. A sum of a height of the first semiconductor package and a height of the first heat conduction layer may be greater than a height of the first passive element. The height of the first semiconductor package may be greater than a height of the second semiconductor package.

指定代表圖：



符號簡單說明：

1:封裝系統

100:半導體封裝/第一
半導體封裝

200:半導體封裝/第二
半導體封裝

300:半導體封裝/第三
半導體封裝

400:第一被動元件/經
安裝的第一被動元件

430:電子元件/經安裝
的電子元件

500:基板

590:擋壩結構

600:散熱結構

610:第一散熱結構

I-II:線

III:區

【圖1A】



I778249

【發明摘要】

【中文發明名稱】半導體封裝系統

【英文發明名稱】SEMICONDUCTOR PACKAGE SYSTEM

【中文】提供一種半導體封裝系統。所述系統包括：基板；第一半導體封裝，位於所述基板上；第二半導體封裝，位於所述基板上；第一被動元件，位於所述基板上；散熱結構，位於所述第一半導體封裝、所述第二半導體封裝及所述第一被動元件上；以及第一熱傳導層，位於所述第一半導體封裝與所述散熱結構之間。所述第一半導體封裝的高度與所述第一熱傳導層的厚度之和可大於所述第一被動元件的高度。所述第一半導體封裝的所述高度可大於所述第二半導體封裝的高度。

【英文】 Provided is a semiconductor package system. The system includes a substrate, a first semiconductor package on the substrate, a second semiconductor package on the substrate, a first passive element on the substrate, a heat dissipation structure on the first semiconductor package, the second semiconductor package, and the first passive element, and a first heat conduction layer between the first semiconductor package and the heat dissipation structure. A sum of a height of the first semiconductor package and a height of the first heat conduction layer may be greater than a height of the first passive element. The height of the first semiconductor package may be greater than a height of the second semiconductor

package.

【指定代表圖】圖 1A。

【代表圖之符號簡單說明】

1：封裝系統

100：半導體封裝/第一半導體封裝

200：半導體封裝/第二半導體封裝

300：半導體封裝/第三半導體封裝

400：第一被動元件/經安裝的第一被動元件

430：電子元件/經安裝的電子元件

500：基板

590：擋壩結構

600：散熱結構

610：第一散熱結構

I-II：線

III：區

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 半導體封裝系統

【英文發明名稱】 SEMICONDUCTOR PACKAGE SYSTEM

【技術領域】

【0001】 本文是有關於一種半導體封裝系統，且更具體而言是有關於一種具有散熱結構的半導體封裝系統。

[相關申請案的交叉參考]

【0002】 本美國非臨時專利申請案主張於 2018 年 5 月 11 日提出申請的韓國專利申請案第 10-2018-0054304 號的優先權；於 2018 年 5 月 11 日提出申請的韓國專利申請案第 10-2018-0054305 號的優先權；於 2018 年 5 月 11 日提出申請的韓國專利申請案第 10-2018-0054307 號的優先權；於 2018 年 5 月 14 日提出申請的韓國專利申請案第 10-2018-0055081 號的優先權；以及於 2018 年 9 月 14 日提出申請的韓國專利申請案第 10-2018-0110511 號的優先權，所述韓國專利申請案中的每一者的全部內容併入本案供參考。

【先前技術】

【0003】 半導體封裝是以適合於在電子產品中使用的形式來實作。一般而言，半導體封裝一般安裝有位於印刷電路板（printed circuit board，PCB）上的半導體晶片且使用接合導線（bonding wire）或凸塊而電性連接至彼此。隨著半導體封裝在速度及容量上

的提高，半導體封裝的功耗有所增大。因此，半導體封裝的熱特性變得更為重要。

【發明內容】

【0004】 發明概念是有關於一種具有改善的熱特性的半導體封裝以及一種包括所述半導體封裝的半導體模組。

【0005】 根據發明概念的實施例，一種半導體封裝系統可包括：基板；第一半導體封裝，位於所述基板上；第二半導體封裝，位於所述基板上；第一被動元件，位於所述基板上；散熱結構，設置於所述第一半導體封裝、所述第二半導體封裝及所述第一被動元件上；以及第一熱傳導層，位於所述第一半導體封裝與所述散熱結構之間。所述第一半導體封裝的高度與所述第一熱傳導層的厚度之和可大於所述第一被動元件的高度。所述第一半導體封裝的所述高度可大於所述第二半導體封裝的高度。

【0006】 在發明概念的實施例中，一種半導體封裝系統可包括：基板；第一半導體封裝，位於所述基板上表面上，且所述第一半導體封裝包括第一半導體晶片，所述第一半導體晶片包括一個或多個邏輯電路；第二半導體封裝，位於所述基板的所述上表面上；被動元件，位於所述基板的所述上表面上；散熱結構，位於所述第一半導體封裝、所述第二半導體封裝及所述被動元件上；以及多個熱傳導層，各自物理地接觸所述散熱結構的下表面。所述多個熱傳導層可包括位於所述第一半導體封裝的上表面上的第一熱傳導層，且所述第一熱傳導層可具有所述多個熱傳導層中最

薄的厚度。

【0007】 在發明概念的實施例中，一種半導體封裝系統可包括：基板；第一半導體封裝，位於所述基板上，所述第一半導體封裝包括第一半導體晶片，所述第一半導體晶片包括一個或多個邏輯電路；第二半導體封裝，位於所述基板上；被動元件，位於所述基板上；散熱結構，位於所述第一半導體封裝、所述第二半導體封裝及所述被動元件上；第一熱傳導層，位於所述第一半導體封裝上，所述第一熱傳導層物理地接觸所述散熱結構；以及第二熱傳導層，位於所述第二半導體封裝上，所述第二熱傳導層物理地接觸所述散熱結構。所述第一熱傳導層的厚度可小於所述第二熱傳導層的厚度。所述第一熱傳導層的上表面可設置於較所述被動元件的上表面高的水平高度處。

【圖式簡單說明】

【0008】

包括附圖以提供對發明概念的進一步理解，且附圖被併入本說明書中且構成本說明書的一部分。各圖式說明發明概念的示例性實施例且與說明一起用於闡釋發明概念的原理。在附圖中：

圖 1A 是示出根據示例性實施例的封裝系統的平面圖。

圖 1B 是示出根據示例性實施例的封裝系統的平面圖。

圖 1C 是沿圖 1A 所示線 I-II 截取的剖視圖。

圖 1D 是圖 1C 所示區 A 的放大圖。圖 1E 是圖 1C 所示區 B 的放大圖。

圖 1F 是示出根據示例性實施例的封裝系統的圖。

圖 1G 對應於圖 1A 所示區 III 的放大圖。

圖 1H 是沿圖 1G 所示線 I'-II' 截取的剖視圖。

圖 1I 是用於闡釋根據示例性實施例的第一半導體封裝的圖。

圖 2A 是示出根據示例性實施例的封裝系統的平面圖。

圖 2B 是沿圖 2A 所示線 I-II 截取的剖視圖。

圖 2C 是示出根據示例性實施例的封裝系統的平面圖。

圖 2D 是沿圖 2C 所示線 I-II 截取的剖視圖。

圖 2E 是示出根據示例性實施例的封裝系統的剖視圖。

圖 3A 是示出根據示例性實施例的封裝系統的剖視圖。

圖 3B 是示出根據示例性實施例的封裝系統的剖視圖。

圖 3C 是示出根據示例性實施例的封裝系統的剖視圖。

圖 4A 是示出根據示例性實施例的封裝系統的剖視圖。

圖 4B 是示出根據示例性實施例的封裝系統的剖視圖。

圖 4C 是示出根據示例性實施例的封裝系統的剖視圖。

圖 5A 是示出根據示例性實施例的半導體模組的剖視圖。

圖 5B 是用於闡釋根據示例性實施例的第二被動元件的圖，
且是示出圖 5A 所示區 C 的放大圖的剖視圖。

圖 5C 是用於闡釋根據示例性實施例的下部接墊及導電端子的
的圖。

圖 5D 是用於闡釋根據示例性實施例的下部接墊的圖。

【實施方式】

【0009】 在本說明書中，相同的參考編號（reference numerals）在本說明書通篇中指代相同的組件。在下文中，將闡述根據發明概念的一種封裝系統以及一種包括所述封裝系統的半導體模組。半導體封裝系統可為封裝系統或包括所述封裝系統的半導體模組。

【0010】 圖 1A 是示出根據示例性實施例的封裝系統的平面圖。圖 1B 是示出根據示例性實施例的封裝系統的平面圖。圖 1C 是沿圖 1A 所示線 I-II 截取的剖視圖。圖 1D 是圖 1C 所示區 A 的放大圖。圖 1E 是圖 1C 所示區 B 的放大圖。

【0011】 參照圖 1A、圖 1B、圖 1C、圖 1D 及圖 1E，封裝系統 1 包括基板 500、第一半導體封裝 100、第二半導體封裝 200、第三半導體封裝 300、第一被動元件 400、散熱結構 600 及第一熱傳導層 710。作為實例，具有電路圖案的印刷電路板（PCB）可用作基板 500。在基板 500 的下表面上可設置有導電端子 550。導電端子 550 可包括焊球、凸塊及柱（pillar）中的至少一者。導電端子 550 可包含例如金屬。

【0012】 第一半導體封裝 100 可安裝於基板 500 的上表面 500a 上。第一半導體封裝 100 可包括如隨後所述的邏輯晶片或系統晶片（system-on-chip，SOC）。在基板 500 與第一半導體封裝 100 之間可內插有第一連接端子 150。第一半導體封裝 100 可經由第一連接端子 150 而電性連接至基板 500。在本說明書中，與基板 500 電性連接可意指其與基板 500 中的互連件（interconnection）505

電性連接。第一連接端子 150 可包括焊球、柱、凸塊或球柵陣列。經安裝的第一半導體封裝 100 的高度 H1 可被定義為包括第一連接端子 150 的高度。在本說明書中，任意組件的高度可意指在與基板 500 的上表面 500a 垂直的方向上所量測的組件的最大距離。第一連接端子 150 的節距 (pitch) 可小於導電端子 550 的節距。

【0013】 第二半導體封裝 200 可安裝於基板 500 的上表面 500a 上。在平面圖中，第二半導體封裝 200 可與第一半導體封裝 100 間隔開。第二半導體封裝 200 可為與第一半導體封裝 100 不同類型的半導體封裝。在基板 500 與第二半導體封裝 200 之間可內插有第二連接端子 250。第二半導體封裝 200 可經由第二連接端子 250 而電性連接至基板 500。第二連接端子 250 可包括焊球、柱、凸塊或球柵陣列。第二連接端子 250 的節距可小於導電端子 550 的節距。經安裝的第二半導體封裝 200 的高度 H2 可被定義為包括第二連接端子 250 的高度。可設置有多個第二半導體封裝 200。第二半導體封裝 200 可彼此間隔開。然而，第二半導體封裝 200 的數目及平面排列可作出各種潤飾。

【0014】 第三半導體封裝 300 可安裝於基板 500 上。在平面圖中，第三半導體封裝 300 可與第一半導體封裝 100 及第二半導體封裝 200 間隔開。第三半導體封裝 300 可為與第一半導體封裝 100 及第二半導體封裝 200 不同類型的半導體封裝。如圖 1A 中所示，可設置有單個第三半導體封裝 300。作為另一實例，如圖 1B 中所示，可設置有多個第三半導體封裝 300。在此種情形中，第三半導

體封裝 300 可彼此間隔開。第三半導體封裝 300 的數目及平面排列可作出各種潤飾，而不限於圖 1A 及圖 1B 中所示者。在下文中，將闡述單個第三半導體封裝 300。如圖 1C 中所示，在基板 500 與第三半導體封裝 300 之間可內插有第三連接端子 350。第三半導體封裝 300 可經由第三連接端子 350 而電性連接至基板 500。第三連接端子 350 可包括焊球、柱、凸塊或球柵陣列。第三連接端子 350 的節距可小於導電端子 550 的節距。經安裝的第三半導體封裝 300 的高度 H3 可被定義為包括第三連接端子 350 的高度。經安裝的第一半導體封裝 100 的高度 H1 可大於經安裝的第三半導體封裝 300 的高度 H3。

【0015】 第一被動元件 400 可安裝於基板 500 的上表面 500a 上。在平面圖中，第一被動元件 400 可與第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300 間隔開。第一被動元件 400 可包括電感器、電阻器及電容器中的任一者。如圖 1D 中所示，在基板 500 與第一被動元件 400 之間可進一步設置有第一連接端子部分 401。第一連接端子部分 401 可包括例如焊球、柱、凸塊或球柵陣列。經安裝的第一被動元件 400 的高度 H4 可被定義為包括第一連接端子部分 401 的高度。舉例而言，第一被動元件 400 的高度 H4 可等於第一連接端子部分 401 的高度 H41 與被安裝前的第一被動元件 400' 的高度 H40 之和。經安裝的第一被動元件 400 的高度 H4 可實質上等於基板 500 的上表面 500a 與第一被動元件 400 的最上側表面之間的距離。可設置有多個第一被動元件 400。如圖

1A 及圖 1B 中所示，第一被動元件 400 可彼此間隔開。第一被動元件 400 的數目及平面排列可作出各種潤飾。在下文中，將闡述單個第一被動元件 400。在除圖 1D 以外的各圖式中，為簡單起見，省略第一連接端子部分 401，但發明概念並非僅限於此。

【0016】 在第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300 以及第一被動元件 400 上可設置有散熱結構 600。散熱結構 600 的下表面 600b 可面對第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300。散熱結構 600 的下表面 600b 可實質上為平坦的 (flat)。舉例而言，散熱結構 600 的位於第一半導體封裝 100 上的散熱結構 600 的下表面 600b、位於第二半導體封裝 200 上的散熱結構 600 的下表面 600b、位於第三半導體封裝 300 上的下表面 600b 及位於第一被動元件 400 上的下表面 600b 可安置於實質上相同的水平高度處。在散熱結構 600 的下表面 600b 上進行的附加加工被省略，以使散熱結構 600 的製造可簡化。所述加工可包括形成溝槽 (trench) 或形成突起部 (protrusion)。散熱結構 600 可包含導熱材料。導熱材料可包括金屬 (例如，銅及/或鋁) 或含碳材料 (例如，石墨烯、石墨及/或碳奈米管)。散熱結構 600 可具有相對高的導熱係數 (thermal conductivity)。作為實例，單個金屬層或多個經堆疊的金屬層可用作散熱結構 600。作為另一實例，散熱結構 600 可包括熱槽 (heat sink) 或熱管 (heatpipe)。作為另一實例，散熱結構 600 可使用水冷卻方法 (water cooling method)。散熱結構 600 可包括第一散熱結構 610。

第一散熱結構 610 可與基板 500 間隔開。

【0017】 第一熱傳導層 710 可內插於第一半導體封裝 100 與散熱結構 600 之間。第一熱傳導層 710 可物理地接觸第一半導體封裝 100 的上表面及散熱結構 600 的下表面 600b。第一熱傳導層 710 可包含熱介面材料 (thermal interface material, TIM)。熱介面材料可包括例如聚合物及導熱粒子。導熱粒子可散佈於聚合物內。在第一半導體封裝 100 的操作期間，自第一半導體封裝 100 產生的熱可經由第一熱傳導層 710 而傳遞至散熱結構 600。

【0018】 根據示例性實施例，經安裝的第一半導體封裝 100 的高度 H1 與第一熱傳導層 710 的厚度 A1 之和可大於經安裝的第一被動元件 400 的高度 H4。即使第一被動元件 400 設置於基板 500 的上表面 500a 上，第一熱傳導層 710 仍可物理地接觸第一半導體封裝 100 及散熱結構 600。

【0019】 在第二半導體封裝 200 與散熱結構 600 之間可設置有第二熱傳導層 720。第二熱傳導層 720 可物理地接觸第二半導體封裝 200 的上表面及散熱結構 600 的下表面 600b。舉例而言，第二熱傳導層 720 可包含熱介面材料。在第二半導體封裝 200 的操作期間，自第二半導體封裝 200 產生的熱可經由第二熱傳導層 720 而傳遞至散熱結構 600。

【0020】 在第三半導體封裝 300 與散熱結構 600 之間可設置有第三熱傳導層 730。第三熱傳導層 730 可物理地接觸第三半導體封裝 300 的上表面及散熱結構 600 的下表面 600b。舉例而言，第三熱

傳導層 730 可包含熱介面材料。在第三半導體封裝 300 的操作期間，自第三半導體封裝 300 產生的熱可經由第三熱傳導層 730 而傳遞至散熱結構 600。

【0021】 在封裝系統 1 的操作期間，自第一半導體封裝 100 可產生大量的熱。舉例而言，第一半導體封裝 100 可產生較自第二半導體封裝 200、第三半導體封裝 300 及第一被動元件 400 產生的熱更多的熱。第一半導體封裝 100 的熱特性對封裝系統 1 的操作特性的影響可大於第二半導體封裝 200 及第三半導體封裝 300 的熱特性對封裝系統 1 的操作特性的影響。由於第一半導體封裝 100 的熱特性得到改善，因此封裝系統 1 的操作特性可得到改善。第一熱傳導層 710、第二熱傳導層 720 及第三熱傳導層 730 中的每一者可具有較散熱結構 600 的導熱係數低的導熱係數。隨著第一熱傳導層 710 的厚度 A1 減小，自第一半導體封裝 100 產生的熱可被更快的散發至散熱結構 600。根據示例性實施例，第一熱傳導層 710 的厚度 A1 可為接觸散熱結構 600 的下表面 600b 的熱傳導層的厚度中最小的。此處，熱傳導層可包括第一熱傳導層 710、第二熱傳導層 720 及第三熱傳導層 730。熱傳導層可更包括隨後將參照圖 2A 至圖 2D 闡述的導電黏合圖案 741。舉例而言，第一熱傳導層 710 的厚度 A1 可小於第二熱傳導層 720 的厚度 A2 及第三熱傳導層 730 的厚度 A3。因此，自第一半導體封裝 100 產生的熱可更快地傳遞至散熱結構 600。封裝系統 1 可表現出改善的操作特性。

【0022】 在基板 500 的上表面 500a 上可進一步設置有電子元件

430。電子元件 430 可包括振盪器（例如晶體振盪器（crystal oscillator））或即時時鐘（real-time clock）。如圖 1E 中所示，在電子元件 430 與基板 500 的上表面 500a 之間可進一步設置有導電連接端子 403 以電性連接至電子元件 430 及基板 500。經安裝的電子元件 430 的高度 H5 可被定義為包括導電連接端子 403 的高度 H51。經安裝的電子元件 430 的高度 H5 可等於導電連接端子 403 的高度 H51 與被安裝前的電子元件 430' 的高度 H50 之和。經安裝的第一半導體封裝 100 的高度 H1 與第一熱傳導層 710 的厚度 A1 之和可大於經安裝的電子元件 430 的高度 H5。儘管電子元件 430 設置於基板 500 的上表面 500a 上，然而自第一半導體封裝 100 產生的熱可經由第一熱傳導層 710 而順利地排放至散熱結構 600。作為另一實例，可不設置電子元件 430。在除圖 1E 以外的各圖式中，為簡單起見，省略導電連接端子 403，但發明概念並非僅限於此。在下文中，將闡述半導體封裝 100、200 及 300 的電性連接。

【0023】 如圖 1C 中所示，第一半導體封裝 100 經由基板 500 的互連件 505 而電性連接至第二半導體封裝 200、第三半導體封裝 300 及導電端子 550。第二半導體封裝 200 可經由基板 500 的互連件 505 而電性連接至第一半導體封裝 100、第三半導體封裝 300 及導電端子 550。第三半導體封裝 300 可經由基板 500 的互連件 505 而電性連接至第一半導體封裝 100、第二半導體封裝 200 及導電端子 550。

【0024】 在基板 500 與第一半導體封裝 100 之間間隙中可設置

有第一底部填充膜 160 以密封第一連接端子 150。在基板 500 與第二半導體封裝 200 之間間隙中可設置有第二底部填充膜 260 以密封第二連接端子 250。在基板 500 與第三半導體封裝 300 之間間隙中可設置有第三底部填充膜 360 以密封第三連接端子 350。第一底部填充膜 160、第二底部填充膜 260 及第三底部填充膜 360 可包含例如環氧樹脂系聚合物等絕緣聚合物。由於設置有第一底部填充膜 160、第二底部填充膜 260 及第三底部填充膜 360，因此第一連接端子 150、第二連接端子 250 及第三連接端子 350 的接合可靠性可改善。與所說明實施例不同，可省略第一底部填充膜 160、第二底部填充膜 260 及第三底部填充膜 360 中的至少一者。

【0025】 在基板 500 的上表面 500a 上可進一步設置有擋壩結構 (dam structure) 590。擋壩結構 590 可安置於第三半導體封裝 300 與第一被動元件 400 之間。擋壩結構 590 可使用液態樹脂來形成。儘管圖式中未示出，然而基板 500 可包括多個層，且所述層中的最上側層可包含例如阻焊劑材料 (solder resist material) 等絕緣聚合物。在一個實例中，擋壩結構 590 可與基板 500 的最上側層一體地形成。在此種情形中，擋壩結構 590 可連接至基板 500 的最上側層而不存在介面。作為另一實例，擋壩結構 590 可包含與基板 500 的材料不同的材料。舉例而言，擋壩結構 590 可由與第一底部填充膜 160、第二底部填充膜 260 及第三底部填充膜 360 中的任一者相同的材料形成。擋壩結構 590 的高度可等於或小於經安裝的第一半導體封裝 100 的高度 H1 與第一熱傳導層 710 的厚度

A1 之和。

【0026】 擋壩結構 590 的排列及數目可作出各種潤飾。舉例而言，擋壩結構 590 可安置於第一半導體封裝 100 與第一被動元件 400 之間。作為另一實例，擋壩結構 590 可安置於第二半導體封裝 200 與第一被動元件 400 之間。如圖 1A 中所示，可設置有多個擋壩結構 590。擋壩結構 590 可彼此間隔開。在下文中，將更詳細地闡述第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300 中的每一者。

【0027】 圖 1F 是示出根據示例性實施例的封裝系統的圖，其對應於沿圖 1A 所示線 I-II 截取的剖面。在下文中，將省略與上述內容重覆的內容。在對圖 1F 的說明中，一起闡述圖 1A、圖 1B 及圖 1C。

【0028】 參照圖 1F，封裝系統 1a 包括基板 500、第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300、第一被動元件 400、第一熱傳導層 710、第二熱傳導層 720 及第三熱傳導層 730 以及散熱結構 600。

【0029】 第一半導體封裝 100 可包括第一基板 110、第一半導體晶片 120 及第一模製層 130。作為實例，印刷電路板（PCB）可用作基板 500。作為另一實例，重佈線層（redistribution layer）可用作基板 500。第一半導體晶片 120 可以倒裝晶片（flip-chip）方式安裝於第一基板 110 上。在第一半導體晶片 120 與第一基板 110 之間可設置有連接部分。連接部分可包括焊球、柱、凸塊或球柵

陣列。第一半導體晶片 120 可為系統晶片 (SOC)、邏輯晶片或應用處理器 (application processor, AP) 晶片。第一半導體晶片 120 可包括具有不同功能的電路。第一半導體晶片 120 可包括邏輯電路及記憶體電路。第一半導體晶片 120 可更包括數位積體電路 (integrated circuit, IC)、無線射頻積體電路 (radio frequency integrated circuit, RFIC) 及輸入/輸出電路中的至少一者。自第一半導體封裝 100 產生熱可意指自第一半導體晶片 120 產生熱。

【0030】 第一模製層 130 可安置於第一基板 110 上以覆蓋第一半導體晶片 120。第一模製層 130 覆蓋第一半導體晶片 120 的側表面及上表面以密封第一半導體晶片 120。在此種情形中，第一半導體封裝 100 的上表面可對應於第一模製層 130 的上表面。第一模製層 130 可包含例如環氧樹脂模製化合物 (epoxy molding compound) 等絕緣聚合物。第一模製層 130 可更延伸至第一基板 110 與第一半導體晶片 120 之間間隙中。與所示者不同，在第一基板 110 與第一半導體晶片 120 之間間隙中可填充有附加底部填充圖案。底部填充圖案可通過對非導電性膏體或非導電性膜進行熱壓縮的方法或者通過毛細底部填充製程 (capillary underfill process) 來形成。經安裝的第一半導體封裝 100 的高度 H1 被定義為第一連接端子 150 的高度、第一基板 110 的高度及第一模製層 130 的高度之和。

【0031】 第二半導體封裝 200 可包括第二基板 210、第二半導體晶片 220 及第二模製層 230。印刷電路板 (PCB) 或重佈線層可用

作基板 500。第二半導體晶片 220 可為與第一半導體晶片 120 不同類型的半導體晶片。舉例而言，第二半導體晶片 220 可充當記憶體晶片。記憶體晶片可包括動態隨機存取記憶體（dynamic random access memory，DRAM）晶片。作為另一實例，記憶體晶片可包括靜態隨機存取記憶體（static random access memory，SRAM）、磁性隨機存取記憶體（magnetic random access memory，MRAM）及/或反及快閃記憶體（NAND flash memory）。自第二半導體封裝 200 產生熱可意指自第二半導體晶片 220 產生熱。第二半導體晶片 220 可以倒裝晶片方法或接合導線方法（bonding wire method）被安裝。當第二半導體晶片 220 是以倒裝晶片方式安裝時，在第二基板 210 與第二半導體晶片 220 之間間隙中可填充有附加底部填充圖案。第二半導體封裝 200 可包括多個第二半導體晶片 220。作為另一實例，第二半導體封裝 200 可包括單個第二半導體晶片 220。第二模製層 230 覆蓋第二半導體晶片 220 的側表面及第二半導體晶片 220 的上表面以密封第二半導體晶片 220。在此種情形中，第二半導體封裝 200 的上表面可對應於第二模製層 230 的上表面。與所示者不同，第二模製層 230 覆蓋第二半導體晶片 220 的側表面，且可暴露出上表面。在此種情形中，第二半導體封裝 200 的上表面可對應於第二模製層 230 的上表面及第二半導體晶片 220 的藉由第二模製層 230 而暴露出的上表面。第二模製層 230 可包含例如環氧樹脂系聚合物等絕緣聚合物。經安裝的第二半導體封裝 200 的高度 H2 被定義為第二連接端子 250 的高度、第二基

板 210 的高度及第二模製層 230 的高度之和。

【0032】 第三半導體封裝 300 可包括第三基板 310、第三半導體晶片 320 及第三模製層 330。重佈線層或印刷電路板可用作第三基板 310。當使用重佈線層作為第三基板 310 時，可以扇出型面板級封裝（fan-out panel level package）或扇出型晶圓級封裝（fan-out wafer level package）來製作第三半導體封裝 300。第三半導體晶片 320 可為與第一半導體晶片 120 及第二半導體晶片 220 不同類型的半導體晶片。舉例而言，第三半導體晶片 320 可包括電力管理積體電路（power management integrated circuit，PMIC）以充當電力管理晶片。自第三半導體封裝 300 產生熱可意指自第三半導體晶片 320 產生熱。第三模製層 330 可設置於第三基板 310 上以覆蓋第三半導體晶片 320 的上表面及側表面。在此種情形中，第三半導體封裝 300 的上表面可對應於第三模製層 330 的上表面。與所示者不同，第三模製層 330 覆蓋第三半導體晶片 320 的側表面，且可暴露出上表面。在此種情形中，第三半導體封裝 300 的上表面可對應於第三模製層 330 的上表面及第三半導體晶片 320 的藉由第三模製層 330 而暴露出的上表面。第三模製層 330 可包含例如環氧樹脂系聚合物等絕緣聚合物。經安裝的第三半導體封裝 300 的高度 H3 被定義為第三連接端子 350 的高度、第三基板 310 的高度及第三模製層 330 的高度之和。第三半導體封裝 300 的形成可包括：將第三半導體晶片 320 設置於載體基板上；形成覆蓋第三半導體晶片 320 的第三模製層 330；移除載體基板以暴露

出第三半導體晶片 320 的下表面；以及在被暴露出的第三半導體晶片 320 的下表面及模製層的下表面上形成重佈線層。在此種情形中，重佈線層可為第三基板 310。

【0033】 圖 1G 對應於圖 1A 所示區 III 的放大圖。圖 1H 是沿圖 1G 所示線 I'-II' 截取的剖視圖。在以下說明中，一起參照圖 1A、圖 1B、圖 1C 及圖 1D。

【0034】 參照圖 1G 及圖 1H，在第一模製層 130 上可設置有第一標記 139。舉例而言，第一標記 139 可設置於第一模製層 130 的上表面上。與此不同，第一標記 139 可設置於第一模製層 130 的側表面上。第一標記 139 可為位於第一模製層 130 的一個表面上的凹陷部分。第一標記 139 的形成可包括移除第一模製層 130 的一部分。當第一標記 139 形成於第一半導體晶片 120 上時，第一半導體晶片 120 在第一標記 139 的形成期間可能受到損傷。舉例而言，在第一半導體晶片 120 上或在第一半導體晶片 120 中可能形成裂紋 (crack)。根據示例性實施例，第一標記 139 可設置於第一模製層 130 上，以使第一半導體晶片 120 在第一標記 139 的形成製程中可不受到損傷。第一標記 139 可提供並顯示關於第一半導體封裝 100 的資訊。在除圖 1G 至圖 1I 以外的各圖式中，為方便起見，省略第一標記 139，但發明概念並非僅限於此。

【0035】 在第一半導體封裝 100 的上表面上可形成有第一熱傳導層 710。第一熱傳導層 710 的形成可包括在第一半導體封裝 100 上設置熱介面材料並接著將所述熱介面材料固化。在被固化之前

的熱介面材料可具有流動性 (fluidity)。在第一熱傳導層 710 的形成製程中，即使位於第一半導體封裝 100 的上表面的邊緣區上的熱介面材料向下流動至第一半導體封裝 100 的側表面 100c，位於第一半導體封裝 100 的上表面的中心區上的熱介面材料仍可不下流動。因此，第一熱傳導層 710 可很好地填充第一半導體封裝 100 的上表面的中心區與散熱結構 600 之間間隙。舉例而言，位於第一半導體封裝 100 的中心區中的第一熱傳導層 710 的上表面 710a 可物理地接觸散熱結構 600。根據示例性實施例，由於設置有第一模製層 130，因此在平面圖中，第一半導體晶片 120 可設置於第一半導體封裝 100 的中心區中。因此，即使熱介面材料在第一熱傳導層 710 的形成製程中部分地向下流動，第一熱傳導層 710 仍可很好地將第一半導體晶片 120 的熱傳導至第一散熱結構 610。當第一模製層 130 包括第一標記 139，第一熱傳導層 710 可延伸至第一標記 139 中。參照圖 1C，在第二模製層 230 的上表面上可設置有第二熱傳導層 720。第二熱傳導層 720 的形成可藉由與在第一熱傳導層 710 的形成中所闡述的方法實質上相同的方法來執行。儘管熱介面材料在第二熱傳導層 720 的形成期間部分地向下流動，然而第二熱傳導層 720 仍可很好地填充第二半導體封裝 200 的上表面的中心區與散熱結構 600 之間間隙。第二半導體封裝 200 的中心區可為設置有第二半導體晶片 220 的區。因此，自第二半導體封裝 220 產生的熱可經由第二熱傳導層 720 而很好地散發至散熱結構 600。

【0036】 儘管圖式中未示出，然而在第二模製層 230 上可進一步設置有第二標記。第二標記可為第二模製層 230 的凹陷部分。

【0037】 在第三模製層 330 的上表面上可形成有第三熱傳導層 730。第三熱傳導層 730 的形成可藉由與在第一熱傳導層 710 的形成中所闡述的方法實質上相同的方法來執行。此時，儘管熱介面材料在第三熱傳導層 730 的形成期間部分地向下流動，然而第三熱傳導層 730 仍可很好地填充第三半導體封裝 300 的上表面的中心區與散熱結構 600 之間間隙。第三半導體封裝 300 的中心區可為設置有第三半導體晶片 320 的區。因此，第三半導體封裝 300 的熱特性可得到改善。儘管圖式中未示出，然而在第三模製層 330 上可進一步設置有第三標記。第三標記可為第三模製層 330 的凹陷部分。

【0038】 圖 1I 是用於闡釋根據示例性實施例的第一半導體封裝的圖，且對應於沿圖 1G 所示線 I'-II'截取的剖面。

【0039】 參照圖 1G 及圖 1I，第一半導體封裝 100 可包括第一基板 110、第一半導體晶片 120 及第一模製層 130。第一模製層 130 覆蓋第一半導體晶片 120 的側表面，且可暴露出第一半導體晶片 120 的上表面。在此種情形中，第一半導體封裝 100 的上表面可對應於第一模製層 130 的上表面及第一半導體晶片 120 的藉由第一模製層 130 而暴露出的上表面。被暴露出的第一半導體晶片 120 的上表面可直接物理地接觸第一熱傳導層 710。自第一半導體晶片 120 產生的熱可經由第一熱傳導層 710 而傳遞至散熱結構 600。因

此，第一半導體晶片 120 的散熱特性可得到進一步改善。

【0040】 圖 2A 是示出根據示例性實施例的封裝系統的平面圖。圖 2B 是沿圖 2A 所示線 I-II 截取的剖視圖。在下文中，將省略與上述內容重覆的內容。

【0041】 參照圖 2A 及圖 2B，封裝系統 1b 包括基板 500、第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300、第一被動元件 400、第一熱傳導層 710、第二熱傳導層 720 及第三熱傳導層 730 以及散熱結構 600。基板 500、第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300、第一被動元件 400 以及第一熱傳導層 710、第二熱傳導層 720 及第三熱傳導層 730 可與以上參照圖 1A 至圖 1I 所述者實質上相同。

【0042】 在基板 500 的上表面 500a 上可設置有接地圖案。接地圖案可包括接地接墊 510G。導電端子 550 中的至少一者可充當接地端子。接地電壓可經由接地端子及基板 500 而施加至接地接墊 510G。

【0043】 散熱結構 600 可包括第二散熱結構 620。第二散熱結構 620 可包括本體部分 621 及腿部分 622。第二散熱結構 620 的本體部分 621 可相似於先前參照圖 1A 至圖 1C 所述的第一散熱結構 610。散熱結構 600 的下表面 600b 可包括第二散熱結構 620 的本體部分 621 的下表面。舉例而言，本體部分 621 可設置於第一半導體封裝 100 的上表面、第二半導體封裝 200 的上表面及第三半導體封裝 300 的上表面上。第一熱傳導層 710 可物理地接觸第二

散熱結構 620 的本體部分 621 的下表面。

【0044】 第二散熱結構 620 的腿部分 622 可設置於本體部分 621 的邊緣區與基板 500 之間。第二散熱結構 620 的腿部分 622 可連接至本體部分 621。如圖 2A 中所示，第一半導體封裝 100、第二半導體封裝 200、第三半導體封裝 300 及第一被動元件 400 可與第二散熱結構 620 的腿部分 622 間隔開。在平面圖中，腿部分 622 可設置於基板 500 的邊緣區中。第二散熱結構 620 可包括導熱材料。

【0045】 第二散熱結構 620 具有導電性且可屏蔽第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300 的電磁干擾 (electromagnetic interference, EMI)。電磁干擾意指自一電性元件輻射或傳導的電磁波對其他電性元件的接收/傳輸功能造成干擾。藉由第二散熱結構 620，第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300 以及第一被動元件 400 的操作可不干擾其他封裝的操作或可不被其他封裝所干擾。

【0046】 在基板 500 與第二散熱結構 620 的腿部分 622 之間可設置有黏合圖案 741 及 742 以將第二散熱結構 620 固定至基板 500。黏合圖案 741 及 742 可包括導電黏合圖案 741 及絕緣黏合圖案 742。導電黏合圖案 741 可設置於接地接墊 510G 與第二散熱結構 620 的腿部分 622 之間。第二散熱結構 620 可經由導電黏合圖案 741 而連接至接地接墊 510G。

【0047】 若在散熱結構 600 中累積有超過一定量的電荷，則所述

電荷可自散熱結構 600 流動至另一導電組件中而使所述導電組件受到損傷。導電組件包括以下中的至少一者：第一半導體晶片 120、第二半導體晶片 220 及第三半導體晶片 320 中的積體電路及導線、第一基板 110、第二基板 210 及第三基板 310 中的導線、第一連接端子 150、第二連接端子 250、第三連接端子 350 以及基板 500 中的互連件。根據示例性實施例，接地電壓可藉由導電黏合圖案 741 而施加至第二散熱結構 620。因此，第二散熱結構 620 可限制及/或防止由於靜電放電（electrostatic discharge，ESD）而對封裝系統 1b 造成電性損傷。

【0048】 在基板 500 與散熱結構 600 之間可設置有絕緣黏合圖案 742。因此，散熱結構 600 與基板 500 絕緣，以使可限制及/或防止電性短接（electrical short）的發生。導電黏合圖案 741 的厚度 A5 可與絕緣黏合圖案 742 的厚度實質上相同。

【0049】 第二散熱結構 620 的腿部分 622 的高度 H7 可小於經安裝的第一半導體封裝 100 的高度 H1。此時，腿部分 622 的高度 H7 可等於第二散熱結構 620 的內表面的高度。導電黏合圖案 741 可物理地接觸腿部分 622 的下表面。因此，第一熱傳導層 710 的厚度 A1 可小於黏合圖案 741 及 742 的厚度（例如，導電黏合圖案 741 的厚度 A5）。由於第一熱傳導層 710 的厚度 A1 為小的，因此自第一半導體封裝 100 產生的熱可經由第一熱傳導層 710 而更快地傳遞至散熱結構 600。

【0050】 圖 2C 是示出根據示例性實施例的封裝系統的平面圖。

圖 2D 是沿圖 2C 所示線 I-II 截取的剖視圖。在下文中，將省略與上述內容重覆的內容。

【0051】 參照圖 2C 及圖 2D，封裝系統 1c 包括基板 500、第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300、第一被動元件 400、第一熱傳導層 710、第二熱傳導層 720 及第三熱傳導層 730 以及散熱結構 600。散熱結構 600 可包括參照圖 2A 及圖 2B 所述的第二散熱結構 620。舉例而言，第二散熱結構 620 可包括本體部分 621 及腿部分 622。

【0052】 在接地接墊 510G 與第二散熱結構 620 的腿部分 622 之間可設置有導電黏合圖案 741 以與第二散熱結構 620 及接地接墊 510G 連接。與圖 2A 及圖 2B 所示實例不同，可不設置絕緣黏合圖案 742。第一熱傳導層 710 的厚度 A1 可小於導電黏合圖案 741 的厚度 A5。

【0053】 基板 500、第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300、第一被動元件 400 以及第一熱傳導層 710、第二熱傳導層 720 及第三熱傳導層 730 可與以上參照圖 1A 至圖 1I 所述者實質上相同。

【0054】 圖 2E 是示出根據示例性實施例的封裝系統的圖，其對應於沿圖 2C 所示線 I-II 截取的剖面。在下文中，將省略與上述內容重覆的內容。

【0055】 參照圖 2C 及圖 2E，封裝系統 1d 包括基板 500、第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300、第一

被動元件 400、第一熱傳導層 710、第二熱傳導層 720 及第三熱傳導層 730 以及散熱結構 600。基板 500、第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300、第一被動元件 400 以及第一熱傳導層 710、第二熱傳導層 720 及第三熱傳導層 730 可與以上參照圖 1A 至圖 1E 所述者實質上相同。

【0056】 散熱結構 600 可包括第一散熱結構 610、第二散熱結構 620 及散熱層 630。第一散熱結構 610 可與以上參照圖 1A 至圖 1C 所述者實質上相同。然而，第一散熱結構 610 可設置於第二散熱結構 620 的上表面上。第二散熱結構 620 可與參照圖 2A 至圖 2D 所述的第二散熱結構 620 實質上相同。舉例而言，第二散熱結構 620 可包括本體部分 621 及腿部分 622。第一散熱結構 610 的寬度可等於或寬於第二散熱結構 620 的寬度。導電黏合圖案 741 可設置於接地接墊 510G 與第二散熱結構 620 之間。作為另一實例，可進一步設置有如在圖 2A 及圖 2B 所示實例中所述的絕緣黏合圖案 742。散熱層 630 可內插於第一散熱結構 610 與第二散熱結構 620 之間。散熱層 630 可包含例如熱介面材料。

【0057】 圖 3A 是示出根據示例性實施例的封裝系統的剖視圖，其對應於沿圖 2A 所示線 I-II 截取的剖面。在下文中，將省略與上述內容重覆的內容。

【0058】 參照圖 2C 及圖 3A，封裝系統 1e 包括基板 500、第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300、第一被動元件 400、第一熱傳導層 710、第二熱傳導層 720 及第三熱傳

導層 730 以及散熱結構 600。

【0059】 除第一基板 110、第一半導體晶片 120 及第一模製層 130 以外，第一半導體封裝 100 亦包括第一黏合層 141 及第一導熱結構 140。第一導熱結構 140 可具有相對高的導熱係數。第一導熱結構 140 可包含在圖 1A 至圖 1C 所示實例中所述的導熱材料。在一個實例中，第一導熱結構 140 可包括金屬層、熱槽或熱管。作為另一實例，第一導熱結構 140 可使用水冷卻方法。第一黏合層 141 可設置於第一模製層 130 與第一導熱結構 140 之間。第一黏合層 141 可包含熱介面材料。在第一半導體封裝 100 的操作期間，自第一半導體晶片 120 產生的熱可經由第一黏合層 141 及第一導熱結構 140 而傳遞至第一熱傳導層 710。

【0060】 根據示例性實施例，第一半導體封裝 100 的上表面可對應於第一導熱結構 140 的上表面。經安裝的第一半導體封裝 100 的高度 H1 被定義為第一連接端子 150 的高度、第一基板 110 的高度、第一模製層 130 的高度、第一黏合層 141 的高度及第一導熱結構 140 的高度之和。即使第一模製層 130 的上表面設置於較第二半導體封裝 200 的上表面或第三半導體封裝 300 的上表面低的水平高度處，藉由提供第一黏合層 141 及第一導熱結構 140，經安裝的第一半導體封裝 100 的高度 H1 可大於經安裝的第二半導體封裝 200 的高度 H2 及經安裝的第三半導體封裝 300 的高度 H3。第一熱傳導層 710 的厚度 A1 可小於第二熱傳導層 720 的厚度 A2 及第三熱傳導層 730 的厚度 A3。因此，第一半導體封裝 100 的熱特

性可得到改善。

【0061】 基板 500、第二半導體封裝 200 及第三半導體封裝 300、第一被動元件 400、第一熱傳導層 710、第二熱傳導層 720 及第三熱傳導層 730 以及散熱結構 600 可與如參照圖 1A 至圖 1F 以及圖 2A 至圖 2E 所述者實質上相同。

【0062】 圖 3B 是示出根據示例性實施例的封裝系統的剖視圖，其對應於沿圖 2C 所示線 I-II 截取的剖面。在下文中，將省略與上述內容重覆的內容。

【0063】 參照圖 2C 及圖 3B，封裝系統 1f 包括基板 500、第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300、第一被動元件 400、第一熱傳導層 710、第二熱傳導層 720 及第三熱傳導層 730 以及散熱結構 600。基板 500、第一半導體封裝 100、及第一被動元件 400、第一熱傳導層 710、第二熱傳導層 720 及第三熱傳導層 730 以及散熱結構 600 可與以上所述者實質上相同。

【0064】 除第二基板 210、第二半導體晶片 220 及第二模製層 230 以外，第二半導體封裝 200 亦包括第二黏合層 241 及第二導熱結構 240。第二導熱結構 240 可包含導熱材料且可具有相對高的導熱係數。第二導熱結構 240 可包括金屬層、熱槽或熱管。第二黏合層 241 可設置於第二模製層 230 與第二導熱結構 240 之間。第二黏合層 241 可包含熱介面材料。在第二半導體封裝 200 的操作期間，自第二半導體晶片 220 產生的熱可經由第二黏合層 241 及第二導熱結構 240 而傳遞至第二熱傳導層 720。

【0065】 第二半導體封裝 200 的上表面可對應於第二導熱結構 240 的上表面。經安裝的第二半導體封裝 200 的高度 H_2 被定義為第二連接端子 250 的高度、第二基板 210 的高度、第二模製層 230 的高度、第二黏合層 241 的高度及第二導熱結構 240 的高度之和。經安裝的第一半導體封裝 100 的高度 H_1 可大於經安裝的第二半導體封裝 200 的高度 H_2 。因此，第一熱傳導層 710 的厚度 A_1 可小於第二熱傳導層 720 的厚度 A_2 。

【0066】 除第三基板 310、第三半導體晶片 320 及第三模製層 330 以外，第三半導體封裝 300 亦包括第三黏合層 341 及第三導熱結構 340。第三導熱結構 340 可包含導熱材料且可具有相對高的導熱係數。第三導熱結構 340 可包括金屬層、熱槽或熱管。第三黏合層 341 可設置於第三模製層 330 與第三導熱結構 340 之間。第三黏合層 341 可包含熱介面材料。在第三半導體封裝 300 的操作期間，自第三半導體晶片 320 產生的熱可經由第三黏合層 341 及第三導熱結構 340 而傳遞至第三熱傳導層 730。

【0067】 第三半導體封裝 300 的上表面可對應於第三導熱結構 340 的上表面。經安裝的第三半導體封裝 300 的高度 H_3 被定義為第三連接端子 350 的高度、第三基板 310 的高度、第三模製層 330 的高度、第三黏合層 341 的高度及第三導熱結構 340 的高度之和。經安裝的第一半導體封裝 100 的高度 H_1 可大於經安裝的第三半導體封裝 300 的高度 H_3 。因此，第一熱傳導層 710 的厚度 A_1 可小於第三熱傳導層 730 的厚度 A_3 。

【0068】 與所示者不同，省略第二黏合層 241 及第二導熱結構 240，且如圖 2D 中所示，第二熱傳導層 720 可直接接觸第二模製層 230 的上表面。作為另一實例，省略第三黏合層 341 及第三導熱結構 340，且第三熱傳導層 730 可直接接觸第三模製層 330 的上表面。

【0069】 圖 3C 是示出根據示例性實施例的封裝系統的剖視圖，其對應於沿圖 2C 所示線 I-II 截取的剖面。在下文中，將省略與上述內容重覆的內容。

【0070】 參照圖 2C 及圖 3C，封裝系統 1g 包括基板 500、第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300、第一被動元件 400、第一熱傳導層 710、第二熱傳導層 720 及第三熱傳導層 730 以及散熱結構 600。基板 500、第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300、第一被動元件 400、第一熱傳導層 710、第二熱傳導層 720 及第三熱傳導層 730 以及散熱結構 600 與以上所述者實質上相同。

【0071】 第一半導體封裝 100 可與在圖 3A 所示實例中所述者實質上相同。舉例而言，第一半導體封裝 100 包括第一基板 110、第一半導體晶片 120、第一模製層 130、第一黏合層 141 及第一導熱結構 140。第二半導體封裝 200 及第三半導體封裝 300 可分別與在圖 3B 所示實例中所述者實質上相同。第二半導體封裝 200 包括第二基板 210、第二半導體晶片 220、第二模製層 230、第二黏合層 241 及第二導熱結構 240。第三半導體封裝 300 包括第三基板 310、

第三半導體晶片 320、第三模製層 330、第三黏合層 341 及第三導熱結構 340。

【0072】 經安裝的第一半導體封裝 100 的高度 $H1$ 可大於經安裝的第二半導體封裝 200 的高度 $H2$ 及經安裝的第三半導體封裝 300 的高度 $H3$ 。第一熱傳導層 710 的厚度 $A1$ 可小於第二熱傳導層 720 的厚度 $A2$ 及第三熱傳導層 730 的厚度 $A3$ 。

【0073】 圖 4A 是示出根據示例性實施例的封裝系統的剖視圖，其對應於沿圖 2C 所示線 I-II 截取的剖面。圖 4B 是示出根據示例性實施例的封裝系統的剖視圖，其對應於沿圖 2C 所示線 I-II 截取的剖面。在下文中，將省略與上述內容重覆的內容。

【0074】 參照圖 2C、圖 4A 及圖 4B，封裝系統 1h 或 1i 包括基板 500、第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300、第一被動元件 400、第一熱傳導層 710 以及散熱結構 600。基板 500、第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300、第一被動元件 400、第一熱傳導層 710 以及散熱結構 600 與以上所述者實質上相同。

【0075】 如圖 4A 中所示，封裝系統 1h 可不包括第二熱傳導層 720。經安裝的第一半導體封裝 100 的高度 $H1$ 與第一熱傳導層 710 的厚度 $A1$ 之和可大於經安裝的第二半導體封裝 200 的高度 $H2$ 。

【0076】 如圖 4B 中所示，封裝系統 1i 可不包括第三熱傳導層 730。經安裝的第一半導體封裝 100 的高度 $H1$ 與第一熱傳導層 710 的厚度 $A1$ 之和可大於經安裝的第三半導體封裝 300 的高度 $H3$ 。

【0077】 圖 4C 是示出根據示例性實施例的封裝系統的剖視圖，其對應於沿圖 2C 所示線 I-II 截取的剖面。在下文中，將省略與上述內容重覆的內容。

【0078】 參照圖 2C 及圖 4C，封裝系統 1j 包括基板 500、第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300、第一被動元件 400、第一熱傳導層 710、第二熱傳導層 720 及第三熱傳導層 730 以及散熱結構 600。第一熱傳導層 710 的厚度 A1 可小於第二熱傳導層 720 的厚度 A2 及第三熱傳導層 730 的厚度 A3。

【0079】 在第一被動元件 400 與散熱結構 600 之間設置有第四熱傳導層 740，以使第四熱傳導層 740 可物理地接觸第一被動元件 400 的上表面及散熱結構 600 的下表面 600b。第四熱傳導層 740 可包含熱介面材料。自第一被動元件 400 產生的熱可經由第四熱傳導層 740 而傳遞至散熱結構 600。經安裝的第一半導體封裝 100 的高度 H1 可大於經安裝的第一被動元件 400 的高度 H4。舉例而言，第一半導體封裝 100 的上表面可安置於較第一被動元件 400 的上表面高的水平高度處。因此，第一熱傳導層 710 的厚度 A1 可小於第四熱傳導層 740 的厚度 A4。

【0080】 作為另一實例，可省略第二熱傳導層 720 或第三熱傳導層 730。

【0081】 在圖 3A 至圖 3C 及圖 4A 至圖 4C 所示說明中，可省略第一散熱結構 610 或第二散熱結構 620。在此種情形中，可不提供散熱層 630。

【0082】 在圖 4A 至圖 4C 所示說明中，第一半導體封裝 100 可更包括第一黏合層 141 及第一導熱結構 140。第二半導體封裝 200 可更包括第二黏合層 241 及第二導熱結構 240。第三半導體封裝 300 可更包括第三黏合層 341 及第三導熱結構 340。

【0083】 圖 5A 是示出根據示例性實施例的半導體模組的剖視圖。圖 5B 是用於闡釋根據示例性實施例的第二被動元件的圖，且是示出圖 5A 所示區 C 的放大圖的剖視圖。圖 5C 是用於闡釋根據示例性實施例的下部接墊及導電端子的圖，且示出圖 5A 所示放大區 VI。圖 5D 是用於闡釋根據示例性實施例的下部接墊的圖。在下文中，將省略與上述內容重覆的內容。

【0084】 參照圖 1A、圖 5A 及圖 5B，半導體模組 10 可包括板 1000 及封裝系統 1。舉例而言，可使用印刷電路板作為板 1000。在板 1000 的上表面 1000a 上可設置有導電接墊 1500。導電接墊 1500 可電性連接至板 1000 的內部導線（圖中未示出）。在本說明書中，與板 1000 電性連接可意指與板 1000 的內部導線電性連接。

【0085】 參照圖 1A 至圖 1C 所述的封裝系統 1 可安裝於板 1000 上，以使可形成半導體模組 10。作為另一實例，圖 1F 所示封裝系統 1a、圖 2A 及圖 2B 所示封裝系統 1b、圖 2C 及圖 2D 所示封裝系統 1c、圖 2E 所示封裝系統 1d、圖 3A 所示封裝系統 1e、圖 3B 所示封裝系統 1f、圖 3C 所示封裝系統 1g、圖 4A 所示封裝系統 1h、圖 4B 所示封裝系統 1i 或圖 4C 所示封裝系統 1j 安裝於板 1000 上，以使可形成半導體模組 10。為方便起見，圖 1A 至圖 1C 所示

封裝系統 1 是針對安裝於板 1000 上的半導體模組 10 而示出及闡述，但發明概念並非僅限於此。

【0086】 對封裝系統 1 的封裝包括以使得導電端子 550 面對板 1000 的方式將封裝系統 1 設置在板 1000 上以及將導電端子 550 電性連接至導電接墊 1500。導電端子 550 的節距可與導電接墊 1500 的節距 P4 實質上相同。導電接墊 1500 的節距 P4 可被標準化。舉例而言，導電接墊 1500 的節距 P4 可滿足電子裝置工程聯合委員會（Joint Electron Device Engineering Council，JEDEC）標準。導電接墊 1500 的節距 P4 可為大的。舉例而言，導電接墊 1500 的節距 P4 可為 0.65 毫米（mm）或大於 0.65 毫米。

【0087】 當第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300 直接安裝於板 1000 上時，第一連接端子 150 的節距 P1、第二連接端子 250 的節距 P2 及第三連接端子 350 的節距 P3 中的每一者可需要與導電接墊 1500 的節距 P4 實質上相同。根據示例性實施例，第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300 可經由基板 500 而連接至板 1000。因此，第一連接端子 150 的節距 P1、第二連接端子 250 的節距 P2 及第三連接端子 350 的節距 P3 被自由設計，而不受導電接墊 1500 的節距 P4 所約束。

【0088】 第一連接端子 150 的節距 P1 可小於導電接墊 1500 的節距 P4。舉例而言，第一連接端子 150 的節距 P1 可為 0.4 毫米或小於 0.4 毫米。因此，第一連接端子 150 被更緊密地設置，以使第一

半導體封裝 100 的平面面積可減小。第二連接端子 250 的節距 P2 及第三連接端子 350 的節距 P3 可小於導電接墊 1500 的節距 P4。舉例而言，第二連接端子 250 的節距 P2 及第三連接端子 350 的節距 P3 中的每一者可為 0.4 毫米或小於 0.4 毫米。因此，第二半導體封裝 200 及第三半導體封裝 300 可被微型化。由於第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300 被微型化，因此第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300 之間的距離可減小。因此，第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300 之間的電性訊號路徑的長度可減小。封裝系統 1 的操作速度及可靠性可得到改善。

【0089】 第二被動元件 420 可安裝於板 1000 的下表面 1000b 上。如圖 5B 中所示，在板 1000 與第二被動元件 420 之間可進一步設置有第二連接端子部分 402。第二被動元件 420 可經由第二連接端子部分 402 而連接至板 1000。第二連接端子部分 402 可包括例如焊球、柱、凸塊或球柵陣列。經安裝的第二被動元件 420 的高度 H6 可被定義為包括第二連接端子部分 402 的高度 H61。舉例而言，經安裝的第二被動元件 420 的高度 H6 等於第二連接端子部分 402 的高度 H61 與被安裝前的第二被動元件 420' 的高度 H60 之和。舉例而言，經安裝的第二被動元件 420 的高度 H6 可大於經安裝的第一半導體封裝 100 的高度 H1 與第一熱傳導層 710 的厚度 A1 之和。即使經安裝的第二被動元件 420 的高度 H6 為大的，第二被動元件 420 仍可經由基板 500 而電性連接至封裝系統 1。

【0090】 第二被動元件 420 可電性連接至第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300 中的一者。在平面圖中，第二被動元件 420 可被設置成與第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300 中的所述一者重疊或相鄰。因此，第二被動元件 420 與半導體封裝 100、200 及 300 中的所述一者之間的訊號長度可減小。因此，半導體模組 10 的電性特性可得到改善。

【0091】 可設置有多個第二被動元件 420。在此種情形中，第二被動元件 420 的高度 H6 可彼此相等或彼此不同。第二被動元件 420 的數目可作出各種潤飾。在下文中，參照圖 5C 及圖 5D，將闡述導電端子 550 及下部接墊 540。

【0092】 下部接墊 540 可設置於基板 500 的下表面上。下部接墊 540 可包括連接接墊 541 及測試接墊 542。在封裝系統 1 的製造製程期間或在封裝系統 1 被安裝於板 1000 上之前，封裝系統 1 的電性特性可得到評估。對電性特性的評估可使用測試接墊 542 來執行。舉例而言，當探針（圖中未示出）接觸測試接墊 542 時，第一半導體封裝 100、第二半導體封裝 200 及第三半導體封裝 300、第一被動元件 400 以及電子元件 430 中的至少一者的電性特性及連接關係可得到評估。此後，導電端子 550 形成，且封裝系統 1 可安裝於板 1000 上。

【0093】 如圖 5C 中所示，導電端子 550 可包括由基板 500 的下表面暴露的第一端子 551 及第二端子 552。第一端子 551 設置於連

接接墊 541 的下表面上且可連接至連接接墊 541 以及導電接墊 1500 中對應的一者。第一端子 551 可將封裝系統 1 電性連接至板 1000。第一端子 551 可充當訊號傳輸路徑。

【0094】 第二端子 552 設置於測試接墊 542 的下表面上且可連接至測試接墊 542。舉例而言，第二端子 552 可充當接地端子。接地電壓經由板 1000 及第二端子 552 而傳輸至封裝系統 1。作為另一實例，第二端子 552 可為虛設端子。舉例而言，第二端子 552 可不電性連接至板 1000 中的內部導線。作為另一選擇，第二端子 552 可不電性連接至封裝系統 1。

【0095】 如圖 5D 中所示，可不設置第二端子（圖 5C 中的 552）。測試接墊 542 可與板 1000 間隔開且電性絕緣。儘管圖式中未示出，然而在板 1000 與測試接墊 542 之間間隙中可填充有底部填充材料。底部填充材料可包括絕緣聚合物。

【0096】 根據發明概念，在封裝系統的操作期間，第一半導體封裝可產生大量的熱。第一熱傳導層的厚度可小於第二熱傳導層的厚度及第三熱傳導層的厚度。隨著第一熱傳導層的厚度減小，第一半導體封裝的熱特性可得到改善。封裝系統可表現出改善的操作特性。

【0097】 儘管已闡述發明概念的一些示例性實施例，然而應理解，發明概念不應限於該些實施例，而是此項技術中具有通常知識者可在如下文所聲明的發明概念的精神及範圍內作出各種改變及潤飾。

【符號說明】

【0098】

1、1a、1b、1c、1d、1e、1f、1g、1h、1i、1j：封裝系統

10：半導體模組

100：半導體封裝/第一半導體封裝

100c：側表面

110：第一基板

120：第一半導體晶片

130：第一模製層

139：第一標記

140：第一導熱結構

141：第一黏合層

150：第一連接端子

160：第一底部填充膜

200：半導體封裝/第二半導體封裝

210：第二基板

220：第二半導體晶片

230：第二模製層

240：第二導熱結構

241：第二黏合層

250：第二連接端子

260：第二底部填充膜

- 300：半導體封裝/第三半導體封裝
- 310：第三基板
- 320：第三半導體晶片
- 330：第三模製層
- 340：第三導熱結構
- 341：第三黏合層
- 350：第三連接端子
- 360：第三底部填充膜
- 400：第一被動元件/經安裝的第一被動元件
- 400'：被安裝前的第一被動元件
- 401：第一連接端子部分
- 402：第二連接端子部分
- 403：導電連接端子
- 420：第二被動元件/經安裝的第二被動元件
- 420'：被安裝前的第二被動元件
- 430：電子元件/經安裝的電子元件
- 430'：被安裝前的電子元件
- 500：基板
- 500a、710a、1000a：上表面
- 505：互連件
- 510G：接地接墊
- 540：下部接墊

- 541：連接接墊
- 542：測試接墊
- 550：導電端子
- 551：第一端子
- 552：第二端子
- 590：擋壩結構
- 600：散熱結構
- 500b、600b、1000b：下表面
- 610：第一散熱結構
- 620：第二散熱結構
- 621：本體部分
- 622：腿部分
- 630：散熱層
- 710：第一熱傳導層
- 720：第二熱傳導層
- 730：第三熱傳導層
- 740：第四熱傳導層
- 741：黏合圖案/導電黏合圖案
- 742：黏合圖案/絕緣黏合圖案
- 1000：板
- 1500：導電接墊
- A、B、C、III、VI：區

A1、A2、A3、A4、A5：厚度

H1、H2、H3、H4、H40、H41、H5、H50、H51、H6、H60、

H61、H7：高度

I-II、I'-II'：線

P1、P2、P3、P4：節距

【發明申請專利範圍】

【第1項】一種半導體封裝系統，包括：

基板；

第一半導體封裝，位於所述基板上；

第二半導體封裝，位於所述基板上；

第三半導體封裝，位於所述基板上；

第一被動元件，位於所述基板上；

擋壩結構，安置於所述第三半導體封裝與所述第一被動元件之間；

散熱結構，位於所述第一半導體封裝、所述第二半導體封裝及所述第一被動元件上；以及

第一熱傳導層，位於所述第一半導體封裝與所述散熱結構之間，

所述第一半導體封裝的高度與所述第一熱傳導層的厚度之和大於所述第一被動元件的高度，

所述第一被動元件的所述高度大於所述擋壩結構的高度，且所述第一半導體封裝的所述高度大於所述第二半導體封裝的高度。

【第2項】如申請專利範圍第 1 項所述的半導體封裝系統，更包括：

第二熱傳導層，設置於所述第二半導體封裝與所述散熱結構之間，其中

所述第一熱傳導層的厚度小於所述第二熱傳導層的厚度。

【第3項】 如申請專利範圍第 2 項所述的半導體封裝系統，其中所述第一熱傳導層及所述第二熱傳導層物理地接觸所述散熱結構。

【第4項】 如申請專利範圍第 1 項所述的半導體封裝系統，其中所述第一半導體封裝包括第一基板、第一半導體晶片及第一模製層，且

所述第一半導體晶片是系統晶片。

【第5項】 如申請專利範圍第 4 項所述的半導體封裝系統，其中所述第一半導體封裝更包括位於所述第一模製層上的第一導熱結構。

【第6項】 如申請專利範圍第 5 項所述的半導體封裝系統，其中所述第一模製層的上表面位於較所述第二半導體封裝的上表面低的水平高度處。

【第7項】 如申請專利範圍第 1 項所述的半導體封裝系統，其中所述第二半導體封裝包括第二基板、第二半導體晶片、第二模製層及位於所述第二模製層上的第二導熱結構。

【第8項】 如申請專利範圍第 1 項所述的半導體封裝系統，更包括：

接地圖案，位於所述基板的上表面上；以及

導電黏合圖案，位於所述接地圖案與所述散熱結構之間，其中

所述散熱結構包括本體部分及腿部分，

所述本體部分與所述基板的所述上表面平行地延伸，
所述腿部分連接至所述本體部分，
所述腿部分位於所述基板與所述本體部分之間，且
所述散熱結構經由所述導電黏合圖案而電性連接至所述接地
圖案。

【第9項】如申請專利範圍第 8 項所述的半導體封裝系統，其中所述第一熱傳導層的厚度小於所述導電黏合圖案的厚度。

【第10項】如申請專利範圍第 1 項所述的半導體封裝系統，更包括：

板，位於所述基板的下表面上；
導電端子，連接至所述基板及所述板；以及
第二被動元件，位於所述板的下表面上，其中
所述第二被動元件的高度大於所述第一半導體封裝的所述高度。

【第11項】如申請專利範圍第 10 項所述的半導體封裝系統，更包括：

第一連接端子，位於所述基板與所述第一半導體封裝之間，
其中
所述第一連接端子的節距小於所述導電端子的節距。

【第12項】一種半導體封裝系統，包括：

基板；

第一半導體封裝，位於所述基板上表面上，所述第一半導

體封裝包括第一半導體晶片，所述第一半導體晶片包括一個或多個邏輯電路；

第二半導體封裝，位於所述基板的所述上表面上；

第三半導體封裝，位於所述基板的所述上表面上；

被動元件，位於所述基板的所述上表面上；

擋壩結構，位於所述基板的所述上表面上且安置於所述第三半導體封裝與所述被動元件之間；

散熱結構，位於所述第一半導體封裝、所述第二半導體封裝及所述被動元件上；以及

多個熱傳導層，各自物理地接觸所述散熱結構的下表面，

所述多個熱傳導層包括位於所述第一半導體封裝的上表面上的第一熱傳導層，且所述第一熱傳導層具有所述多個熱傳導層中最薄的厚度，且

所述被動元件的高度大於所述擋壩結構的高度。

【第13項】如申請專利範圍第12項所述的半導體封裝系統，其中所述第一半導體封裝的高度大於所述第二半導體封裝的高度。

【第14項】如申請專利範圍第13項所述的半導體封裝系統，其中所述第一半導體封裝更包括第一基板、第一模製層及第一導熱結構，

所述第一半導體晶片位於所述第一基板上，

所述第一模製層被配置成覆蓋所述第一半導體晶片，且

所述第一導熱結構位於所述第一模製層上。

【第15項】 如申請專利範圍第 12 項所述的半導體封裝系統，其中所述第一半導體封裝的高度與所述第一熱傳導層的厚度之和大於所述被動元件的高度。

【第16項】 如申請專利範圍第 12 項所述的半導體封裝系統，其中所述多個熱傳導層更包括位於所述第二半導體封裝的上表面上的第二熱傳導層。

【第17項】 如申請專利範圍第 16 項所述的半導體封裝系統，其中所述第二半導體封裝包括電力管理晶片或記憶體晶片。

【第18項】 一種半導體封裝系統，包括：

基板；

第一半導體封裝，位於所述基板上，所述第一半導體封裝包括第一半導體晶片，所述第一半導體晶片包括一個或多個邏輯電路；

第二半導體封裝，位於所述基板上；

第三半導體封裝，位於所述基板上；

被動元件，位於所述基板上；

擋壩結構，安置於所述第三半導體封裝與所述被動元件之間；

散熱結構，位於所述第一半導體封裝、所述第二半導體封裝及所述被動元件上；

第一熱傳導層，位於所述第一半導體封裝上，所述第一熱傳導層物理地接觸所述散熱結構；以及

第二熱傳導層，位於所述第二半導體封裝上，所述第二熱傳

導層物理地接觸所述散熱結構，

所述第一熱傳導層的厚度小於所述第二熱傳導層的厚度，且
所述第一熱傳導層的上表面設置於較所述被動元件的上表面
高的水平高度處。

【第19項】 如申請專利範圍第 18 項所述的半導體封裝系統，更包
括：

第三熱傳導層，位於所述第三半導體封裝上，其中所述第三
熱傳導層物理地接觸所述散熱結構，且

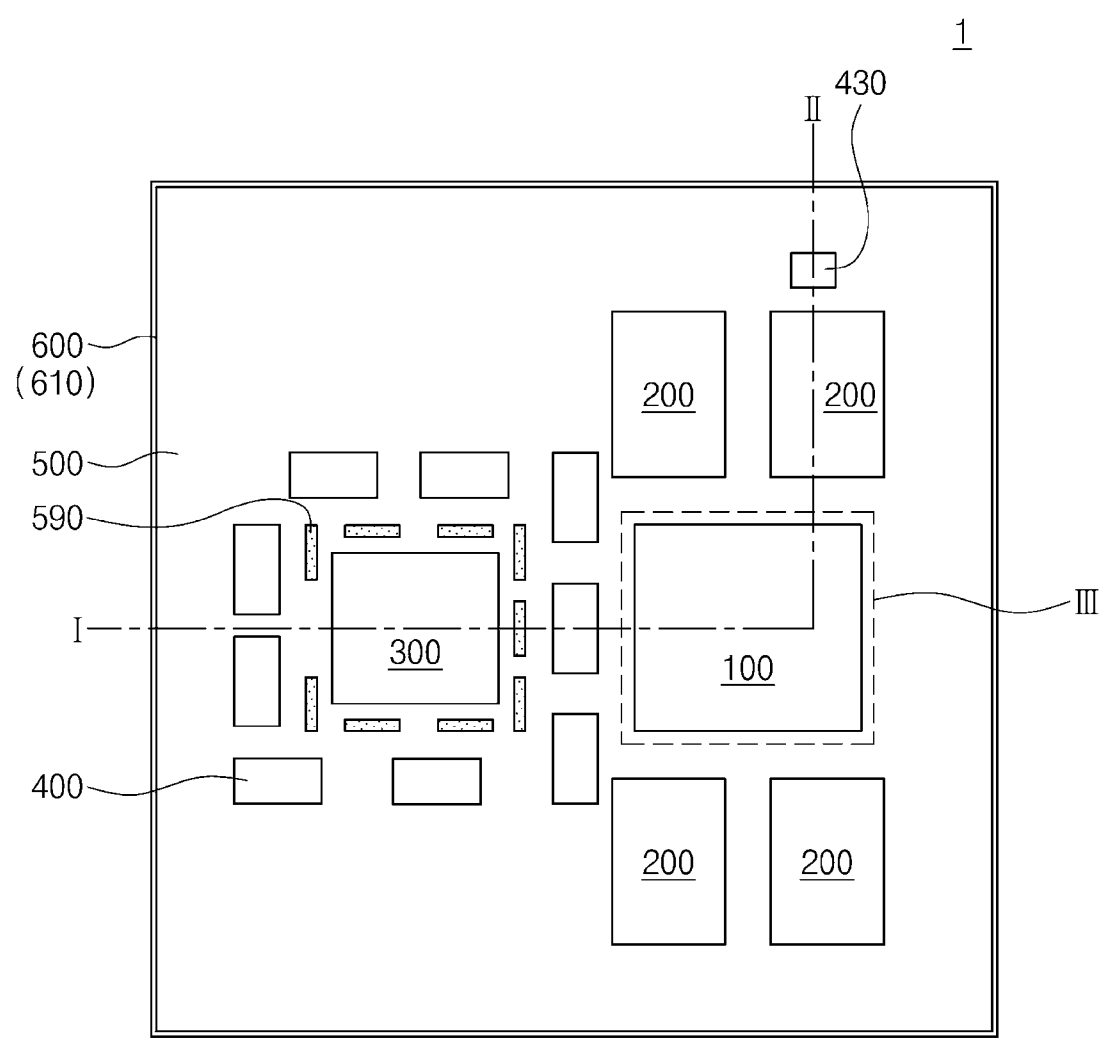
所述第一熱傳導層的所述厚度小於所述第三熱傳導層的厚
度。

【第20項】 如申請專利範圍第 18 項所述的半導體封裝系統，其中
所述第二半導體封裝包括第二基板、第二半導體晶片及第二
模製層，且

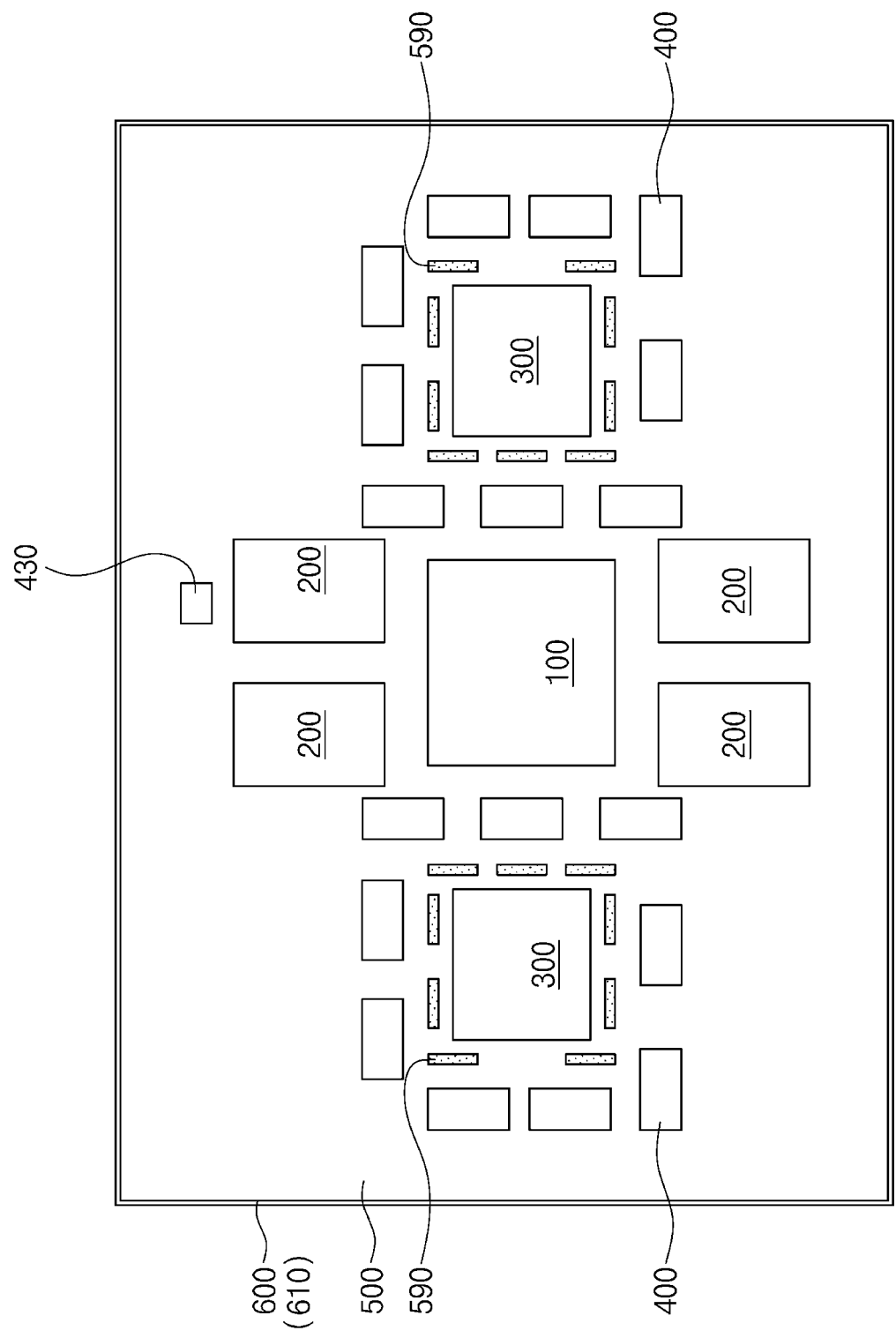
所述第二半導體晶片是與所述第一半導體晶片不同類型的半
導體晶片。

【第21項】 如申請專利範圍第 20 項所述的半導體封裝系統，其中
所述第二半導體封裝更包括位於所述第二模製層上的第二導
熱結構，且

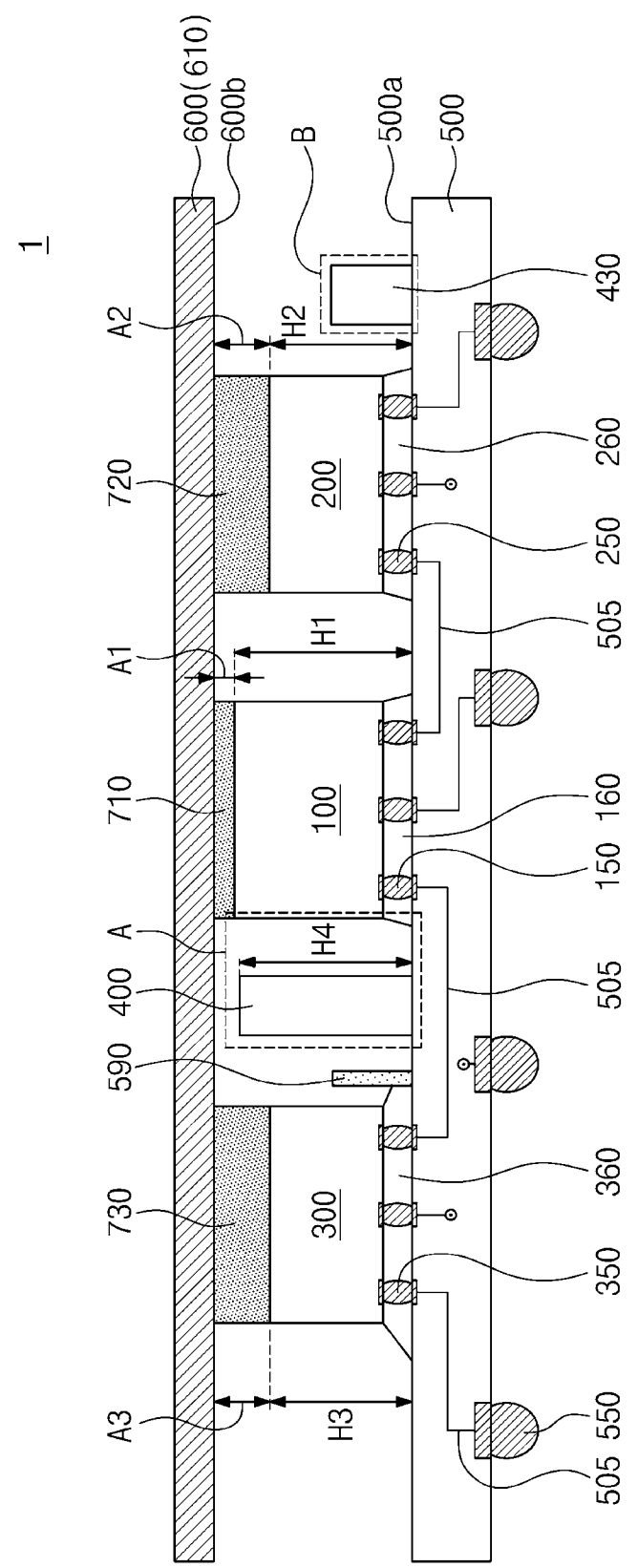
所述第二熱傳導層位於所述第二導熱結構上。



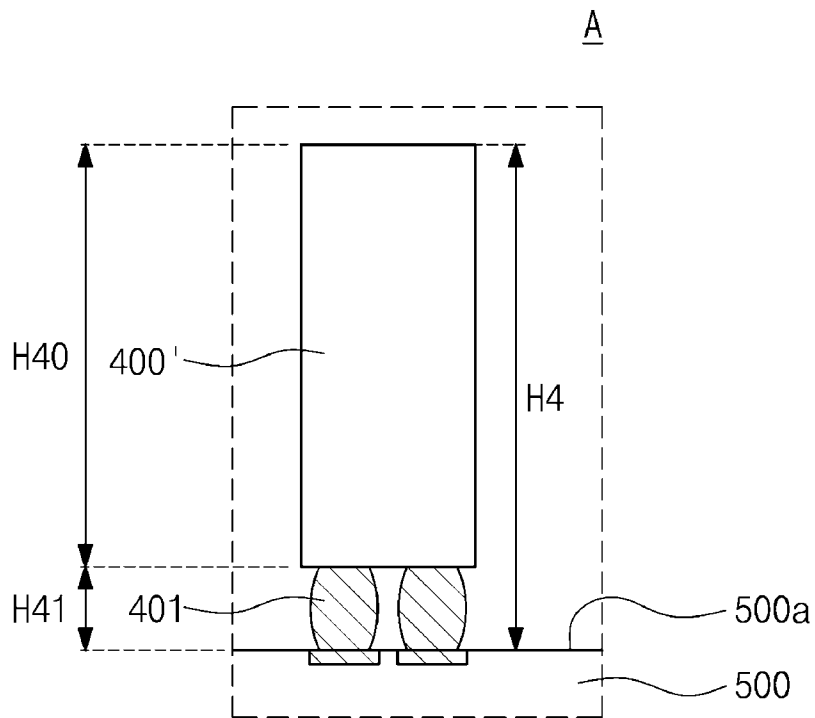
【圖1A】



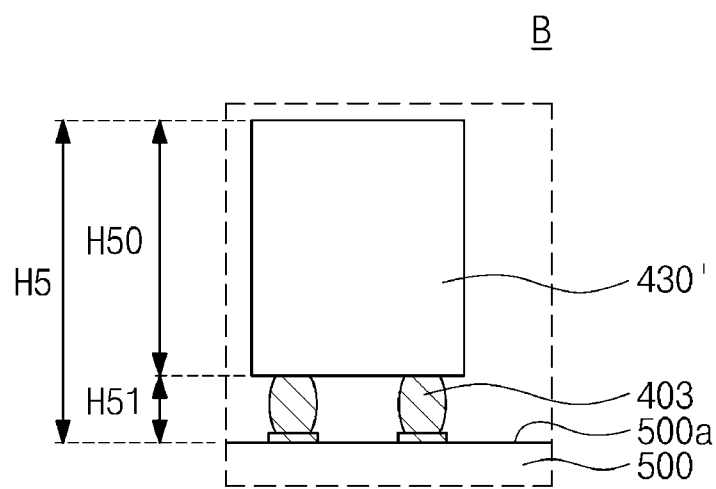
【圖1B】



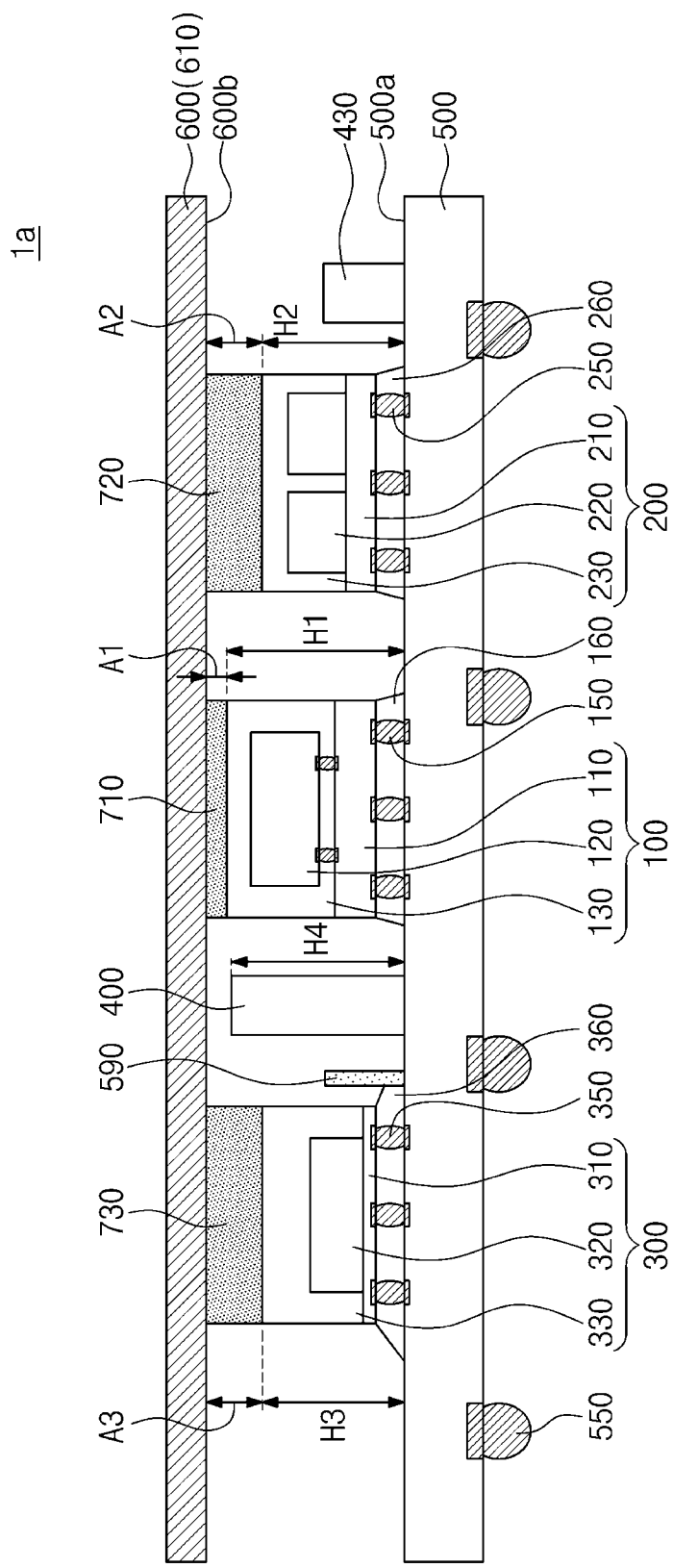
【圖1C】



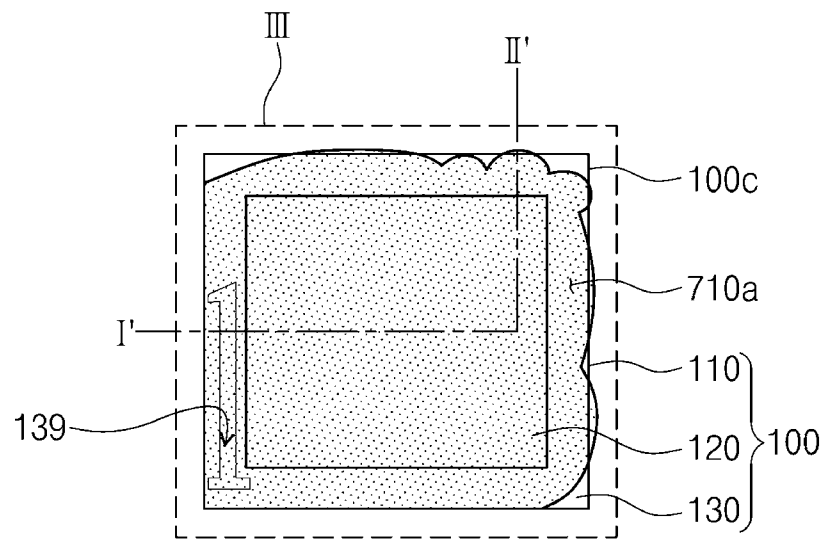
【圖1D】



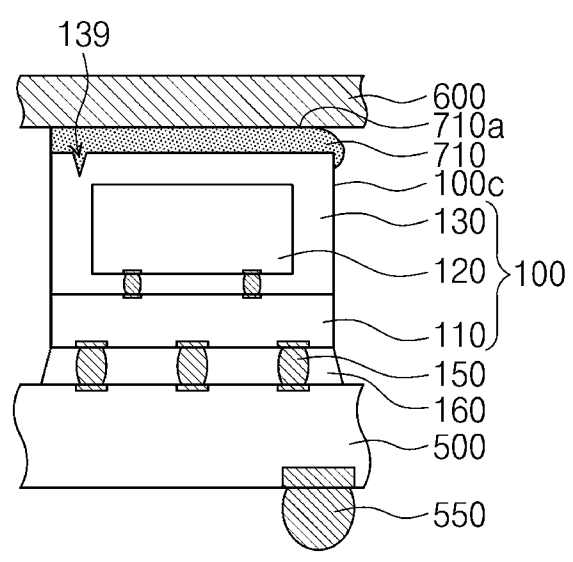
【圖1E】



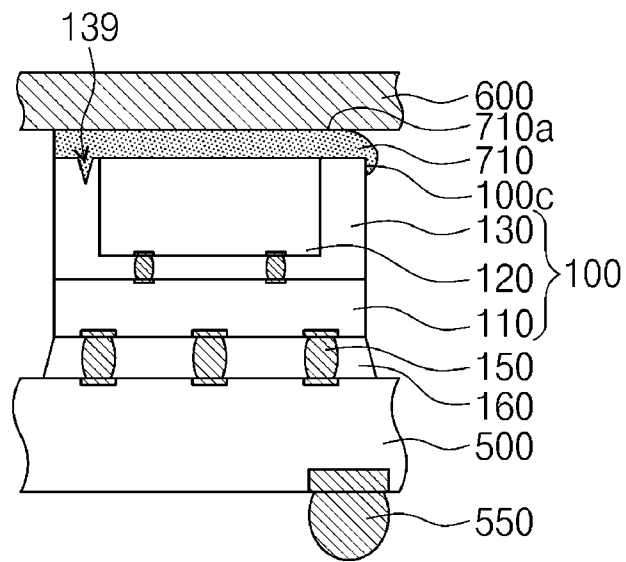
【圖1F】



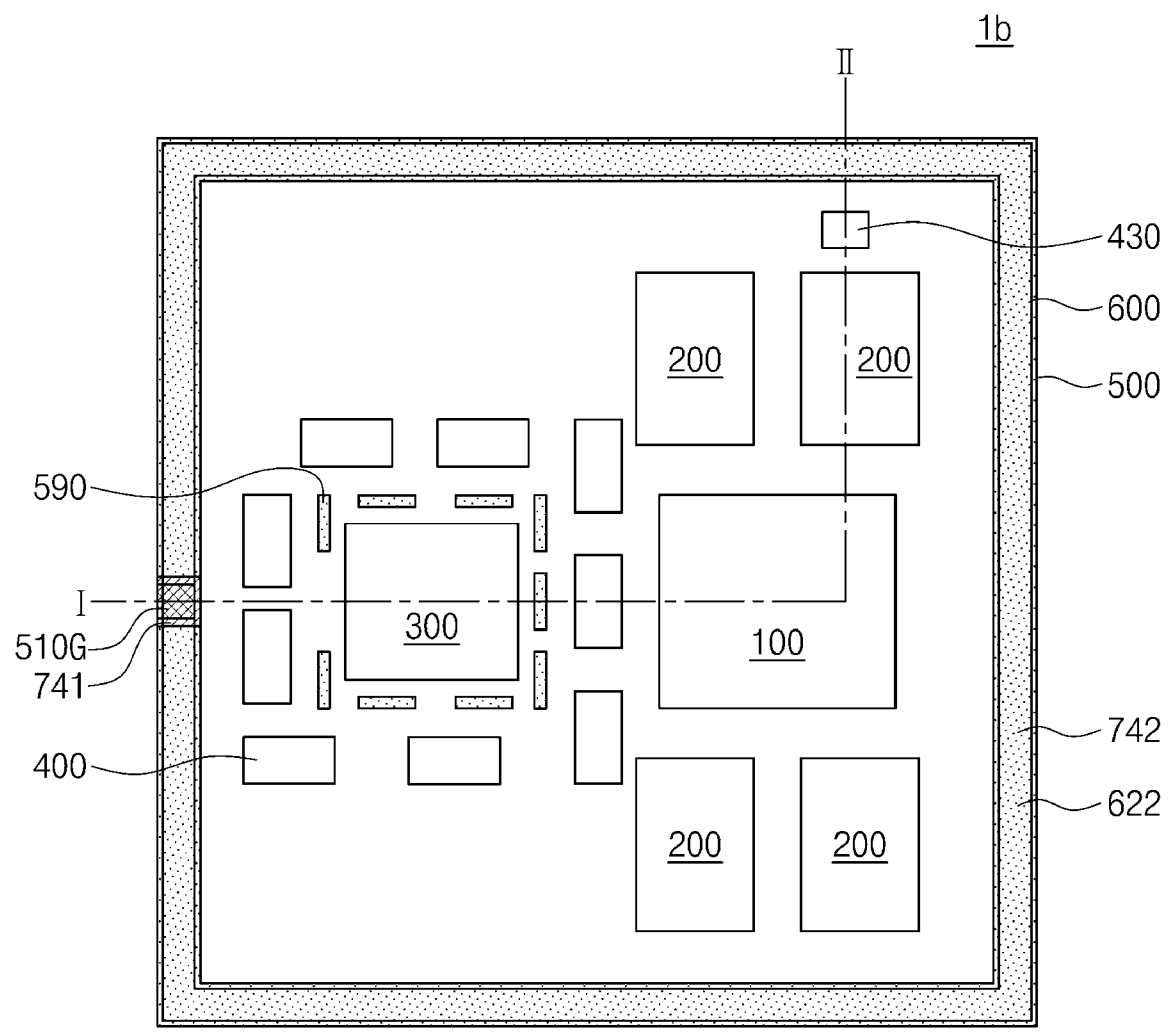
【圖1G】



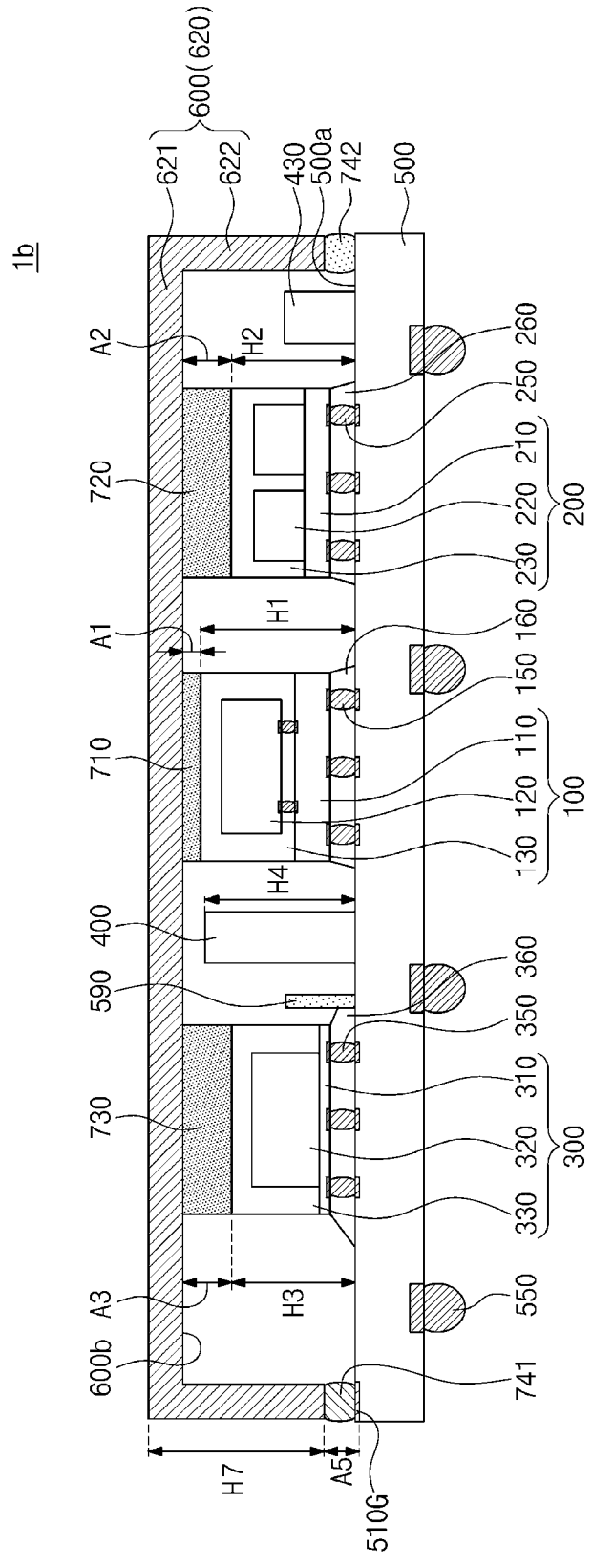
【圖1H】



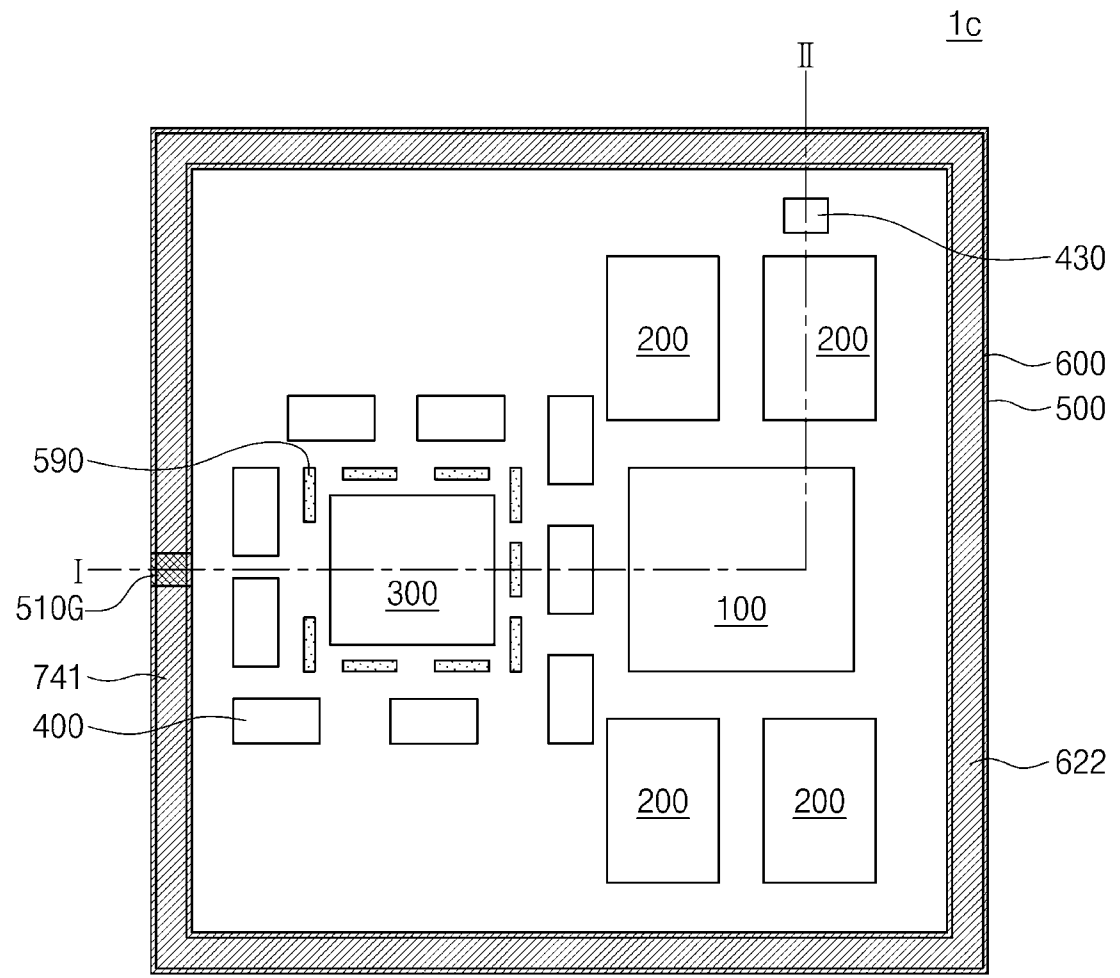
【圖11】



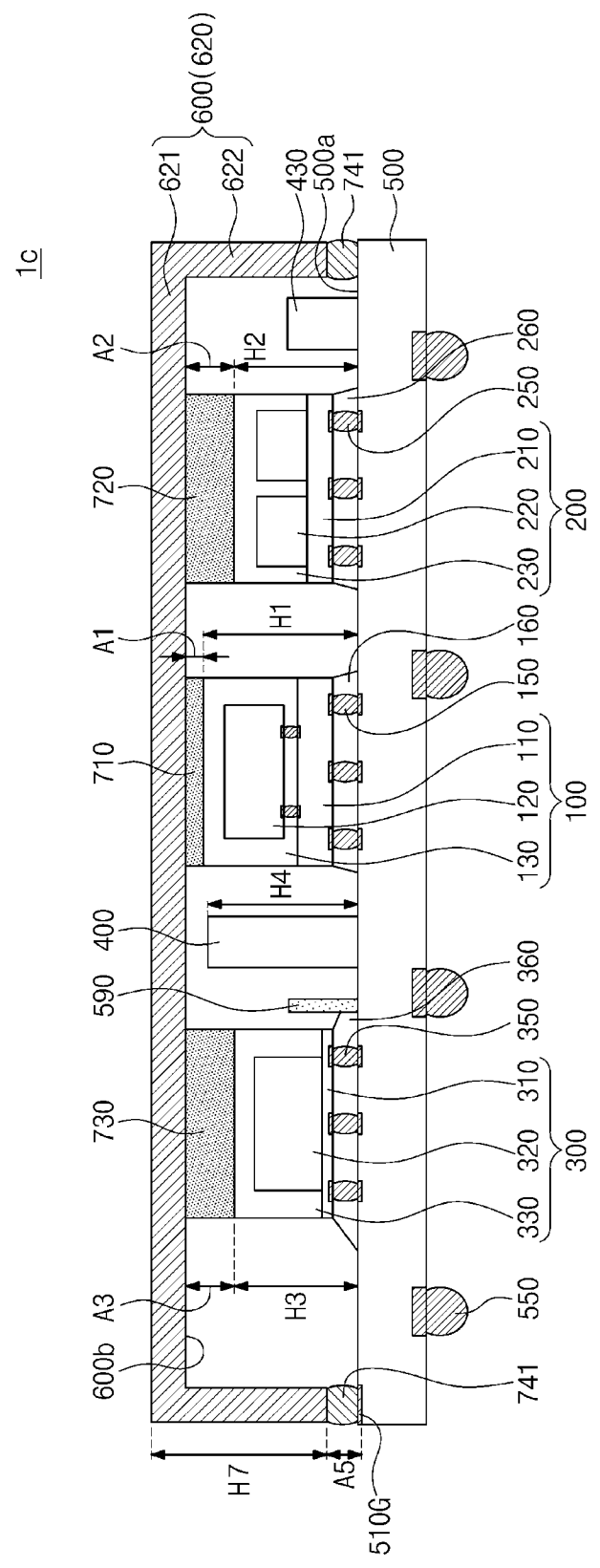
【圖2A】



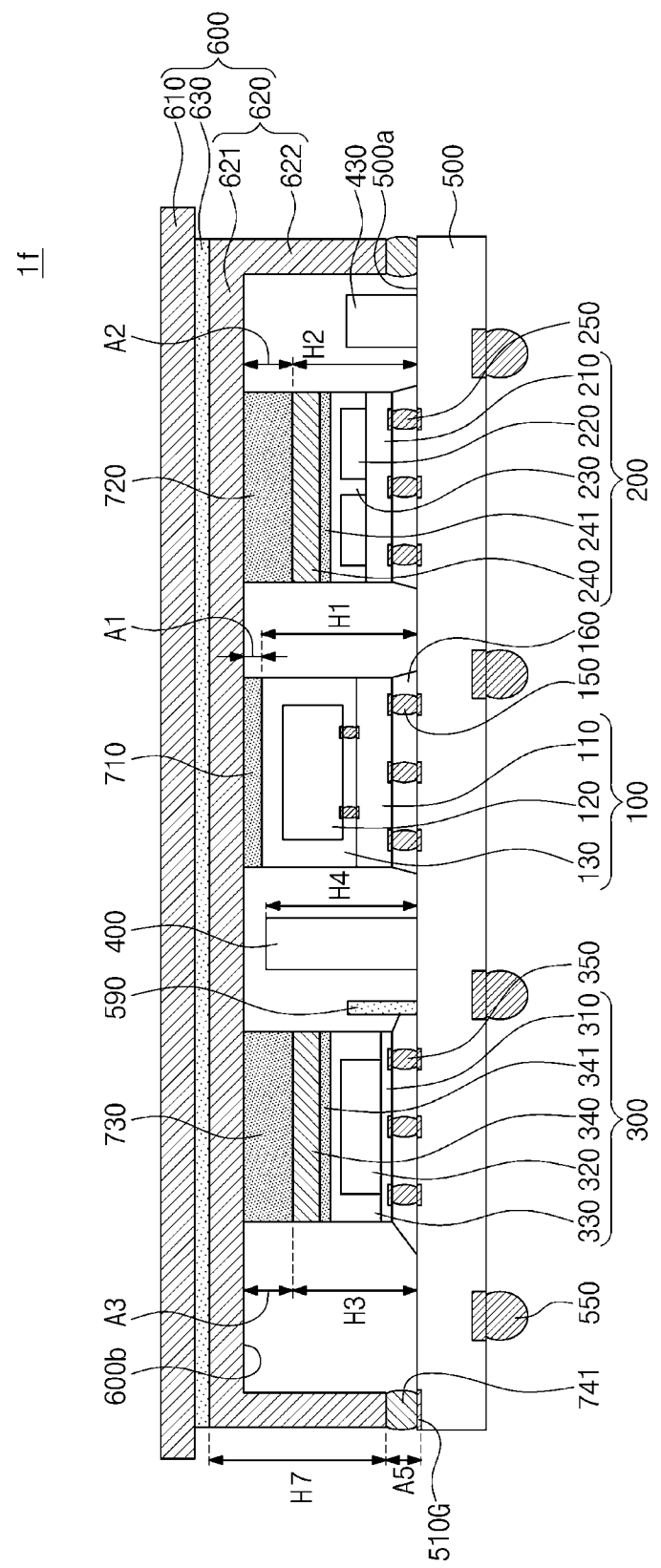
【圖2B】



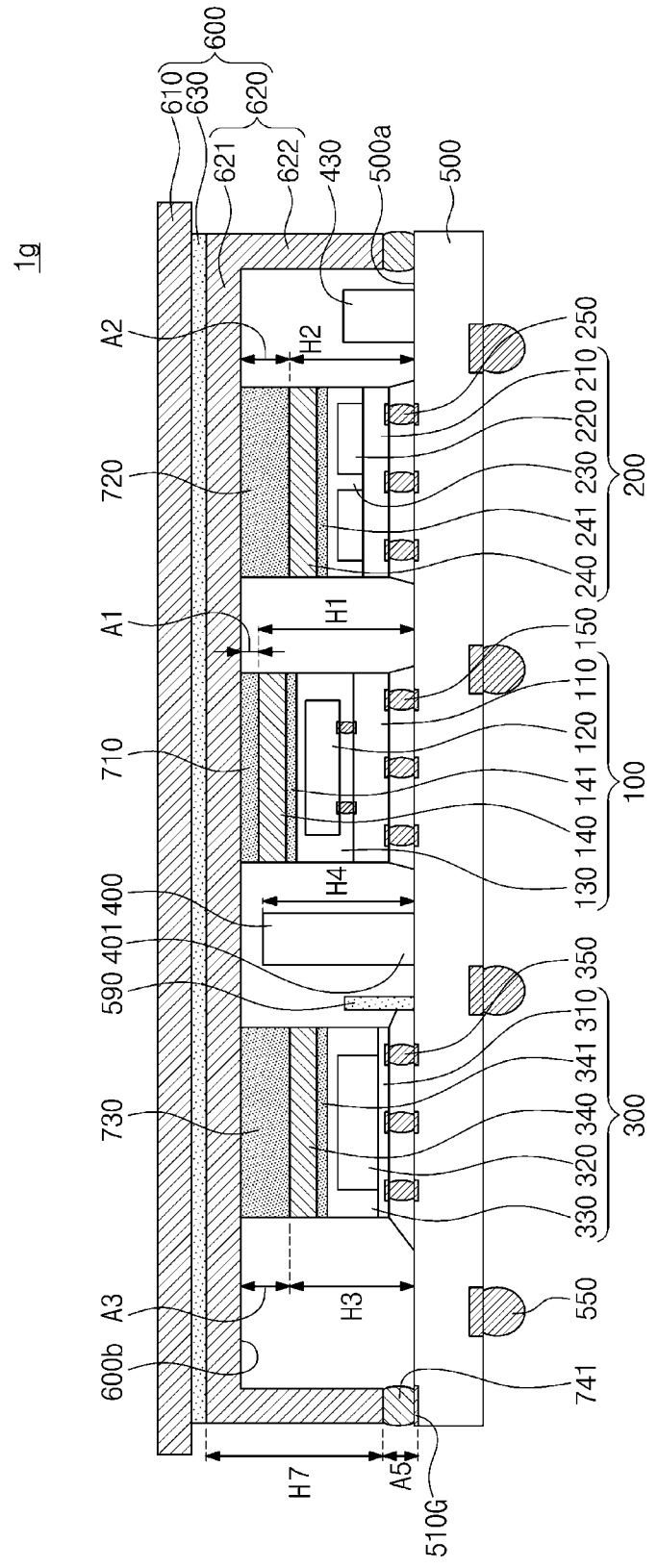
【圖2C】



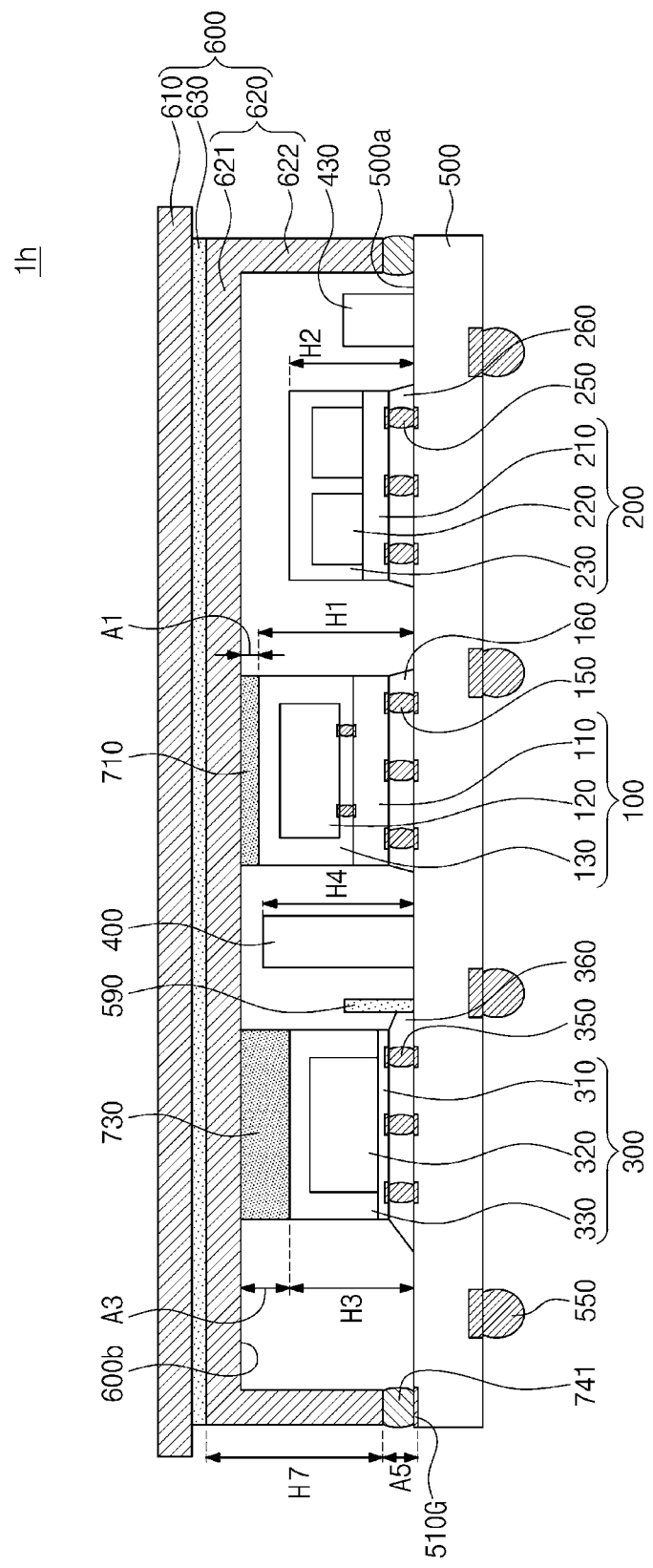
【圖2D】



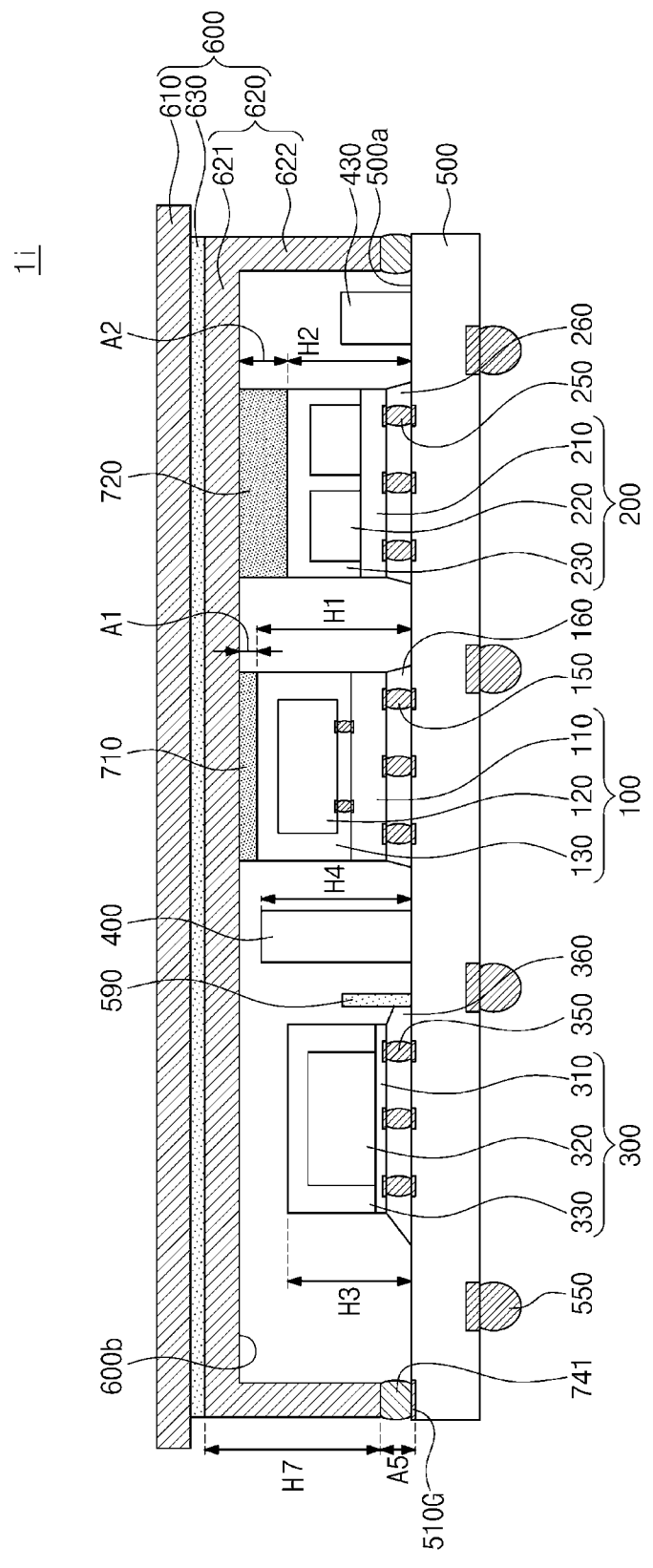
【圖3B】



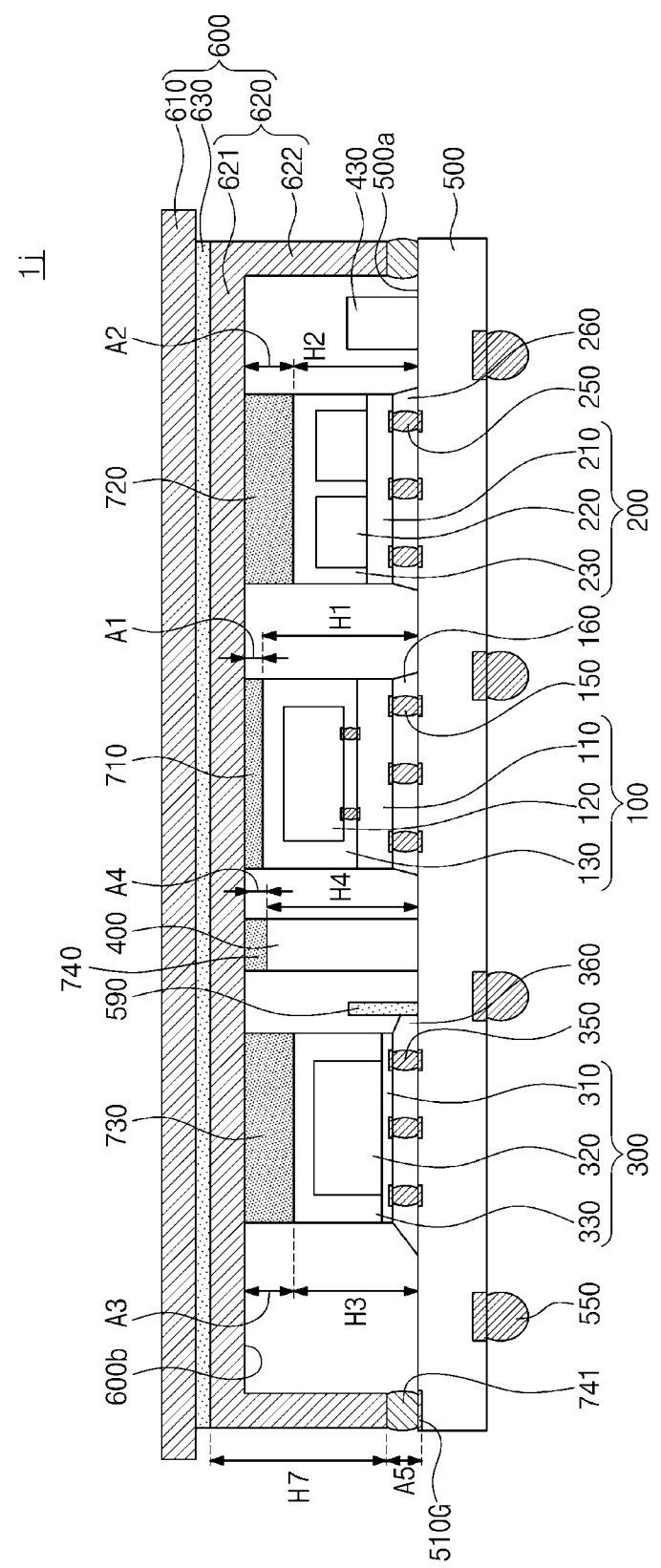
【圖3C】



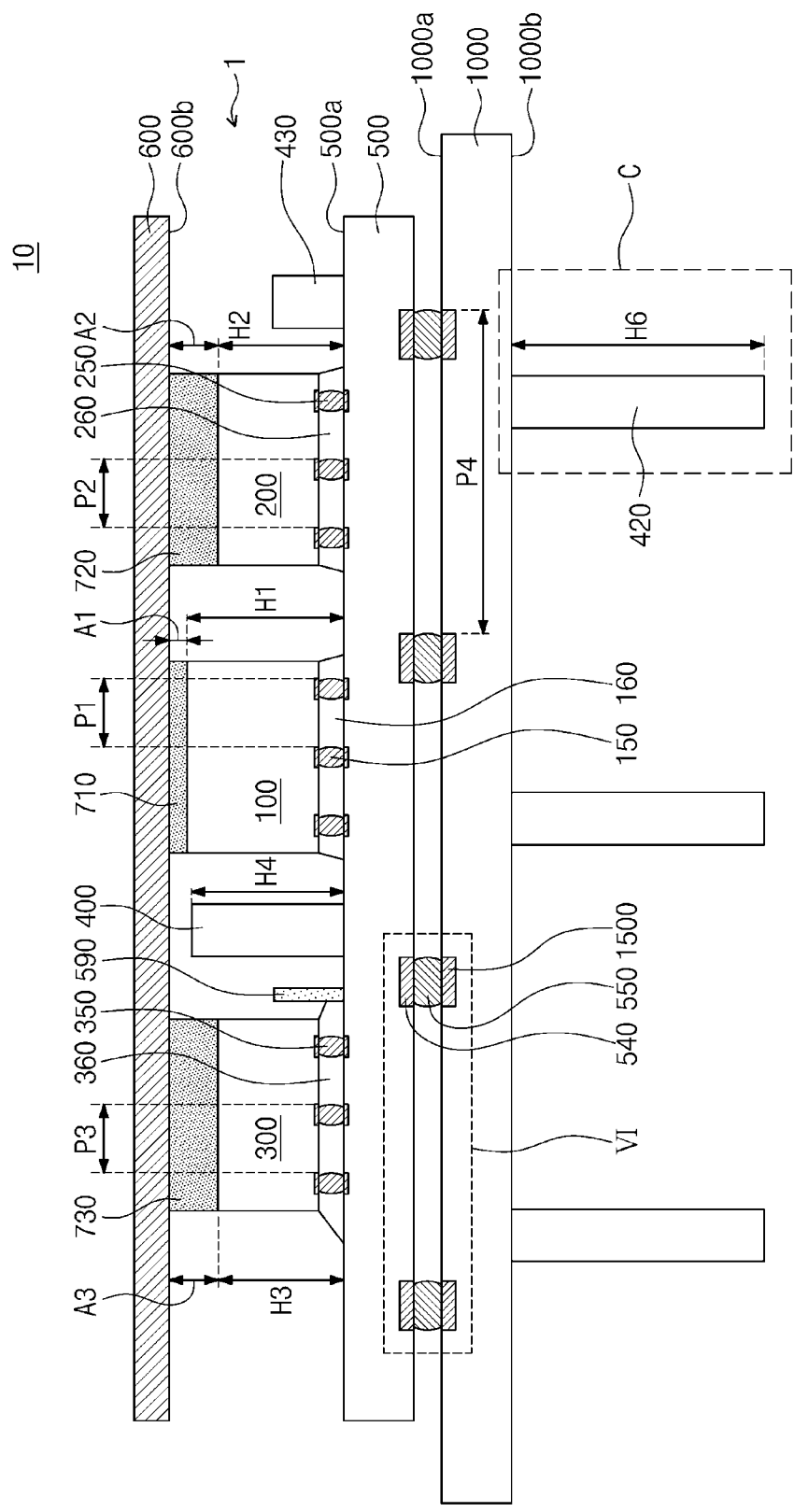
【圖4A】



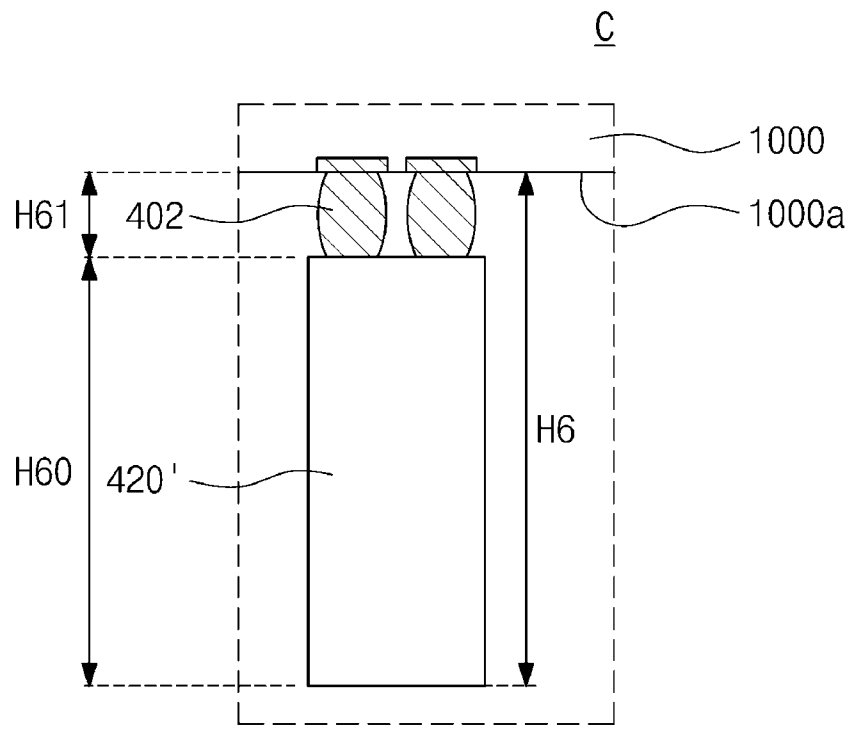
【圖4B】



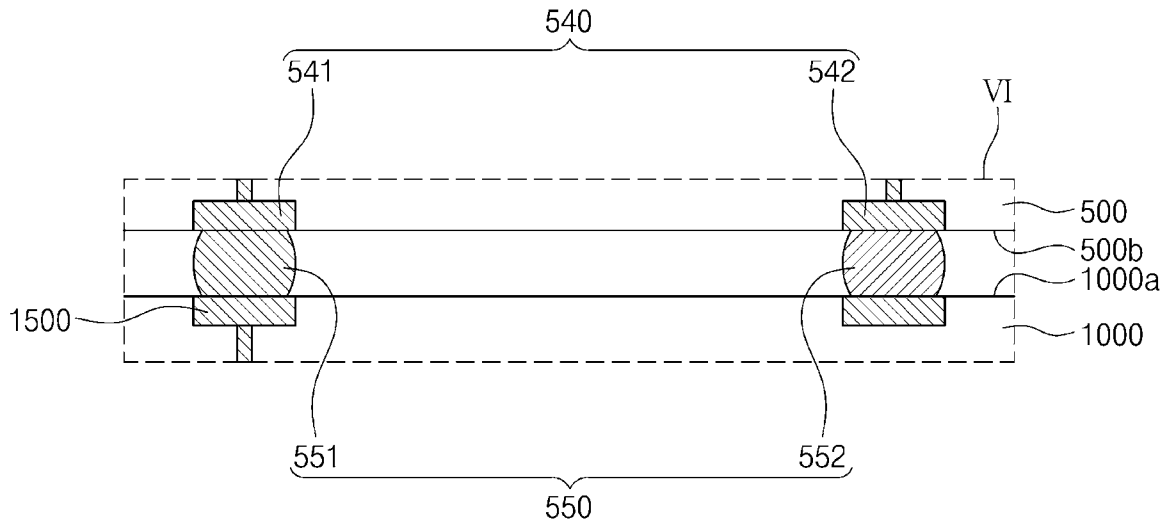
【圖4C】



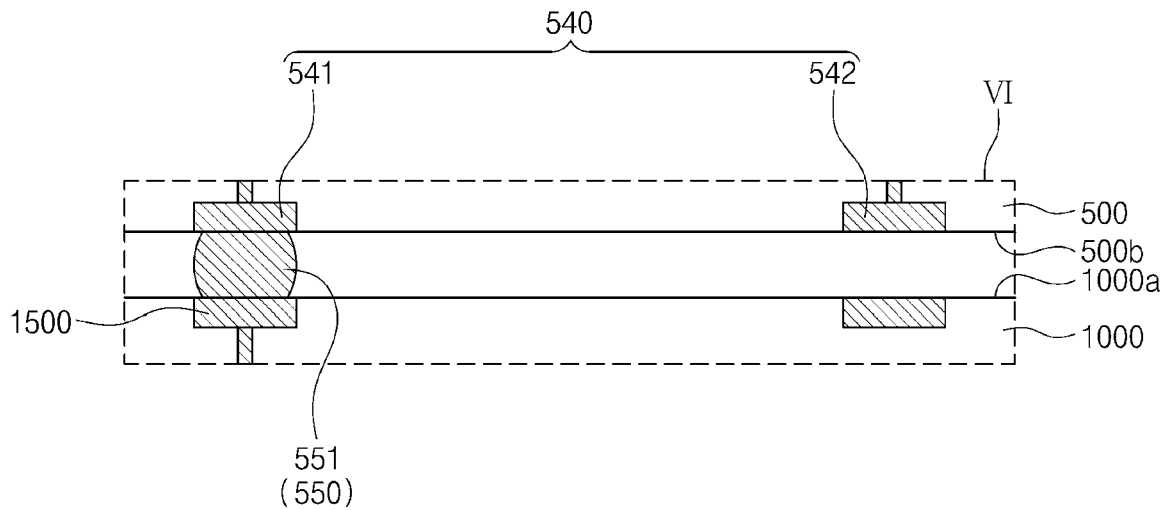
【圖5A】



【圖5B】



【圖5C】



【圖5D】