



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년10월08일  
(11) 등록번호 10-2713747  
(24) 등록일자 2024년09월30일

(51) 국제특허분류(Int. Cl.)  
H10B 12/00 (2023.01)

(52) CPC특허분류  
H10B 12/09 (2023.02)  
H10B 12/02 (2023.02)

(21) 출원번호 10-2019-0090884

(22) 출원일자 2019년07월26일

심사청구일자 2022년07월25일

(65) 공개번호 10-2021-0012710

(43) 공개일자 2021년02월03일

(56) 선행기술조사문헌

KR1020110034816 A\*

KR1020170114838 A\*

KR1020100080238 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

(72) 발명자

이남재

충청북도 청주시 서원구 두꺼비로 53, 103동 1301호(산남동, 청주산남푸르지오)

(74) 대리인

신성특허법인(유한)

전체 청구항 수 : 총 30 항

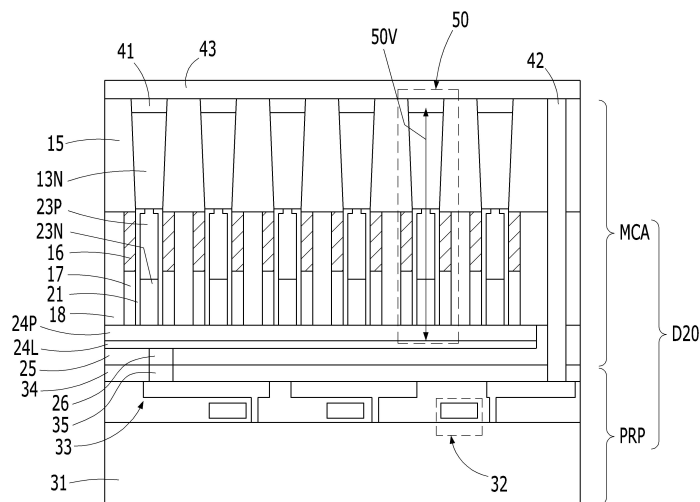
심사관 : 김중호

(54) 발명의 명칭 수직형 메모리 장치 및 수직형 메모리 장치 제조 방법

(57) 요약

본 기술은 고직접화된 수직형 메모리 장치 및 수직형 메모리 장치 제조 방법에 관한 것으로, 본 기술에 따른 수직형 메모리 장치 제조 방법은 제1기판 상에 수직형 사이리스터 및 워드라인을 포함하는 메모리셀어레이를 형성하는 단계; 제2기판에 주변회로부를 형성하는 단계; 상기 메모리셀어레이와 상기 주변회로부를 본딩시키는 단계; 상기 수직형 사이리스터의 일측이 노출되도록 상기 제1기판을 제거하는 단계; 및 상기 수직형 사이리스터의 일측 및 상기 주변회로부에 접속되는 비트라인을 형성하는 단계를 포함할 수 있다.

대표도 - 도23



(52) CPC특허분류  
*H10B 12/50* (2023.02)

---

## 명세서

### 청구범위

#### 청구항 1

제1기판 상에 수직형 사이리스터 및 워드라인을 포함하는 메모리셀어레이를 형성하는 단계;  
제2기판에 주변회로부를 형성하는 단계;  
상기 메모리셀어레이와 상기 주변회로부를 본딩시키는 단계;  
상기 수직형 사이리스터의 일측이 노출되도록 상기 제1기판을 제거하는 단계; 및  
상기 수직형 사이리스터의 일측 및 상기 주변회로부에 접속되는 비트라인을 형성하는 단계를 포함하는 수직형 메모리 장치 제조 방법.

#### 청구항 2

제1항에 있어서,  
상기 메모리셀어레이는 상기 주변회로부보다 위에 위치하는 수직형 메모리 장치 제조 방법.

#### 청구항 3

제1항에 있어서,  
상기 메모리셀어레이를 형성하는 단계에서,  
상기 수직형 사이리스터는 P형 불순물과 N형 불순물이 교대로 번갈아 도핑된 실리콘물질들의 스택을 포함하는 수직형 메모리 장치 제조 방법.

#### 청구항 4

제3항에 있어서,  
상기 수직형 사이리스터는 제1 P형 실리콘, 제1 N형 실리콘, 제2 P형 실리콘 및 제2 N형 실리콘이 순차적으로 적층된 PNPN 구조를 포함하는 수직형 메모리 장치 제조 방법.

#### 청구항 5

제1항에 있어서,  
상기 메모리셀어레이를 형성하는 단계에서,  
상기 수직형 사이리스터는 라인형 실리콘 물질 및 상기 라인형 실리콘물질 상에 수직하게 배열되는 복수의 필라형 실리콘물질을 포함하는 수직형 메모리 장치 제조 방법.

#### 청구항 6

제5항에 있어서,

상기 메모리셀어레이를 형성하는 단계에서,

상기 라인형 실리콘 물질은 실리콘물질의 증착 및 식각에 의해 형성되고, 상기 복수의 필라형 실리콘물질은 에피택셜 성장 공정에 의해 형성되는 수직형 메모리 장치 제조 방법.

#### 청구항 7

제1항에 있어서,

상기 메모리셀어레이를 형성하는 단계에서,

상기 수직형 사이리스터는 P형 폴리실리콘, 제1 N형 에피택셜 실리콘, P형 에피택셜 실리콘 및 제2 N형 에피택셜 실리콘이 순차적으로 적층된 PNPN 구조를 포함하는 수직형 메모리 장치 제조 방법.

#### 청구항 8

제1항에 있어서,

상기 메모리셀어레이를 형성하는 단계는,

상기 제1기판을 준비하는 단계;

상기 제1기판 상에 복수의 제1반도체필라를 형성하는 단계;

상기 제1반도체필라들 각각의 상부에 상기 워드라인을 형성하는 단계;

상기 워드라인들 각각 관통하는 복수의 수직형 오프닝을 형성하는 단계;

상기 수직형 오프닝들 각각의 측벽에 게이트절연층을 형성하는 단계;

상기 게이트절연층 상에 상기 수직형 오프닝들 각각을 채우는 제2반도체필라 및 제3반도체필라의 스택을 형성하는 단계; 및

상기 제3반도체필라들 상에 상기 제3반도체필라들을 상호접속시키는 소스라인을 형성하는 단계를 포함하는 수직형 메모리 장치 제조 방법.

#### 청구항 9

제8항에 있어서,

상기 제1기판 상에 복수의 제1반도체필라를 형성하는 단계는,

상기 제1기판 상에 N형 실리콘물질을 에피택셜 성장시키는 단계;

상기 제1반도체필라들을 형성하기 위해 상기 N형 실리콘물질을 식각하는 단계; 및

상기 제1반도체필라들 사이에 제1분리층을 형성하는 단계

를 포함하는 수직형 메모리 장치 제조 방법.

#### 청구항 10

제8항에 있어서,

상기 제2반도체필라 및 제3반도체필라의 스택을 형성하는 단계는,

상기 수직형 오프닝들 각각을 채우기 위해 P형 실리콘물질을 에피택셜 성장시키는 단계; 및

상기 P형 실리콘물질의 상부영역에 N형 불순물을 도핑하는 단계를 포함하고,

상기 P형 실리콘물질의 하부영역은 상기 제2반도체필라가 되고, 상기 N형 불순물의 도핑에 의해 상기 제3반도체 필라가 형성되는

수직형 메모리 장치 제조 방법.

#### 청구항 11

제8항에 있어서,

상기 소스라인을 형성하는 단계는,

상기 제3반도체필라들 상에 P형 폴리실리콘을 증착하는 단계; 및

상기 소스라인을 형성하기 위해, 상기 P형 폴리실리콘을 식각하는 단계

를 포함하는 수직형 메모리 장치 제조 방법.

#### 청구항 12

제8항에 있어서,

상기 워드라인들을 형성하는 단계는,

상기 제1기판 상에 도전물질을 형성하는 단계;

상기 도전물질 상에 캡핑층을 형성하는 단계;

상기 캡핑층과 도전물질을 순차적으로 식각하여 상기 도전물질로 이루어지는 상기 워드라인들을 형성하는 단계; 및

상기 워드라인들 사이에 제2분리층을 형성하는 단계

를 포함하는 수직형 메모리 장치 제조 방법.

#### 청구항 13

제8항에 있어서,

상기 제1기판을 준비하는 단계는,

희생 기판을 준비하는 단계; 및

상기 희생 기판의 표면에 P형 불순물을 도핑하여 희생도프트영역을 형성하는 단계를 포함하고,

상기 수직형 사이리스터는 상기 희생도프트영역 상에 형성되는

수직형 메모리 장치 제조 방법.

#### 청구항 14

제1항에 있어서,

상기 수직형 사이리스터의 일측이 노출되도록 상기 제1기판을 제거하는 단계는,

백그라인딩, 습식식각 및 CMP 공정을 순차적으로 수행하는 단계를 포함하는 수직형 메모리 장치 제조 방법.

#### 청구항 15

제1항에 있어서,  
 상기 메모리셀어레이와 주변회로부를 본딩시키는 단계는,  
 상기 메모리셀어레이 상부에 제1본딩물질을 형성하는 단계;  
 상기 주변회로부 상부에 제2본딩물질을 형성하는 단계; 및  
 상기 제1본딩물질과 제2본딩물질의 본딩 프로세스를 수행하는 단계를 포함하는 수직형 메모리 장치 제조 방법.

**청구항 16**

제15항에 있어서,  
 상기 제1본딩물질과 제2본딩물질은 각각 산화물을 포함하고,  
 상기 본딩 프로세스는 산화물 대 산화물 본딩(oxide to oxide bonding)을 포함하는 수직형 메모리 장치 제조 방법.

**청구항 17**

제15항에 있어서,  
 상기 제1본딩물질과 제2본딩물질 각각을 관통하는 금속성 본딩패드를 형성하는 단계를 더 포함하고,  
 상기 본딩 프로세스는 금속성 본딩패드들의 금속 대 금속 본딩(Metal to metal bonding)을 포함하는 수직형 메모리 장치 제조 방법.

**청구항 18**

제1항에 있어서,  
 상기 주변회로부를 형성하는 단계는,  
 상기 제1기판 상에 적어도 하나 이상의 제어회로를 형성하는 단계; 및  
 상기 적어도 하나 이상의 제어회로에 연결되는 적어도 하나 이상의 상호접속구조물을 형성하는 단계를 포함하는 수직형 메모리 장치 제조 방법.

**청구항 19**

제18항에 있어서,  
 상기 적어도 하나 이상의 제어회로는,  
 상기 비트라인에 연결되는 센스앰프를 포함하는 수직형 메모리 장치 제조 방법.

**청구항 20**

제1항에 있어서,  
 상기 수직형 사이리스터의 일측 및 상기 주변회로부에 접속되는 비트라인을 형성하는 단계는,  
 상기 메모리셀어레이의 일부를 관통하여 상기 주변회로부에 접속되는 비아를 형성하는 단계;

상기 비아 및 상기 수직형 사이리스터의 일측 상에 도전물질을 형성하는 단계; 및  
 상기 비트라인을 형성하기 위해 상기 도전물질을 식각하는 단계를 포함하는 수직형 메모리 장치 제조 방법을.

**청구항 21**

적어도 하나 이상의 제어회로를 포함하는 주변회로부;  
 상기 주변회로부보다 위에 형성된 수직형 사이리스터, 워드라인 및 비트라인을 포함하는 메모리셀어레이;  
 상기 메모리셀어레이와 상기 주변회로부 사이에 형성된 본딩 구조물; 및  
 상기 주변회로부와 메모리셀어레이를 전기적으로 연결시키기 위한 관통 구조물을 포함하고,  
 상기 수직형 사이리스터는,  
 라인형 소스라인;  
 상기 라인형 소스라인 상의 제1반도체필라;  
 상기 제1반도체필라 상의 제2반도체필라; 및  
 상기 제2반도체필라 상의 제3반도체필라를 포함하며,  
 상기 라인형 소스라인은 인접한 제1반도체필라와 연결되는 수직형 메모리 장치.

**청구항 22**

삭제

**청구항 23**

제21항에 있어서,  
 상기 라인형 소스라인과 상기 제2반도체필라는 P형 불순물로 도핑되고, 상기 제1반도체필라 및 상기 제3반도체필라는 N형 불순물로 도핑되며,  
 상기 라인형 소스라인, 상기 제1반도체필라, 상기 제2반도체필라 및 상기 제3반도체필라의 스택은 PNPN 사이리스터를 포함하는  
 수직형 메모리 장치.

**청구항 24**

제21항에 있어서,  
 상기 라인형 소스라인은 P형 폴리실리콘을 포함하고,  
 상기 제1반도체필라는 제1 N형 에피택셜 실리콘을 포함하며,  
 상기 제2반도체필라는 P형 에피택셜 실리콘을 포함하고,  
 상기 제3반도체필라는 제2 N형 에피택셜 실리콘을 포함하는,  
 수직형 메모리 장치.

**청구항 25**

제21항에 있어서,  
상기 수직형 사이리스트어는 상기 워드라인을 관통하는 형상을 갖는 수직형 메모리 장치.

**청구항 26**

제21항에 있어서,  
상기 비트라인은 상기 수직형 사이리스트어의 최상단부에 접속되는 수직형 메모리 장치.

**청구항 27**

제21항에 있어서,  
상기 관통구조물은,  
상기 적어도 하나 이상의 제어회로를 상기 비트라인에 접속시키는 비아를 포함하는 수직형 메모리 장치.

**청구항 28**

제21항에 있어서,  
상기 적어도 하나 이상의 제어회로는 센스앰프를 포함하는 수직형 메모리 장치.

**청구항 29**

제21항에 있어서,  
상기 본딩 구조물은,  
상기 메모리셀어레이의 수직형 사이리스트어 아래에 위치하는 제1본딩산화물; 및  
상기 주변회로부 상에 위치하는 제2본딩산화물을 포함하고,  
상기 메모리셀어레이와 상기 주변회로부는 상기 제1본딩산화물과 제2본딩산화물의 산화물 대 산화물 본딩을 포함하는 수직형 메모리 장치.

**청구항 30**

제29항에 있어서,  
상기 본딩 구조물은,  
상기 제1본딩산화물을 관통하는 제1본딩금속패드; 및  
상기 제2본딩산화물을 관통하는 제2본딩금속패드를 포함하고,  
상기 메모리셀어레이와 상기 주변회로부는 상기 제1본딩금속패드와 제2본딩금속패드의 금속 대 금속 본딩을 포함하는 수직형 메모리 장치.

**청구항 31**

제21항에 있어서,  
상기 수직형 사이리스트어 사이의 분리층을 더 포함하는 수직형 메모리 장치.



**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 장치에 관한 것으로, 보다 상세하게는 수직형 메모리 장치 및 수직형 메모리 장치 제조 방법에 관한 것이다.

**배경 기술**

[0003] 메모리 장치의 단위 셀은 적어도 하나의 트랜지스터와 적어도 하나의 정보 저장 장치를 구비한다. 예를 들면, DRAM(Dynamic Random Access Memory)의 단위 셀은 정보 저장 장치로 하나의 캐패시터를 사용한다.

[0004] 메모리 장치의 집적도가 증가함에 따라 다양한 기술적 문제들이 대두되고 있다. 예를 들면, DRAM은 단위 셀의 면적이 감소함에 따라 충분한 정전 용량(capacitance)을 확보하기가 점점 어려워지고 있다. 이에 따라, 수직형 메모리 셀이 제안되고 있다.

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명의 실시예는 고집적화된 수직형 메모리 장치 및 수직형 메모리 장치 제조 방법을 제공한다.

**과제의 해결 수단**

[0008] 본 발명의 실시예에 따른 수직형 메모리 장치 제조 방법은 제1기판 상에 수직형 사이리스터 및 워드라인을 포함하는 메모리셀어레이를 형성하는 단계; 제2기판에 주변회로부를 형성하는 단계; 상기 메모리셀어레이와 상기 주변회로부를 본딩시키는 단계; 상기 수직형 사이리스터의 일측이 노출되도록 상기 제1기판을 제거하는 단계; 및 상기 수직형 사이리스터의 일측 및 상기 주변회로부에 접속되는 비트라인을 형성하는 단계를 포함할 수 있다.

[0009] 본 발명의 실시예에 따른 본 발명의 실시예에 따른 수직형 메모리 장치는 적어도 하나 이상의 제어회로를 포함하는 주변회로부; 상기 주변회로부보다 위에 형성된 수직형 사이리스터, 워드라인 및 비트라인을 포함하는 메모리셀어레이; 상기 메모리셀어레이와 상기 주변회로부 사이에 형성된 본딩 구조물; 및 상기 주변회로부와 메모리셀어레이를 전기적으로 연결시키기 위한 관통 구조물을 포함할 수 있다.

**발명의 효과**

[0011] 본 기술은 캐패시터를 제거하여 리프레쉬(Refresh)가 필요없는 메모리 동작이 가능하여 시스템 친화적인 메모리 장치를 구현할 수 있다.

[0012] 본 기술은 수직형 사이리스터(Vertical Thyristor)를 이용하여  $4F^2$ 로 구현함으로써 고집적 메모리 장치를 구현할 수 있다.

[0013] 본 기술은 캐패시터가 없는 메모리 장치를 형성함에 따라 공정 단순화가 가능하다.

**도면의 간단한 설명**

[0015] 도 1 내지 도 4는 실시예에 따른 메모리 장치를 설명하기 위한 도면이다.

도 5a 내지 도 5c는 게이트의 변형예들을 설명하기 위한 도면이다.

도 6 내지 도 23은 메모리 장치를 제조하는 방법의 일예를 설명하기 위한 도면이다.

도 24 내지 도 33은 메모리 장치를 제조하는 방법의 다른 예를 설명하기 위한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

[0016] 본 명세서에서 기재하는 실시예들은 본 발명의 이상적인 개략도인 단면도, 평면도 및 블록도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역

의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.

- [0017] 후술하는 실시예들은 휘발성과 전력 소모를 최소화하고 집적도의 한계를 극복하기 위한 캐패시터-리스(Capacitor-less) 1T(1 Transistor) DRAM을 제안한다. 캐패시터-리스(Capacitor-less) 1T DRAM은 PNPN 구조의 사이리스터를 포함하는 사이리스터-베이스 RAM(Thyristor-based random access memory)이다. PNPN 구조의 사이리스터(Thyristor)를 수직하게 형성함으로써 셀 디멘전(Cell Dimension)을 최소화할 수 있다.
- [0018] 또한, 후술하는 실시예들은 웨이퍼 본딩(Wafer Bonding)을 통해 3 단자 배선을 가능하게 한다.
- [0019] 도 1 내지 도 4는 실시예에 따른 메모리 장치를 설명하기 위한 도면이다. 도 1은 메모리장치의 평면도이고, 도 2는 도 1의 A-A'선에 따른 단면도이며, 도 3은 도 1의 B-B'선에 따른 단면도이다. 도 4는 단위 메모리셀과 주변 회로부의 연결관계를 설명하기 위한 사시도이다.
- [0020] 도 1 내지 도 4를 참조하면, 메모리 장치(100)는 메모리셀어레이(MCA) 및 주변회로부(PRP)를 포함할 수 있다. 메모리셀어레이(MCA)는 주변회로부(PRP)보다 상위 레벨에 위치할 수 있다. 메모리셀어레이(MCA)는 제1본딩물질(114) 및 제1본딩패드(115)를 포함할 수 있고, 주변회로부(PRP)는 제2본딩물질(104) 및 제2본딩패드(105)를 포함할 수 있다. 메모리셀어레이(MCA)와 주변회로부(PRP)는 본딩 프로세스에 의해 서로 본딩될 수 있다. 예를 들어, 메모리셀어레이(MCA)와 주변회로부(PRP)는 제1본딩물질(114)과 제2본딩물질(104)의 본딩 프로세스에 의해 본딩될 수 있다. 아울러, 메모리셀어레이(MCA)와 주변회로부(PRP)는 제1본딩패드(115) 및 제2본딩패드(105)의 본딩 프로세스에 의해 본딩될 수 있다. 이와 같이, 메모리셀어레이(MCA)와 주변회로부(PRP)는 하이브리드 본딩 프로세스(Hybrid bonding process)에 의해 본딩될 수 있다. 하이브리드 본딩 프로세스는 제1본딩물질(114) 대 제2본딩물질(104) 본딩프로세스 및 제1본딩패드(115) 대 제2본딩패드(105) 본딩 프로세스를 지칭할 수 있다.
- [0021] 제1본딩물질(114) 대 제2본딩물질(104)의 본딩프로세스는 산화물 대 산화물 본딩(Oxide to oxide bonding)을 포함할 수 있다. 제1본딩패드(115) 대 제2본딩패드(105) 본딩 프로세스는 메탈 대 메탈 본딩(Metal to metal bonding)을 포함할 수 있다.
- [0022] 다른 실시예에서, 메모리셀어레이(MCA)와 주변회로부(PRP)는 제1,2본딩물질(114, 104) 및 제1,2본딩패드(115, 105)를 사용하지 않고, 다이렉트본딩(Direct bonding)될 수도 있다.
- [0023] 상술한 바와 같이, 메모리셀어레이(MCA)와 주변회로부(PRP)는 SOI 기판에 직접 형성하는 것이 아니라 제1,2본딩패드(115, 105) 및 제1,2본딩물질(114, 104)을 이용한 본딩프로세스에 의해 형성될 수 있다.
- [0024] 주변회로부(PRP)는 메모리셀어레이(MCA)를 구동하기 위한 적어도 하나 이상의 제어회로(102)를 포함할 수 있다. 주변 회로부(PRP)의 제어회로(102)는, N-채널 트랜지스터, P-채널 트랜지스터, CMOS 회로 또는 이들의 조합을 포함할 수 있다. 주변 회로부(PRP)는, 어드레스 디코더 회로, 리드 회로, 라이트 회로 등을 포함할 수 있다.
- [0025] 주변 회로부(PRP)는 반도체 기판(101) 및 반도체 기판(101)의 표면에 제어회로(102)가 배열되는 구조일 수 있다. 반도체 기판(101)은 반도체프로세싱에 적합한 물질일 수 있다. 반도체 기판(101)은 실리콘을 함유하는 물질로 이루어질 수 있다. 반도체 기판(101)은 실리콘, 단결정 실리콘, 폴리실리콘, 비정질 실리콘, 실리콘저마늄, 단결정 실리콘저마늄, 다결정 실리콘저마늄, 탄소 도핑된 실리콘, 그들의 조합 또는 그들의 다층을 포함할 수 있다. 반도체 기판(101)은 저마늄과 같은 다른 반도체물질을 포함할 수도 있다. 반도체 기판(101)은 III/V족 반도체기판, 예컨대 GaAs과 같은 화합물반도체기판을 포함할 수도 있다.
- [0026] 제어회로(102)는 적어도 하나 이상의 트랜지스터를 포함할 수 있다. 트랜지스터는 플라나 채널 트랜지스터(Planar channel transistor)일 수 있다. 제어회로(102) 내의 트랜지스터 구조는 플라나 채널 트랜지스터 외에 리세스채널 트랜지스터(Recess channel transistor), 매립게이트 트랜지스터(Buried gate transistor), 핀채널 트랜지스터(Fin channel transistor, FinFET) 등을 포함할 수도 있다.
- [0027] 주변회로부(PRP)는 제어회로(102)에 접속되는 복수의 상호접속구조물(103)을 더 포함할 수 있다. 상호접속구조물(103)은 적어도 하나 이상의 금속배선을 포함할 수 있다. 상호접속구조물(103)은 복수의 비아 및 복수의 금속 배선을 포함하는 다층 레벨 금속배선(MLM)을 포함할 수 있다. 상호접속구조물(103)은 하위 층간절연층(106)에 형성될 수 있다.
- [0028] 주변회로부(PRP)는 상호접속구조물(103) 상부의 제2본딩물질(104)을 더 포함할 수 있다. 제2본딩물질(104)은 절연물질을 포함할 수 있다. 제2본딩물질(104)은 실리콘산화물을 포함할 수 있다. 제2본딩물질(104)은 상호접속구조물(103) 및 하위 층간절연층(106)을 커버링할 수 있다. 제2본딩물질(104)은 본딩산화물이라고 지칭할 수

있다.

- [0029] 주변회로부(PRP)는 제2본딩패드(105)를 더 포함할 수 있다. 제2본딩패드(105)는 제2본딩물질(104)을 관통하여 적어도 어느 하나의 상호접속구조물(103)에 연결될 수 있다. 제2본딩패드(105)는 금속-베이스 물질을 포함할 수 있다. 제2본딩패드(105)는 본딩금속패드라고 지칭할 수 있다.
- [0030] 메모리셀어레이(MCA)는 복수의 메모리셀(100M), 하위 레벨 도전 라인(111) 및 상위 레벨 도전라인(112)을 포함할 수 있다. 메모리셀(100M) 각각은 워드라인(121) 및 수직형 사이리스터(Vertical Thyristor, 100V)를 포함할 수 있다. 수직형 사이리스터(100V)의 일부 측벽에 워드라인(121)이 위치할 수 있다. 수직형 사이리스터(100V)의 일측(또는 하단부)에 하위 레벨 도전라인(111)이 접속될 수 있고, 수직형 사이리스터(100V)의 타측(또는 상단부)에 상위 레벨 도전라인(112)이 접속될 수 있다. 하위 레벨 도전라인(111)은 소스라인의 역할을 할 수 있고, 상위 레벨 도전라인(112)은 비트라인의 역할을 할 수 있다. 워드라인(121)은 하위 레벨 도전라인(111)보다 위에 배치될 수 있고, 상위 레벨 도전라인(112)은 워드라인(121)보다 위에 배치될 수 있다.
- [0031] 메모리셀어레이(MCA)는 제1본딩물질(114) 및 제1본딩패드(115)를 더 포함할 수 있다. 제1본딩물질(114) 및 제1본딩패드(115)는 수직형 사이리스터(100V)의 아래에 위치할 수 있다. 제1본딩물질(114) 및 제1본딩패드(115)는 각각 제2본딩물질(104) 및 제2본딩패드(115)와 동일한 물질로 형성될 수 있다. 제1본딩물질(114)은 실리콘산화물을 포함할 수 있고, 제1본딩패드(115)는 금속-베이스 물질을 포함할 수 있다. 제1본딩물질(114)은 본딩산화물이라고 지칭할 수 있고, 제1본딩패드(115)는 본딩금속패드라고 지칭할 수 있다.
- [0032] 메모리셀어레이(MCA)의 하위 레벨 도전라인(111) 및 상위 레벨 도전라인(112)은 각각 적어도 하나 이상의 제어회로(102)에 전기적으로 접속될 수 있다. 하위 레벨 도전라인(111)과 제어회로(102)는 상호접속구조물(103) 및 제1,2본딩패드(115, 105)를 통해 상호 접속될 수 있다. 상위 레벨 도전라인(112)과 제어회로(127)는 도전형 관통구조물(127)을 통해 상호 접속될 수 있다. 도전형 관통구조물(127)은 금속-베이스 물질로서, 비아라고 지칭할 수 있다.
- [0033] 메모리셀어레이(MCA)는 주변회로부(PRP)보다 위에 위치할 수 있다. 따라서, 메모리 장치(100)는 PUC(Peri under Cell) 구조가 될 수 있다. 다른 실시예에서, 주변회로부(PRP)가 메모리셀어레이(MCA)보다 위에 위치하는 POC(Peri Over Cell) 구조를 포함할 수도 있다.
- [0034] 메모리셀(100M)은 주변회로부(PRP)보다 위에 형성될 수 있다. 메모리셀(100M)은 하위 레벨 도전라인(111)과 상위 레벨 도전라인(112) 사이에 형성된 수직형 사이리스터(100V)를 포함할 수 있다. 수직형 사이리스터(100V)는 소스라인(113) 및 복수의 반도체필라(P1, P2, P3)를 포함할 수 있다. 하위 레벨 도전라인(111)과 상위 레벨 도전라인(112) 사이에서 소스라인(113) 및 반도체필라들(P1, P2, P3)이 수직하게 배열될 수 있다. 수직형 사이리스터(100V)의 최하단부는 소스라인(113)일 수 있고, 소스라인(113) 상에서 반도체필라들(P1, P2, P3)이 수직하게 배열될 수 있다. 반도체필라들(P1, P2, P3)는 제1반도체필라(P1), 제2반도체필라(P2) 및 제3반도체필라(P3)를 포함할 수 있다. 소스라인(113) 상에 제1반도체필라(P1)가 형성될 수 있고, 제1반도체필라(P1) 상에 제2반도체필라(P2)가 형성될 수 있으며, 제2반도체필라(P2) 상에 제3반도체필라(P3)가 형성될 수 있다. 제3반도체필라(P3)는 상위 레벨 도전라인(112)에 접촉할 수 있다.
- [0035] 수직형 사이리스터(100V)는 반도체물질들의 스택을 포함할 수 있다. 수직형 사이리스터(100V)는 실리콘 물질, 실리콘 게르마늄 물질, 갈륨비소(GaAs) 물질 또는 질화갈륨(GaN) 물질을 포함할 수 있다. 수직형 사이리스터(100V)는 수직하게 중첩되는 도핑영역들을 포함할 수 있다. 예컨대, 수직하게 중첩되는 제1반도체필라(P1), 제2반도체필라(P2) 및 제3반도체필라(P3)는 서로 다른 불순물로 도핑되어 있을 수 있다. 여기서, 서로 다른 불순물은 서로 다른 도전형 또는 서로 다른 불순물 농도를 지칭할 수 있다.
- [0036] 본 실시예에서, 제1반도체필라(P1), 제2반도체필라(P2) 및 제3반도체필라(P3)는 실리콘 물질일 수 있다. 따라서, 제1반도체필라(P1), 제2반도체필라(P2) 및 제3반도체필라(P3)는 각각 '제1실리콘필라, 제2실리콘필라 및 제3실리콘필라'라고 지칭할 수 있다. 제1반도체필라(P1)는 제1불순물로 도핑될 수 있고, 제2반도체필라(P2)는 제2불순물로 도핑될 수 있으며, 제3반도체필라(P3)는 제3불순물로 도핑될 수 있다. 제1불순물과 제3불순물은 동일 도전형일 수 있고, 제2불순물은 제1 및 제3불순물과는 다른 도전형일 수 있다. 예를 들어, 제1불순물과 제3불순물은 N형 불순물일 수 있고, 제2불순물은 P형 불순물일 수 있다. 제1반도체필라(P1)는 제1불순물이 고농도로 도핑될 수 있고, 제2반도체필라(P2)는 제2불순물이 고농도로 도핑되지 않을 수 있고, 제3반도체필라(P3)는 제3불순물이 고농도로 도핑되지 않을 수 있다. 여기서, "고농도로 도핑된"이란 용어는, 고농도로 도핑되지 않은 것들보다 불순물의 농도가 더 높음을 지칭할 수 있다. 따라서, 제1반도체필라(P1)는 제2반도체필라(P2) 및 제3

반도체필라(P3)보다 높은 불순물 농도를 가질 수 있다.

- [0037] 제1반도체필라(P1)는 N형 불순물이 고농도로 도핑된 실리콘 물질을 포함할 수 있다. 제2반도체필라(P2)는 P형 불순물이 도핑된 실리콘 물질을 포함할 수 있다. 제3반도체필라(P3)는 N형 불순물이 도핑된 실리콘 물질을 포함할 수 있다. 따라서, 제1반도체필라(P1)에 도핑된 N형 불순물은 제2반도체필라(P2)에 도핑된 P형 불순물 및 제3반도체필라(P3)에 도핑된 N형 불순물보다 높은 농도를 가질 수 있다.
- [0038] 후술하겠지만, 제1반도체필라(P1), 제2반도체필라(P2) 및 제3반도체필라(P3)는 실리콘물질의 에피택셜 성장에 의해 형성될 수 있다. 제1반도체필라(P1), 제2반도체필라(P2) 및 제3반도체필라(P3)는 각각 에피택셜 실리콘 필라일 수 있다.
- [0039] 제1 내지 제3반도체필라(P1, P2, P3)가 수직으로 정렬된 수직형 사이리스터(100V)는 제1 내지 제3반도체필라(P1, P2, P3)가 수평으로 정렬된 구조에 비해 실질적으로 감소된 면적을 가질 수 있다. 따라서, 메모리셀(100M)에서 수직형 사이리스터(100V)의 점유 면적을 감소시킬 수 있다.
- [0040] 수직형 사이리스터(100V)의 소스라인(113)은 제2반도체필라(P2)와 동일한 불순물로 도핑되어 있을 수 있다. 소스라인(113)은 P형 불순물이 도핑된 실리콘 물질을 포함할 수 있다. 소스라인(113)에 도핑된 P형 불순물은 제2반도체필라(P2)에 도핑된 P형 불순물보다 높은 농도를 가질 수 있다.
- [0041] 상술한 바와 같이, 수직형 사이리스터(100V)는 하위 레벨 도전라인(111)과 상위 레벨 도전라인(112) 사이에서 수직하게 배열된 실리콘물질들의 스택을 포함할 수 있다. 수직형 사이리스터(100V)는 N형 불순물과 P형 불순물이 교번하여 도핑된 실리콘 물질들의 스택일 수 있다. 소스라인(113)과 제2반도체필라(P2)가 P형 불순물로 도핑되고, 제1반도체필라(P1)와 제3반도체필라(P3)가 N형 불순물로 도핑되므로, 수직형 사이리스터(100V)는 PNP 구조의 사이리스터일 수 있다. 제2반도체필라(P2)는 수직형 사이리스터(100V)의 P 베이스 영역일 수 있고, 제3반도체필라(P3)는 수직형 사이리스터(100V)의 N 베이스 영역일 수 있다. 데이터는 수직형 사이리스터(100V)의 고저항 특성과 저저항 특성을 이용하여 저장될 수 있다.
- [0042] 워드라인(121)은 도전 물질을 포함할 수 있다. 워드라인(121)은 텅스텐-베이스 물질, 예를 들어, 텅스텐, 텅스텐질화물, 텅스텐실리사이드 또는 이들의 조합을 포함할 수 있다. 워드라인(121)과 수직형 사이리스터(100V) 사이에 게이트절연층(122)이 배치될 수 있다. 게이트 절연층(122)은 실리콘산화물, 실리콘질화물, 고유전율 물질 또는 이들의 조합을 포함할 수 있다. 게이트절연층(122)의 상단부는 벤딩될 수 있다.
- [0043] 워드라인(121)은 수직형 사이리스터(100V)의 적어도 하나의 측벽 상에 배치될 수 있다. 예를 들면, 워드라인(121)은 수직형 사이리스터(100V)의 제2반도체필라(P2)의 측벽을 서라운딩할 수 있다. 다른 실시예에서, 제2반도체필라(P2)의 일측 측벽 상에 게이트 절연층(122) 및 워드라인(121)이 형성될 수 있다. 다른 실시예에서, 제2반도체필라(P2)의 서로 대향하는 측벽들 상에 게이트절연층(122) 및 워드라인(121)이 형성될 수 있다.
- [0044] 워드라인(121)에 인가된 바이어스 전압에 의해 수직형 사이리스터(100V)를 동작시킬 수 있다. 수직형 사이리스터(100V)의 제2반도체필라(P2)는 스토리지층(Storage layer)의 역할을 할 수 있다. 즉, 제2반도체필라(P2)에 데이터가 저장될 수 있다. 이와 같이, 메모리셀(100M)은 캐패시터 없이 제2반도체필라(P2)를 스토리지(storage)로 사용할 수 있다.
- [0045] 수직형 사이리스터(100V)의 제1반도체필라(P1)는 캡핑층(123)에 의해 에워싸일 수 있다. 캡핑층(123)은 워드라인(121) 아래에 위치할 수 있다. 캡핑층(123)은 게이트절연층(122) 및 소스라인(113)에 직접 접촉할 수 있다.
- [0046] 이웃하는 메모리셀(100M)은 셀간 분리층(124, 125)에 의해 서로 이격될 수 있다. 셀간 분리층(124, 125)은 절연 물질을 포함할 수 있다. 셀간 분리층(124, 125)은 제1분리층(124) 및 제2분리층(125)을 포함할 수 있다. 제1분리층(124)은 이웃하는 워드라인(121)을 서로 분리시킬 수 있다. 제2분리층(125)은 이웃하는 제3반도체필라(P3)를 서로 분리시킬 수 있다.
- [0047] 상위 레벨 도전라인(112)은 제3반도체필라(P3)에 전기적으로 접속될 수 있다. 상위 레벨 도전라인(112)과 제3반도체필라(P3) 사이에 콘택층(126)이 형성될 수 있다. 콘택층(126)은 N형 불순물을 포함할 수 있다. 콘택층(126)은 제3반도체필라(P3)의 상부에 N형 불순물을 도핑하여 형성할 수 있다.
- [0048] 상위 레벨 도전라인(112)은 도전형 관통구조물(127)에 의해 주변회로부(PRP)의 제어회로부(102)에 연결될 수 있다. 도전형 관통구조물(127)은 금속-베이스 물질을 포함할 수 있다. 도전형 관통구조물(127)은 비아라고 지칭할 수 있다. 도전형 관통구조물(127)은 셀간 분리층(124, 125)을 관통할 수 있고, 아울러 제1본딩물질(114) 및 제2본딩물질(104)을 관통하여 상호접속구조물(103)에 접속될 수 있다. 상위 레벨 도전라인(112)이 비트라인을 포함



하는 경우, 주변회로부(PRP)의 제어회로(102)는 센스앰프를 포함할 수 있다.

- [0049] 위드라인(121)은 위드라인콘택(128)을 통해 주변회로부(PRP)의 제어회로(102)에 연결될 수 있다. 위드라인콘택(128)은 금속-베이스 물질을 포함할 수 있다. 위드라인콘택(128)은 도전형 관통구조물(127)과 동일하게 비아라고 지칭할 수 있다. 위드라인콘택(128)은 셀간 분리층(124, 125)을 관통할 수 있고, 아울러 제1본딩물질(114) 및 제2본딩물질(104)을 관통하여 상호접속구조물(103)에 접속될 수 있다. 위드라인콘택(128)에 금속배선(112')이 접속될 수 있다. 금속배선(112')은 상위 레벨 도전라인(112)과 동일 레벨에 위치할 수 있다. 위드라인콘택(128)을 통해 위드라인(121)에 연결되는 주변회로부(PRP)의 제어회로(102)는 위드라인 드라이버를 포함할 수 있다.
- [0050] 상위 레벨 도전라인(112)과 위드라인(121)은 수직하게 정렬될 수 있다. 탑뷰로 볼 때, 상위 레벨 도전라인(112)과 위드라인(121)은 수직하게 교차할 수 있다. 소스라인(113), 하위 레벨 도전라인(111) 및 상위 레벨 도전라인(112)은 주변회로부(PRP)의 상부 평면에 평행하는 제1방향(D1)을 따라 길게 연장될 수 있다. 위드라인(121)은 제1방향(D1)에 교차하는 제2방향(D2)을 따라 길게 연장될 수 있다. 수직형 사이리스터(100V)는 제3방향(D3)을 따라 수직하게 형성될 수 있다.
- [0051] 위드라인(121)은 소스 라인(113)보다 상위 레벨에 배치될 수 있고, 소스라인(113)과 위드라인(121)은 수직하게 정렬될 수 있다. 탑뷰로 볼 때, 소스 라인(113)과 위드라인(121)은 수직하게 교차할 수 있고, 하위 레벨 도전라인(111), 소스 라인(113) 및 상위 레벨 도전라인(112)은 중첩될 수 있다. 하위 레벨 도전라인(111), 소스 라인(113) 및 상위 레벨 도전라인(112)은 동일한 방향으로 길게 연장될 수 있다.
- [0052] 다른 실시예에서, 소스라인/하위 레벨 도전라인(113/111)의 스택과 상위 레벨 도전라인(112)의 위치가 서로 바뀔 수 있다. 예를 들어, 상위 레벨 도전라인(112)이 하위 레벨에 위치할 수 있고, 소스라인/하위 레벨 도전라인(113/111)의 스택이 상위 레벨에 위치할 수 있다. 이는 도 24 내지 도 33을 참조하기로 한다.
- [0053] 도 5a 내지 도 5c는 게이트의 변형예들을 설명하기 위한 도면이다.
- [0054] 도 5a를 참조하면, 게이트절연층(122A)이 각각의 수직형 사이리스터(100V)의 양측벽에 형성되고, 게이트(121A)는 복수의 수직형 사이리스터(100V)의 측벽을 따라 길게 연장되는 라인 형상일 수 있다. 게이트(121A)는 수직형 사이리스터(100V)의 양측벽에 위치하는 수직형 더블 게이트 구조일 수 있으며, 더블 게이트 구조는 일측 끝단이 서로 연결될 수 있다. 수직형 더블 게이트 구조는 수직형 사이리스터(100V)를 형성한 후에 게이트물질 증착 및 에치백에 의해 형성될 수 있다. 수직형 더블 게이트 구조는 수직형 사이리스터(100V)의 양측벽을 따라 길게 연장되는 스페이서 형상을 가질 수 있다.
- [0055] 도 5b를 참조하면, 게이트절연층(122B)이 각각의 수직형 사이리스터(100V)의 양측벽에 형성되고, 게이트(121B)는 복수의 수직형 사이리스터(100V)의 측벽을 따라 길게 연장되는 라인 형상일 수 있다. 게이트(121B)는 수직형 사이리스터(100V)의 양측벽에 위치하는 더블 게이트 구조일 수 있으며, 더블 게이트 구조는 양측끝단이 서로 연결될 수 있다. 게이트(121B)는 폐루프(Closed-loop) 형상일 수 있다.
- [0056] 도 5c를 참조하면, 게이트절연층(122C)이 각각의 수직형 사이리스터(100V')을 에워싸는 형상일 수 있고, 게이트(121C)는 수직형 사이리스터(100V')을 에워싸면서 어느 한 방향으로 길게 연장될 수 있다. 수직형 사이리스터(100V')의 횡단면은 씨클 형상일 수 있다. 도 5a 및 도 5b에서 수직형 사이리스터(100V)의 횡단면은 사각형 형상일 수 있다.
- [0057] 도 6 내지 도 23은 메모리 장치를 제조하는 방법의 일예를 설명하기 위한 도면이다.
- [0058] 도 6에 도시된 바와 같이, 제1기판(11)이 준비될 수 있다. 제1기판(11)은 반도체프로세싱에 적합한 물질일 수 있다. 제1기판(11)은 반도체기판을 포함할 수 있다. 제1기판(11)은 실리콘을 함유하는 물질로 이루어질 수 있다. 제1기판(11)은 실리콘, 단결정 실리콘, 폴리실리콘, 비정질 실리콘, 실리콘저마늄, 단결정 실리콘저마늄, 다결정 실리콘저마늄, 탄소 도핑된 실리콘, 그들의 조합 또는 그들의 다층을 포함할 수 있다. 제1기판(11)은 저마늄과 같은 다른 반도체물질을 포함할 수도 있다. 제1기판(11)은 III/V족 반도체기판, 예컨대 GaAs과 같은 화합물반도체기판을 포함할 수도 있다. 제1기판(11)은 후속 백그라운드에 의해 제거되는 희생 기판일 수 있다.
- [0059] 제1기판(11)의 표면에 희생도프트영역(12)이 형성될 수 있다. 희생도프트영역(12)은 제1도펀트의 도핑공정(12I)에 의해 형성될 수 있다. 제1도펀트의 도핑공정(12I)은 이온임플란트(Ion implantation)를 포함할 수 있다. 희생도프트영역(12)은 제1도펀트를 포함할 수 있고, 제1도펀트는 N형 도펀트, P형 도펀트 또는 이들의 조합을 포함할 수 있다. 본 실시예에서, 제1도펀트는 보론과 같은 P형 도펀트를 포함할 수 있다. P형 도펀트의 이온임

플라트에 의해 희생도프트영역(12)이 형성될 수 있고, 이에 따라 희생도프트영역(12)은 'P형 도프트영역'이라고 지칭할 수 있다. 희생도프트영역(12)에 도핑된 P형 도펀트는 고농도를 가질 수 있다. 예를 들어, 희생도프트영역(12)에 도핑된 P형 도펀트는  $1 \times 10^{19} \sim 5 \times 10^{20}$  atoms/cm<sup>3</sup>의 고농도를 가질 수 있다. 희생도프트영역(12)은 '고농도 P형 도프트영역(highly doped p-type doped region)'이라고 지칭할 수 있다. 희생도프트영역(12)은 고농도 P형 실리콘물질(highly doped p-type silicon material), 즉 P<sup>+</sup> 실리콘을 포함할 수 있다. 희생도프트영역(12)은 후속 백그라인딩에 의해 제거되는 희생 도프트영역일 수 있다.

[0060] 도 7에 도시된 바와 같이, 희생도프트영역(12) 상에 예비필라영역(13)이 형성될 수 있다. 예비필라영역(13)은 에피택셜성장(Epitaxial growth)에 의해 형성될 수 있다. 예비필라영역(13)은 제2도펀트를 포함할 수 있다. 예비필라영역(13)은 인 또는 비소와 같은 N형 도펀트를 포함할 수 있다. 예비필라영역(13)은 약 2000 Å의 두께를 가질 수 있다. 예비필라영역(13)은 'N형 도프트영역'이라고 지칭할 수 있다. 예비필라영역(13)에 도핑된 N형 도펀트는 고농도를 갖지 않을 수 있다. 예를 들어, 예비필라영역(13)에 도핑된 N형 도펀트는  $1 \times 10^{19}$  atoms/cm<sup>3</sup>보다 낮은 농도를 가질 수 있다. 예비필라영역(13)은 N형 실리콘물질(N-type silicon material), 즉 N 실리콘을 포함할 수 있다.

[0061] 도 8에 도시된 바와 같이, 예비필라영역(13) 상에 하드마스크층(14)이 형성될 수 있다. 하드마스크층(14)은 예비필라영역(13)에 대해 식각선택비를 갖는 물질을 포함할 수 있다. 하드마스크층(14)은 실리콘산화물(silicon oxide), 실리콘질화물(silicon nitride), 비정질카본(amorphous carbon) 또는 이들의 조합을 포함할 수 있다. 본 실시예에서, 하드마스크층(14)은 실리콘산화물을 포함할 수 있다.

[0062] 마스크(미도시)를 이용하여, 예비필라영역(13)의 상부 표면을 노출시키기 위해 하드마스크층(14)이 식각될 수 있다. 마스크는 포토레지스트패턴을 포함할 수 있다. 탑뷰로 볼 때, 하드마스크층(14)은 복수의 필라 형상(pillar shape)을 가질 수 있다. 즉, 하드마스크층(14)은 필라 형상들의 규칙적인 어레이로 형성될 수 있다.

[0063] 다음으로, 제1반도체필라(13N)가 형성될 수 있다. 제1반도체필라(13N)를 형성하기 위해, 하드마스크층(14)을 이용하여 예비필라영역(13)을 식각할 수 있다. 하드마스크층(14)이 복수의 필라 어레이를 가지므로, 예비필라영역(13)은 복수의 제1반도체필라(13N)로 식각될 수 있다. 제1반도체필라(13N)는 필라 형상들의 규칙적인 어레이로 형성될 수 있다.

[0064] 이웃하는 제1반도체필라(13N) 사이에 분리트렌치(13T)가 정의될 수 있다. 분리트렌치(13T)에 의해 이웃하는 제1반도체필라(13N)가 서로 이격될 수 있다. 분리트렌치(13T)의 깊이는 제1반도체필라(13N)의 높이와 동일할 수 있다. 분리트렌치(13T)의 저면(Bottom surface)은 희생도프트영역(12)의 상부 표면까지 연장될 수 있다. 제1반도체필라(13N)의 높이는 약 2000 Å일 수 있다. 분리트렌치(13T)의 깊이는 제1반도체필라(13N)의 높이와 동일할 수 있다. 분리트렌치(13T)의 깊이는 약 2000 Å일 수 있다. 다른 실시예에서, 분리트렌치(13T)의 깊이는 제1반도체필라(13N)의 높이보다 더 클 수 있다.

[0065] 탑뷰로 볼 때, 제1반도체필라(13N)의 횡단면은 사각형 형상 또는 원형 형상일 수 있다. 본 실시예에서, 제1반도체필라(13N)의 횡단면은 사각형 형상일 수 있다.

[0066] 제1반도체필라(13N)는 N형 실리콘 필라일 수 있다.

[0067] 도 9에 도시된 바와 같이, 절연물질(15A)로 분리트렌치(13T)를 채울 수 있다. 절연물질(15A)은 보이드없이 분리트렌치(13T)를 채울 수 있다. 절연물질(15A)은 갭필 특성이 우수한 물질을 포함할 수 있다. 절연물질(15A)은 산화물, 질화물 또는 이들의 조합을 포함할 수 있다. 본 실시예에서, 절연물질(15A)은 실리콘산화물을 포함할 수 있다.

[0068] 절연물질(15A)은 분리트렌치(13T)를 채우면서 하드마스크층(14)을 커버링하도록 형성될 수 있다. 후속하여, 절연물질(15A)은 제1반도체필라(13N)의 상부 표면이 노출되도록 평탄화될 수 있다. 절연물질(15A)의 평탄화는 화학적기계적연마(CMP)에 의해 수행될 수 있다. 절연물질(15A)의 평탄화에 의해 제1분리층(15)이 형성될 수 있다.

[0069] 절연물질(15A)의 평탄화 공정시에 하드마스크층(14)도 평탄화되어 제거될 수 있다. 따라서, 제1분리층(15)의 상부 표면과 제1반도체필라(13N)의 상부 표면은 동일 레벨일 수 있다. 즉, 제1분리층(15)의 상부 표면과 제1반도체필라(13N)의 상부 표면 사이에 단차가 발생하지 않을 수 있다. 제1분리층(15)은 이웃하는 제1반도체필라(13N)를 서로 분리시킬 수 있다.

[0070] 도 10에 도시된 바와 같이, 제1분리층(15) 및 제1반도체필라(13N) 상에 도전물질(16A)이 형성될 수 있다. 도전

물질(16A)은 제1반도체필라(13N)의 높이보다 작은 두께를 가질 수 있다. 도전물질(16A)은 금속, 금속질화물, 금속실리사이드 또는 이들의 조합을 포함할 수 있다. 도전물질(16A)은 텅스텐, 티타늄질화물, 텅스텐질화물, 티타늄실리사이드, 텅스텐실리사이드 또는 이들의 조합을 포함할 수 있다. 본 실시예에서, 도전물질(16A)은 텅스텐실리사이드를 포함할 수 있다.

- [0071] 도전물질(16A) 상에 캡핑물질(17A)이 형성될 수 있다. 캡핑물질(17A)은 절연물질을 포함할 수 있다. 캡핑물질(17A)은 산화물을 포함할 수 있다. 캡핑물질(17A)은 하드마스크로 사용될 수 있다.
- [0072] 도 11에 도시된 바와 같이, 복수의 워드라인(16)이 형성될 수 있다. 워드라인(16)을 형성하기 위해, 라인 앤드 스페이스 형상의 마스크층(도시 생략)을 이용하여 캡핑물질(17A) 및 도전물질(16A)을 식각할 수 있다. 이웃하는 워드라인(16) 사이에 게이트분리트렌치(16T)가 형성될 수 있다. 워드라인(16) 상에는 캡핑층(17)이 형성될 수 있다. 캡핑층(17)은 캡핑물질(17A)의 식각에 의해 형성될 수 있다.
- [0073] 워드라인(16)은 제1반도체필라(13N)에 각각 대응하여 형성될 수 있다. 워드라인(16)은 게이트라고 지칭할 수도 있다.
- [0074] 도 12에 도시된 바와 같이, 워드라인(16) 사이에 제2분리층(18)이 형성될 수 있다. 제2분리층(18)은 실리콘산화물을 포함할 수 있다. 제2분리층(18)은 게이트분리트렌치(16T)를 채울 수 있고, 워드라인(16)의 상부면이 노출되도록 평탄화될 수 있다.
- [0075] 도 13에 도시된 바와 같이, 마스크층(19)이 형성될 수 있다. 마스크층(19)은 포토레지스트패턴을 포함할 수 있다. 마스크층(19)은 복수의 오프닝(19H)을 포함할 수 있다. 탑뷰로 볼 때, 오프닝(19H)의 횡단면은 사각형 형상 또는 원형 형상일 수 있고, 복수의 오프닝(19H)은 규칙적인 어레이로 형성될 수 있다.
- [0076] 다음으로, 마스크층(19)을 이용하여 캡핑층(17) 및 워드라인(16)을 순차적으로 식각할 수 있다. 이에 따라, 복수의 수직형 오프닝(20)이 형성될 수 있다. 수직형 오프닝(20)은 캡핑층(17) 및 워드라인(16)을 관통하는 깊이를 가질 수 있다. 탑뷰로 볼 때, 수직형 오프닝(20)의 횡단면은 마스크층(19)의 오프닝(19H)과 동일한 형상일 수 있다. 수직형 오프닝(20)의 저면은 제1반도체필라(13N)의 상부 표면을 노출시킬 수 있다. 수직형 오프닝(20)의 폭(또는 직경)은 제1반도체필라(13N)의 폭보다 더 클 수 있고, 이로써 수직형 오프닝(20)의 저면은 제1분리층(15)의 일부 표면을 더 노출시킬 수 있다. 아울러, 수직형 오프닝(20)에 의해 제1반도체필라(13N)와 워드라인(16)이 접촉하지 않을 수 있다. 수직형 오프닝(20)은 수직한 측벽(Vertical sidewall)을 가질 수 있다. 수직형 오프닝(20)은 워드라인(16)의 양측벽을 노출시키지 않는 크기를 가질 수 있다. 즉, 수직형 오프닝(20)은 워드라인(16)을 절단하지 않을 수 있다. 따라서, 탑뷰로 볼 때, 수직형 오프닝(20)은 워드라인(16)에 의해 에워싸이는 형상이 될 수 있다.
- [0077] 도 14에 도시된 바와 같이, 마스크층(19)을 제거한 후에, 수직형 오프닝(20)에 게이트절연층(21)이 형성될 수 있다. 게이트절연층(21)은 수직형 오프닝(20)을 완전히 채우지 않을 수 있다. 게이트절연층(21)은 수직형 오프닝(20)의 저면 및 측벽을 커버링하도록 컨포멀하게 형성될 수 있다. 게이트절연층(21)은 실리콘산화물, 실리콘산화질화물, 고유전율물질 또는 이들의 조합을 포함할 수 있다. 게이트절연층(21)의 일부는 워드라인(16) 및 캡핑층(17)에 직접 접촉될 수 있다. 게이트절연층(21)은 워드라인(16)과 제1반도체필라(13N) 사이를 분리시킬 수 있다.
- [0078] 게이트절연층(21) 상에 희생층(22)이 형성될 수 있다. 희생층(22)은 게이트절연층(21) 상에 컨포멀하게 형성될 수 있다. 게이트절연층(21) 및 희생층(22)은 수직형 오프닝(20)을 완전히 채우지 않을 수 있다. 희생층(22)은 게이트절연층(21)에 대해 식각선택비를 가질 수 있다. 희생층(22)은 실리콘질화물을 포함할 수 있다.
- [0079] 다음으로, 에치백 공정이 수행될 수 있다. 에치백 공정에 의해 희생층(22)의 일부 및 게이트절연층(21)의 일부가 식각될 수 있다. 예를 들어, 수직형 오프닝(20)의 저면에서 희생층(22)의 일부 및 게이트절연층(21)의 일부가 식각될 수 있다.
- [0080] 이와 같은 에치백 공정에 의해 제1반도체필라(13N)의 상부 표면이 노출될 수 있다. 수직형 오프닝(20)의 측벽에는 게이트절연층(21)과 희생층(22)의 스택이 잔류할 수 있다. 게이트절연층(21)은 수직형 오프닝(20)의 측벽을 커버링하는 스페이서 형상(Spacer shape)일 수 있다. 희생층(22)은 게이트절연층(21)의 측벽을 커버링하는 스페이서 형상일 수 있다. 탑뷰로 볼 때, 게이트절연층(21)은 수직형 오프닝(20)의 측벽을 커버링하는 링형 스페이서(ring shape spacer)일 수 있다. 희생층(22)은 게이트절연층(21)의 측벽을 커버링하는 링형 스페이서일 수 있다.

- [0081] 희생층(22)의 에치백 이후에, 수직형 오프닝(20)의 하향 확장에 의해 제1반도체필라(13N)의 상부 표면이 일정 깊이 리세스될 수 있다. 예를 들어, 희생층(22)의 측벽에 자기 정렬되어 제1반도체필라(13N)의 상부 표면이 식각될 수 있다.
- [0082] 도 15에 도시된 바와 같이, 희생층(22)을 제거할 수 있다. 희생층(22)이 실리콘질화물을 포함하는 경우, 인산을 이용한 습식식각에 의해 제거될 수 있다.
- [0083] 희생층(22)을 제거한 후에, 수직형 오프닝(20)의 측벽에 게이트절연층(21)이 잔류할 수 있다.
- [0084] 수직형 오프닝(20)은 제1반도체필라(13N) 각각에 대응하여 형성될 수 있다.
- [0085] 도 16에 도시된 바와 같이, 수직형 오프닝(20)에 에피택셜층(23)이 형성될 수 있다. 에피택셜층(23)은 수직형 오프닝(20)을 보이드없이 채울 수 있다. 에피택셜층(23)은 제1반도체필라(13N) 상에서 수직형 오프닝(20)을 채울 수 있고, 이에 따라 에피택셜층(23)은 필라 형상을 가질 수 있다. 에피택셜층(23)은 제3도펀트를 포함할 수 있다. 제3도펀트는 에피택셜층(23)을 성장하는 동안에, 인시트로 도핑될 수 있다. 제3도펀트는 제2도펀트와 다른 물질일 수 있다. 제3도펀트는 P형 도펀트를 포함할 수 있다. 에피택셜층(23)은 P형 에피택셜 실리콘을 포함할 수 있다. 에피택셜층(23)의 P형 도펀트는 고농도를 갖지 않을 수 있다. 예를 들어, 에피택셜층(23)의 P형 도펀트는  $1 \times 10^{19}$  atoms/cm<sup>3</sup>보다 낮은 농도를 가질 수 있다.
- [0086] 도 17에 도시된 바와 같이, 에피택셜층(23)에 제4도펀트가 도핑될 수 있다. 제4도펀트는 제3도펀트와 다른 물질일 수 있다. 제4도펀트는 N형 도펀트를 포함할 수 있다. 제4도펀트는 고농도로 도핑될 수 있다. 이온임플란트에 의해 N형 도펀트가 도핑될 수 있다. N형 도펀트는  $1 \times 10^{19} \sim 5 \times 10^{20}$  atoms/cm<sup>3</sup>의 고농도를 가질 수 있다.
- [0087] N형 도펀트를 도핑함에 따라 에피택셜층(23)의 상부영역은 제3반도체필라(23N)로 정의될 수 있다. 에피택셜층(23)의 하부영역은 초기 에피택셜층의 도펀트를 포함할 수 있다. 이하, 에피택셜층(23)의 하부영역을 제2반도체필라(23P)라고 약칭한다.
- [0088] 위와 같이, N형 도펀트를 도핑함에 따라 에피택셜층(23)은 제2반도체필라(23P) 및 제3반도체필라(23N)로 구분될 수 있다. 제1반도체필라(13N) 상에 제2반도체필라(23P)가 형성될 수 있고, 제2반도체필라(23P) 상에 제3반도체필라(23N)가 형성될 수 있다. 제3반도체필라(23N)의 상부 표면과 캡핑층(17)의 상부 표면은 동일 레벨일 수 있다.
- [0089] 제2반도체필라(23P)의 상부 표면은 워드라인(16)의 상부 표면과 동일 레벨이거나, 워드라인(16)의 상부 표면보다 높은 레벨일 수 있다. 제3반도체필라(23N)는 제2반도체필라(23P)보다 낮은 높이를 가질 수 있다. 제2반도체필라(23P)의 하단부는 제1반도체필라(13N)에 직접 접촉될 수 있다.
- [0090] 제3반도체필라(23N)는 제1반도체필라(13N)보다 높은 농도의 N형 도펀트를 포함할 수 있다. 제2반도체필라(23P)는 제3반도체필라(23N)보다 낮은 농도의 P형 도펀트를 포함할 수 있다. 즉, 제3반도체필라(23N)는 고농도 N형 도펀트를 포함하고, 제2반도체필라(23P)는 고농도 N형 도펀트보다 낮은 농도의 P형 도펀트를 포함할 수 있다.
- [0091] 제2반도체필라(23P)는 P형 에피택셜 실리콘(p-type epitaxial silicon)일 수 있고, 제3반도체필라(23N)는 고농도 N형 에피택셜 실리콘(highly doped n-type epitaxial silicon)일 수 있다.
- [0092] 제2반도체필라(23P) 및 제3반도체필라(23N)가 수직형 오프닝(20)을 채우므로, 수직형 오프닝(20)은 필라형 구조물로 채워질 수 있다. 제1반도체필라(13N), 제2반도체필라(23P) 및 제3반도체필라(23N)의 스택은 수직형 필라 구조물을 형성할 수 있다. 제1반도체필라(13N), 제2반도체필라(23P) 및 제3반도체필라(23N)의 스택은 실리콘물질들의 스택일 수 있다. 제1반도체필라(13N), 제2반도체필라(23P) 및 제3반도체필라(23N)의 스택은 에피택셜 실리콘들의 스택일 수 있다.
- [0093] 도 18에 도시된 바와 같이, 하위 레벨 도전라인이 형성될 수 있다. 하위 레벨 도전라인은 소스라인(24P) 및 제1도전라인(24L)의 스택을 포함할 수 있다. 소스라인(24P)은 고농도 P형 도펀트를 포함할 수 있다. 소스라인(24P)은 고농도 P형 폴리실리콘을 포함할 수 있다. 소스라인(24P)은 이웃하는 제3반도체필라(23N)들을 상호 접속시킬 수 있다. 소스라인(24P) 및 제1도전라인(24L)을 형성하기 위해, 소스라인물질과 도전물질의 증착 이후에, 도전물질과 소스라인물질의 식각이 수행될 수 있다. 소스라인(24P) 및 제1도전라인(24L)은 워드라인(16)에 교차하는 방향으로 연장될 수 있다.
- [0094] 제1도전라인(24L) 상에 제1분당물질(25)이 형성될 수 있다. 제1분당물질(25)은 실리콘산화물을 포함할 수 있다.



제1본딩물질(25)의 일부는 제2분리층(18)을 커버링할 수 있다.

- [0095] 제1본딩물질(25)을 관통하여 제1도전라인(24L)에 연결되는 제1본딩패드(26)가 형성될 수 있다. 제1본딩패드(26)는 금속-베이스 물질을 포함할 수 있다.
- [0096] 상술한 바와 같은 일련의 과정을 통해 메모리셀어레이(MCA')가 형성될 수 있다.
- [0097] 도 19에 도시된 바와 같이, 주변회로부(PRP)가 준비될 수 있다. 주변회로부(PRP)는 제2기판(31), 제2기판(31)상에 형성된 적어도 하나 이상의 제어회로(32), 상호접속구조물(33) 및 제2본딩물질(34)을 포함할 수 있다. 적어도 하나 이상의 제어회로(32)는 트랜지스터를 포함할 수 있다. 상호접속구조물(33)은 적어도 하나의 금속배선을 포함할 수 있다. 상호접속구조물(33)은 다층레벨금속배선(MLM)을 포함할 수 있다. 상호접속구조물(33)은 제어회로(32)의 일부분에 연결될 수 있다.
- [0098] 상호접속구조물(33)은 층간절연층(도면부호 생략, 도 2의 '106' 참조)에 형성될 수 있고, 층간절연층 및 상호접속구조물(33)상에 제2본딩물질(34)이 형성될 수 있다. 제2본딩물질(34)은 실리콘산화물을 포함할 수 있다. 제1본딩물질(25) 및 제2본딩물질(34)은 동일 물질일 수 있다.
- [0099] 다음으로, 제2본딩물질(34)을 관통하여 상호접속구조물(33)에 연결되는 제2본딩패드(35)가 형성될 수 있다. 제2본딩패드(35)는 금속-베이스 물질을 포함할 수 있다. 제1본딩패드(26)와 제2본딩패드(35)는 동일 물질일 수 있다.
- [0100] 도 20에 도시된 바와 같이, 하이브리드 본딩 프로세스를 수행하여 메모리셀어레이(MCA')와 주변회로부(PRP)를 본딩시킬 수 있다.
- [0101] 하이브리드 본딩 프로세스는 주변회로부(PRP)가 형성된 제2기판(31)을 뒤집어(또는 회전시켜) 메모리셀어레이(MCA')가 형성된 제1기판(11)과 본딩시킬 수 있다. 이에 따라, 제1본딩물질(25)과 제2본딩물질(34)이 본딩될 수 있고, 아울러 제1본딩패드(26)와 제2본딩패드(35)가 본딩될 수 있다.
- [0102] 상술한 바와 같은 하이브리드 본딩 프로세스에 의해, 메모리셀어레이(MCA')가 형성된 제1기판(11)과 주변회로부(PRP)가 형성된 제2기판(31)이 본딩된 초기 기판 스택(D10)이 형성될 수 있다.
- [0103] 다른 실시예에서, 하이브리드 본딩 프로세스는 메모리셀어레이(MCA')가 형성된 제1기판(11)을 뒤집어(또는 회전시켜) 주변회로부(PRP)가 형성된 제2기판(31)과 본딩시킬 수 있다.
- [0104] 도 21에 도시된 바와 같이, 초기 기판 스택(D10)의 후면을 얇게 형성할 수 있다. 주변회로부(PRP)가 아래에 위치하도록 초기 기판 스택(D10)을 뒤집어 희생도프트영역(12) 및 제1기판(11)을 제거(도면부호 'WB' 참조)할 수 있다. 희생도프트영역(12) 및 제1기판(11)의 제거 공정은 백그라인딩(Backside grinding), 습식식각 및 CMP 공정을 순차적으로 수행할 수 있다. 백그라인딩 및 습식식각은 제1기판(11) 및 희생도프트영역(12)을 제거할 수 있으며, CMP 공정은 잔류 물질을 제거할 수 있다. CMP 공정은 제1분리층(15)에서 정지할 수 있다. 희생도프트영역(12) 및 제1기판(11)의 제거 공정 이후에 제1반도체필라(13N)의 일측 표면이 노출될 수 있다. 이에 따라 초기의 메모리셀어레이(MCA')보다 얇아진 메모리셀어레이(MCA)이 형성될 수 있다.
- [0105] 위와 같은 희생도프트영역(12) 및 제1기판(11)의 제거 공정 이후에, 메모리장치를 위한 기판 스택(D20)이 형성될 수 있다.
- [0106] 기판 스택(D20)은 주변회로부(PRP) 및 메모리셀어레이(MCA)의 스택일 수 있다. 메모리셀어레이(MCA)는 주변회로부(PRP)보다 상위 레벨에 위치할 수 있다. 메모리셀어레이(MCA)는 복수의 메모리셀(50)을 포함할 수 있고, 각각의 메모리셀(50)은 소스라인(24P), 제3반도체필라(23N), 제2반도체필라(23P) 및 제1반도체필라(13N)의 스택을 포함할 수 있다. 제3반도체필라(23N)는 하부 반도체필라(lower semiconductor pillar)라고 지칭할 수 있고, 제1반도체필라(13N)는 상부 반도체필라(upper semiconductor pillar)라고 지칭할 수 있으며, 제2반도체필라(23P)는 스토리지 필라(Storage pillar)라고 지칭할 수 있다. 소스라인(24P), 제3반도체필라(23N), 제2반도체필라(23P) 및 제1반도체필라(13N)의 스택은 PNP 구조의 실리콘물질들의 스택이 될 수 있다. 제3반도체필라(23N)는 도 2의 제1반도체필라(P1)에 대응할 수 있고, 제2반도체필라(23P)는 도 2의 제2반도체필라(P2)에 대응할 수 있으며, 제1반도체필라(13N)는 도 2의 제3반도체필라(P3)에 대응할 수 있다.
- [0107] 따라서, 메모리셀어레이(MCA)의 메모리셀(50) 각각은 PNP 구조의 수직형 사이리스터(50V)를 포함할 수 있다. 메모리셀어레이(MCA)에서 제2반도체필라(23P)는 스토리지층의 역할을 할 수 있다. 메모리셀어레이(MCA)는 워드라인(16)을 더 포함할 수 있고, 워드라인(16)은 제2반도체필라(23P)의 측벽에 위치할 수 있다. 메모리셀어레이

(MCA)에서 각각의 메모리셀은 1T(One transistor) 구조일 수 있다. 즉, 1T 구조는 워드라인(16), 제3반도체필라(23N), 제2반도체필라(23P) 및 제1반도체필라(13N)를 포함할 수 있다. 제3반도체필라(23N) 및 제1반도체필라(13N)은 소스/드레인영역의 역할을 할 수 있다. 메모리셀어레이(MCA)는 캐패시터가 없는 1T DRAM 셀어레이가 될 수 있다. 메모리셀어레이(MCA)는 캐패시터가 없으므로, 리프레시 동작이 필요없다.

- [0108] 도 22에 도시된 바와 같이, 콘택층(41)이 형성될 수 있다. 콘택층(41)은 도펀트의 이온주입에 의해 형성될 수 있다. 콘택층(41)은 제1반도체필라(13N)의 상부 표면에 형성될 수 있다.
- [0109] 다음으로, 주변회로부(PRP)의 상호접속구조물(33)에 연결되는 비아(42)가 형성될 수 있다. 비아(42)를 형성하기 위해, 제1분리층(15), 제2분리층(18), 제1본딩물질(25) 및 제2본딩물질(34)을 관통하도록 비아홀(도면부호 생략)을 형성한 후, 비아홀 내에 도전물질을 채울 수 있다. 비아(42)는 금속-베이스 물질로 형성될 수 있다. 비아(42)는 도 1 내지 도 4의 도전형 관통구조물(127)에 대응할 수 있다.
- [0110] 도 23에 도시된 바와 같이, 비아(42)에 연결되는 상위 레벨 도전라인이 형성될 수 있다. 상위 레벨 도전라인은 제2도전라인(43)을 포함할 수 있다. 제2도전라인(43)은 콘택층(41) 및 비아(42)에 직접 접촉될 수 있다. 제2도전라인(43)은 어느 한 방향으로 연장되는 라인 형상일 수 있다. 제2도전라인(43)은 금속-베이스 물질을 포함할 수 있다. 제2도전라인(43)은 텅스텐, 텅스텐질화물, 텅스텐실리사이드 또는 이들의 조합을 포함할 수 있다. 예를 들어, 제2도전라인(43)을 형성하기 위해 텅스텐실리사이드층 증착 및 식각이 수행될 수 있다. 제2도전라인(43)은 메모리셀어레이(MCA)에 포함되는 구성요소일 수 있다.
- [0111] 제2도전라인(43)과 워드라인(16)은 상호 교차하는 방향으로 연장될 수 있다. 메모리셀어레이(MCA)의 동작 동안에, 제2도전라인(43)은 비트라인의 역할을 할 수 있다.
- [0112] 상술한 바와 같이, 기관스택(D20)은 메모리셀어레이(MCA)와 주변회로부(PRP)를 포함하고, 메모리셀어레이(MCA)와 주변회로부(PRP)는 본딩 프로세스에 의해 서로 본딩될 수 있다. 이와 같은 본딩 프로세스에 의해 제1도전라인(24L), 제2도전라인(43) 및 워드라인(16)을 포함하는 3 단자 배선이 가능하다.
- [0113] 도 6 내지 도 23에 따르면, 일 실시예에 따른 메모리 장치 제조 방법은 제1기관(11) 상에 수직형 사이리스터(50V) 및 워드라인(16)을 포함하는 메모리셀어레이(MCA)를 형성하는 단계, 제2기관(31)에 주변회로부(PRP)를 형성하는 단계, 메모리셀어레이(MCA)와 주변회로부(PRP)를 본딩시키는 단계, 수직형 사이리스터(50V)의 일측이 노출되도록 제1기관(11)을 제거하는 단계 및 수직형 사이리스터(50V)의 일측 및 주변회로부(PRP)에 접속되는 제2도전라인(43)을 형성하는 단계를 포함할 수 있다. 제2도전라인(43)은 비트라인을 포함할 수 있다.
- [0114] 도 24 내지 도 33은 메모리 장치를 제조하는 방법의 다른 예를 설명하기 위한 도면이다.
- [0115] 도 24에 도시된 바와 같이, 제1기관(11)이 준비될 수 있다. 제1기관(11)은 반도체프로세싱에 적합한 물질일 수 있다. 제1기관(11)은 반도체기관을 포함할 수 있다. 제1기관(11)은 실리콘을 함유하는 물질로 이루어질 수 있다. 제1기관(11)은 실리콘, 단결정 실리콘, 폴리실리콘, 비정질 실리콘, 실리콘저마늄, 단결정 실리콘저마늄, 다결정 실리콘저마늄, 탄소 도핑된 실리콘, 그들의 조합 또는 그들의 다층을 포함할 수 있다. 제1기관(11)은 저마늄과 같은 다른 반도체물질을 포함할 수도 있다. 제1기관(11)은 III/V족 반도체기관, 예컨대 GaAs과 같은 화합물반도체기관을 포함할 수도 있다. 제1기관(11)은 후속 백그라인딩에 의해 제거되는 희생 기관일 수 있다. 제1기관(11)은 도 6의 제1기관(11)보다 두꺼울 수 있다.
- [0116] 제1기관(11)에 예비필라영역(13')이 형성될 수 있다. 예비필라영역(13')은 제1도펀트의 도핑공정(13I)에 의해 형성될 수 있다. 제1도펀트의 도핑공정(13I)은 이온임플란트(Ion implantation)를 포함할 수 있다. 예비필라영역(13')은 제1도펀트를 포함할 수 있고, 제1도펀트는 N형 도펀트, P형 도펀트 또는 이들의 조합을 포함할 수 있다. 본 실시예에서, 제1도펀트는 인 또는 비소와 같은 N형 도펀트를 포함할 수 있다. N형 도펀트의 이온임플란트에 의해 예비필라영역(13')이 형성될 수 있고, 이에 따라 예비필라영역(13')은 'N형 도프트영역'이라고 지칭할 수 있다. 예비필라영역(13')에 도핑된 N형 도펀트는 고농도를 가질 수 있다. 예를 들어, 예비필라영역(13')에 도핑된 N형 도펀트는  $1 \times 10^{19} \sim 5 \times 10^{20}$  atoms/cm<sup>3</sup>의 고농도를 가질 수 있다. 도프트영역(12')은 고농도 N형 실리콘물질(highly doped n-type silicon material), 즉 N<sup>+</sup> 실리콘을 포함할 수 있다. 예비필라영역(13')은 1000 Å ~ 2000 Å의 깊이를 가질 수 있다. 예를 들어, 예비필라영역(13')의 깊이는 제1기관(11)을 깊이 방향으로 이등분하는 깊이일 수 있다.
- [0117] 도 7의 예비필라영역(13)이 에피택셜성장에 의해 형성되고 있는 것과는 다르게, 예비필라영역(13')은 N형 불순물의 도핑공정(13I)에 의해 형성될 수 있다.

- [0118] 도 25에 도시된 바와 같이, 예비필라영역(13') 상에 하드마스크층(14)이 형성될 수 있다. 하드마스크층(14)은 예비필라영역(13')에 대해 식각선택비를 갖는 물질을 포함할 수 있다. 하드마스크층(14)은 실리콘산화물(silicon oxide), 실리콘질화물(silicon nitride), 비정질카본(amorphous carbon) 또는 이들의 조합을 포함할 수 있다. 본 실시예에서, 하드마스크층(14)은 실리콘산화물을 포함할 수 있다.
- [0119] 마스크(미도시)를 이용하여, 예비필라영역(13')의 상부 표면을 노출시키기 위해 하드마스크층(14)이 식각될 수 있다. 마스크는 포토레지스트패턴을 포함할 수 있다. 탑뷰로 볼 때, 하드마스크층(14)은 복수의 필라 형상(pillar shape)을 가질 수 있다. 즉, 하드마스크층(14)은 필라 형상들의 규칙적인 어레이로 형성될 수 있다.
- [0120] 다음으로, 제1반도체필라(13N)가 형성될 수 있다. 제1반도체필라(13N)를 형성하기 위해, 하드마스크층(14)을 이용하여 예비필라영역(13')을 식각할 수 있다. 하드마스크층(14)이 복수의 필라 어레이를 가지므로, 예비필라영역(13')은 복수의 제1반도체필라(13N)로 식각될 수 있다. 제1반도체필라(13N)는 필라 형상들의 규칙적인 어레이로 형성될 수 있다.
- [0121] 이웃하는 제1반도체필라(13N) 사이에 분리트렌치(13T)가 정의될 수 있다. 분리트렌치(13T)에 의해 이웃하는 제1반도체필라(13N)가 서로 이격될 수 있다. 분리트렌치(13T)의 깊이는 제1반도체필라(13N)의 높이와 동일할 수 있다. 제1반도체필라(13N)의 높이는 약 2000 Å일 수 있다. 분리트렌치(13T)의 깊이는 제1반도체필라(13N)의 높이와 동일할 수 있다. 분리트렌치(13T)의 깊이는 약 2000 Å일 수 있다. 다른 실시예에서, 분리트렌치(13T)의 깊이는 제1반도체필라(13N)의 높이보다 더 클 수 있다.
- [0122] 탑뷰로 볼 때, 제1반도체필라(13N)의 횡단면은 사각형 형상 또는 원형 형상일 수 있다. 본 실시예에서, 제1반도체필라(13N)의 횡단면은 사각형 형상일 수 있다.
- [0123] 제1반도체필라(13N)는 N형 실리콘 필라일 수 있다.
- [0124] 도 26에 도시된 바와 같이, 절연물질(15A)로 분리트렌치(13T)를 채울 수 있다. 절연물질(15A)은 보이드없이 분리트렌치(13T)를 채울 수 있다. 절연물질(15A)은 껍질 특성이 우수한 물질을 포함할 수 있다. 절연물질(15A)은 산화물, 질화물 또는 이들의 조합을 포함할 수 있다. 본 실시예에서, 절연물질(15A)은 실리콘산화물을 포함할 수 있다.
- [0125] 절연물질(15A)은 분리트렌치(13T)를 채우면서 하드마스크층(14)을 커버링하도록 형성될 수 있다. 후속하여, 절연물질(15A)은 하드마스크층(14)의 상부 표면이 노출되도록 평탄화될 수 있다. 절연물질(15A)의 평탄화는 화학적기계적연마(CMP)에 의해 수행될 수 있다. 절연물질(15A)의 평탄화에 의해 제1분리층(15)이 형성될 수 있다.
- [0126] 절연물질(15A)의 평탄화 공정시에 하드마스크층(14)이 잔류할 수 있다. 따라서, 제1분리층(15)의 상부 표면과 하드마스크층(14)의 상부 표면은 동일 레벨일 수 있다. 즉, 제1분리층(15)의 상부 표면과 하드마스크층(14)의 상부 표면 사이에 단차가 발생하지 않을 수 있다. 제1분리층(15)은 이웃하는 제1반도체필라(13N)를 서로 분리시킬 수 있다.
- [0127] 도 27에 도시된 바와 같이, 제1분리층(15) 및 하드마스크층(14) 상에 복수의 워드라인(16)이 형성될 수 있다. 워드라인(16)을 형성하는 방법은 도 10 및 도 11을 참조하기로 한다. 워드라인(16)은 제1반도체필라(13N)에 각각 대응하여 형성될 수 있다.
- [0128] 다음으로, 워드라인(16) 사이에 제2분리층(18)이 형성될 수 있다. 제2분리층(18)은 실리콘산화물을 포함할 수 있다. 제2분리층(18)은 이웃하는 워드라인(16) 사이를 채울 수 있고, 워드라인(16)의 상부면이 노출되도록 평탄화될 수 있다.
- [0129] 도 28에 도시된 바와 같이, 마스크층(19)이 형성될 수 있다. 마스크층(19)은 포토레지스트패턴을 포함할 수 있다. 마스크층(19)은 복수의 오프닝(19H)을 포함할 수 있다. 탑뷰로 볼 때, 오프닝(19H)의 횡단면은 사각형 형상 또는 원형 형상일 수 있고, 복수의 오프닝(19H)은 규칙적인 어레이로 형성될 수 있다.
- [0130] 다음으로, 마스크층(19)을 이용하여 캡핑층(17) 및 워드라인(16)을 순차적으로 식각할 수 있다. 이에 따라, 복수의 수직형 오프닝(20)이 형성될 수 있다. 수직형 오프닝(20)은 캡핑층(17) 및 워드라인(16)을 관통하는 깊이를 가질 수 있다. 탑뷰로 볼 때, 수직형 오프닝(20)의 횡단면은 마스크층(19)의 오프닝(19H)과 동일한 형상일 수 있다. 수직형 오프닝(20)의 저면은 하드마스크층(14)의 상부 표면을 노출시킬 수 있다. 수직형 오프닝(20)은 수직한 측벽(Vertical sidewall)을 가질 수 있다. 수직형 오프닝(20)은 워드라인(16)의 양측벽을 노출시키지 않는 크기를 가질 수 있다. 따라서, 수직형 오프닝(20)은 워드라인(16)에 의해 에워싸이는 형상이 될 수 있다.

- [0131] 도 29에 도시된 바와 같이, 마스크층(19)을 제거한 후에, 수직형 오프닝(20)에 게이트절연층(21)이 형성될 수 있다. 게이트절연층(21)을 형성하는 방법은 도 14 및 도 15를 참조하기로 한다.
- [0132] 다음으로, 하드마스크층(14)을 제거할 수 있다. 하드마스크층(14)이 실리콘질화물을 포함하는 경우, 인산을 이용한 습식식각에 의해 제거될 수 있다. 하드마스크층(14)을 제거하는 동안에 게이트절연층(21)의 하단부가 일부 제거될 수도 있다.
- [0133] 하드마스크층(14)을 제거한 후에, 수직형 오프닝(20)의 하향 확장에 의해 제1반도체필라(13N)의 상부 표면이 노출될 수 있다. 게이트절연층(21)의 하단부는 제1반도체필라(13N)의 상부 표면으로부터 이격될 수 있다. 게이트절연층(21) 아래에 하드마스크층(14)이 제거된 공간, 즉 리세스가 형성될 수 있다.
- [0134] 도 30에 도시된 바와 같이, 수직형 오프닝(20)에 제2반도체필라(23P) 및 제3반도체필라(23N)의 스택을 형성할 수 있다. 제2반도체필라(23P) 및 제3반도체필라(23N)의 스택을 형성하는 방법은 도 16 및 도 17을 참조하기로 한다.
- [0135] 제1반도체필라(13N) 상에 제2반도체필라(23P)가 형성될 수 있고, 제2반도체필라(23P) 상에 제3반도체필라(23N)가 형성될 수 있다. 제3반도체필라(23N)의 상부 표면과 캡핑층(17)의 상부 표면은 동일 레벨일 수 있다.
- [0136] 제2반도체필라(23P)의 상부 표면은 워드라인(16)의 상부 표면과 동일 레벨이거나, 워드라인(16)의 상부 표면보다 높은 레벨일 수 있다. 제3반도체필라(23N)는 제2반도체필라(23P)보다 낮은 높이를 가질 수 있다. 제2반도체필라(23P)의 하단부는 제1반도체필라(13N)에 직접 접촉될 수 있다.
- [0137] 제3반도체필라(23N)는 제1반도체필라(13N)보다 높은 농도의 N형 도펀트를 포함할 수 있다. 제2반도체필라(23P)는 제3반도체필라(23N)보다 낮은 농도의 P형 도펀트를 포함할 수 있다. 즉, 제3반도체필라(23N)은 고농도 N형 도펀트를 포함하고, 제2반도체필라(23P)는 고농도 N형 도펀트보다 낮은 농도의 P형 도펀트를 포함할 수 있다.
- [0138] 제2반도체필라(23P)는 P형 에피택셜 실리콘(p-type epitaxial silicon)일 수 있고, 제3반도체필라(23N)는 고농도 N형 에피택셜 실리콘(highly doped n-type epitaxial silicon)일 수 있다.
- [0139] 제2반도체필라(23P) 및 제3반도체필라(23N)가 수직형 오프닝(20)을 채우므로, 수직형 오프닝(20)은 필라형 구조물로 채워질 수 있다. 제1반도체필라(13N), 제2반도체필라(23P) 및 제3반도체필라(23N)의 스택은 수직형 필라 구조물을 형성할 수 있다. 제1반도체필라(13N), 제2반도체필라(23P) 및 제3반도체필라(23N)의 스택은 실리콘물질들의 스택일 수 있다. 제1반도체필라(13N), 제2반도체필라(23P) 및 제3반도체필라(23N)의 스택은 에피택셜 실리콘들의 스택일 수 있다.
- [0140] 도 31에 도시된 바와 같이, 하위 레벨 도전라인이 형성될 수 있다. 하위 레벨 도전라인은 제2도전라인(43)을 포함할 수 있다. 제2도전라인(43)은 어느 한 방향으로 연장되는 라인 형상일 수 있다. 제2도전라인(43)은 금속-베이스 물질을 포함할 수 있다. 제2도전라인(43)은 텅스텐, 텅스텐질화물, 텅스텐실리사이드 또는 이들의 조합을 포함할 수 있다. 예를 들어, 제2도전라인(43)을 형성하기 위해 텅스텐실리사이드층 증착 및 식각이 수행될 수 있다. 제2도전라인(43)은 이웃하는 제3반도체필라(23N)들을 상호 접속시킬 수 있다.
- [0141] 제2도전라인(43)은 메모리셀어레이(MCA')에 포함되는 구성요소일 수 있다. 제2도전라인(43)과 워드라인(16)은 상호 교차하는 방향으로 연장될 수 있다. 메모리셀어레이(MCA')의 동작 동안에, 제2도전라인(43)은 비트라인의 역할을 할 수 있다.
- [0142] 상술한 바와 같이, 본 실시예는 소스라인을 형성하기 이전에, 제2도전라인(43)을 먼저 형성할 수 있다. 도 18 내지 도 24에서는 소스라인을 먼저 형성한 이후에 제2도전라인을 형성하고 있다.
- [0143] 제2도전라인(43) 상에 제1분당물질(25)이 형성될 수 있다. 제1분당물질(25)은 실리콘산화물을 포함할 수 있다. 제1분당물질(25)의 일부는 제2분리층(18)을 커버링할 수 있다.
- [0144] 제1분당물질(25)을 관통하여 제2도전라인(43)에 연결되는 제1분당패드(26)가 형성될 수 있다. 제1분당패드(26)는 금속-베이스 물질을 포함할 수 있다.
- [0145] 상술한 바와 같은 일련의 과정을 통해 메모리셀어레이(MCA')가 형성될 수 있다.
- [0146] 다음으로, 도 19 내지 도 21에 도시된 일련의 공정을 수행할 수 있다. 이에 따라, 도 32에 도시된 바와 같이, 메모리장치를 위한 기관 스택(D20)이 형성될 수 있다. 기관 스택(D20)은 주변회로부(PRP) 및 메모리셀어레이(MCA)의 스택일 수 있다. 메모리셀어레이(MCA)는 주변회로부(PRP)보다 상위 레벨에 위치할 수 있다. 메모리셀어

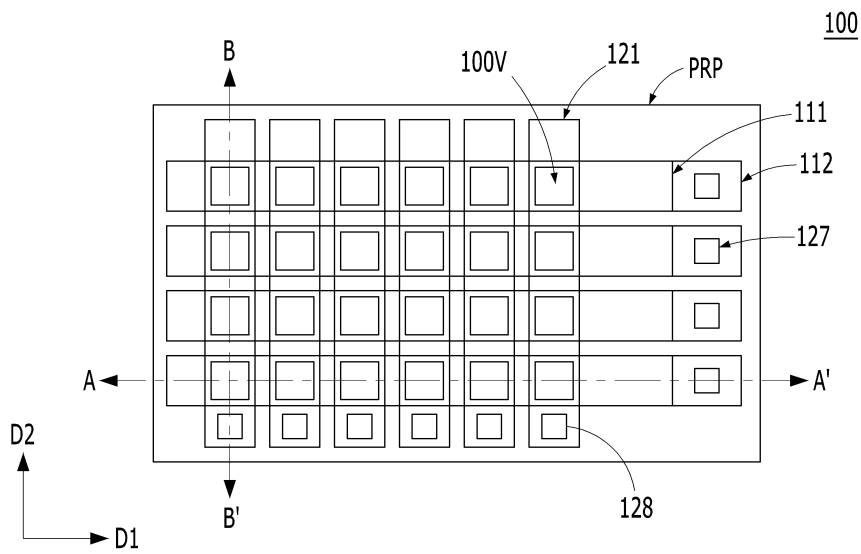




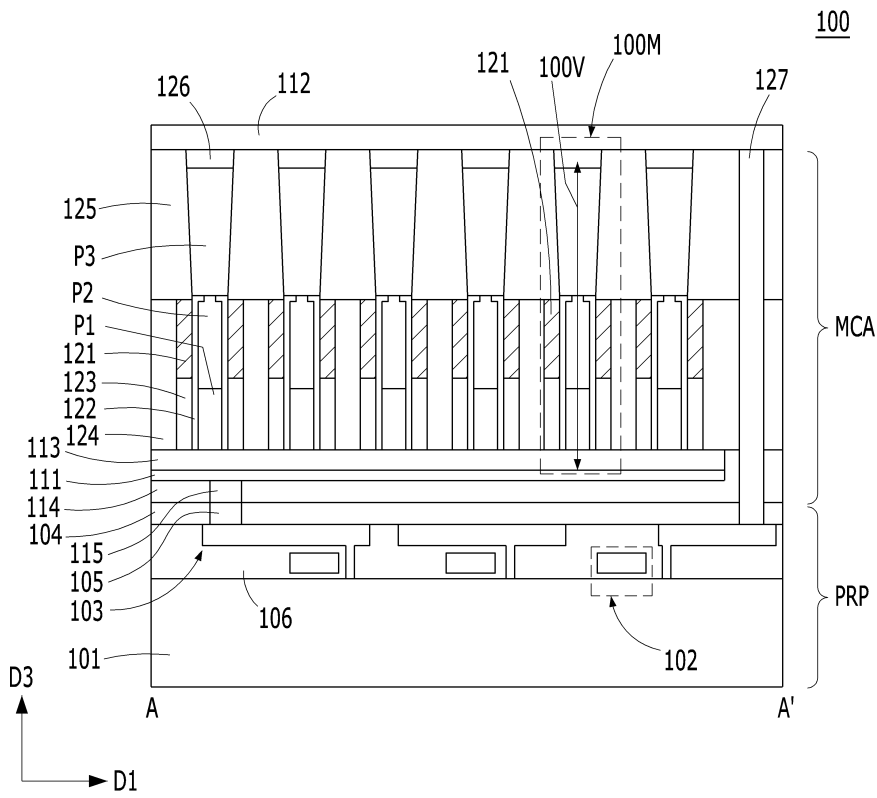
- 113 : 소스라인
- 114 : 제1분당물질
- 121 : 게이트
- 123 : 캡핑층
- 125 : 제2분리층
- 100V : 수직형 사이리스터
- PRP : 주변회로부
- 112 : 제2도전라인
- 115 : 제1분당패드
- 122 : 게이트절연층
- 124 : 제1분리층
- 100M : 메모리셀
- MCA : 메모리셀어레이

도면

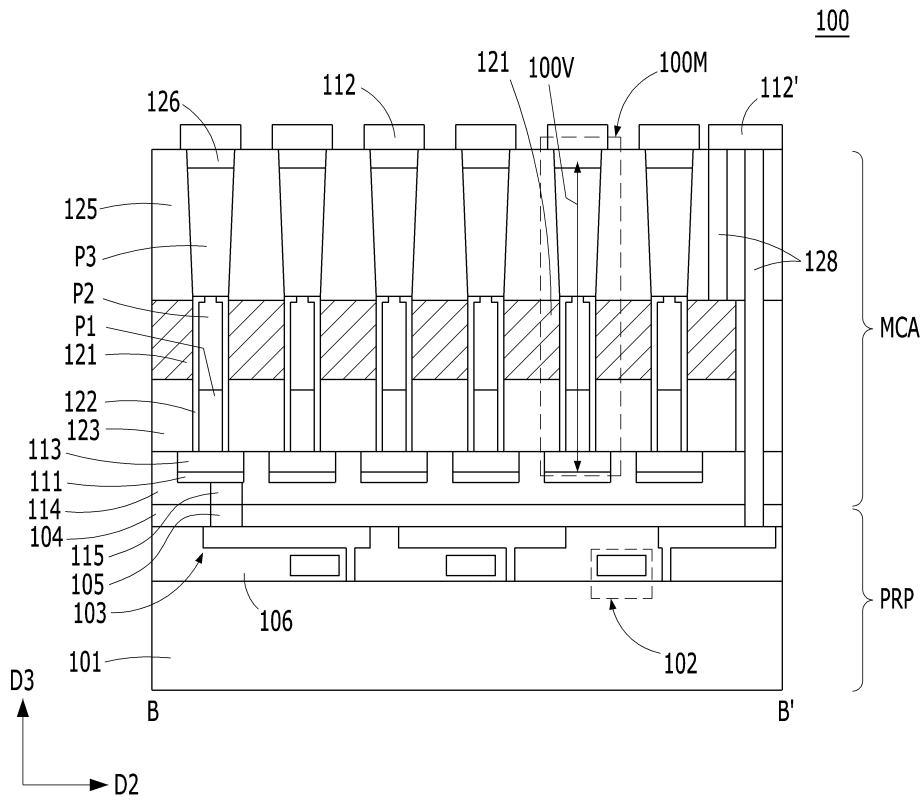
도면1



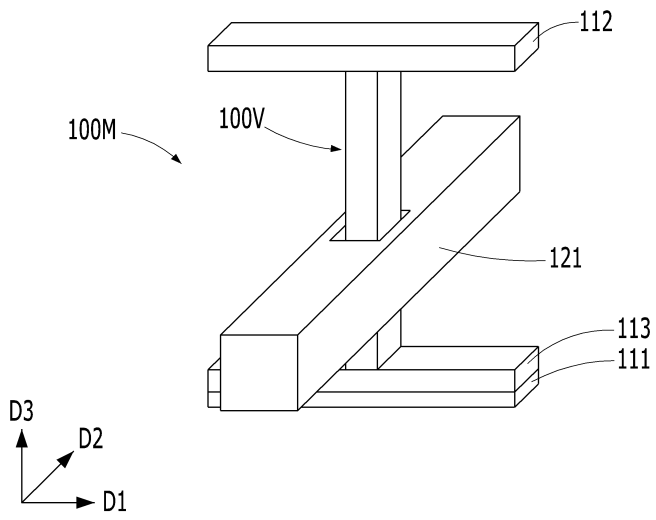
도면2



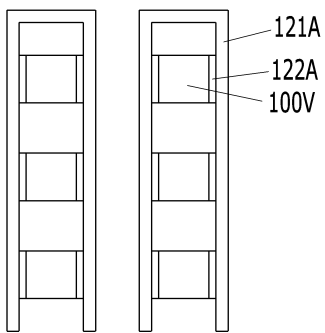
도면3



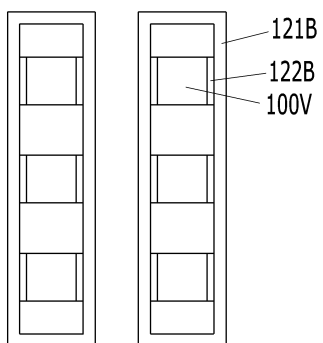
도면4



도면5a

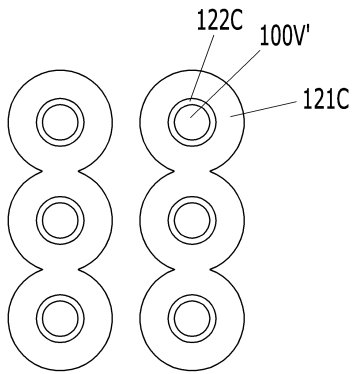


도면5b

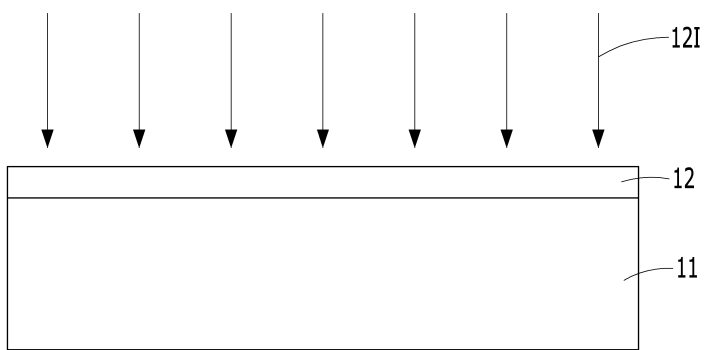




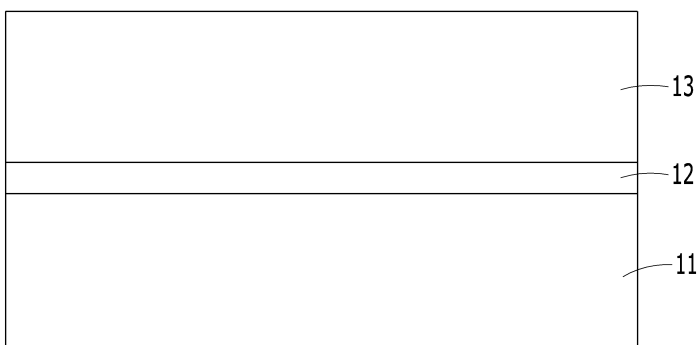
도면5c



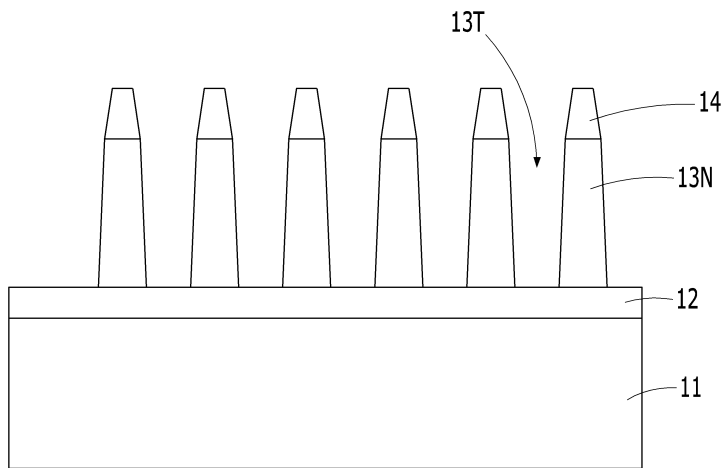
도면6



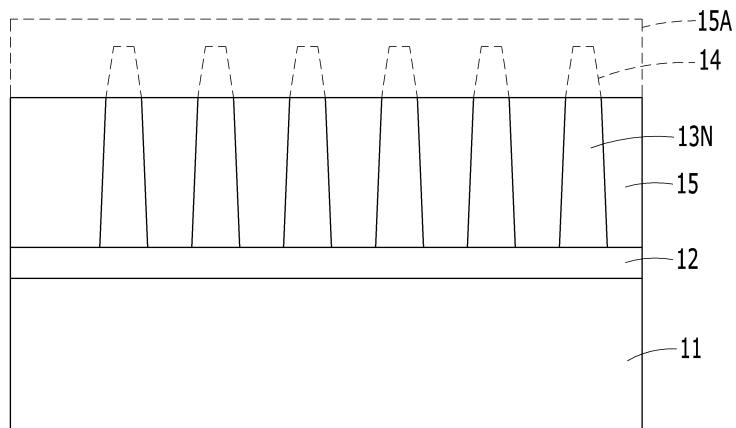
도면7



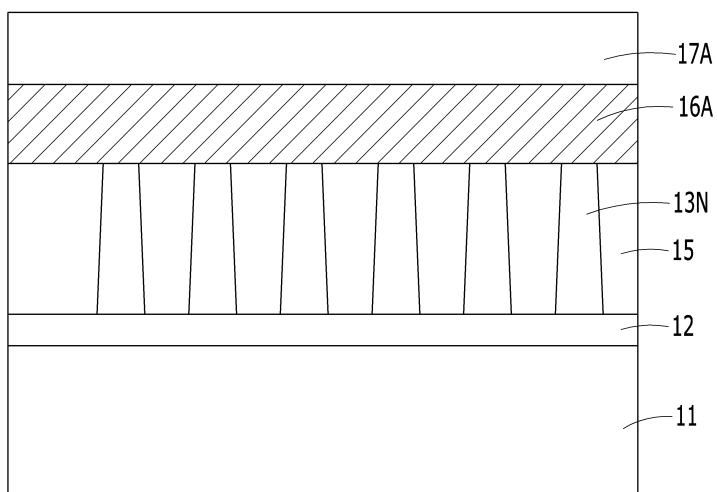
도면8



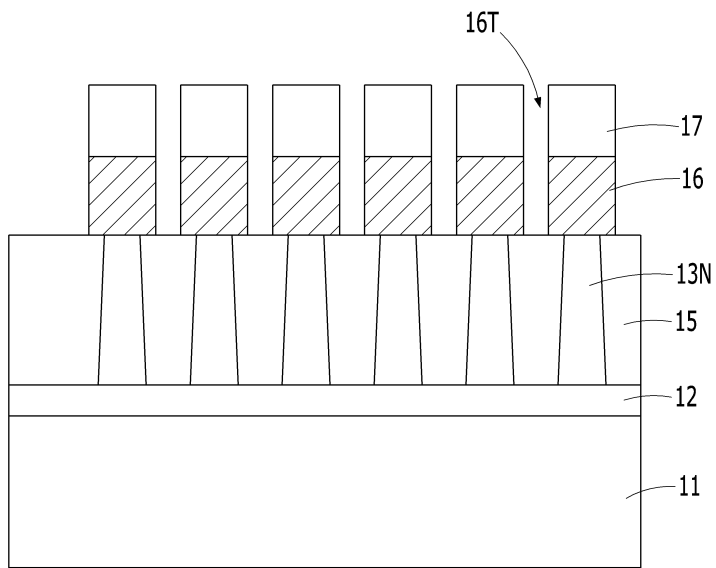
도면9



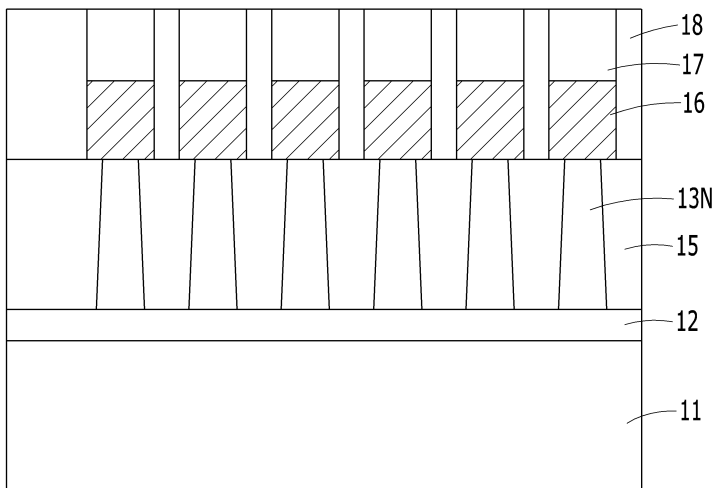
도면10



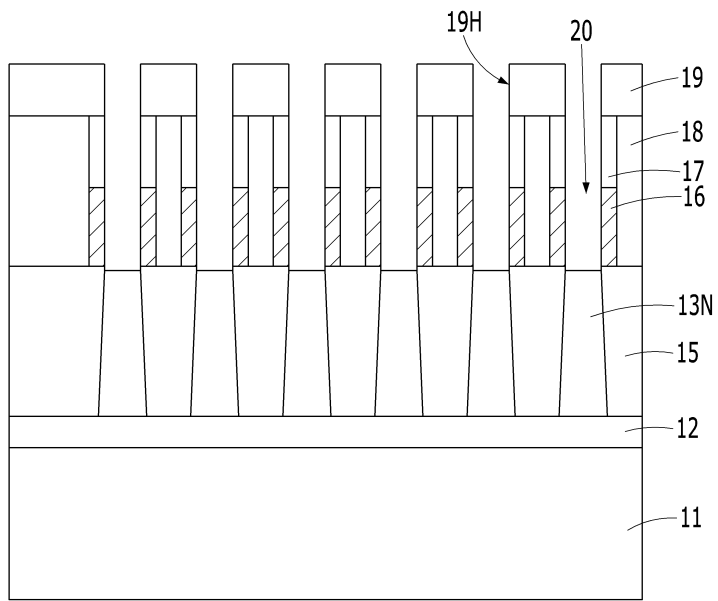
도면11



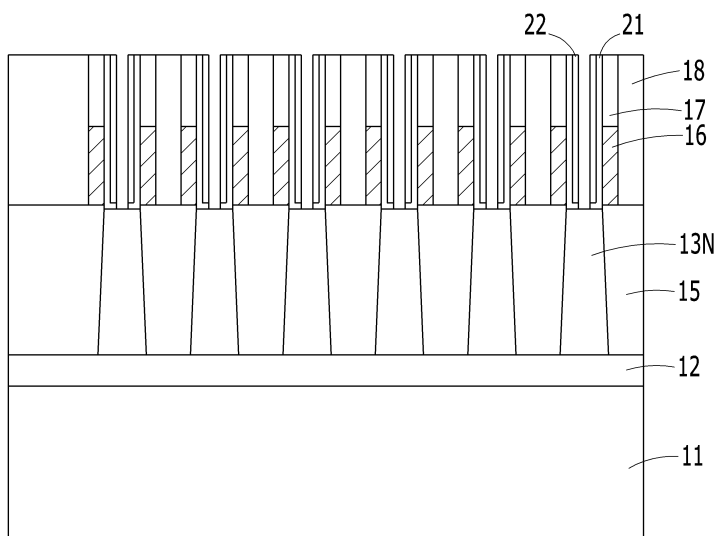
도면12



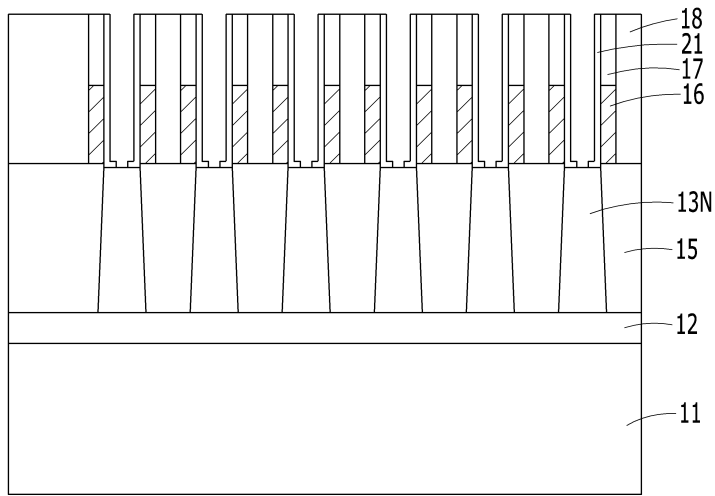
도면13



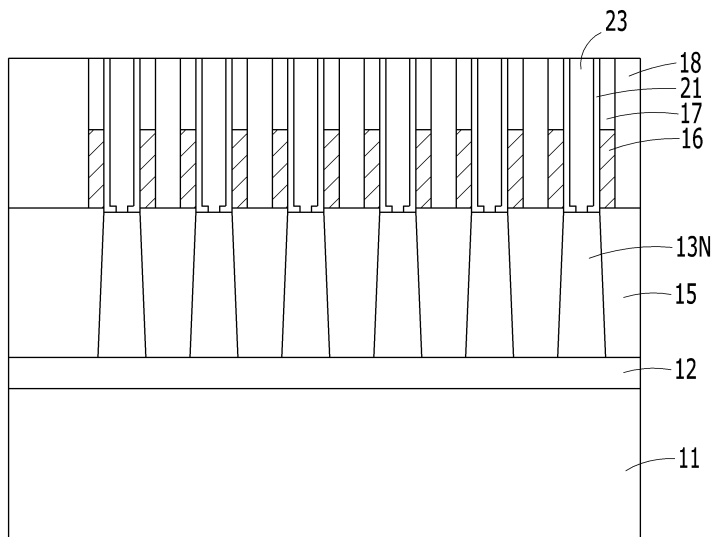
도면14



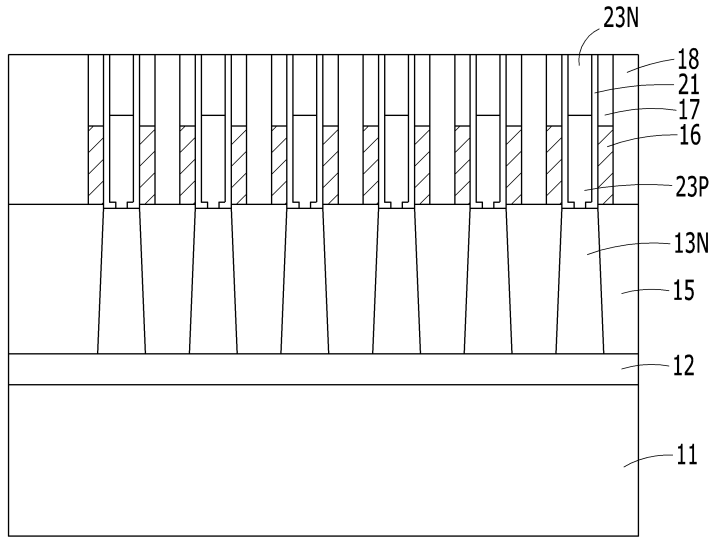
도면15



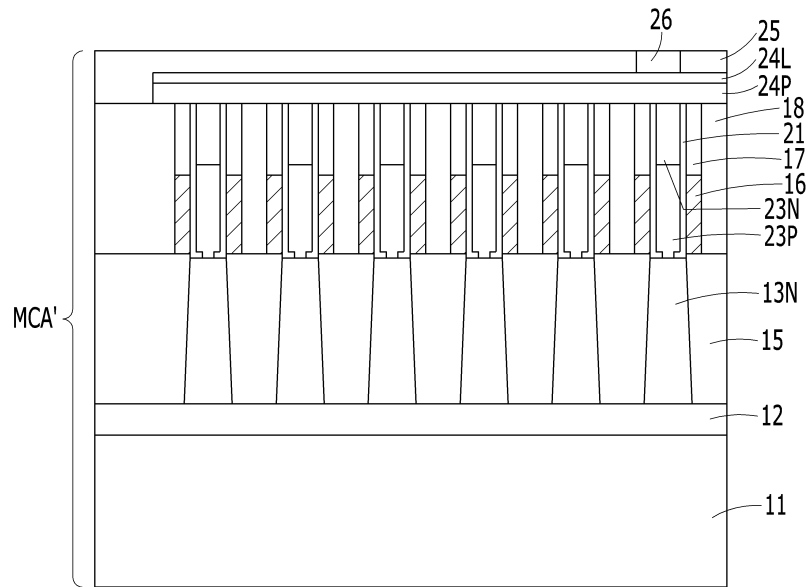
도면16



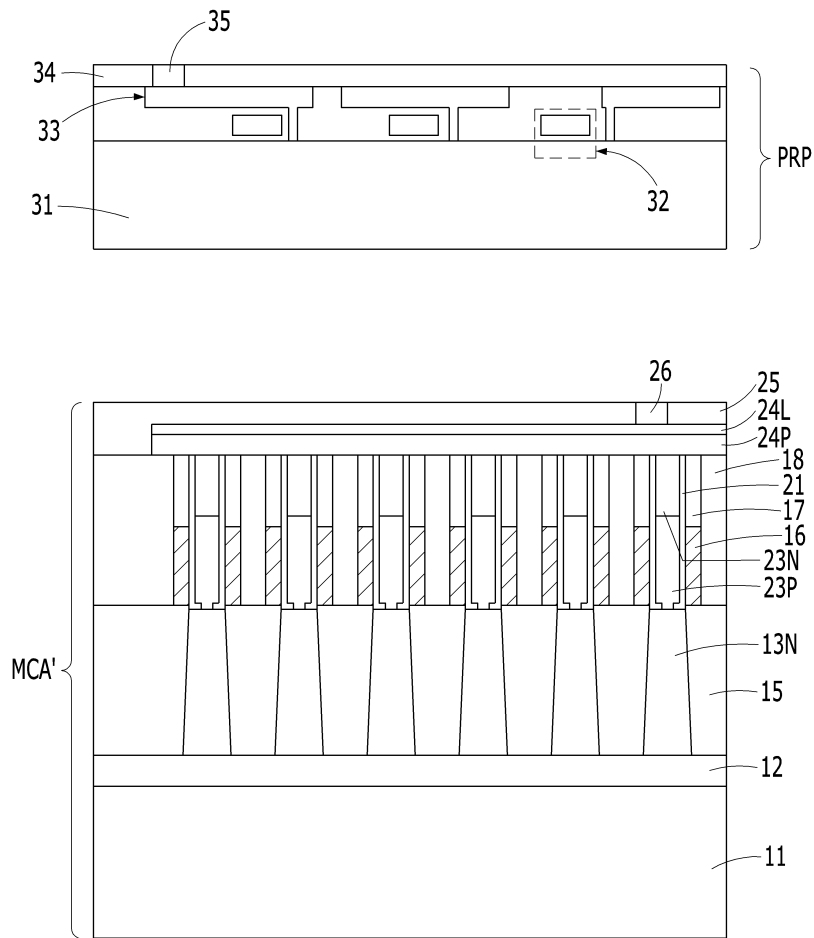
도면17



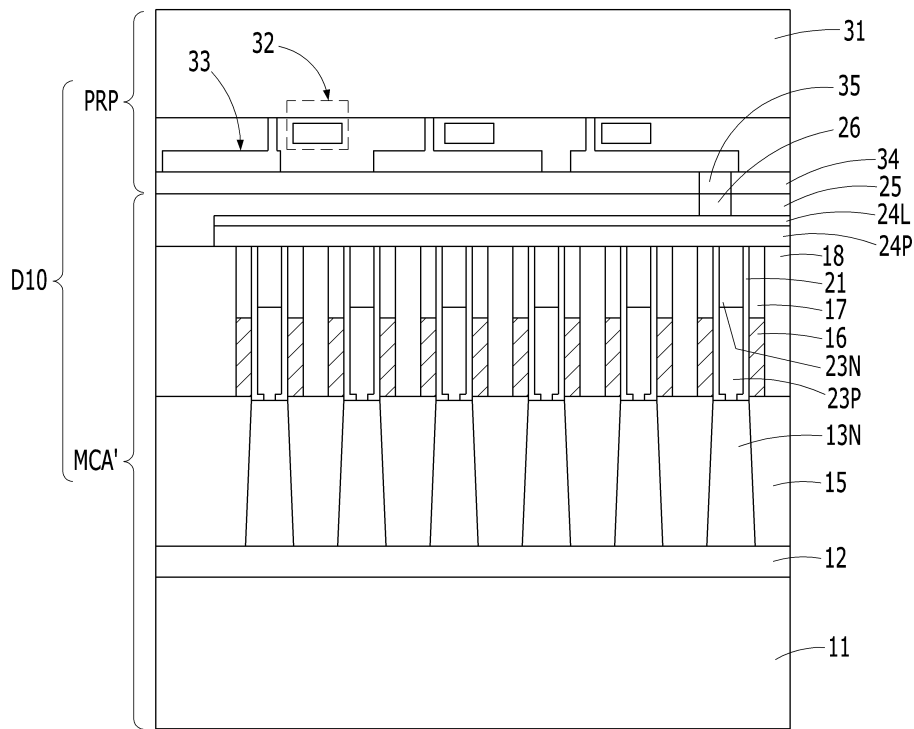
도면18



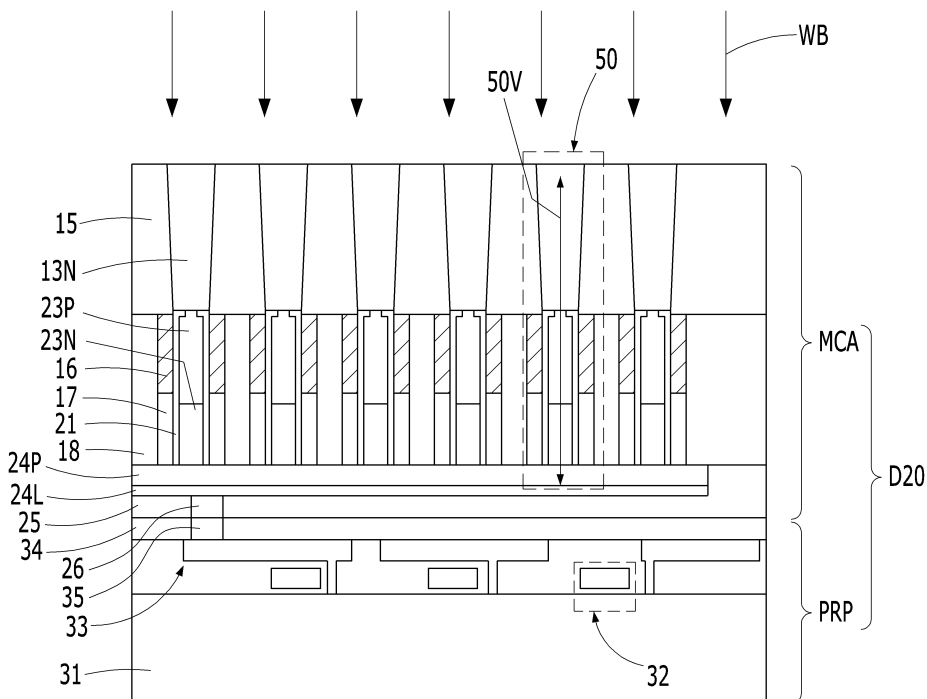
도면19



도면20

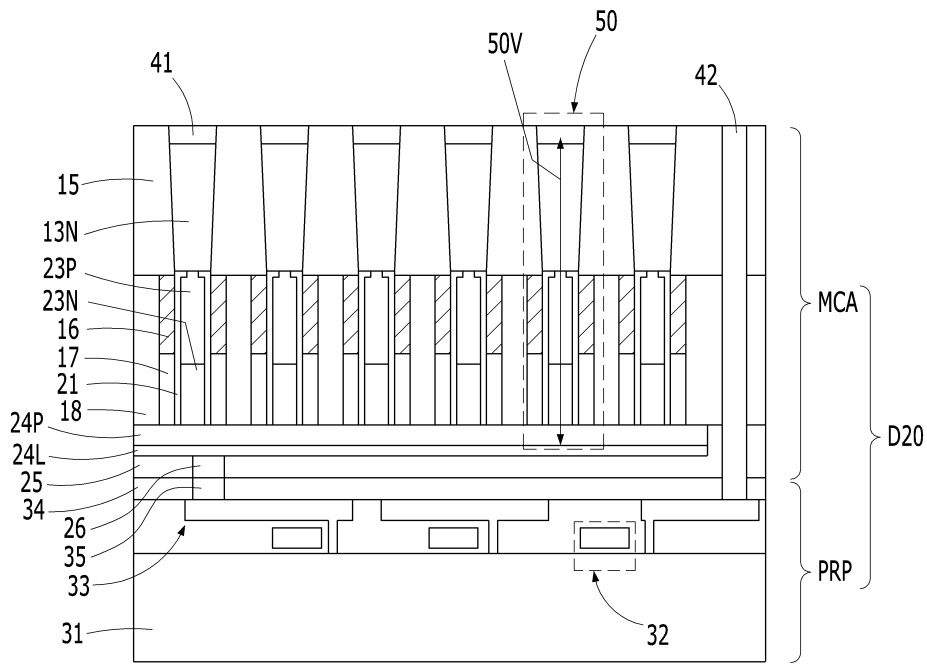


도면21

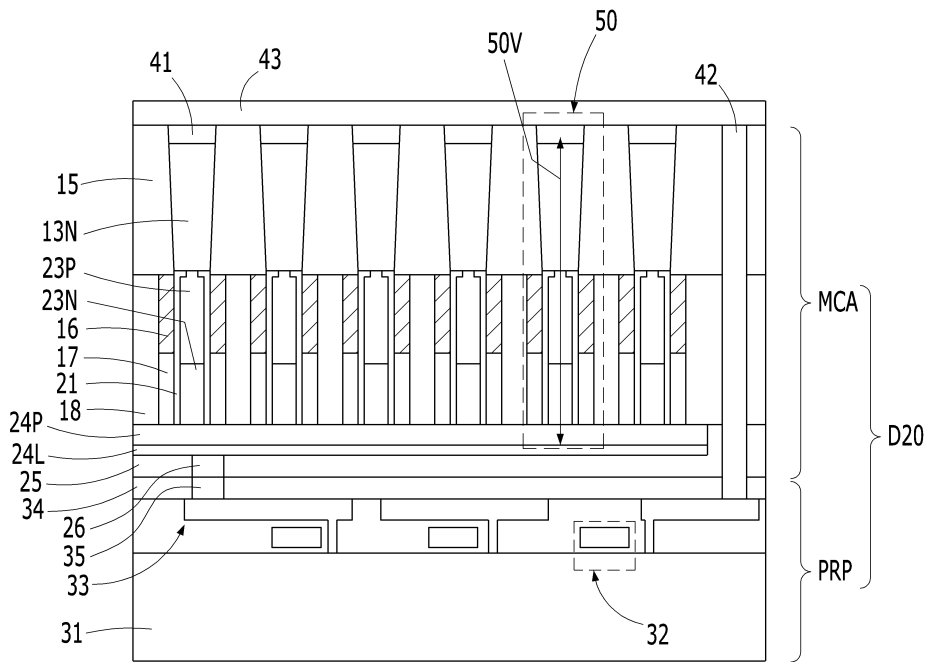




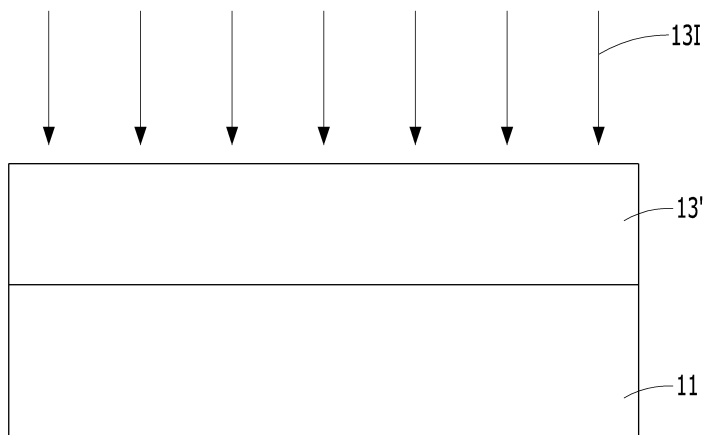
도면22



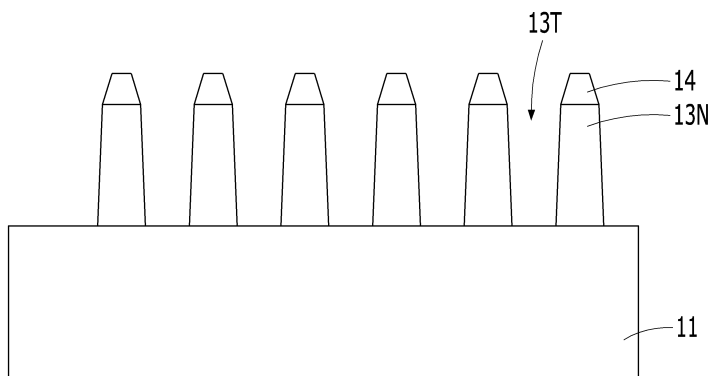
도면23



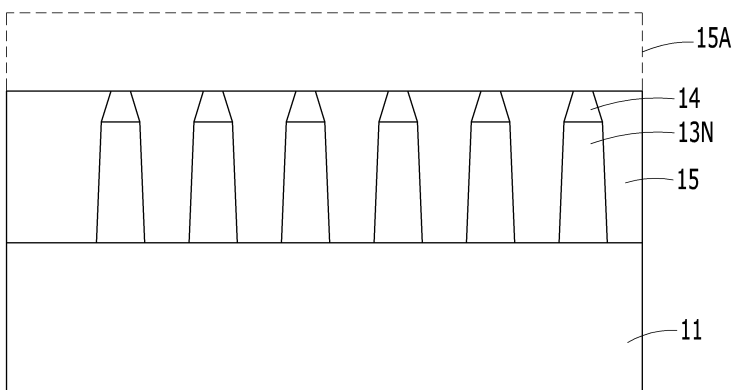
도면24



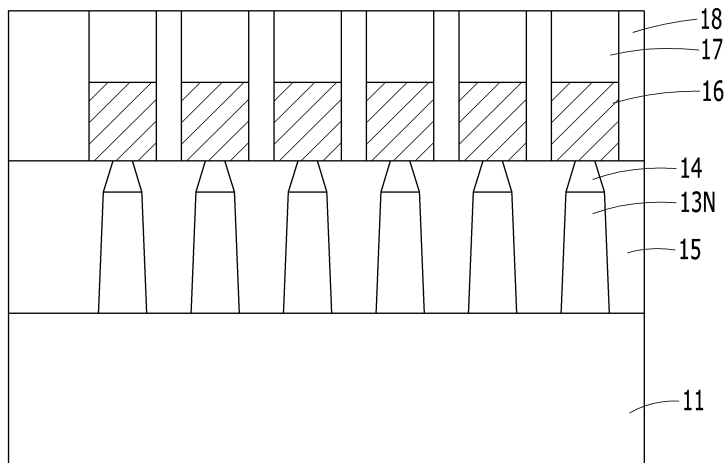
도면25



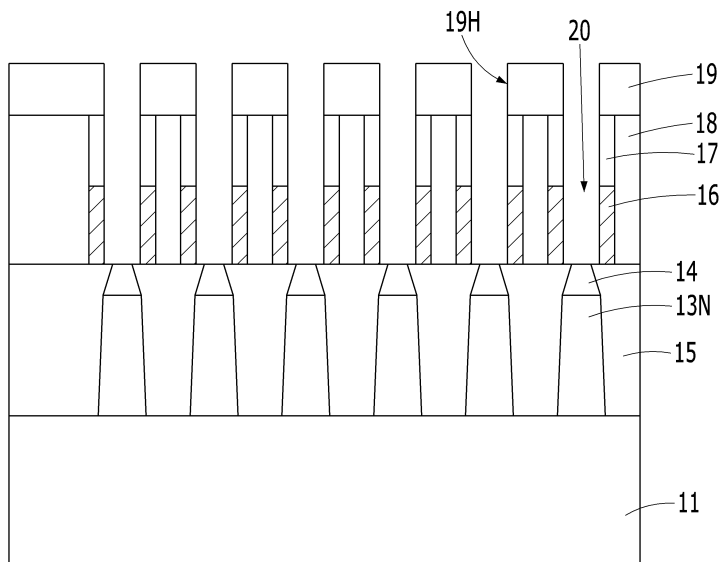
도면26



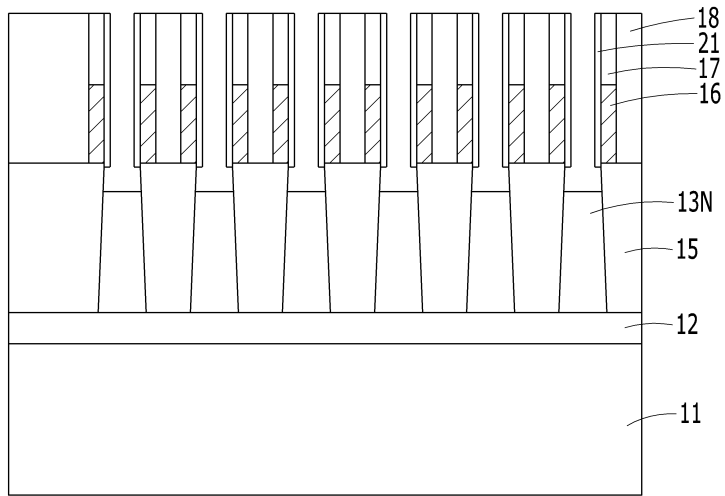
도면27



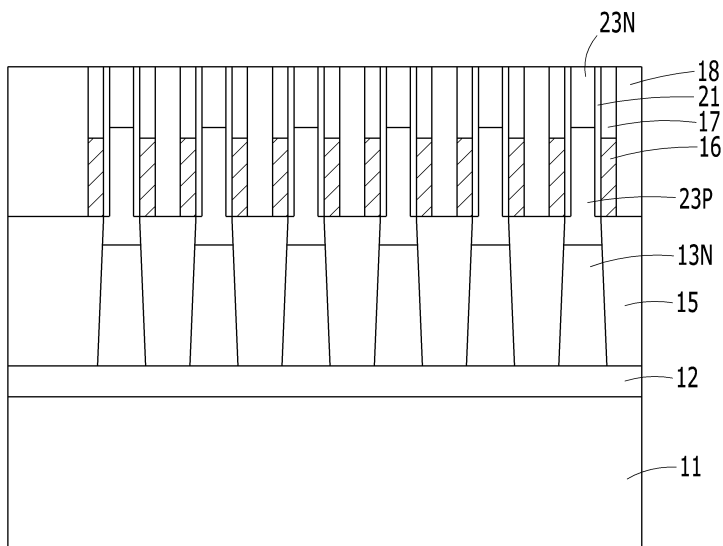
도면28



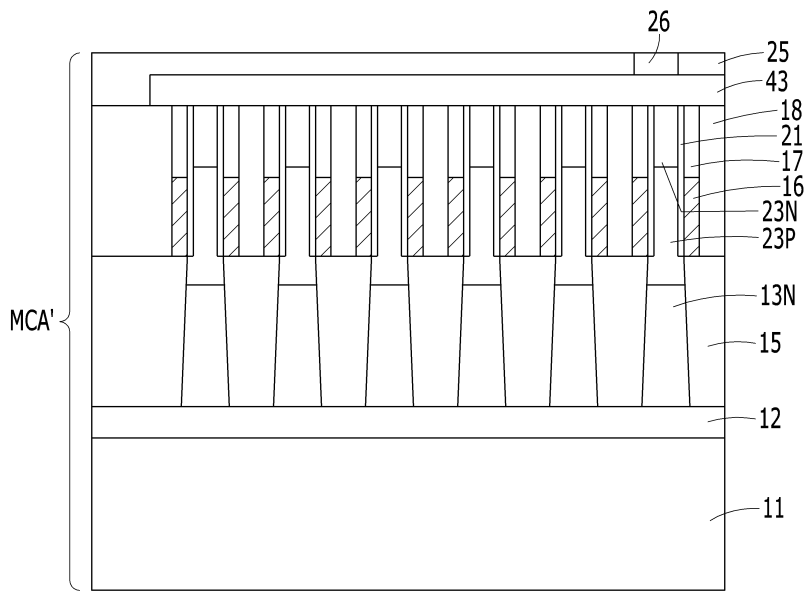
도면29



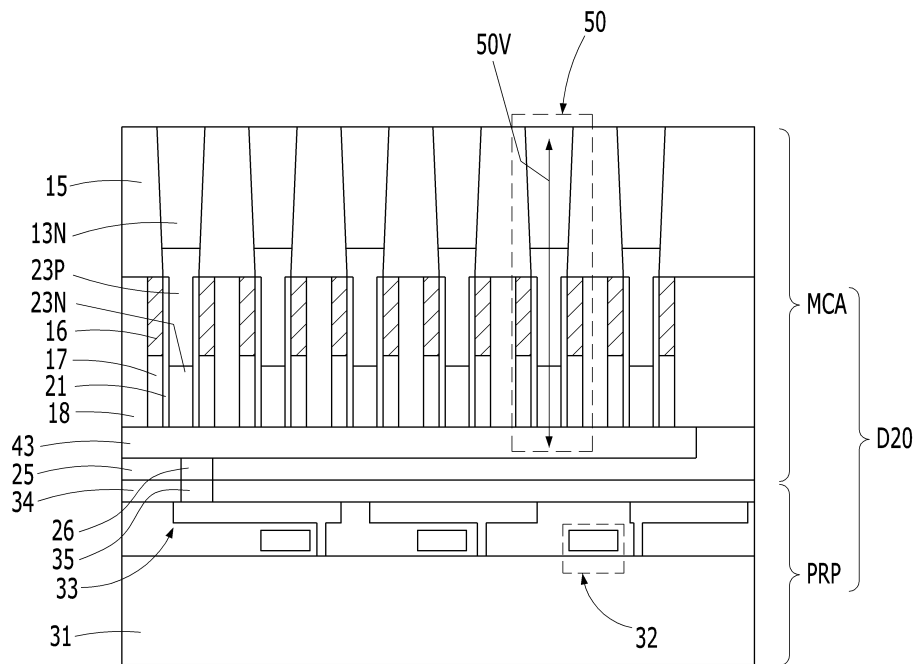
도면30



도면31



도면32



도면33

