

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4999281号  
(P4999281)

(45) 発行日 平成24年8月15日(2012.8.15)

(24) 登録日 平成24年5月25日(2012.5.25)

(51) Int.Cl.	F I
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J
<b>G09G 3/20 (2006.01)</b>	G09G 3/30 K
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 611H
	G09G 3/20 642A
	G09G 3/20 641D
請求項の数 4 (全 12 頁) 最終頁に続く	

(21) 出願番号	特願2005-92588 (P2005-92588)	(73) 特許権者	000001889
(22) 出願日	平成17年3月28日(2005.3.28)		三洋電機株式会社
(65) 公開番号	特開2006-276253 (P2006-276253A)		大阪府守口市京阪本通2丁目5番5号
(43) 公開日	平成18年10月12日(2006.10.12)	(74) 代理人	100075258
審査請求日	平成20年2月18日(2008.2.18)		弁理士 吉田 研二
		(74) 代理人	100096976
			弁理士 石田 純
		(72) 発明者	池田 恭二
			大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		審査官	佐野 潤一
最終頁に続く			

(54) 【発明の名称】 有機EL画素回路

(57) 【特許請求の範囲】

【請求項1】

電源と有機EL素子との間に直列に接続され、制御端の電位に応じた駆動電流を前記電源から前記有機EL素子に流す駆動トランジスタと、  
 前記駆動トランジスタと前記有機EL素子との間に直列に接続され、発光セットラインによって制御され、前記駆動トランジスタの前記駆動電流をオンオフする駆動制御トランジスタと、  
 前記駆動トランジスタと前記駆動制御トランジスタの間に一端が接続され、前記駆動トランジスタの制御端に他端が接続され、前記駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタと、  
 データラインからのデータ信号を前記駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、  
 この選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された容量と、  
 この容量の前記選択トランジスタ側と、前記発光セットラインとの間の接続をオンオフする電位制御トランジスタと、を有し、  
前記発光セットラインには前記電源の電圧とは独立した電圧が供給され、  
前記短絡トランジスタおよび前記選択トランジスタがオンされている期間に、前記電位制御トランジスタおよび前記駆動制御トランジスタをオフし、  
前記短絡トランジスタおよび前記選択トランジスタがオフされた後に、前記電位制御トランジスタ

ンジスタをオンすることにより、前記発光セットラインに供給される電圧により前記駆動トランジスタの制御端の電圧をシフトさせ、更に前記駆動制御トランジスタをオンすることにより、このシフトした電圧に応じて前記駆動トランジスタに前記有機 E L 素子の駆動電流を流すことを特徴とする有機 E L 画素回路。

【請求項 2】

請求項 1 に記載の回路において、

前記選択トランジスタの制御端に接続され、前記選択トランジスタのオンオフを制御する制御ラインを有し、

この制御ラインには、前記電位制御トランジスタの制御端も接続され、かつ前記選択トランジスタと、前記電位制御トランジスタは、相補的にオンオフされることを特徴とする有機 E L 画素回路。

10

【請求項 3】

請求項 2 に記載の回路において、

前記制御ラインには、前記短絡トランジスタの制御端も接続され、かつ前記選択トランジスタと、前記短絡トランジスタは、同時にオンオフされることを特徴とする有機 E L 画素回路。

【請求項 4】

請求項 1 ~ 3 のいずれか 1 つに記載の回路において、

前記発光セットラインは、前記制御ラインによって選択トランジスタがオンされた後に、発光制御トランジスタをオフする電圧にセットされ、前記制御ラインによって選択トランジスタがオフされた後に、発光制御トランジスタをオンする電圧にセットされることを特徴とする有機 E L 画素回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

有機 E L 素子へ供給する駆動電流をデータ信号に応じて制御する有機 E L 画素回路に関する。

【背景技術】

【0002】

自発光素子であるエレクトロルミネッセンス (Electroluminescence : 以下 E L ) 素子を各画素に発光素子として用いた E L 表示装置は、自発光型であると共に、薄く消費電力が小さい等の有利な点があり、液晶表示装置 ( L C D ) や C R T などの表示装置に代わる表示装置として注目されている。

30

【0003】

特に、E L 素子を個別に制御する薄膜トランジスタ ( T F T ) などのスイッチ素子を各画素に設け、画素毎に E L 素子を制御するアクティブマトリクス型 E L 表示装置では、高精細な表示が可能である。

【0004】

このアクティブマトリクス型 E L 表示装置では、基板上に複数本のゲートラインが行 ( 水平 ) 方向に延び、複数本のデータライン及び電源ラインが列 ( 垂直 ) 方向に延びており、各画素は有機 E L 素子と、選択 T F T 、駆動用 T F T 及び保持容量を備えている。ゲートラインを選択することで選択 T F T をオンし、データライン上のデータ電圧 ( 電圧ビデオ信号 ) を保持容量に充電し、この電圧で駆動 T F T をオンして電源ラインからの電力を有機 E L 素子に流している。

40

【0005】

【特許文献 1】特表 2 0 0 2 - 5 1 4 3 2 0 公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

50

しかし、このような画素回路において、マトリクス状に配置された画素回路の駆動TFTのしきい値電圧がばらつくこと、輝度がばらつくことになり、表示品質が低下するという問題がある。そして、表示パネル全体の画素回路を構成するTFTについて、その特性を同一にすることは難しく、そのオンオフのしきい値がばらつくことを防止することは難しい。

【0007】

そこで、駆動TFTにおけるしきい値のバラツキの表示に対する影響を防止することが望まれる。

【0008】

ここで、TFTのしきい値の変動への影響を防止するための回路については、従来より各種の提案がある（例えば、上記特許文献1）。

【0009】

しかし、この提案では、しきい値変動の補償をするための回路を必要とする。従って、このような回路を用いると、画素回路の素子数が増加し、開口率が小さくなってしまいう問題があった。また、補償のための回路を追加した場合、画素回路を駆動するための周辺回路についても変更が必要となるという問題もあった。

【0010】

本発明は、効果的に駆動トランジスタのしきい値電圧の変動を補償できる画素回路を提供する。

【課題を解決するための手段】

【0011】

本発明は、制御端の電位に応じた駆動電流を電源から有機EL素子に流す駆動トランジスタと、発光セットラインによって制御され、前記駆動トランジスタの前記駆動電流をオンオフする駆動制御トランジスタと、前記駆動トランジスタをダイオード接続するか否かを制御する短絡トランジスタと、データラインからのデータ信号を前記駆動トランジスタの制御端へ供給するか否かを制御する選択トランジスタと、この選択トランジスタと、前記駆動トランジスタの制御端との間に挿入配置された容量と、この容量の前記選択トランジスタ側と、前記発光セットラインとの間の接続をオンオフする電位制御トランジスタと、を有することを特徴とする。

【0012】

また、前記選択トランジスタの制御端に接続され、前記選択トランジスタのオンオフを制御する制御ラインを有し、この制御ラインには、前記電位制御トランジスタの制御端も接続され、かつ前記選択トランジスタと、前記電位制御トランジスタは、相補的にオンオフされることが好適である。

【0013】

また、前記制御ラインには、前記短絡トランジスタの制御端も接続され、かつ前記選択トランジスタと、前記短絡トランジスタは、同時にオンオフされることが好適である。

【0014】

また、前記発光セットラインは、前記制御ラインによって選択トランジスタがオンされた後に、発光制御トランジスタをオフする電圧にセットされ、前記制御ラインによって選択トランジスタがオフされた後に、発光制御トランジスタをオンする電圧にセットされることが好適である。

【発明の効果】

【0015】

以上のように、本発明によれば、選択トランジスタをオンした状態で、短絡トランジスタをオンすることによって、駆動トランジスタの制御端電圧をデータ電圧および駆動トランジスタのしきい値電圧に応じたものにセットすることができる。従って、駆動トランジスタのしきい値電圧の変動によらず、データ電圧に応じた駆動電流を有機EL素子に供給することができる。

【0016】

10

20

30

40

50

また、電位制御トランジスタの一端は、発光セットラインに接続されている。発光セットラインは、所定の電源からの電圧がセットされるため、その電圧は有機EL素子に流れる電流などの影響を基本的に受けず安定している。そこで、駆動トランジスタの制御端電圧を正確にセットすることができる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施形態について、図面に基づいて説明する。

【0018】

図1は、実施形態に係る画素回路の構成を示している。データラインDLは、垂直方向に伸び、画素の表示輝度についてのデータ信号(データ電圧Vsig)を画素回路に供給する。データラインDLは、1列の画素に対し1本設けられており、垂直方向の画素に対し、その画素のデータ電圧Vsigを順次供給する。

10

【0019】

このデータラインDLには、nチャンネルの選択トランジスタT1のドレインが接続されており、この選択トランジスタT1のソースは、コンデンサCsの一端に接続されている。選択トランジスタT1のゲートは、水平方向に伸びるゲートラインGLに接続されている。このゲートラインGLには、水平方向の各画素回路の選択トランジスタT1のゲートが接続されている。

【0020】

このゲートラインGLには、pチャンネルの電位制御トランジスタT2のゲートが接続されている。従って、選択トランジスタT1がオンの時に電位制御トランジスタT2がオフ、選択トランジスタT1がオフの時に電位制御トランジスタT2がオンとなる。電位制御トランジスタT2のソースは発光セットラインESに接続され、ドレインはコンデンサCsと選択トランジスタT1のソースに接続されている。

20

【0021】

コンデンサCsの他端は、pチャンネルの駆動トランジスタT4のゲートに接続されている。駆動トランジスタT4のソースは電源ラインPvdに接続され、ドレインはnチャンネルの駆動制御トランジスタT5のドレインに接続されている。駆動制御トランジスタT5のソースは、有機EL素子ELのアノードに接続されており、ゲートは、水平方向に伸びる発光セットラインESに接続されている。また、有機EL素子ELのカソードは、低電圧のカソード電源CVに接続されている。なお、電源ラインPvdも垂直方向に伸びており、垂直方向の各画素に電源電圧Pvdを供給する。

30

【0022】

さらに、駆動トランジスタT4のゲートには、nチャンネルの短絡トランジスタT3のドレインが接続されており、この短絡トランジスタT3のソースは、駆動トランジスタT4のドレインに、またゲートは、ゲートラインGLに接続されている。

【0023】

このように、本実施形態では、垂直方向にデータラインDLと、電源ラインPvdが配置され、水平方向にゲートラインGLと、発光セットラインESが配置されている。

【0024】

次に、この画素回路の動作について、説明する。

40

【0025】

図2に示すように、この画素回路は、ゲートラインGL、発光セットラインESの状態(Hレベル、Lレベル)に応じて、(i)ディスチャージ(GL=Hレベル、ES=Hレベル)、(ii)リセット(GL=Hレベル、ES=Lレベル)、(iii)電位固定(GL=Lレベル、ES=Lレベル)、(iv)発光(GL=Lレベル、ES=Hレベル)の4つの状態があり、これを繰り返す。すなわち、各データラインに点順次でデータ電圧をセットし、データラインDLのデータを有効にした状態で、(i)ディスチャージを行い、その後(ii)リセットによって、コンデンサCsの充電電圧を決定し、(iii)においてゲート電圧Vgを固定し、(v)固定されたゲート電圧に応じた駆動電流で有機

50

EL素子ELが発光する。

【0026】

また、データラインDLにおけるデータは、図に示すように、(i)ディスチャージ工程の前に有効になり、(iii)固定工程の後に無効になる。従って、(i)ディスチャージ工程から(iii)固定工程まではデータラインに有効なデータがセットされている。

【0027】

以下、それぞれの状態について、説明する。

【0028】

(i)ディスチャージ(GL = Hレベル, ES = Hレベル)

10

まず、データラインDLにデータ電圧Vsigが供給されている状態で、ゲートラインGL、発光セットラインESの両方をHレベルにする。これによって、選択トランジスタT1、駆動制御トランジスタT5、短絡トランジスタT3がオン、電位制御トランジスタT2がオフとなる。従って、図3に示すように、コンデンサCsの選択トランジスタT1側の電圧Vn = Vsigという状態で、電源ラインPvdから電流が駆動トランジスタT4、駆動制御トランジスタT5、有機EL素子ELを介した電源CVに流れ、これによって駆動トランジスタT4のゲートに保持されていた電荷が引き抜かれる。これによって、駆動トランジスタT4のゲート電圧Vgは、所定の低電圧になる。

【0029】

(ii)リセット(GL = Hレベル, ES = Lレベル)

20

上述のディスチャージの状態から発光セットラインESをLレベル(ローレベル)に変更する。これによって、図4に示すように、駆動制御トランジスタT5がオフとなり、駆動トランジスタT4のゲート電圧Vg = Vg0 = Pvd - |Vtp|にリセットされる。ここで、このVtpは、駆動トランジスタT4のしきい値電圧である。すなわち、駆動トランジスタT4はソースが電源Pvdに接続されている状態で、短絡トランジスタT3によって、ゲートドレイン間が短絡されているため、そのゲート電圧が、電源Pvdより駆動トランジスタT4のしきい値電圧|Vtp|だけ低い電圧にセットされてオフされる。このときコンデンサCsの選択トランジスタT1側の電位Vn = Vsigであり、コンデンサCsには|Vsig - (Pvd - |Vtp|)|の電圧が充電される。

【0030】

30

(iii)電位固定(GL = Lレベル, ES = Lレベル)

次に、ゲートラインGLをLレベルとして、選択トランジスタT1、短絡トランジスタT3をオフ、電位制御トランジスタT2をオンする。このとき、発光セットラインESの電圧は、Lレベルであり、ゲートラインGLのLレベルの電圧VVBと同一の電圧に設定されている。従って、Vsig > Vn > VVBであり、選択トランジスタT1がオフにならなければ、電位制御トランジスタT2はオンしない。このように、選択トランジスタT1がオフした後に、電位制御トランジスタT2がオンするため、コンデンサCsに充電された電圧は維持され、データ電圧が破壊されることはない。

【0031】

そして、選択トランジスタT1がオフし、電位制御トランジスタT2がオンすることで、図5に示すように、駆動トランジスタT4のゲートは、ドレインから切り離され、一方電位制御トランジスタT2がオンすることで、Vnは、発光セットラインES = VVBに、電位制御トランジスタT2のしきい値電圧|VtpT2|を加算した電圧になる( $Vn = VVB + |VtpT2|$ )。

40

【0032】

(iv)発光(GL = Lレベル, ES = Hレベル)

次に、発光セットラインESをHレベルにすることによって、図6に示すように、駆動制御トランジスタT5がオンする。また、発光セットラインESの電位がPvdにセットされることで、駆動トランジスタT4のゲート電位がPvd - VVBだけ、シフト

50

する。なお、このときの電圧シフト量は、駆動トランジスタT4のゲート容量Cpの影響を受ける。

【0033】

このように、電圧がシフトされ、駆動制御トランジスタT5がオンすることで駆動トランジスタT4からの駆動電流が有機EL素子ELに流れる。このときの駆動電流は、駆動トランジスタT4のゲート電圧によって決定される、駆動トランジスタT4のドレイン電流となるが、このドレイン電流は駆動トランジスタT4のしきい値電圧Vtpとは、関係ないものとなり、しきい値電圧の変動に伴う発光量の変動を抑えることができる。

【0034】

また、電位制御トランジスタT2のドレインは、発光セットラインESに接続されている。この発光セットラインESは、Hレベルの際に電源電圧PVddにセットされるが、この発光セットラインESは、有機EL素子ELに電流を供給する電源供給ラインPVddとは、独立して電源電圧PVddの供給を受ける。従って、各画素における有機EL素子ELの駆動電流によって、発光セットラインESの電圧が変動することはほとんどない。従って、電位制御トランジスタT2を介しコンデンサCsの一端に供給されるシフト用の電圧が変動して表示が乱れることを防止できる。

10

【0035】

例えば、電圧シフト量Vgは後述するように、 $Vg = Cs(Vsig - PVdd) / (Cs + Cp)$ で表され、PVddを含んでいる。従って、PVddが変動すると、Vgは変化するが、本実施形態ではこの変化が抑制される。特に、画素数が増えた場合には、このPVddの変化が、クロストークや輝度勾配発生の原因になるが、本実施形態によれば、これらの表示への影響を抑制することができる。

20

【0036】

これについて図7に基づいて説明する。

【0037】

上述のように、(ii)リセット後は、図において、示したように、 $Vn (= Vsig)$ は、 $Vsig(max) \sim Vsig(min)$ の間の値であり、VgはPVddから駆動トランジスタT4のしきい値電圧Vtpだけ減じた電圧Vg0となる。すなわち、 $Vg = Vg0 = PVdd + Vtp$  ( $Vtp < 0$ )、 $Vn = Vsig$ である。

30

【0038】

そして、(iii)の電位固定の後、発光セットラインESがHレベル(PVdd)になると、Vnは、VsigからPVddまで変化するので、その変化量Vgは、Cs、Cpの容量を考慮して、 $Vg = Cs(PVdd - Vsig) / (Cs + Cp)$ と表せる。

【0039】

よって、Vn、Vgは、図において示したように、 $Vn = PVdd$ 、 $Vg = Vtp + Vg = PVdd + Vtp + Cs(PVdd - Vsig) / (Cs + Cp)$ となる。

【0040】

ここで、 $Vgs = Vg - PVdd$ であるので、 $Vgs = Vtp + Cs(PVdd - Vsig) / (Cs + Cp)$ となる。

40

【0041】

一方、ドレイン電流Iは、 $I = (1/2) \mu Gw (Vgs - Vtp)^2$ と表され、上式を代入することによって、ドレイン電流Iは次のように表される。

$$\begin{aligned} I &= (1/2) \mu Gw \{Vtp + Cs(PVdd - Vsig) / (Cs + Cp) - Vtp\}^2 \\ &= (1/2) \mu Gw \{Cs(PVdd - Vsig) / (Cs + Cp)\}^2 \\ &= (1/2) \mu Gw (Vsig - PVdd)^2 \end{aligned}$$

ここで、 $\beta = \{Cs / (Cs + Cp)\}^2$ 、 $\beta$ は駆動トランジスタT4増幅率であり、 $\mu$ はキャリアの移動度、 $\beta$ は誘電率、Gwはゲート幅、Glはゲート長である。

【0042】

50

このように、ドレイン電流  $I$  の式には、 $V_{tp}$  は含まれず、 $V_{sig} - PV_{dd}$  の 2 乗に比例することになる。従って、駆動トランジスタ  $T_4$  のしきい値電圧のバラツキの影響を排除してデータ電圧  $V_{sig}$  に応じた発光を達成することができる。

【0043】

上述の説明では、1 画素についての動作についてのみ説明した。実際には、表示パネルは、マトリクス状に画素が配置されており、これらのそれぞれについて対応する輝度信号に応じたデータ電圧  $V_{sig}$  を供給して各有機 EL 素子を発光させる。すなわち、図 8 に示すように、表示パネルには、水平スイッチ回路  $H_{SR}$  と、垂直スイッチ  $V_{SR}$  が設けられており、これらの出力によってデータライン  $D_L$ 、ゲートライン  $G_L$ 、その他発光セットライン  $E_S$  などの状態が制御される。特に、水平方向の各画素には、1 つのゲートライン  $G_L$  が対応づけられており、このゲートライン  $G_L$  は垂直スイッチ  $V_{SR}$  によって、1 つずつ順に活性化される。次に、1 つのゲートライン  $G_L$  が活性化される 1 水平期間に、水平スイッチ  $H_{SR}$  によってすべてのデータライン  $D_L$  にデータ電圧が点順次で供給され、これが 1 水平ライン分の画素回路にデータが書き込まれる。そして、各画素回路において、1 垂直期間後まで書き込まれたデータ電圧に応じた発光がされる。

10

【0044】

次に、1 水平ライン内の各画素に対するデータの書き込み手順について、図 9 に基づいて説明する。

【0045】

まず、1 水平期間の開始を示すイネーブル信号  $E_{NB}$  の L レベルの後に、すべてのデータライン  $D_L$  に順次データ電圧  $V_{sig}$  を書き込む。すなわち、データライン  $D_L$  には、容量などが接続されており、電圧信号をセットすることで、データライン  $D_L$  にそのデータ電圧  $V_{sig}$  が保持される。そこで、各列の画素についてのデータ電圧  $V_{sig}$  を順次対応するデータライン  $D_L$  にセットすることで、すべてのデータライン  $D_L$  にデータ電圧  $V_{sig}$  をセットする。

20

【0046】

そして、このデータのセットが終了した段階で、 $H_{out}$  を H レベルとして、ゲートライン  $G_L$  を H レベルとして活性化し、上述した 1 つの水平方向の各画素について動作を行い、各画素におけるデータ書き込み、発光が行われる。

【0047】

このようにして、通常のビデオ信号（データ電圧  $V_{sig}$ ）を 1 水平期間の途中までの期間にすべてのデータライン  $D_L$  に順次書き込み、これを上述のようにして全画素に同時にセットして、発光させることができる。

30

【0048】

次に、他の方式について、図 10 に基づいて説明する。この例では、まず最初に発光セットライン  $E_S$  は L レベルにし、ゲートライン  $G_L$  を H レベル（活性化）する。この状態で、データ電圧  $V_{sig}$  を順次データライン  $D_L$  にセットする。そして、すべてのデータライン  $D_L$  にデータ電圧  $V_{sig}$  をセットした場合には、発光セットライン  $E_S$  を H レベルとして、上述のディスチャージを行い、その後は同様に動作する。

【0049】

次に、変形例について、説明する。

40

【0050】

図 11 は、変形例 1 の構成を示している。この変形例 1 では、選択トランジスタ  $T_1$ 、短絡トランジスタ  $T_3$  を p チャネルとし、電位制御トランジスタ  $T_2$  を n チャネルとしている。このような構成では、ゲートライン  $G_L$  の H レベル、L レベルを上述の実施形態と反対にすることで、実施形態同様の動作を可能としている。

【0051】

図 12 は、変形例 2 の構成を示している。この変形例 2 では、電位制御トランジスタ  $T_2$  のゲートに容量セットライン  $C_S$  が接続されている。そして、この例では電位制御トランジスタ  $T_2$  を n チャネルトランジスタとしている。このように、電位制御トランジスタ

50

T2のオンオフ用に専用のラインである容量セットラインCSを有している。そして、この容量セットラインCSを、Hレベル=VVDD、Lレベル=VVBBとすることで、電位制御トランジスタT2をオンした際に $V_n = VVBB$ とできる。図1などの実施形態においては、電位制御トランジスタT2はpチャンネルであり、その電位制御トランジスタT2をオンする際にそのゲート電圧はVVBBであって、発光セットラインESのLレベル=VVBBと同一の電圧である。そこで、電位制御トランジスタT2をオンしたときは $V_n = VVBB + |V_{tpT2}|$ となってしまう。この変形例2では、 $V_n = VVBB$ とでき、より安定した動作が可能になる。なお、図10に、この例における容量セットラインCSの電圧についても、変形例2駆動時として示してある。

【0052】

10

なお、上記実施形態において、各種の電圧は次のように設定することが好適である。電源ラインPVddはPVdd、発光セットラインESはHレベル=PVdd、Lレベル=VVBB、ゲートラインGLはHレベル=VVDD、Lレベル=VVBB、容量セットラインCsはHレベル=VVDD、Lレベル=VVBB、カソード電源CV=CVにし、PVdd=8V、VVDD=10V、VVBB=-2V、CV=-2V程度に設定するとよい。

【図面の簡単な説明】

【0053】

【図1】実施形態に係る画素回路の構成を示す図である。

【図2】動作を説明するチャート図である。

20

【図3】ディスチャージ工程を説明する図である。

【図4】リセット工程を説明する図である。

【図5】電位固定工程を説明する図である。

【図6】発光工程を説明する図である。

【図7】リセットから電位固定工程における電位変化の状態を説明する図である。

【図8】パネルの全体構成を示す図である。

【図9】データセットのタイミング例を示す図である。

【図10】データセットの他のタイミング例を示す図である。

【図11】変形例1の構成を説明する図である。

【図12】変形例2の構成を示す図である。

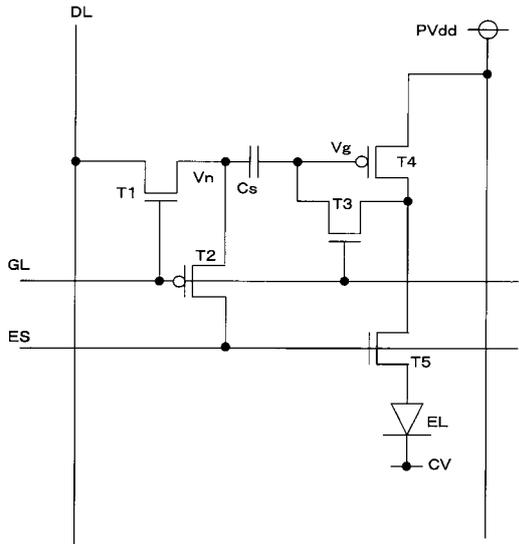
30

【符号の説明】

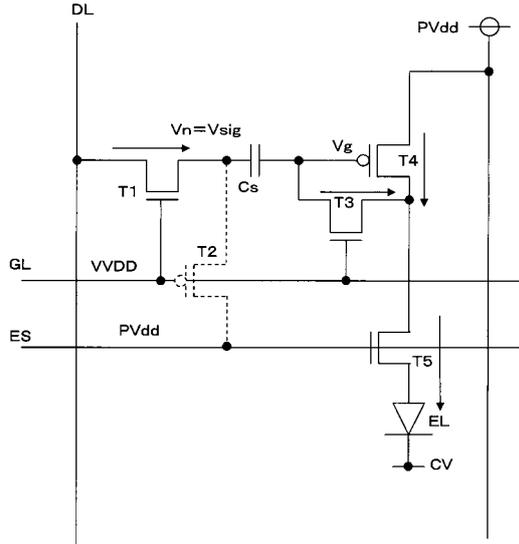
【0054】

Cs コンデンサ、CS 容量セットライン、CV カソード電源、Cp 寄生容量、DL データライン、EL 有機EL素子、ES 発光セットライン、GL ゲートライン、HSR 水平スイッチ、PVdd 電源電圧、T1 選択トランジスタ、T2 電位制御トランジスタ、T3 短絡トランジスタ、T4 駆動トランジスタ、T5 駆動制御トランジスタ、VSR 垂直スイッチ、Vg 駆動トランジスタのゲート電圧、Vsig データ電圧。

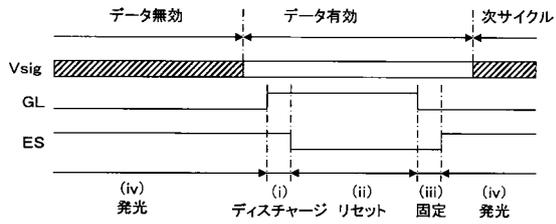
【図1】



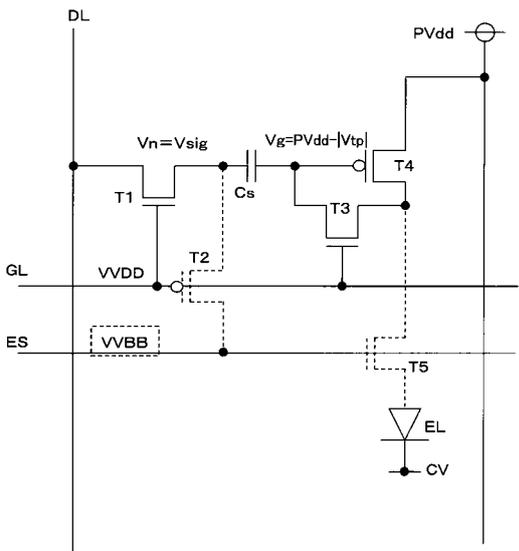
【図3】



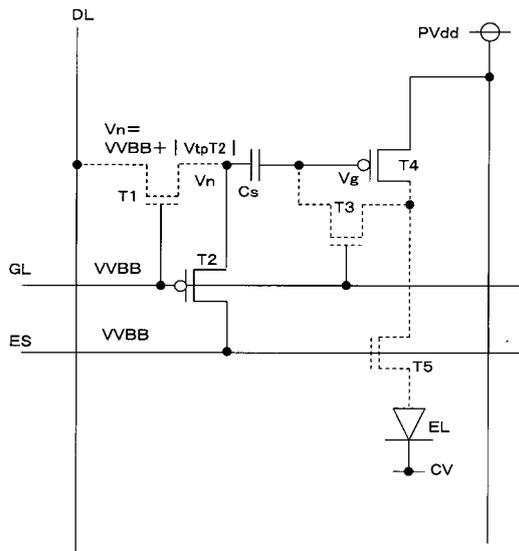
【図2】



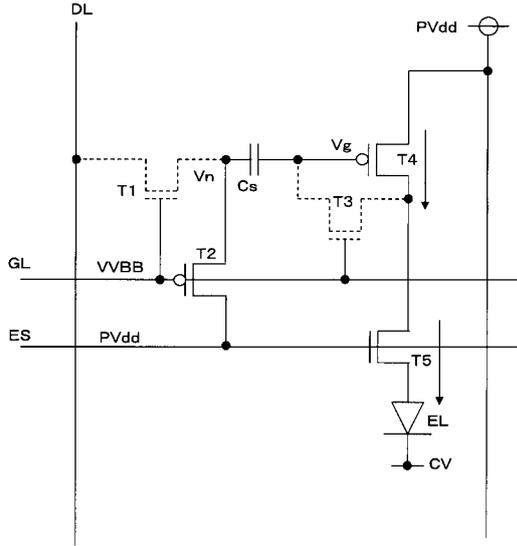
【図4】



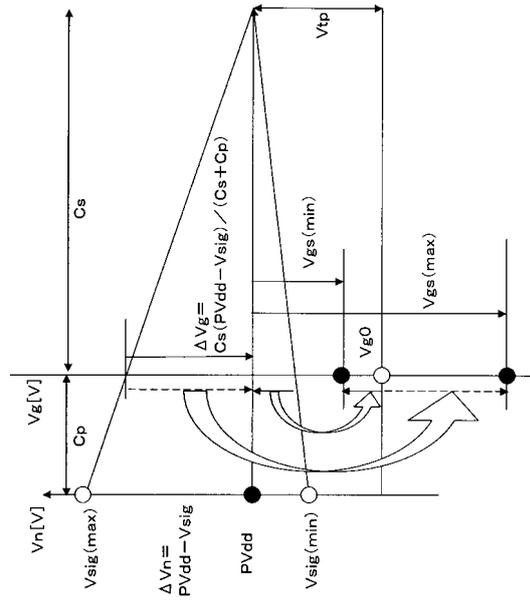
【図5】



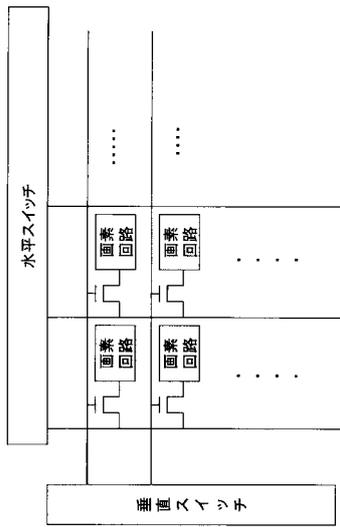
【 図 6 】



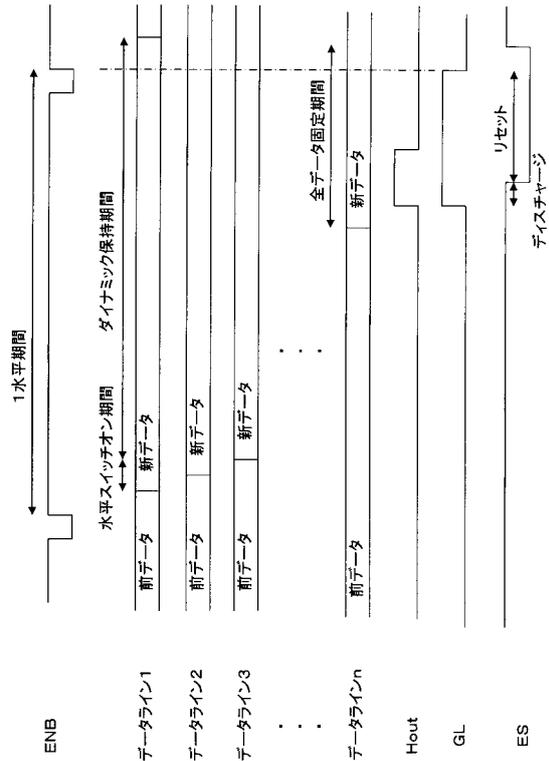
【 図 7 】



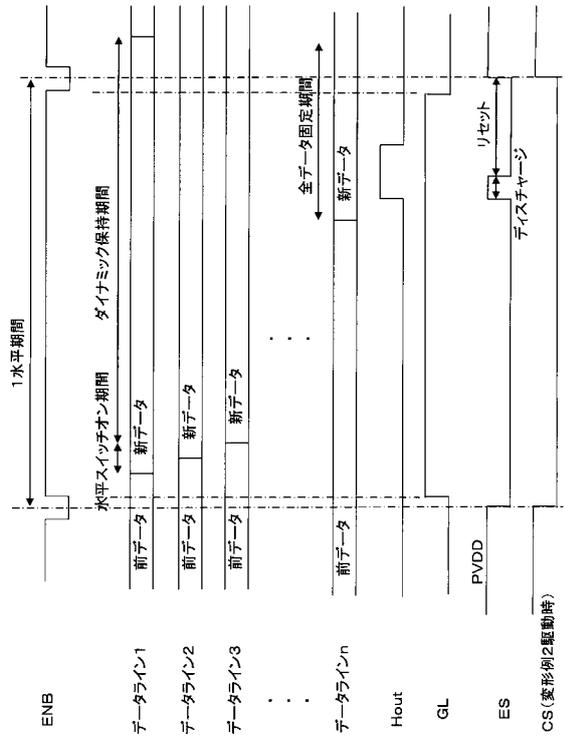
【 図 8 】



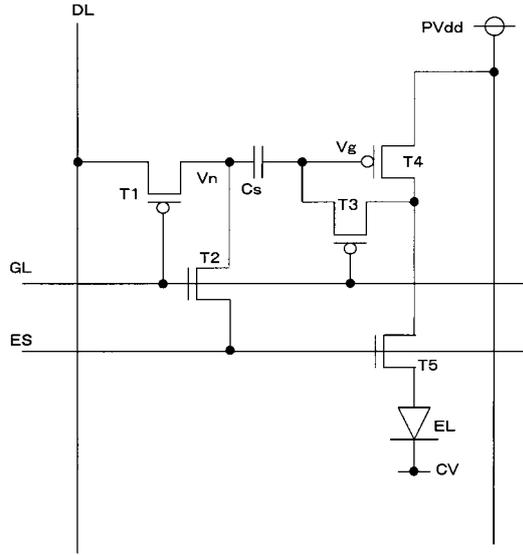
【 図 9 】



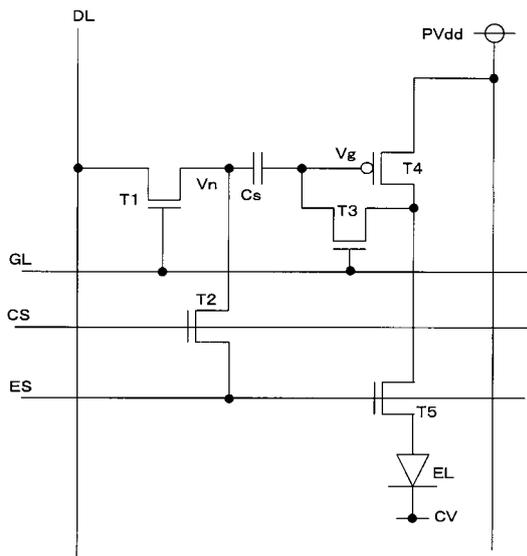
【図10】



【図11】



【図12】



---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 2 1 A

H 0 5 B 33/14 A

(56)参考文献 特開2003-173165(JP,A)

特開2003-223138(JP,A)

特開2004-133240(JP,A)

特開2004-226960(JP,A)

特開2004-286816(JP,A)

特開2005-157283(JP,A)

特開2005-157308(JP,A)

特開2005-258407(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 3 0

G 0 9 G 3 / 2 0