



(21) 申請案號：105104931

(22) 申請日：中華民國 100 (2011) 年 11 月 02 日

(51) Int. Cl. : *H01L29/78 (2006.01)**H01L21/28 (2006.01)*

(30) 優先權：2010/11/11 日本

2010-252489

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72) 發明人：遠藤佑太 ENDO, YUTA (JP)；佐佐木俊成 SASAKI, TOSHINARI (JP)；野田耕生 NODA, KOSEI (JP)

(74) 代理人：林志剛

申請實體審查：有 申請專利範圍項數：15 項 圖式數：10 共 57 頁

(54) 名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

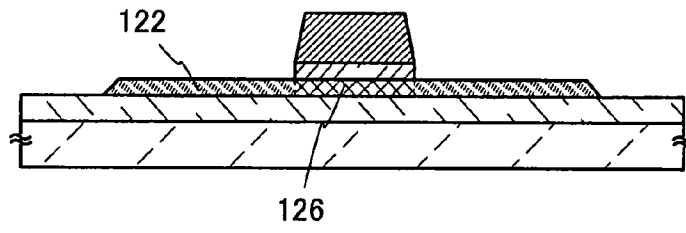
(57) 摘要

一種半導體裝置，使用將氧化物半導體包括在通道區域中且較不可能由於短通道效應而在電特徵中導致變異的電晶體製造。該半導體裝置包括氧化物半導體膜，具有包括氮的一對氮氧化物半導體區域及夾於該對氮氧化物半導體區域之間的氧化物半導體區域、閘極絕緣膜、以及閘極電極，以該閘極絕緣膜置於其間的方式設置在該氧化物半導體區域上方。在本文中，該對氮氧化物半導體區域係作為該電晶體的源極區域及汲極區域使用，且該氧化物半導體區域係作為該電晶體的通道區域使用。

A semiconductor device is manufactured using a transistor in which an oxide semiconductor is included in a channel region and variation in electric characteristics due to a short-channel effect is less likely to be caused. The semiconductor device includes an oxide semiconductor film having a pair of oxynitride semiconductor regions including nitrogen and an oxide semiconductor region sandwiched between the pair of oxynitride semiconductor regions, a gate insulating film, and a gate electrode provided over the oxide semiconductor region with the gate insulating film positioned therebetween. Here, the pair of oxynitride semiconductor regions serves as a source region and a drain region of the transistor, and the oxide semiconductor region serves as the channel region of the transistor.

指定代表圖：

圖 3C



符號簡單說明：

122 . . . 氮氧化物半
導體區域

126 . . . 氧化物半導
體區域

201620143

發明摘要

※申請案號：10510493 / (100139940分案)

※申請日：100年11月02日

※IPC分類：H01L 29/18 (2006.01)

H01L 21/28 (2006.01)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and method for manufacturing the same

【中文】

一種半導體裝置，使用將氧化物半導體包括在通道區域中且較不可能由於短通道效應而在電特徵中導致變異的電晶體製造。該半導體裝置包括氧化物半導體膜，具有包括氮的一對氮氧化物半導體區域及夾於該對氮氧化物半導體區域之間的氧化物半導體區域、閘極絕緣膜、以及閘極電極，以該閘極絕緣膜置於其間的方式設置在該氧化物半導體區域上方。在本文中，該對氮氧化物半導體區域係作為該電晶體的源極區域及汲極區域使用，且該氧化物半導體區域係作為該電晶體的通道區域使用。

【英文】

A semiconductor device is manufactured using a transistor in which an oxide semiconductor is included in a channel region and variation in electric characteristics due to a short-channel effect is less likely to be caused. The semiconductor device includes an oxide semiconductor film having a pair of oxynitride semiconductor regions including nitrogen and an oxide semiconductor region sandwiched between the pair of oxynitride semiconductor regions, a gate insulating film, and a gate electrode provided over the oxide semiconductor region with the gate insulating film positioned therebetween. Here, the pair of oxynitride semiconductor regions serves as a source region and a drain region of the transistor, and the oxide semiconductor region serves as the channel region of the transistor.

【代表圖】

【本案指定代表圖】：第(3C)圖。

【本代表圖之符號簡單說明】：

122：氮氧化物半導體區域

126：氧化物半導體區域

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and method for manufacturing the same

【技術領域】

本發明相關於半導體裝置及製造該半導體裝置的方法。

須注意在此說明書中，半導體裝置係指可藉由使用半導體特徵運作的任何裝置，且電光裝置、半導體電路、以及電子裝置全部係半導體裝置。

【先前技術】

使用形成在具有絕緣表面之基材上方的半導體薄膜以形成電晶體的技術已吸引關注。將此種電晶體施用至範圍廣泛的電子裝置，諸如，積體電路 (IC)，或影像顯示裝置 (顯示裝置)。已將以矽為基質的半導體材料廣泛地使用為可施用至電晶體之半導體薄膜的材料，但作為替代材料的氧化物半導體已吸引關注。

例如，揭示其主動層係使用包括銦 (In)、鎵 (Ga)、以及鋅 (Zn) 並具有低於 $10^{18}/\text{cm}^3$ 的電子載體密度之非晶氧化物形成的電晶體 (參閱專利文件 1)。

專利文件 2 揭示在包括氧化物半導體的交錯式電晶體

中，將包括氮之高導電氧化物半導體設置為在源極區域及源極電極之間及在汲極區域及汲極電極之間的緩衝層，且因此降低該氧化物半導體及該源極電極之間及該氧化物半導體及該汲極電極之間的接觸電阻之技術。

非專利文件 1 揭示通道區域、源極區域、以及汲極區域係以自我對準方式形成的頂閘極氧化物半導體電晶體。

[參考文件]

[專利文件]

[專利文件 1]日本已公告專利申請案案號第 2006-165528 號

[專利文件 2]日本已公告專利申請案案號第 2010-135774 號

[非專利文件]

[非專利文件 1]Jae Chul Park 等，「具有自我對準頂閘極結構的高效能非晶氧化物薄膜電晶體」IEDM2009，pp.191-194

【發明內容】

本發明的目的係製造一種半導體裝置，使用將氧化物半導體包括在通道區域中且較不可能由於短通道效應而在電特徵中導致變異的電晶體製造。

根據本發明之一實施例的半導體裝置包括氧化物半導

體膜，具有包括氮的一對氮氧化物半導體區域及夾於該對氮氧化物半導體區域之間的氧化物半導體區域、閘極絕緣膜、以及閘極電極，以該閘極絕緣膜置於其間的方式設置在該氧化物半導體區域上方。

在本文中，該對氮氧化物半導體區域係作為該電晶體的源極區域及汲極區域使用，且該氧化物半導體區域係作為該電晶體的通道區域使用。

在頂閘極電晶體中，該源極區域及該汲極區域可藉由將該閘極電極使用為遮罩將包括氮的離子植入該氧化物半導體膜中而形成。該源極區域及該汲極區域係將該閘極電極使用為遮罩而形成，因此該源極區域及該汲極區域不與該閘極電極重疊，且因此可減少寄生電容。

因為可減少寄生電容，該電晶體可用高速操作。

此處，該等氮氧化物半導體區域的氮濃度高於或等於 0.01at.% 且低於或等於 30at.%。可藉由增加該氮濃度而將該等氮氧化物半導體區域的載體密度增加；然而，當該氮濃度太高時，載體的轉移受禁止且導電性下降。

須注意包括氫之離子可能與包括氮的離子同時植入該氧化物半導體膜。藉由將氫植入該等氮氧化物半導體區域中，相較於僅植入氮的情形，載體密度可增加。亦即，即使植入氮的濃度下降，導電性仍可增加。該等氮氧化物半導體區域的氫濃度高於或等於 1×10^{19} 原子/cm³ 且低於或等於 1×10^{22} 原子/cm³。可藉由增加該氫濃度而增加載體密度；然而，當該氫濃度太高時，載體的轉移受禁止且導電

性下降。

此時，防止氫經由該氧化物半導體膜的該源極區域及該汲極區域植入該通道區域為佳。若將氫植入該氧化物半導體膜的通道區域中，可能形成載體路徑而無需施用閘極電壓。亦即，呈現常態開啓特徵。具體地說，該通道區域的氫濃度低於或等於 1×10^{20} 原子/cm³，低於或等於 1×10^{19} 原子/cm³ 為佳，低於或等於 1×10^{18} 原子/cm³ 更佳。

將該等氮氧化物半導體區域使用為該源極區域及該汲極區域具有係該氧化物半導體區域的該通道之能帶邊緣幾乎不彎曲的效果。另一方面，在該源極區域及該汲極區域係使用金屬材料形成的情形中，係該氧化物半導體區域的該通道之能帶邊緣的彎曲係不可忽視的，使得有效通道長度在部分情形中減少。隨著電晶體之通道長度減少，此趨勢變得更值得注意。

再者，該等氮氧化物半導體區域具有比該氧化物半導體區域更易於封閉氫的性質。因此，從外側取入的氫及從內側擴散的氫為作為該源極區域及該汲極區域使用的該等氮氧化物半導體區域所封閉，因此可將作為該通道區域使用之該氧化物半導體區域的氫濃度降低。亦即，將該等氮氧化物半導體區域設置為該源極區域及該汲極區域可抑制該電晶體之電特徵由於氫的退化及可靠性的降低。

此外，當該等氮氧化物半導體區域封閉氫時，氮及氮彼此鍵接，彼等的一部分作為施體使用，且載體密度增加；因此，可增加導電性。

須注意已證實該等氮氧化物半導體區域中的氮不會擴散至該氧化物半導體區域中，其於稍後描述。

另外，將該等氮氧化物半導體區域形成為該源極區域及該汲極區域致能該等源極以及汲極區域及佈線之間的接觸電阻減少；因此，可增加該電晶體的導通狀態電流。

根據本發明的一實施例，可製造包括氧化物半導體並具有良好電特徵之高度可靠的電晶體。

【圖式簡單說明】

在該等隨附圖式中：

圖 1A 至 1C 係描繪根據本發明之一實施例的電晶體之範例的頂視圖及橫剖面圖；

圖 2A 至 2C 係描繪根據本發明之一實施例的電晶體之製程範例的橫剖面圖；

圖 3A 至 3D 係描繪根據本發明之一實施例的電晶體之製程範例的橫剖面圖；

圖 4A 至 4D 係描繪根據本發明之一實施例的電晶體之製程範例的橫剖面圖；

圖 5A 至 5C 描繪氧化物半導體、氮氧化物半導體、以及金屬材料的能帶結構；

圖 6 顯示氫在氧化物半導體及氮氧化物半導體中的擴散；

圖 7 顯示氮在氧化物半導體及氮氧化物半導體中的擴散；

圖 8A 及 8B 係描繪包括根據本發明之一實施例的電晶體之顯示裝置的範例之頂視圖及橫剖面圖；

圖 9A 至 9D 係描繪包括根據本發明之一實施例的電晶體之各電子裝置的範例之透視圖；且

圖 10A 至 10E 係描繪根據本發明之一實施例的電晶體之範例的橫剖面圖。

【實施方式】

在下文中，將參考該等隨附圖式詳細描述本發明之實施例及範例。須注意本發明並未受限於以下描述，且熟悉本發明之人士將輕易地理解本文揭示的模式及細節可用各種方式修改。因此，不將本發明理解為受該等實施例及範例的描述限制。在參考該等圖式描述本發明的結構時，將相同的參考數字共同用於不同圖式中的相同部分。須注意將相同的影線型樣施用至相似部分，且在部分情形中不特別以參考數字標示該等相似部分。

須注意此說明書中的該等有序數字，諸如「第一」及「第二」，係為了方便而使用，並不代表步驟之順序或層的堆疊順序。此外，此說明書中的該等有序數字並不表示說明本發明的特定名稱。

(實施例 1)

在此實施例中，將參考圖 1A 至 1C 描述在通道區域中包括氧化物半導體且在設置在與該通道區域相同之層中

的源極區域及汲極區域中包括氮氧化物半導體的頂閘極電晶體。

圖 1A 至 1C 係頂閘極電晶體的頂視圖及橫剖面圖。此處，圖 1A 係頂視圖、圖 1B 係沿著圖 1A 的 A-B 取得的橫剖面圖、且圖 1C 係沿著圖 1A 的 C-D 取得的橫剖面圖。須注意在圖 1A 中，爲了簡明，將電晶體 151 的部分組件（例如，層間絕緣膜 124）省略。

描繪於圖 1A 至 1C 的電晶體 151 包括在絕緣表面上方的氧化物半導體膜，其包括氧化物半導體區域 126 及一對氮氧化物半導體區域 122；在氧化物半導體區域 126 上方的閘極絕緣膜 112；在閘極絕緣膜 112 上方的閘極電極 114；覆蓋基底絕緣膜 102、該對氮氧化物半導體區域 122、以及閘極電極 114 的層間絕緣膜 124；以及經由設置在層間絕緣膜 124 中的接點孔 130 連接至該對氮氧化物半導體區域 122 的佈線 116。在此實施例中，描述將基底絕緣膜 102 設置在基材 100 上方作爲絕緣表面的情形。

此處，該對氮氧化物半導體區域 122 係作爲電晶體 151 的源極區域及汲極區域使用，且氧化物半導體區域 126 係作爲電晶體 151 的通道區域使用。

包括氧化物半導體區域 126 及該對氮氧化物半導體區域 122 的氧化物半導體膜可能使用包括 In、Ga、Sn、以及 Zn 之二或多者的材料形成。例如，氧化物半導體區域 126 係使用 In-Ga-Zn-O-基質氧化物半導體形成，且該對氮氧化物半導體區域 122 係使用 In-Ga-Zn-O-N-基質氮氧

化物半導體形成。

此處，該對氮氧化物半導體區域 122 的氮濃度高於或等於 0.01at.%且低於或等於 30at.%。須注意氮濃度可藉由二次離子質譜儀 (SIMS)、X-光光電子能譜儀 (XPS)、或電子微探儀 (EPMA) 定量。

此處，該對氮氧化物半導體區域 122 的氫濃度高於或等於 1×10^{19} 原子/cm³ 且低於或等於 1×10^{22} 原子/cm³。氧化物半導體區域 126 的氫濃度低於或等於 1×10^{20} 原子/cm³，低於或等於 1×10^{19} 原子/cm³ 為佳，低於或等於 1×10^{18} 原子/cm³ 更佳。須注意氫濃度可藉由 SIMS 定量。

該對氮氧化物半導體區域 122 的導電性高於或等於 10S/cm 且低於或等於 1000S/cm，高於或等於 100S/cm 且低於或等於 1000S/cm 為佳。當導電性低於 10S/cm 時，該電晶體的導通狀態電流減少。藉由將導電性設定成低於或等於 1000S/cm，可將由於該對氮氧化物半導體區域 122 的效應而施加至氧化物半導體區域 126 之電場的影響降低，且因此可降低短通道效應。

只要基材 100 具有至少足以承受稍後實施之熱處理的耐熱性，其並無特別限制。例如，可能將玻璃基材、陶瓷基材、石英基材、或藍寶石基材使用為基材 100。或者，可能使用具有足夠耐熱性的塑膠基材。或者，可能使用以矽製成之單晶半導體基材或多晶半導體基材、或碳化矽等、以鍺化矽等製成之化合物半導體基材、或 SOI 基材等。或者，可能將設有半導體元件的任何此等基材使用為

基材 100。

可能將可撓基材使用為基材 100。在將電晶體設置在該可撓基材上方的情形中，可能將該電晶體直接形成在該可撓基材上，或可能將該電晶體形成在不同基材上方，然後自該基材分離以轉移至該可撓基材。為從該基材分離該電晶體並將其轉移至該可撓基材，將分離層護置在該不同基材及該電晶體之間為佳。

基底絕緣膜 102 可能係任何氧化矽膜、氮氧化矽膜、氧化氮化矽膜、及氮化矽膜的單層或堆疊層。

在此說明書中，氮氧化矽係指包括比氮更多之氧的基材且，例如，氮氧化矽包括濃度範圍分別在大於或等於 50at.% 且少於或等於 70at.%、大於或等於 0.5at.% 且少於或等於 15at.%、大於或等於 25at.% 且少於或等於 35at.%、且大於或等於 0at.% 且少於或等於 10at.% 的氧、氮、矽、及氫。另外，氧化氮化矽係指包括比氧更多之氮的基材且，例如，氧化氮化矽包括濃度範圍分別在大於或等於 5at.% 且少於或等於 30at.%、大於或等於 20at.% 且少於或等於 55at.%、大於或等於 25at.% 且少於或等於 35at.%、且大於或等於 10at.% 且少於或等於 25at.% 的氧、氮、矽、及氫。須注意上述範圍係藉由使用拉塞福背向散射質譜儀 (RBS) 或氫氣正向散射質譜儀 (HFS) 的量測而得到。此外，該等構成元素的總百分比不超過 100at.%。

可能將藉由加熱以自其釋放氧的膜使用為基底絕緣膜

102。

藉由加熱釋放氧意指在熱脫附分析儀（TDS）中轉換為氧原子的氧釋放量大於或等於 1.0×10^{18} 原子/cm³，大於或等於 3.0×10^{20} 原子/cm³ 為佳。

氧釋放量係藉由 TDS 分析在高於或等於 150°C 且低於或等於 700°C 的基材溫度量測，高於或等於 200°C 且低於或等於 650°C 為佳，高於或等於 250°C 且低於或等於 470°C 更佳。此係因為，例如，假定在低於 150°C 之基材溫度釋放的氧主要係由吸附至基材表面並具有相對低之穩定性的氧所導致。當將基材溫度設定成低於或等於 700°C 時，可評估符合電晶體之實際製程的氧釋放量。

此處，將於下文描述在轉換為氧原子的情形中使用 TDS 分析量測氧釋放量的方法。

TDS 分析中的釋放氣體量比例於頻譜的積分值。因此，釋放氣體量可從絕緣膜之頻譜的積分值對標準樣本之參考值的比率計算。標準樣本的參考值係指包括在樣本中的預定原子的密度對頻譜之積分值的比率。

例如，使用係標準樣本之包括預定密度的氫之矽晶圓的 TDS 分析結果及該絕緣膜之 TDS 分析結果，可根據方程式 1 發現從絕緣膜釋放之氧分子的莫耳數（ N_{O_2} ）。此處，將藉由 TDS 分析得到之具有質量數 32 的所有頻譜假設成源自於氧分子。在給定為具有質量數 32 的氣體， CH_3OH ，不太可能存在的假設下，不將其列入考慮。另外，也不將包括係氧原子的同位素之具有質量數 17 或 18

的氧原子之氧分子列入考慮，因為此種分子在自然界中的比例極小。

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \alpha \quad (\text{方程式 1})$$

N_{H_2} 係藉由將從該標準樣本脫附的氫分子數轉換為密度而得到的值。 S_{H_2} 係當該標準樣本受 TDS 分析時之頻譜的積分值。此處，將該標準樣本的參考值設定成 N_{H_2}/S_{H_2} 。 S_{O_2} 係當該絕緣膜受 TDS 分析時之頻譜的積分值。 α 在 TDS 分析中影響該頻譜之強度的係數。方程式 1 的細節請參考日本已公告專利申請案案號第 H6-275697 號。須注意來自該絕緣膜的氧釋放量係將包括 1×10^{16} 原子/cm³ 之氫原子的矽晶圓使用為該標準樣本，使用由 ESCO Ltd., 製造的熱脫附分析設備 EMD-WA1000S/W 量測。

另外，在該 TDS 分析中，將部分的氧偵測為氧原子。氧分子及氧原子之間的比率可從氧分子的游離率計算。須注意，因為上述之 α 包括氧分子的游離率，氧原子的釋放數也可經由氧分子之釋放數的評估估算。

須注意 N_{O_2} 係已釋放氧分子的數量。針對該絕緣膜，轉換為氧原子之情形中的氧釋放量為已釋放氧分子數的二倍。

在上述結構中，藉由加熱以自其釋放氧的該絕緣膜可能係過氧化矽 (SiO_x ($X > 2$))。在過氧化矽 (SiO_x ($X > 2$)) 中，每單位體積的氧原子數多於每單位體積之矽原子數的二倍。每單位體積的矽原子數及氧原子數係藉由拉塞福背向散射質譜儀量測。

藉由從該基底絕緣膜將氧供應至該氧化物半導體區域，可降低該基底絕緣膜及該氧化物半導體區域之間的介面密度狀態。結果，可防止可由於電晶體之操作等產生的電荷等陷在該基底絕緣膜及該氧化物半導體區域之間的介面；因此，可得到具有些許退化之電特徵的電晶體。

另外，在部分情形中電荷由於該氧化物半導體中的氧空洞而產生。通常，當在氧化物半導體中導致氧空洞時，部分的氧空洞變成施體並產生作為載體的電子。結果，電晶體的臨界電壓在負方向上偏移。此顯著地發生在產生在背通道側上的氧空洞中。須注意此說明書中的背通道係指在該基底絕緣膜側上的該氧化物半導體區域之介面的附近。氧從該基底絕緣膜充分地釋放至該氧化物半導體區域，因此可降低導致該臨界電壓負偏移之在氧化物半導體區域中的氧空洞。

換言之，當在該氧化物半導體區域中產生氧空洞時，難以抑制電荷陷於該基底絕緣膜及該氧化物半導體區域之間的介面。然而，藉由將藉由加熱以自其釋放氧的絕緣膜設置為該基底絕緣膜，可降低該氧化物半導體區域及該基底絕緣膜之間的介面狀態密度及該氧化物半導體區域中的氧空洞，且可使電荷陷在該氧化物半導體區域及該基底絕緣膜間之介面的影響變小。

可能使用，例如，氧化矽、氮氧化矽、氧化氮化矽、氮化矽、氧化鋁、氧化鉛、或釷安定氧化鋯將閘極絕緣膜 112 形成為具有堆疊層結構或單層結構。例如，閘極絕緣

膜 112 可能藉由熱氧化法、CVD 法、或濺鍍法形成。可能將藉由加熱以自其釋放氧的膜使用為閘極絕緣膜 112。將藉由加熱以自其釋放氧的膜使用為閘極絕緣膜 112，因此可降低產生在氧化物半導體區域 126 中的氧空洞，且可抑制該電晶體之電特徵的退化。

在描述於此實施例中的結構中，閘極絕緣膜 112 不具有階段部；因此，可降低閘極絕緣膜 112 所導致的漏電流，並可增加閘極絕緣膜 112 的承受電壓。因此，即使當閘極絕緣膜 112 具有約為 5nm 的極小厚度時，該電晶體仍可正常地操作。須注意閘極絕緣膜 112 之厚度的縮減具有降低短通道效應及增加電晶體之操作速度的效果。

可能將單一金屬、合金、或包括鋁、鈦、鉻、鎳、銅、鈮、銦、鉬、銀、鉍、以及鎢之至少一者的金屬氮化物使用為閘極電極 114 的材料。可能使用包括氧化銦、氧化錫、或氧化鋅的透明導電材料。閘極電極 114 可能具有任何上述材料的堆疊層結構。

可能使用，例如，氧化矽、氮氧化矽、氧化氮化矽、或氮化矽的材料將層間絕緣膜 124 形成為具有堆疊層結構或單層結構。例如，層間絕緣膜 124 可能藉由熱氧化法、CVD 法、或濺鍍法形成。將氮化矽膜或氧化氮化矽膜使用為層間絕緣膜 124 為佳。

佈線 116 可能具有與閘極電極 114 相似的結構。

使用此種結構，甚至在通道長度縮減時，電晶體 151 在閘極電極 114 及該對氮氧化物半導體區域 122 之間具有

很小的寄生電容且在臨界電壓具有很小的變異。另外，該對氮氧化物半導體區域 122 及佈線 116 之間的接觸電阻降低，且因此可增加該電晶體的導通狀態電流。再者，氧化物半導體區域 126 中的氫濃度降低，且因此可改善該電晶體的電特徵及可靠性。

須注意如圖 4D 所描繪的，可能將閘極絕緣膜 112 設置成覆蓋氧化物半導體區域 126 及該對氮氧化物半導體區域 122。

此實施例可視情況與任何其他實施例組合。

(實施例 2)

在此實施例中，將參考圖 10A 至 10E 描述與描述於實施例 1 中的電晶體不同之電晶體的範例。

描繪於圖 10A 的電晶體 152 包括具有絕緣表面的基材 100；在基材 100 上方的閘極電極 114；在閘極電極 114 上方的閘極絕緣膜 112；以閘極絕緣膜 112 置於其間的方式設置在閘極電極 114 上方並包括氧化物半導體區域 126 及該對氮氧化物半導體區域 122 的氧化物半導體膜；覆蓋該氧化物半導體膜及閘極絕緣膜 112 的層間絕緣膜 124；以及經由設置在層間絕緣膜 124 中的接點孔 130 連接至該對氮氧化物半導體區域 122 的佈線 116。須注意可能將基底絕緣膜 102 設置在基材 100 及電晶體 152 之間。

描繪於圖 10B 的電晶體 153 包括具有絕緣表面的基材 100；在基材 100 上方的閘極電極 114；在閘極電極 114

上方的閘極絕緣膜 112；以閘極絕緣膜 112 置於其間的方式設置在閘極電極 114 上方並包括氧化物半導體區域 126 及該對氮氧化物半導體區域 122 的氧化物半導體膜；以及連接至該對氮氧化物半導體區域 122 的佈線 116。須注意可能將基底絕緣膜 102 設置在基材 100 及電晶體 153 之間。雖然未描繪，可能將層間絕緣膜 124 設置在電晶體 153 上方。

描繪於圖 10C 的電晶體 154 包括具有絕緣表面的基材 100；在基材 100 上方的閘極電極 114；在閘極電極 114 上方的閘極絕緣膜 112；在閘極絕緣膜 112 上方的佈線 116；以及以閘極絕緣膜 112 置於其間的方式設置在閘極電極 114 上方並包括氧化物半導體區域 126 以及連接至佈線 116 之該對氮氧化物半導體區域 122 的氧化物半導體膜。須注意可能將基底絕緣膜 102 設置在基材 100 及電晶體 154 之間。雖然未描繪，可能將層間絕緣膜 124 設置在電晶體 154 上方。

描繪於圖 10D 的電晶體 155 包括在基材 100 上方的基底絕緣膜 102；在該基底絕緣膜上方的氧化物半導體膜，其包括氧化物半導體區域 126 及該對氮氧化物半導體區域 122；在氧化物半導體區域 126 上方的閘極絕緣膜 112；在閘極絕緣膜 112 上方的閘極電極 114；以及連接至該對氮氧化物半導體區域 122 的佈線 116。雖然未描繪，可能將層間絕緣膜 124 設置在電晶體 155 上方。

描繪於圖 10E 的電晶體 156 包括在基材 100 上方的基

底絕緣膜 102；在該基底絕緣膜上方的佈線 116；在基底絕緣膜 102 上方的氧化物半導體膜，其包括氧化物半導體區域 126 及連接至佈線 116 的該對氮氧化物半導體區域 122；在氧化物半導體區域 126 上方的閘極絕緣膜 112；以及在閘極絕緣膜 112 上方的閘極電極 114。雖然未描繪，可能將層間絕緣膜 124 設置在電晶體 156 上方。

該電晶體的通道長度係由該對氮氧化物半導體區域 122 之間間距或閘極電極 114 的寬度決定。該對氮氧化物半導體區域 122 之間間距等於閘極電極 114 的寬度為佳，因為該對氮氧化物半導體區域 122 及閘極電極 114 未彼此重疊；然而，該對氮氧化物半導體區域 122 之間間距不必等於閘極電極 114 的寬度。例如，當閘極電極 114 的寬度窄於該對氮氧化物半導體區域 122 之間間距時，移位區域形成在閘極電極 114 不與該氧化物半導體區域重疊的區域中；因此，降低電場的集中度，其導致短通道效應的降低。

此實施例可視情況與任何其他實施例組合。

(實施例 3)

在此實施例中，將描述製造描述於實施例 1 中的電晶體之方法的範例。

首先，將基底絕緣膜 102 形成在基材 100 上方（圖 2A）。基底絕緣膜 102 可能藉由濺鍍法、或 CVD 法等形式。

在基底絕緣膜係藉由濺鍍法形成的情形中，該基底絕緣膜可能使用矽靶材、石英靶材、鋁靶材、或氧化鋁靶材等以及包括氧的沈積氣體形成。氧在該沈積氣體中相對於該整體沈積氣體的比例為 6vol.%或以上，50vol.%或以上為佳。藉由增加氧氣體在沈積氣體中的比例，可形成藉由加熱以自其釋放氧的絕緣膜。

儘可能將該靶材中的氫移除為佳。具體地說，使用包括 100ppm 或更低之 OH 基團的氧化物靶材，10ppm 或更低為佳，1ppm 或更低更佳，因為可降低基底絕緣膜 102 中的氫濃度，且因此可改善該電晶體的電特徵及可靠性。例如，熔凝石英係較佳的，因為易將其形成為包括 10ppm 或以下的 OH 基團且其不昂貴。不消說，可能使用具有低 OH 基團濃度的合成石英靶材。

其次，形成氧化物半導體膜，然後處理，使得島形氧化物半導體膜 106 形成（見圖 2B）。此處，基底絕緣膜 102 及該氧化物半導體膜可能在真空中連續地形成。例如，在藉由熱處理或電漿處理將基材 100 的表面上方之包括氫的雜質移除後，基底絕緣膜 102 可能無需曝露於空氣中而形成，且該氧化物半導體膜可能無需曝露於空氣中而連續地形成。以此方式，可減少基材表面上方之包括氫的雜質，並可抑制大氣成份對各介面的附接；因此，可製造具有良好電特徵之高度可靠的電晶體。氧化物半導體膜的 formed 在加熱大氣中更有效率。

在氧化物半導體膜 106 形成之後，可能實施第一熱處

理。第一熱處理在氧化大氣或惰性大氣中以高於或等於 150°C 且低於或等於 650°C 的溫度實施，高於或等於 250°C 且低於或等於 450°C 為佳。此處，氧化大氣係指包括氧化氣體的大氣，諸如，氧、臭氧、或 10ppm 或更高的氮氧化物。惰性大氣係指包括低於 10ppm 之氧化大氣並以氮或稀有氣體填充的大氣。氧化物半導體膜 106 的純度可藉由第一熱處理更行增加，且因此可改善該電晶體的電特徵及可靠性。須注意第一熱處理可能緊接在將該氧化物半導體膜形成為氧化物半導體膜 106 之後實施。

其次，將閘極絕緣膜 108 及導電膜 104 形成為覆蓋氧化物半導體膜 106（見圖 2C）。此處，連續地形成閘極絕緣膜 108 及導電膜 104 而不曝露於空氣中為佳。

然後，處理導電膜 104 及閘極絕緣膜 108，使得閘極電極 114 及閘極絕緣膜 112 形成。將閘極絕緣膜 112 直接形成在閘極電極 114 下方（見圖 3A）。閘極電極 114 可能具有錐形形狀。另外，可能使用閘極電極 114 具有較小寬度使得閘極絕緣膜 112 在形成閘極電極 114 的區域之外延伸的結構。當將閘極絕緣膜 112 設置成在形成閘極電極 114 的該區域之外延伸時，可在後續步驟中實施離子植入時，將植入較小數量之離子的區域（輕摻雜汲極（LDD））形成在通道區域及源極區域之間以及通道區域及汲極區域之間。LDD 可抑制熱載體退化等。

其次，將離子 105 植入氧化物半導體膜 106 中（見圖 3B）。離子 105 係包括氮的離子。例如，離子 105 可能藉

由離子摻雜法或離子植入法植入。

或者，離子 105 可包括包括氮之離子及包括氫的離子。

將離子 105 植入不為閘極電極 114 及閘極絕緣膜 112 所屏蔽的區域中。因此，可將氧化物半導體區域 126 及該對氮氧化物半導體區域 122 設置在氧化物半導體膜中（見圖 3C）。

在氮氧化物半導體區域的形成時，在部分情形中，部分的氮及部分的氫彼此鍵接，且部分的鍵接氮及氫產生載體；因此，該等氮氧化物半導體區域具有較高的導電性。該等氮氧化物半導體區域及氫之間的鍵接比該氧化物半導體區域及氫之間的鍵接強。因此，氫幾乎不擴散入該氧化物半導體區域，且相較於藉由簡單地將氫植入該氧化物半導體膜以增加導電性的情形，可改善該電晶體的可靠性。

其次，將層間絕緣膜 124 形成為覆蓋基底絕緣膜 102、氮氧化物半導體區域 122、以及閘極電極 114。層間絕緣膜 124 可能藉由濺鍍法、或 CVD 法等使用諸如，氧化矽、氮氧化矽、氧化氮化矽、或氮化矽之材料形成。此時，使用較不可能藉由加熱自其釋放氧的材料為佳。此係用於防止該對氮氧化物半導體區域 122 之導電性的降低。具體地說，層間絕緣膜 124 可能藉由使用包括作為主材料的矽烷以及選自氮氧化物氣體、氮氣體、氫氣體、以及稀有氣體之適當源氣體的 CVD 法形成。此外，該基材溫度可能高於或等於 150°C 且低於或等於 600°C 的溫度實施，

高於或等於 300°C 且低於或等於 550°C 為佳。藉由使用 CVD 法，可形成較不可能藉由加熱自其釋放氧的層間絕緣膜 124。再者，藉由將矽烷氣體使用為主材料，氫殘留在該膜中且氫擴散發生；因此，可更行增加該對氮氧化物半導體區域 122 的導電性。層間絕緣膜 124 中的氫濃度可能高於或等於 0.1at.% 並低於或等於 25at.%。須注意氫濃度可藉由 SIMS、或 RBS 及 HFS 定量。

層間絕緣膜 124 具有到達該對氮氧化物半導體區域 122 的接點孔 130。將佈線 116 形成為經由接點孔 130 連接至該對氮氧化物半導體區域 122。此時，使用該對氮氧化物半導體區域 122，相較於氧化物半導體膜不具有該對氮氧化物半導體區域 122 的情形，可降低與佈線 116 的接觸電阻。

佈線 116 可能使用與閘極電極 114 相似的材料形成。

經由上述步驟，可製造電晶體 151（見圖 3D）。

雖然在此實施例中離子 105 係在閘極絕緣膜 112 形成之後植入，本發明之一實施例並未受限於此；離子 105 可能在閘極電極 114 形成之後經由閘極絕緣膜 108 植入，亦即，在閘極絕緣膜 112 形成之前。以閘極絕緣膜 108 覆蓋將係該對氮氧化物半導體區域 122 的區域，因此可降低該對氮氧化物半導體區域 122 的受損。在此情形中，在植入離子 105 之後，可能將閘極電極 114 使用為遮罩將閘極絕緣膜 108 處理為閘極絕緣膜 112。

以此方式，即使在將電晶體小型化並縮減通道長度

時，可製造包括氧化物半導體並具有良好電特徵之高度可靠的電晶體。

此實施例可視情況與任何其他實施例組合。

(實施例 4)

在此實施例中，將描述用於製造與實施例 3 中的電晶體不同之描述於實施例 1 中的電晶體之方法的範例。

上至並包括圖 2C 中之該步驟的步驟與實施例 3 中的步驟相似。

之後，處理導電膜 104，使得閘極電極 114 形成（見圖 4A）。

其次，經由閘極絕緣膜 108 植入離子 105（見圖 4B），使得氧化物半導體區域 126 及該對氮氧化物半導體區域 122 形成（見圖 4C）。

然後，形成層間絕緣膜 124 及接點孔 130。也將接點孔 130 設置在閘極絕緣膜 108 中。

其次，將佈線 116 形成為經由接點孔 130 連接至該對氮氧化物半導體區域 122。

經由上述步驟，可製造電晶體 157（見圖 4D）。

形成該對氮氧化物半導體區域 122 的區域係由閘極絕緣膜 108 保護，因此可降低該對氮氧化物半導體區域 122 的受損。再者，因為也將閘極絕緣膜 108 設置在該對氮氧化物半導體區域 122 上方，可抑制漏電流產生在閘極電極 114 及該對氮氧化物半導體區域 122 之間。

此實施例可視情況與任何其他實施例組合。

(實施例 5)

將包括例示於實施例 1 至 4 中之任何電晶體的顯示裝置之一模式描繪於圖 8A 及 8B 中。

圖 8A 係面板的頂視圖。在該面板中，藉由密封劑 705 將電晶體 750 及液晶元件 713 密封在第一基材 701 及第二基材 706 之間。圖 8B 係沿著圖 8A 之 M-N 取得的橫剖面圖。

將密封劑 705 設置成圍繞設置在第一基材 701 上方的像素部 702。將第二基材 706 設置在像素部 702 上方。因此，藉由第一基材 701、密封劑 705、以及第二基材 706 密封像素部 702 與液晶層 708。

另外，將輸入終端 720 設置在第一基材 701 上方與由密封劑 705 圍繞之區域不同的區域中，並將可撓性印刷電路 (FPC) 718a 及 718b 連接至輸入終端 720。將 FPC 718a 電性連接至分離地設置在另一基材上方的訊號線驅動器電路 703，並將 FPC 718b 電性連接至分離地設置在另一基材上方的掃描線驅動器電路 704。供應至像素部 702 的各種訊號及電位係經由 FPC 718a 及 FPC 718b 從訊號線驅動器電路 703 及掃描線驅動器電路 704 供應。

須注意在分離地設置在另一基材上方之驅動器電路的連接方法上並無特別限制，並可使用玻璃覆晶接合 (COG) 法、佈線接合法、捲帶載體包裝 (TCP) 法、或

捲帶自動接合（TAB）法等。

可將液晶元件（也稱為液晶顯示元件）使用為設置在顯示裝置中的顯示元件。另外，可使用其對比係藉由電效應而改變的顯示媒體，諸如電子墨水。

描繪於圖 8A 及 8B 中的顯示裝置包括電極 715 及佈線 716。經由各向異性導電膜 719 將電極 715 及佈線 716 電性連接至包括在 FPC 718a 中的終端。

電極 715 係使用與第一電極 730 相同的導電膜形成。佈線 716 係使用與電晶體 750 之源極電極及汲極電極相同的導電膜形成。

須注意將設置在像素部 702 中的電晶體 750 電性連接至顯示元件，以形成顯示面板。只要可實施顯示，可將各種顯示元件使用為該顯示元件。

於圖 8A 及 8B 中描繪將液晶元件使用為顯示元件之顯示裝置的範例。在圖 8A 及 8B 中，液晶元件 713 係包括第一電極 730、第二電極 731、以及液晶層 708 的顯示元件。須注意將功能如同配向膜的絕緣膜 732 及絕緣膜 733 設置成使得液晶層 708 夾於其間。將第二電極 731 設置在第二基材 706 側上，並將第一電極 730 及第二電極 731 與置於其間的液晶層 708 堆疊。

另外，間隔器 735 係由第二基材 706 上方之絕緣膜形成的圓柱形間隔器，以控制液晶層 708 的厚度（胞元間隙）。或者，可能使用球形間隔器。

在將液晶元件使用為顯示元件的情形中，可使用熱致

液晶、低分子量液晶、高分子量液晶、聚合物分散液晶、鐵電液晶、或反鐵電液晶等。此種液晶材料依據條件呈現膽固醇相、層列相、立方晶相、掌性向列相、或各向同性相等。

或者，可能將對準膜係非必要之呈現藍相的液晶用於液晶層 708。藍相係液晶相之一，在膽固醇狀液晶之溫度增加的同時，其就在膽固醇相改變為各向同性相之前出現。因為藍相僅出現在窄溫度範圍中，將混合掌性劑的液晶組成物用於液晶層，以改善溫度範圍。包括呈現藍相之液晶及掌性劑的液晶組成物具有 1 微秒或以下的短反應時間並具有光學各向同性，其使配向處理變得不必要並使視角依存性變小。此外，因為不必設置對準膜且研磨處理係不必要的，可防止由研磨處理所導致的靜電放電損壞，並可在製程中降低液晶顯示裝置的缺陷及損壞。因此，可改善該液晶顯示裝置的生產性。

該液晶材料的特定電阻率為 $1 \times 10^9 \Omega \cdot \text{cm}$ 或更高， $1 \times 10^{11} \Omega \cdot \text{cm}$ 或更高為佳， $1 \times 10^{12} \Omega \cdot \text{cm}$ 或更高更佳。該特定電阻率在此說明書中的值係在 20°C 量測。

設置在液晶顯示裝置中之儲存電容器的尺寸係慮及設置在像素部等中之電晶體的漏電流而設定，使得可將電荷保持預定週期。藉由使用在形成通道區域之半導體膜中包括氧化物半導體的電晶體，足以提供具有各像素之液晶電容的 $1/3$ 或以下之電容的儲存電容器， $1/5$ 或以下為佳。

在包括該氧化物半導體膜並使用在此實施例中的電晶

體中，因為係該等氮氧化物區域的源極區域及汲極區域具有封閉氫的效應，可將係氧化物半導體區域之通道區域中的氫濃度降低。因此，可降低截止狀態中的電流（截止狀態電流）。因此，可將諸如影像訊號的電訊號保持更長週期，且可在開啓狀態中將寫入間隔設定成更長。因此，可降低復新操作的頻率，其導致抑制電力消耗的效果。另外，甚至在未特別設置電容器或該特別設置之電容器的電容極低時，包括該氧化物半導體膜的該電晶體仍可保持供應至液晶元件的電位。

此外，包括該氧化物半導體膜並使用在此實施例中的該電晶體可具有相對高的場效遷移率，且因此可用高速操作。因此，藉由將電晶體使用在液晶顯示裝置之像素部中，可提供高品質影像。此外，因為可將此種電晶體分離地設置在一基材上方的驅動器電路部及像素部中，可降低液晶顯示裝置的組件數量。

可將扭曲向列（TN）模式、橫向電場驅動（IPS）模式、邊緣電場切換（FFS）模式、軸對稱排列微胞（ASM）模式、光學補償雙折射（OCB）模式、鐵電液晶（FLC）模式、或反鐵電液晶（AFLC）模式等用於該液晶顯示裝置。

可能使用常態黑液晶顯示裝置，諸如使用垂直配向（VA）模式的透射液晶顯示裝置。垂直配向模式係用於控制液晶顯示面板的液晶分子之配向的方法，其中當未施加電壓時，液晶分子垂直地配向於面板表面。可將部分範

例提供為垂直配向模式。例如，可使用多區域垂直配向（MVA）模式、圖像垂直配向（PVA）模式、或先進超顯亮（ASV）模式等。此外，可能使用稱為區域倍增或多區域設計的方法，其中將像素分割為一些區域（次像素）且分子在彼等的個別區域中在不同方向上配向。

在液晶顯示裝置中，視情況設置黑矩陣（遮光層）；及光學構件（光學基材），諸如偏振構件、延遲構件、或抗反射構件等。例如，可能藉由使用偏振基材及延遲基材使用圓形偏振。此外，可能將背光、或側光等使用為光源。

此外，可能使用將複數個發光二極體（LED）使用為背光的分時顯示法（場序驅動法）。藉由使用場色序驅動法，實施彩色顯示可不使用彩色濾波器。

可將連續法、或交錯法等使用為像素部中的顯示方法。另外，彩色顯示時在像素中控制的彩色成份並未受限於三種色彩：R、G、以及 B（R、G、以及 B 分別對應於紅色、綠色、以及藍色）。例如，可使用 R、G、B、以及 W（W 對應於白色）、或 R、G、B、及黃、青、及洋紅等之一或多者。另外，顯示區域的尺寸可能在彩色成份的個別點之間不同。然而，本發明的一實施例並未受限於用於彩色顯示的液晶顯示裝置，並可施用至用於單色顯示的液晶顯示裝置。

在圖 8A 及 8B 中，可將可撓基材以及玻璃基材使用為第一基材 701 及第二基材 706。例如，可使用具有光透

射性質的塑膠基材等。可將玻璃纖維強化塑膠（FRP）板、聚氟乙烯（PVF）膜、聚酯膜、或丙烯酸樹脂膜使用為塑膠。此外，可使用具有將鋁箔夾於 PVF 膜或聚酯膜之間的結構的薄片。

該液晶顯示裝置藉由來自光源的透射光或顯示元件實施顯示。因此，針對透射光之該顯示部設置的該基材及該等薄膜，諸如絕緣膜及導電膜，具有相關於在可見光波長範圍中之光的光透射性質。

用於施加電壓至該顯示元件的第一電極及第二電極（彼等各者也稱為像素電極、共同電極、或相對電極等）可能具有光透射性質或光反射性質，取決於光發射的方向、設置電極的位置、及電極的型樣結構。

第一電極 730 及第二電極 731 可使用光透射導電材料形成，諸如包括氧化鎢的氧化銦、包括氧化鎢的氧化銦鋅、包括氧化鈦的氧化銦、包括氧化鈦的氧化銦錫、氧化銦錫（也稱為 ITO）、氧化銦鋅、或將二氧化矽加至其的氧化銦錫。或者，可能使用以一至十片石墨薄片形成的材料。

第一電極 730 及第二電極 731 之一者可使用選自，諸如，鎢（W）、鉬（Mo）、鋯（Zr）、鈦（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）、以及銀（Ag）之金屬；此等金屬的合金；以及此等金屬之氮化物的一或多種材料形成。

第一電極 730 及第二電極 731 可使用包括導電巨分子（也稱為導電聚合物）的導電組成物形成。可將所謂的 π -電子共軛導電巨分子使用為該導電巨分子。可將聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、以及苯胺、吡咯、以及噻吩或其衍生物之二或多者的共聚物提供為範例。

另外，因為電晶體易為靜電等所破壞，設置保護電路為佳。該保護電路使用非線性元件形成為佳。

如上文所述，藉由使用例示於實施例 1 至 4 中的任何電晶體，可提供高度可靠的液晶顯示裝置。須注意例示於實施例 1 至 4 中的電晶體不僅可施用至具有上述顯示功能的半導體裝置，也可施用至具有各種功能的半導體裝置，諸如載置在電源電路上的電力裝置、半導體積體電路，諸如 LSI、以及具有讀取物件的資訊之影像感測器功能的半導體裝置。

此實施例可與任何其他實施例自由地組合。

（實施例 6）

可將係本發明之一實施例的半導體裝置施用至各種電子裝置（包括遊戲機）。電子裝置的範例包括電視裝置（也稱為電視或電視接收器）、電腦等的監視器、攝影機，諸如數位相機或數位視訊攝影機、數位相框、行動電話（也稱為行動電話或行動電話裝置）、可攜式遊戲機、個人數位助理、音訊再生裝置、及大尺寸遊戲機，諸如小

鋼珠遊戲機。將描述包括描述於任何上述實施例中的半導體裝置之各電子裝置的範例。

圖 9A 描繪膝上型個人電腦，包括主體 801、外殼 802、顯示部 803、及鍵盤 804 等。藉由施用描述於實施例 1 至 5 之任一者中的半導體裝置，該膝上型個人電腦可具有高可靠性。

圖 9B 描繪在主體 811 中包括顯示部 813、及操作鍵 814 等的個人數位助理（PDA）。將觸控筆 812 設置為用於操作的週邊。藉由施用描述於實施例 1 至 5 之任一者中的半導體裝置，該個人數位助理（PDA）可具有較高可靠性。

圖 9C 描繪電子書閱讀器的範例。例如，電子書閱讀器 820 包括二外殼，外殼 821 及外殼 822。外殼 821 及 822 係以轉軸 825 組合，使得電子書閱讀器 820 可將轉軸 825 使用為軸心而開啓及關閉。使用此種結構，電子書閱讀器 820 可像紙質書似地操作。

顯示部 823 及顯示部 824 分別合併在外殼 821 及外殼 822 中。顯示部 823 及顯示部 824 可能顯示一影像或不同影像。在該等顯示部顯示不同影像的情形中，例如，右顯示部（圖 9C 中的顯示部 823）可顯示文字且左顯示部（圖 9C 中的顯示部 824）可顯示插圖。藉由施用描述於實施例 1 至 5 之任一者中的半導體裝置，該電子書閱讀器可具有高可靠性。

另外，在圖 9C 中，外殼 821 設有操作部等。例如，

外殼 821 設有電源開關 826、操作鍵 827、及揚聲器 828 等。可使用操作鍵 827 翻頁。須注意也可能將鍵盤、或指標裝置等設置在顯示部設置於其上之外殼的表面上。此外，可能將外部連接終端（諸如耳機終端、或 USB 終端）、及記錄媒體插入部等設置在該外殼的背表面或側表面上。另外，電子書閱讀器 820 可能具有電子字典的功能。

電子書閱讀器 820 可能無線地傳送及接收資料。經由無線通訊，可從電子書伺服器購買及下載所期望的書籍資料等。

圖 9D 描繪電視裝置的範例。在電視裝置 860 中，將顯示部 863 併入外殼 861 中。顯示部 863 可顯示影像。此處，外殼 861 係藉由腳架 865 支撐。藉由施用描述於實施例 1 至 5 之任一者中的半導體裝置，電視裝置 860 可具有高可靠性。

電視裝置 860 可藉由外殼 861 或分離式遙控器的操作開關操作。此外，該遙控器可能設有用於顯示從該遙控器輸出之資料的顯示部。

須注意電視裝置 860 設有接收器、及數據機等。使用該接收器，可接收一般的電視廣播。此外，經由數據機使用或不使用佈線將該電視裝置連接至通訊網路時，可實施單向（從傳送器至接收器）或雙向（例如，在傳送器及接收器之間或在接收器之間）資料通訊。

描述於此實施例中的該結構、及該方法等可能視情況

與描述於其他實施例中的結構及方法等組合。

[範例 1]

在此範例中，將顯示藉由使用 In-Ga-Zn-O 靶材的濺鍍法形成之氮氧化物半導體膜的具體範例，並描述其物理性質及能帶圖。

狀況 1 的沈積條件如下。

沈積方法：DC 濺鍍法

靶材：In-Ga-Zn-O 靶材（原子比率為 In：Ga：Zn：O=1：1：1：4）

沈積功率：500W

沈積氣體：O₂，40sccm

沈積壓力：0.4Pa

T-S 距離：60mm

沈積時的基材溫度：200℃

膜厚度：100nm

狀況 2 的沈積條件如下。

沈積方法：DC 濺鍍法

靶材：In-Ga-Zn-O 靶材（原子比率為 In：Ga：Zn：O=1：1：1：4）

沈積功率：500W

沈積氣體：N₂，40sccm

沈積壓力：0.4Pa

T-S 距離：60mm

沈積時的基材溫度：200°C

膜厚度：100nm

將狀況 1 及狀況 2 之形成在石英基材上的各膜分別稱為樣本 1 及樣本 2。在樣本 1 及樣本 2 上實施紫外光光電子能譜法 (UPS) 以評估游離電位；樣本 1 的游離電位為 7.8eV 且樣本 2 的游離電位為 7.6eV。

其次，使用光譜橢偏儀 (由 HORIBA Jobin Yvon 製造的 UT-300) 得到樣本 1 及樣本 2 的光譜頻譜資料，並分析該光譜頻譜資料且導出吸收係數 α 。

然後，將 $(\alpha h\nu)^{1/2}$ 及 $h\nu$ 分別繪於垂直軸及水平軸上 (切線圖)，顯示通過線性部的切線，並將該切線及該水平軸 $h\nu$ 的交體使用為光能帶隙。此處， h 代表蒲郎克常數，且 ν 代表光的頻率。

以此方式估計之樣本 1 及樣本 2 的光能帶隙分別為 3.2eV 及 1.7eV。

此處，將參考圖 5A 至 5C 描述在將氮氧化物半導體用於源極及汲極並將氧化物半導體用於通道之情形中的能帶結構。

圖 5A 顯示真空能階 E_{vac} 及樣本 1、樣本 2、以及金屬的能階之間的關係。此處，IP 代表游離電位； E_a 係電子親和力； E_g 係能量間隙；且 W_f 係工作函數。此外， E_c 代表最小傳導帶； E_v 係最大共價帶；且 E_f 係費米能階。至於在各符號尾端的記號，1 代表樣本 1、2 代表樣本 2、且 m 代表金屬。此處，將具有 4.8eV 之工作函數的金屬

(諸如，鎢或鉬) 假設成該金屬。

此處，樣本 1 係極度純化之半導體，且因此具有極低的載體密度；因此， E_{f_1} 在 E_c 及 E_v 之間的中點附近。樣本 2 係具有高載體密度的 n-型半導體，且因此 E_{c_2} 通常對應於 E_{f_2} 。

表 1 顯示樣本 1、樣本 2、以及金屬在該情形中的游離電位、電壓間隙、電子親和力、以及工作函數。須注意滿足關係式 $W_{f_1} = E_{a_1} + (1/2) \cdot E_{g_1}$ 以及關係式 $W_{f_2} = E_{a_2}$ 。

[表 1]

	IP [eV]	E_g [eV]	E_a [eV]	W_f [eV]
樣本 1	7.8	3.2	4.6	6.2
樣本 2	7.6	1.7	5.9	5.9
金屬	-	-	-	4.8

圖 5B 顯示如同描述於本發明之實施例 1 中的半導體裝置，在將通道連接至源極及汲極之情形中的能帶結構。亦即，當係通道之樣本 1 與係源極及汲極的樣本 2 接觸時，載體轉移，使得費米能階變得均勻且因此樣本 1 的能帶邊緣彎曲。

圖 5C 顯示作為比較範例之在係源極及汲極之金屬與係通道的樣本 1 接觸之情形中的能帶結構。又在此情形中，載體轉移，使得費米能階變得均勻且樣本 1 的能帶邊緣彎曲；然而，相較於樣本 2 與樣本 1 接觸的情形，因為關係式 $W_{f_2} > W_{f_m}$ ，該能帶邊緣顯著地彎曲。由於該能

帶的此種大彎曲，在針對小型化降低電晶體之通道長度的情形中，有效通道長度的縮減率高於通道長度的實際縮減率。換言之，短通道效應增強且有該電晶體之臨界電壓偏移或基材表面內的電特徵之變異增加的可能性。在將具有低工作函數之材料用於源極及汲極的情形中，此趨勢值得注意。在此範例中，將該金屬假設為具有 4.8eV 之相對高工作函數的金屬材料；具有更高工作函數的金屬材料係罕有的或非常昂貴的，且因此係不實際的。

因此，發現當將係氧化物半導體的樣本 1 用於電晶體的通道並將係氮氧化物半導體之樣本 2 用於其源極及汲極時，相較於將金屬材料用於該源極及該汲極的情形，可降低該電晶體的短通道效應。

[範例 2]

在此範例中，將參考圖 6 描述氫在氧化物半導體及氮氧化物半導體中的擴散。

樣本具有以下結構。

將氧化物半導體膜 551 形成在玻璃基材上方，將氧化物半導體膜 552 形成在氧化物半導體膜 551 上方，並將氮氧化物半導體膜 553 形成在氧化物半導體膜 552 上方。

氧化物半導體膜 551 的沈積條件如下。

沈積方法：DC 濺鍍法

靶材：In-Ga-Zn-O 靶材（原子比率為 In : Ga : Zn : O=2 : 2 : 1 : 7）

沈積功率：500W

沈積氣體：Ar，40sccm

沈積壓力：0.4Pa

T-S 距離：60mm

沈積時的基材溫度：RT

膜厚度：100nm

氧化物半導體膜 552 的沈積條件如下。

沈積方法：DC 濺鍍法

靶材：In-Ga-Zn-O 靶材（原子比率為 In：Ga：Zn：O=2：2：1：7）

沈積功率：500W

沈積氣體：Ar，30sccm；O₂，15sccm

沈積壓力：0.4Pa

T-S 距離：60mm

沈積時的基材溫度：RT

膜厚度：100nm

氮氧化物半導體膜 553 的沈積條件如下。

沈積方法：DC 濺鍍法

靶材：In-Ga-Zn-O 靶材（原子比率為 In：Ga：Zn：O=2：2：1：7）

沈積功率：500W

沈積氣體：Ar，35sccm；N₂，5sccm

沈積壓力：0.4Pa

T-S 距離：60mm

沈積時的基材溫度：RT

膜厚度：200nm

在熱處理之前及之後，在上述樣本上實施 SIMS，並評估氫及氮的濃度。熱處理使用電阻加熱爐在氮大氣中以 350°C 實施 1 小時。

圖 6 顯示 SIMS 的結果。水平軸代表樣本的深度，且垂直軸代表氫及氮的濃度。須注意 SIMS 中的深度在此說明書中係從氧化矽膜的蝕刻率估算的近似值且不會始終符合實施深度；因此，SIMS 中的深度僅作為指示用。粗虛線 501 代表未於其上實施熱處理之樣本（原沈積層）的氮濃度；細虛線 503 係原沈積層的氫濃度；粗實線 511 係熱處理之後的氮濃度；且細實線 513 係熱處理之後的氫濃度。須注意由三條雙頭箭號指示的範圍分別指示氧化物半導體膜 551、氧化物半導體膜 552、以及氮氧化物半導體膜 553。

根據原沈積層的狀態及熱處理之後的狀態之間的比較，氫濃度在氧化物半導體膜 551 及氧化物半導體膜 552 中減少並在氮氧化物半導體膜 553 中增加。亦即，該等結果指示氫從氧化物半導體膜 551 及氧化物半導體膜 552 擴散入氮氧化物半導體膜 553。

須注意在熱處理前後之間，未在各層的氮濃度中觀察到不同。

因此，發現相較於氧化物半導體，氮氧化物半導體易於封閉氫且難以釋放氫。

[範例 3]

在此範例中，將參考圖 7 描述氮在氧化物半導體及氮氧化物半導體中的擴散。

以下述方式得到樣本：將氮氧化物半導體膜 651 形成在玻璃基材上方，並將氧化物半導體膜 652 形成在氮氧化物半導體膜 651 上方。

氮氧化物半導體膜 651 的沈積條件如下。

沈積方法：DC 濺鍍法

靶材：In-Ga-Zn-O 靶材（原子比率為 In : Ga : Zn : O=1 : 1 : 1 : 4）

沈積功率：500W

沈積氣體：Ar，35sccm；N₂，5sccm

沈積壓力：0.4Pa

T-S 距離：60mm

沈積時的基材溫度：200°C

膜厚度：100nm

氧化物半導體膜 652 的沈積條件如下。

沈積方法：DC 濺鍍法

靶材：In-Ga-Zn-O 靶材（原子比率為 In : Ga : Zn : O=1 : 1 : 1 : 4）

沈積功率：500W

沈積氣體：Ar，30sccm；O₂，15sccm

沈積壓力：0.4Pa

T-S 距離：60mm

沈積時的基材溫度：200℃

膜厚度：200nm

在熱處理之前及之後，在上述樣本上實施 SIMS，並評估氮的濃度。熱處理使用電阻加熱爐在氮大氣中以 450℃ 或 650℃ 實施 1 小時。

圖 7 顯示 SIMS 的結果。實線 601 代表未於其上實施熱處理等之樣本（原沈積層）的氮濃度；實線 611 係樣本在 450℃ 的熱處理之後的氮濃度；且實線 621 係樣本在 650℃ 的熱處理之後的氮濃度。須注意由雙頭箭號指示的範圍分別標示氮氧化物半導體膜 651 及氧化物半導體膜 652。

從原沈積層之樣本及 450℃ 的熱處理之後的樣本之間的比較，發現 450℃ 的熱處理幾乎不導致氮從氮氧化物半導體膜 651 擴散入氧化物半導體膜 652。另一方面，從原沈積層之樣本及 650℃ 的熱處理之後的樣本之間的比較，發現 650℃ 的熱處理導致氮從氮氧化物半導體膜 651 輕微地擴散入氧化物半導體膜 652。

根據此範例，發現在 450℃ 或更低溫度的處理中，氮難以從氮氧化物半導體擴散入氧化物半導體，且氮在 650℃ 輕微地擴散。

換言之，氮氧化物半導體極度穩定，且由於熱處理等的氮擴散較不可能發生。

本申請案基於 2010 年 11 月 11 日向日本特許廳申請

的日本專利申請案編號第 2010-252489 號，該專利之教示全文以提及之方式併入本文中。

【符號說明】

100：基材

102：基底絕緣膜

104：導電膜

105：離子

106：島形氧化物半導體膜

108、112：閘極絕緣膜

114：閘極電極

116、716：佈線

122：氮氧化物半導體區域

124：層間絕緣膜

126：氧化物半導體區域

130：接點孔

151、152、153、154、155、156、157、750：電晶體

501：粗虛線

503：細虛線

511：粗實線

513：細實線

551、552、652：氧化物半導體膜

553、651：氮氧化物半導體膜

601、611、621：實線

- 701：第一基材
- 702：像素部
- 703：訊號線驅動器電路
- 704：掃描線驅動器電路
- 705：密封劑
- 706：第二基材
- 708：液晶層
- 713：液晶元件
- 715：電極
- 718a、718b：可撓性印刷電路
- 719：向異性導電膜
- 720：輸入終端
- 730：第一電極
- 731：第二電極
- 732、733：絕緣膜
- 735：間隔器
- 801、811：主體
- 802、821、822、861：外殼
- 803、813、823、824、863：顯示部
- 804：鍵盤
- 812：觸控筆
- 814：操作鍵
- 820：電子書閱讀器
- 825：轉軸

826 : 電源開關

827 : 操作鍵

828 : 揚聲器

860 : 電視裝置

865 : 腳架

Ea : 電子親和力

Ec : 最小傳導帶

Ef : 費米能階

Eg : 能量間隙

Ev : 最大共價帶

Evac : 真空能階

IP : 游離電位

Wf : 工作函數

申請專利範圍

1. 一種半導體裝置，包含：
氧化物半導體層，包含：
一對氮氧化物半導體區域；以及
氧化物半導體區域，介於該對氮氧化物半導體區域之間。
2. 如申請專利範圍第 1 項之半導體裝置，更包含：
閘極絕緣膜，與至少一部分的該氧化物半導體層接觸；以及
閘極電極，組態成以該閘極絕緣膜插於其間的方式與該氧化物半導體區域重疊。
3. 如申請專利範圍第 2 項之半導體裝置，其中該對氮氧化物半導體區域相對於該閘極電極以自我對準的方式形成。
4. 如申請專利範圍第 1 項之半導體裝置，其中：
該對氮氧化物半導體區域係作為電晶體的源極區域及汲極區域使用，且
該氧化物半導體區域係作為該電晶體的通道區域使用。
5. 如申請專利範圍第 1 項之半導體裝置，其中該氧化物半導體區域及該對氮氧化物半導體區域之各區域包含 In、Ga、Sn、及 Zn 的二或多者。
6. 如申請專利範圍第 1 項之半導體裝置，其中該對氮氧化物半導體區域之各區域的氮濃度高於或等於

0.01at.%且低於或等於 30at.%。

7. 如申請專利範圍第 1 項之半導體裝置，其中：

該對氮氧化物半導體區域的氫濃度高於或等於 1×10^{19} 原子/cm³ 且低於或等於 1×10^{22} 原子/cm³；且

該氧化物半導體區域的氫濃度低於或等於 1×10^{20} 原子/cm³。

8. 如申請專利範圍第 2 項之半導體裝置，更包含：

絕緣膜，在該對氮氧化物半導體區域及該閘極電極上方；

接點孔，在該絕緣膜中，到達該對氮氧化物半導體區域的一區域；以及

佈線，經由該接點孔連接至該對氮氧化物半導體區域的一區域。

9. 如申請專利範圍第 8 項之半導體裝置，其中該絕緣膜包含濃度高於或等於 0.1at.%且低於或等於 25at.%的氫。

10. 一種製造半導體裝置的方法，包括下列步驟：

將氧化物半導體層形成在絕緣表面上方；

將閘極絕緣膜形成在該氧化物半導體層上方；

將閘極電極形成在該閘極絕緣膜上方；

以將該閘極電極使用為遮罩的方式而將氮加入至該氧化物半導體層；以及

在將氮加入至該氧化物半導體層之該步驟後，以高於或等於 150°C 且低於或等於 600°C 的基材溫度加熱基材。

11. 如申請專利範圍第 10 項之製造半導體裝置的方法，其中，在將氮加入至該氧化物半導體層之該步驟中，藉由將包括該氮之離子植入該氧化物半導體層，形成一對氮氧化物半導體區域。

12. 如申請專利範圍第 11 項之製造半導體裝置的方法，其中加熱該基材之該步驟係於形成該對氮氧化物半導體區域之後實施。

13. 如申請專利範圍第 11 項之製造半導體裝置的方法，在形成該對氮氧化物半導體區域之後，形成電連接至該對氮氧化物半導體區域之一者的佈線。

14. 如申請專利範圍第 11 項之製造半導體裝置的方法，其中包括氮之該離子被植入，以使該對氮氧化物半導體區域之氮濃度高於或等於 0.01at.% 且低於或等於 30at.%。

15. 如申請專利範圍第 11 項之製造半導體裝置的方法，其中該氧化物半導體層被形成，以使該對氮氧化物半導體區域之氮濃度高於或等於 1×10^{19} 原子/cm³ 且低於或等於 1×10^{22} 原子/cm³，並使夾於該對氮氧化物半導體區域之間的區域之氮濃度低於或等於 1×10^{20} 原子/cm³。

圖式

圖1A

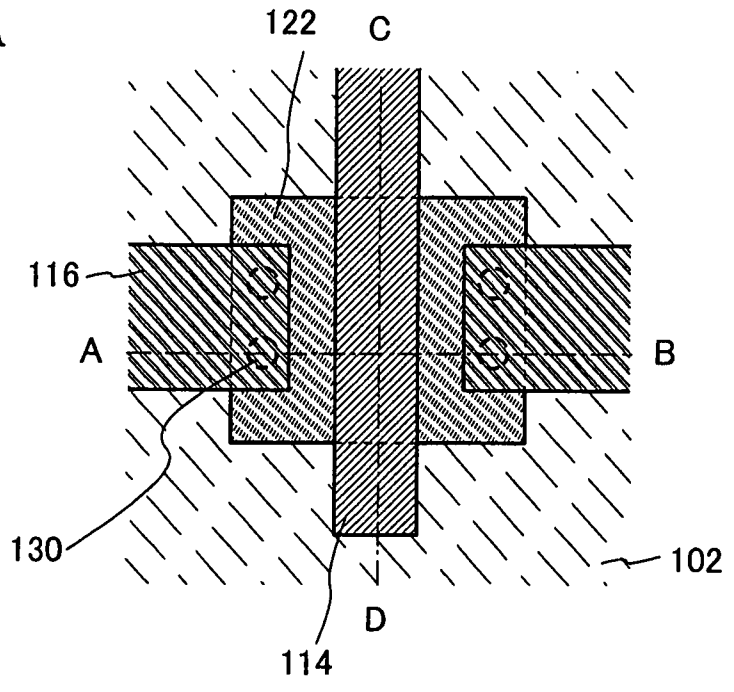


圖1B

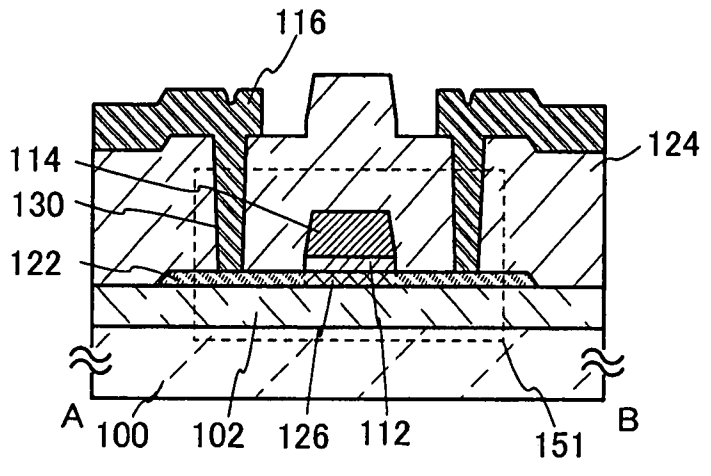


圖1C

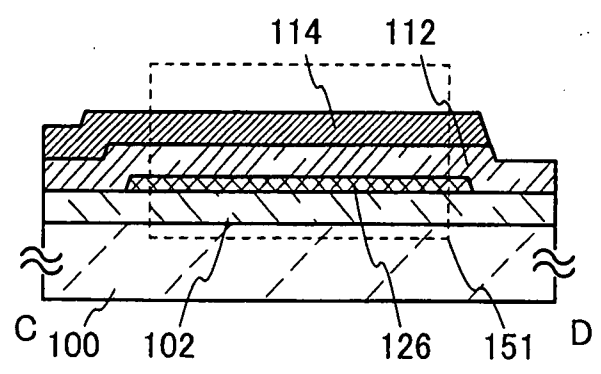


圖 2A

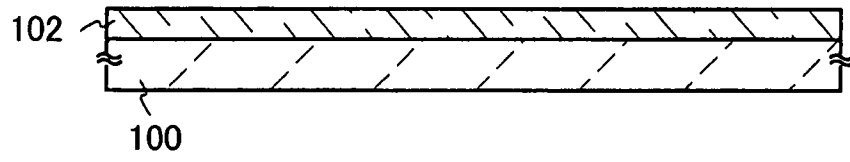


圖 2B

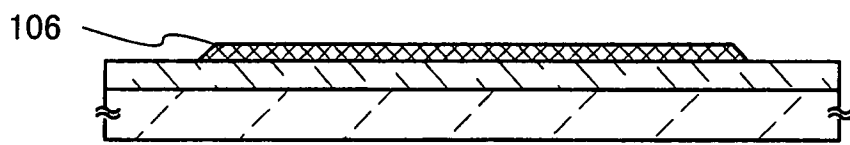


圖 2C

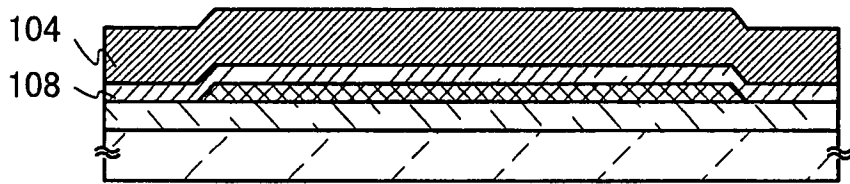


圖 3A

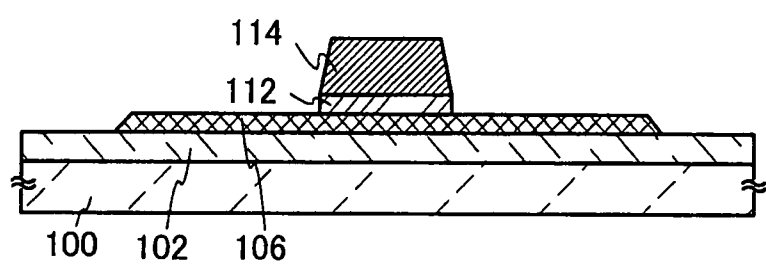


圖 3B

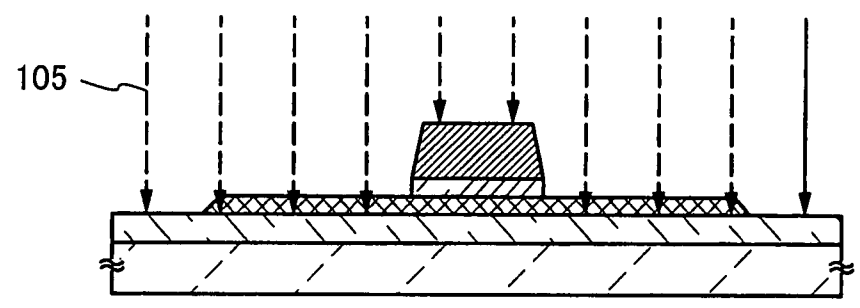


圖 3C

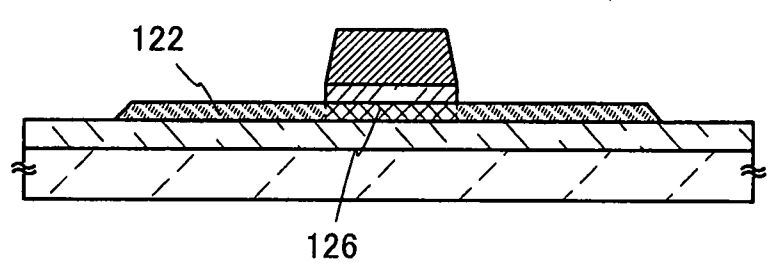


圖 3D

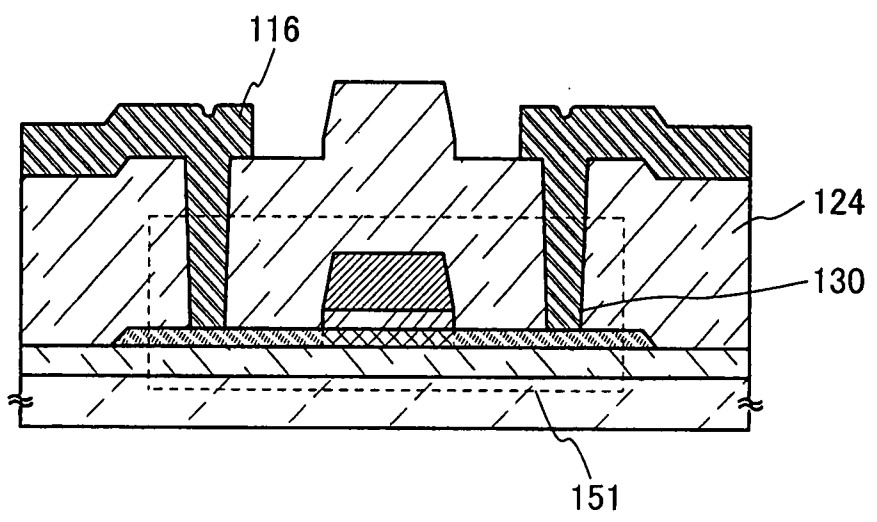


圖 4A

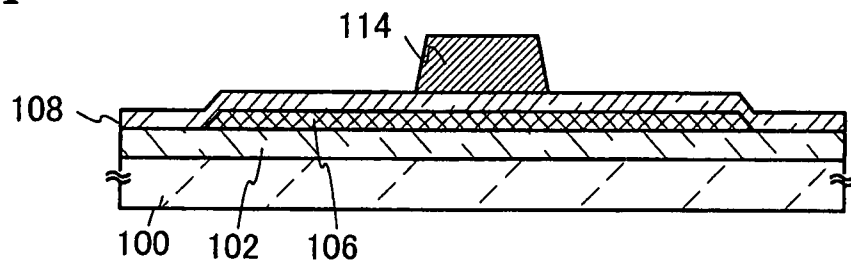


圖 4B

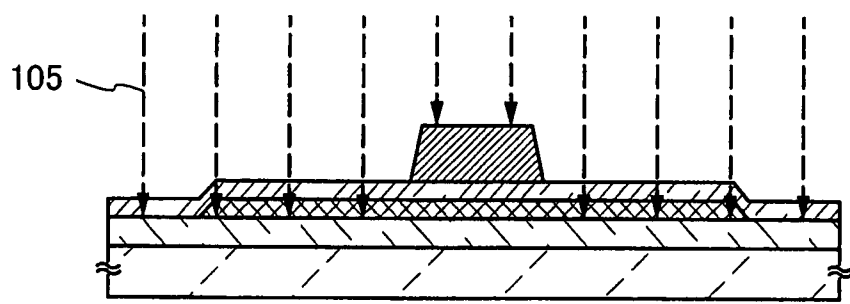


圖 4C

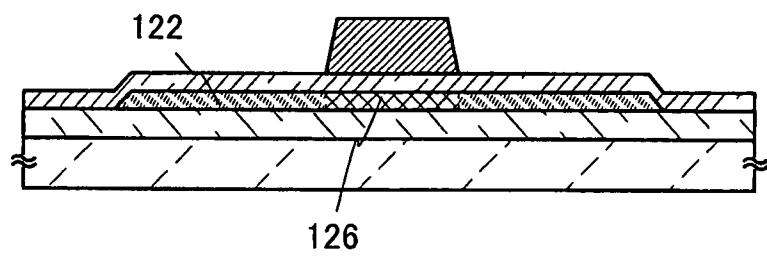


圖 4D

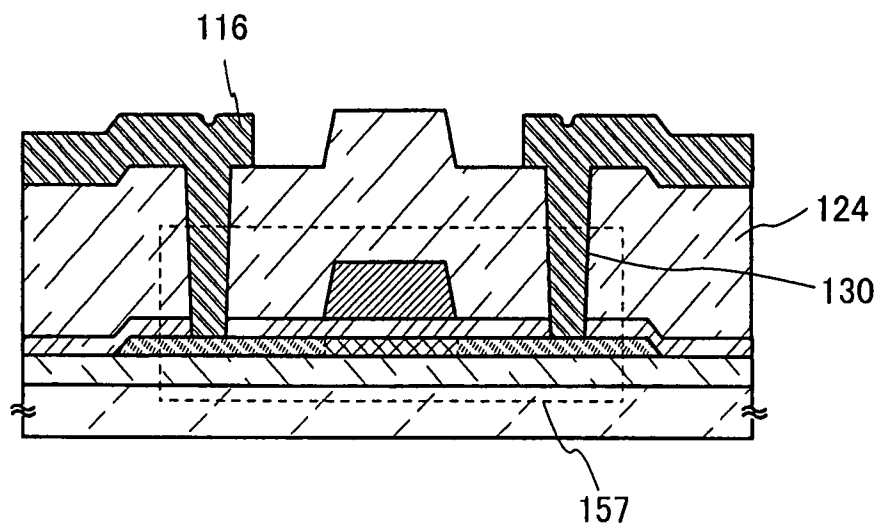


圖 5A

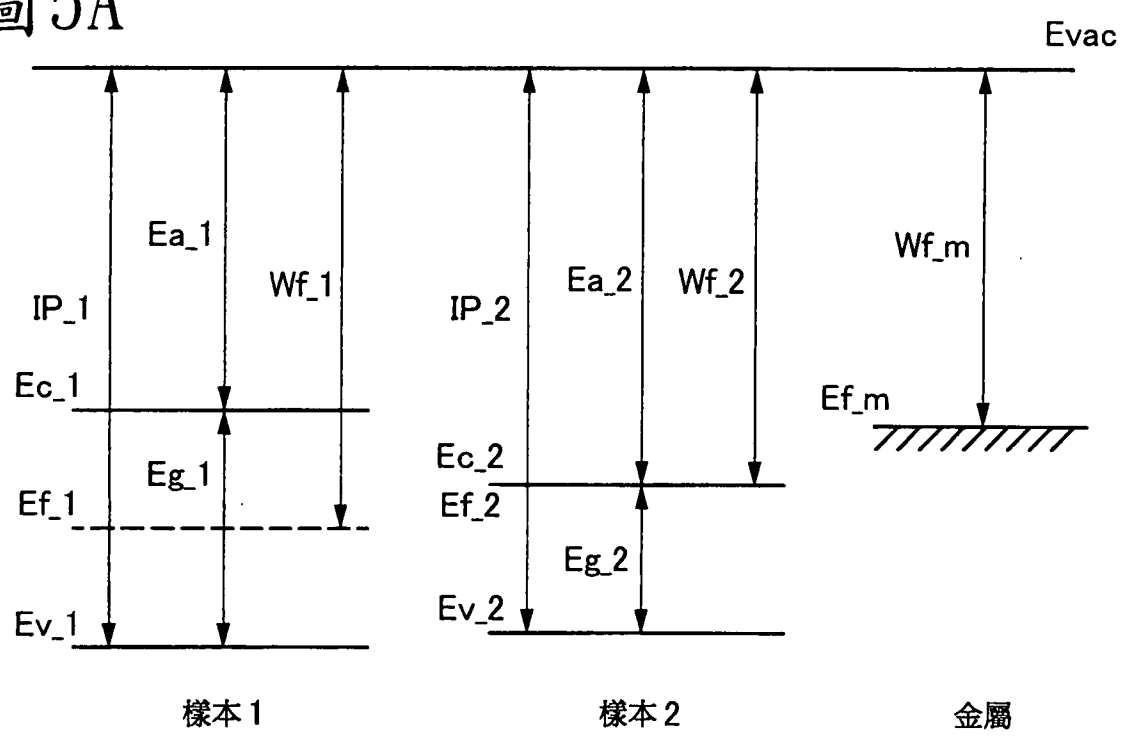


圖 5B

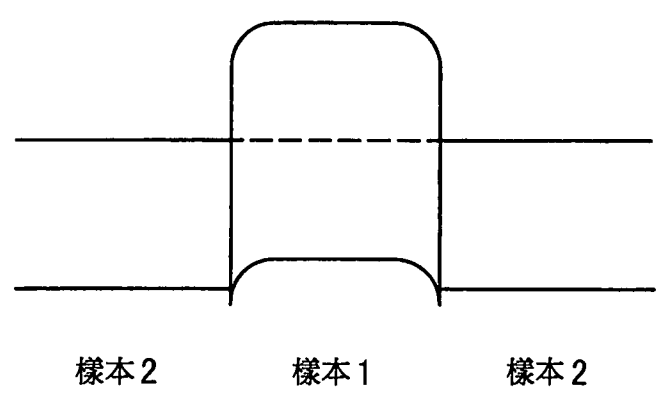


圖 5C

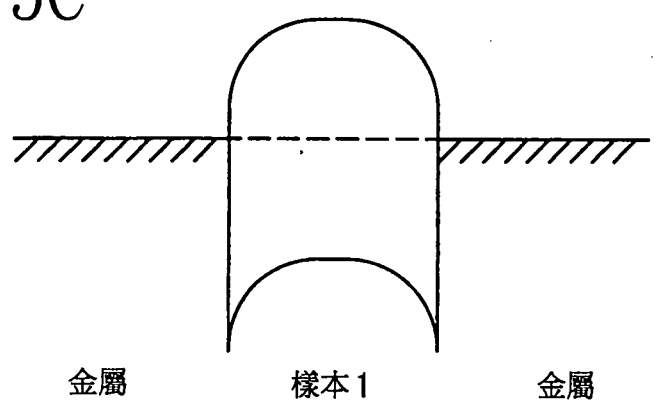


圖6

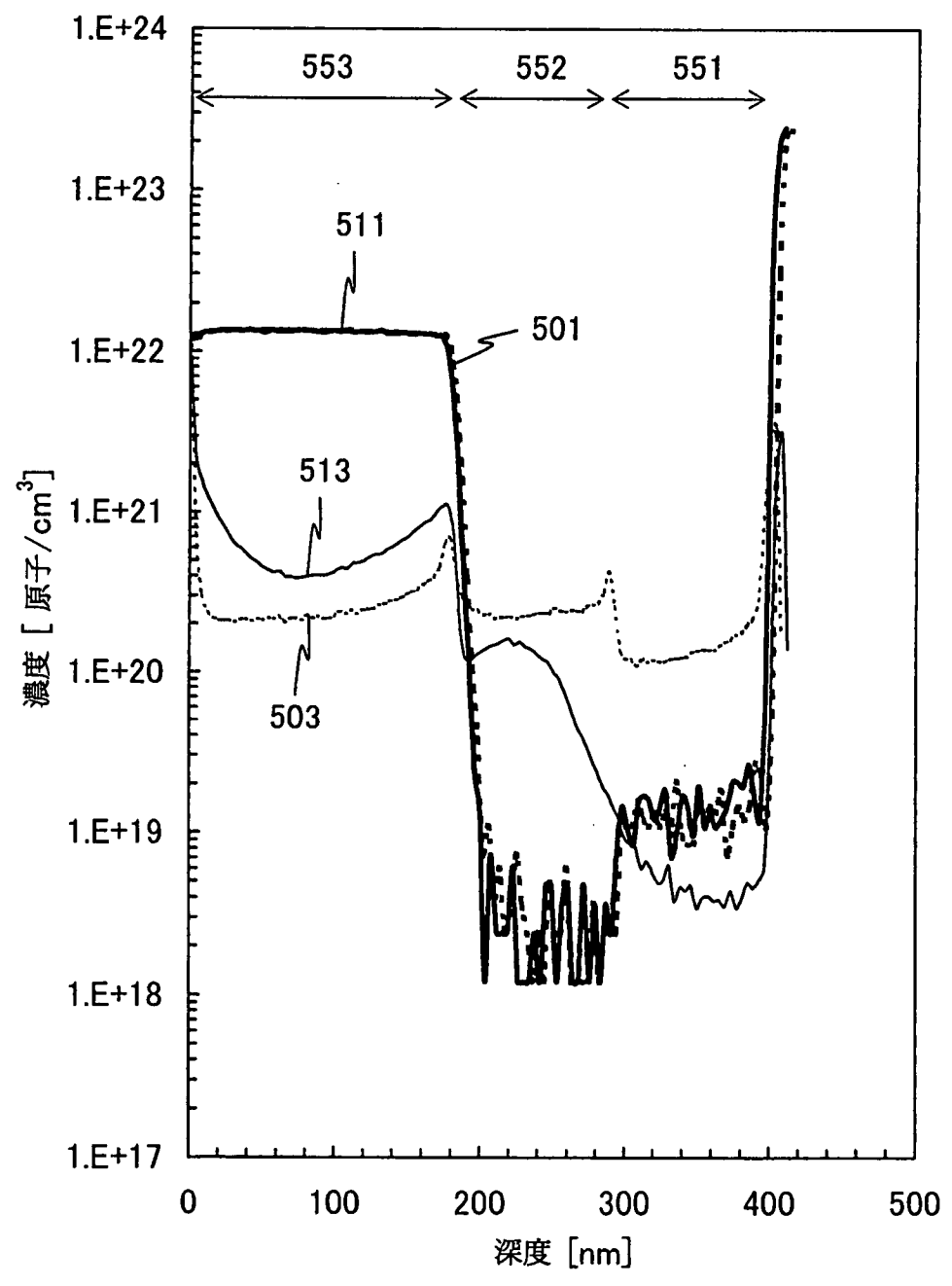


圖 7

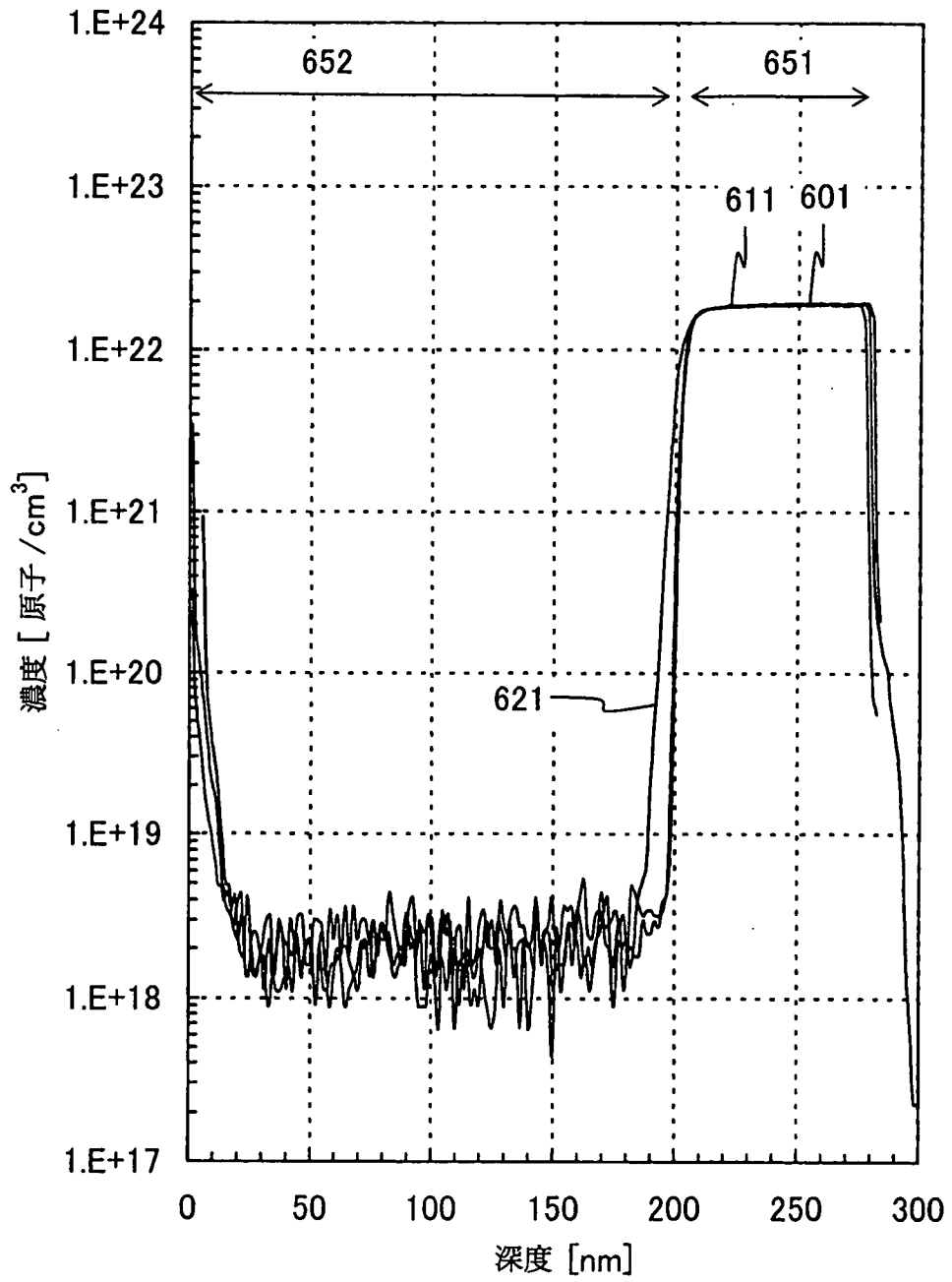


圖 8A

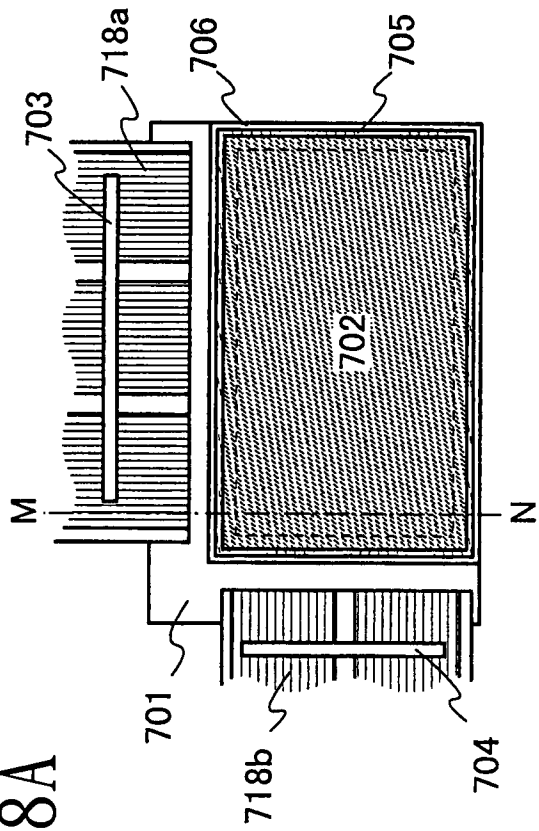


圖 8B

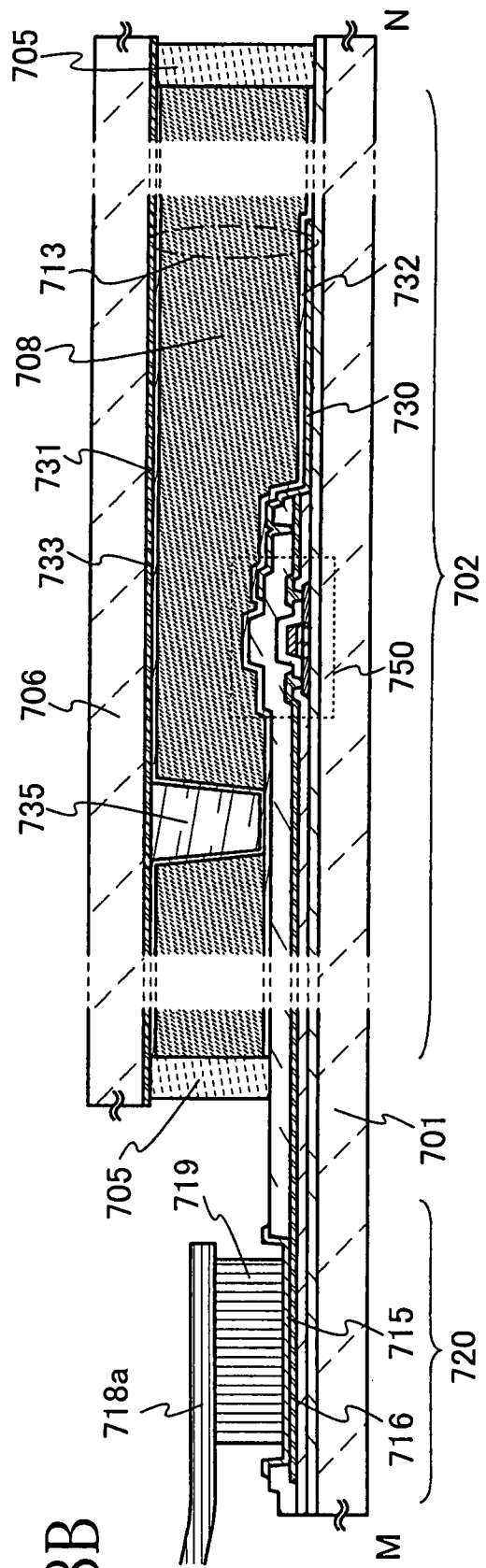


圖 9A

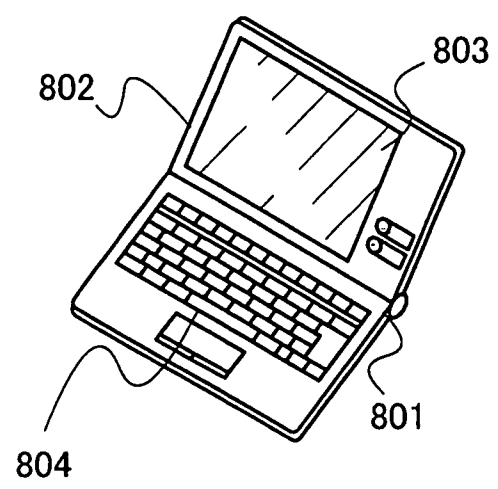


圖 9B

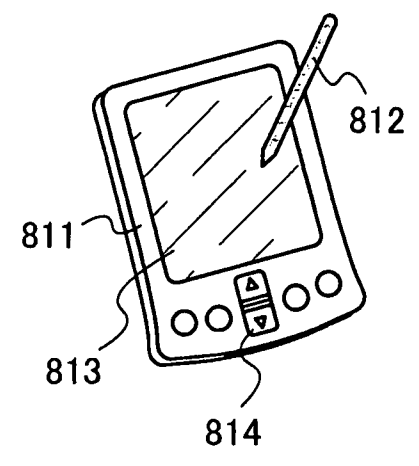


圖 9C

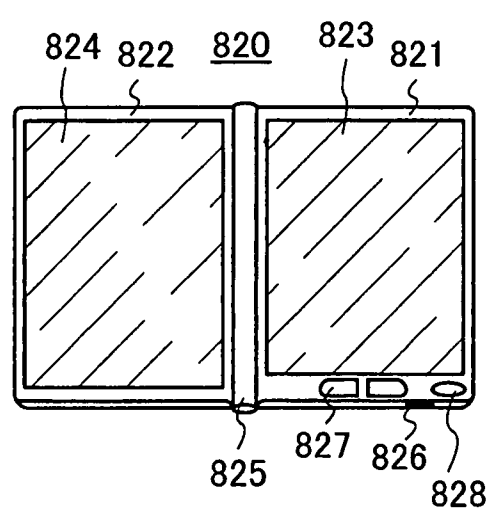


圖 9D

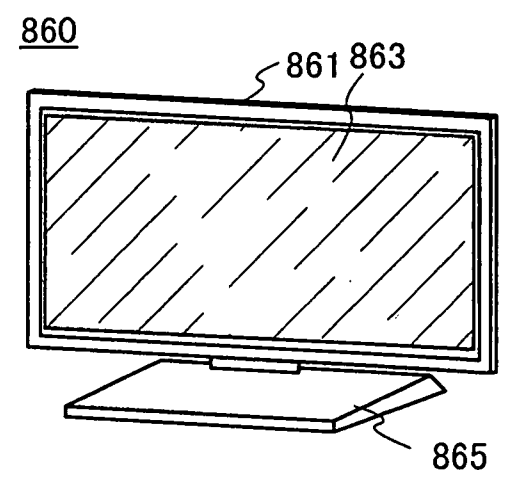


圖 10A

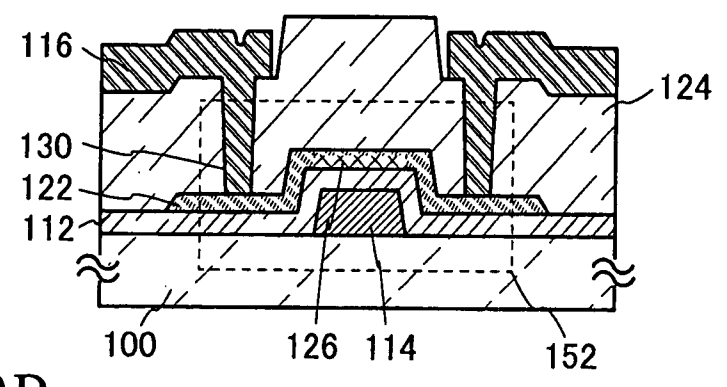


圖 10B

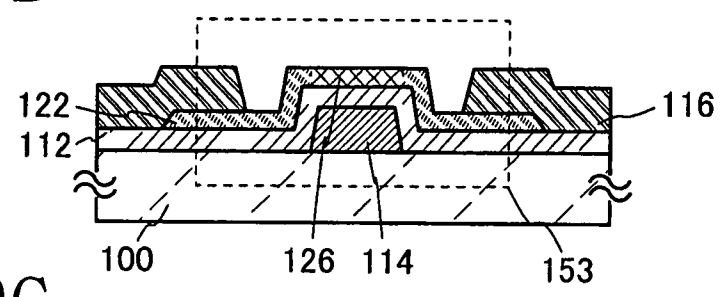


圖 10C

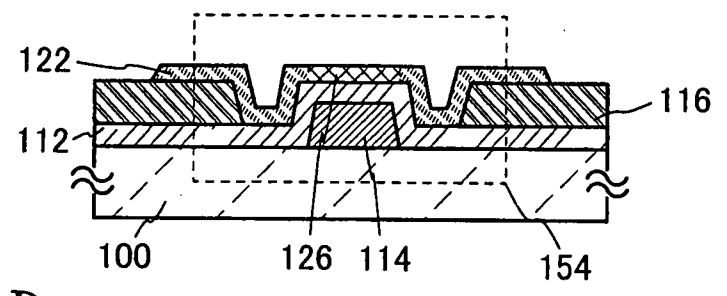


圖 10D

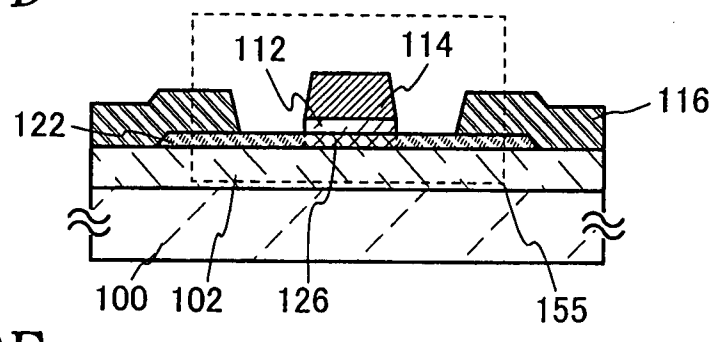


圖 10E

