



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년05월20일
 (11) 등록번호 10-1035842
 (24) 등록일자 2011년05월13일

- (51) Int. Cl.
H01L 29/78 (2006.01)
- (21) 출원번호 10-2005-7010473
- (22) 출원일자(국제출원일자) 2003년10월14일
 심사청구일자 2008년10월14일
- (85) 번역문제출일자 2005년06월09일
- (65) 공개번호 10-2005-0085490
- (43) 공개일자 2005년08월29일
- (86) 국제출원번호 PCT/US2003/032406
- (87) 국제공개번호 WO 2004/053999
 국제공개일자 2004년06월24일
- (30) 우선권주장
 10/313,225 2002년12월09일 미국(US)
- (56) 선행기술조사문헌
 EP00119400 A1*
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 세미컨덕터 콤포넌츠 인더스트리즈 엘엘씨
 미합중국, 아리조나 85008, 피닉스, 이스트 맥도
 웰 로드 5005
- (72) 발명자
 벤카트라만, 프라자드
 미국 아리조나 85233, 길버트, 더글라스 애비뉴
 718 더블유.
- (74) 대리인
 장훈

전체 청구항 수 : 총 5 항

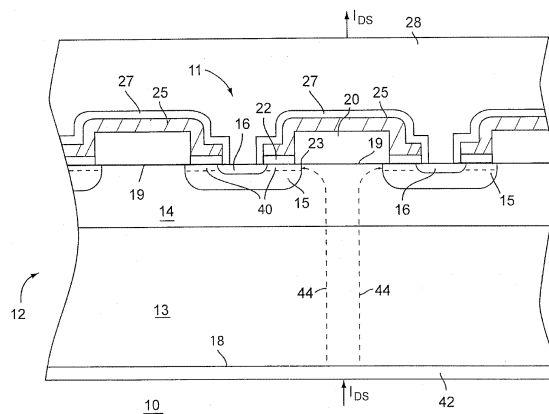
심사관 : 정두한

(54) 수직 MOS 전력 트랜지스터

(57) 요약

DMOS 트랜지스터와 같은 트랜지스터(10)는 채널(40)을 형성하기 위한 제 1 표면(19)을 갖는 반도체 기판(12)상에 형성된다. 게이트 유전체(22)는 채널의 제 1 부분을 덮는 제 1 두께를 갖고, 유전체막(20)은 채널의 제 2 부분을 덮고 제 1 두께보다 더 두꺼운 제 2 두께를 갖는다. 제 2 두께는 트랜지스터의 드레인-게이트 커패시턴스를 감소시키고, 그에 따라 스위칭 속도 및 주파수 응답을 개선한다.

대표도



특허청구의 범위

청구항 1

트랜지스터(10)에 있어서,

제 1 도전형을 갖는 반도체 기관(12)으로서, 상기 반도체 기관(12)은 드레인 영역을 형성하는, 상기 반도체 기관(12);

상기 트랜지스터에 수평 채널(40)을 제공하기 위해 상기 반도체 기관의 수평 상부면(19)에 형성된 웰 영역(15)으로서, 제 1 에지(23)를 갖는 상기 웰 영역(15);

상기 웰 영역(15)에 형성된 상기 제 1 도전형의 소스 영역(16);

상기 반도체 기관(12)상에 및 상기 웰 영역(15)의 일부 위에 형성된 게이트 유전체 층(22)으로서, 제 1 두께를 포함하는 상기 게이트 유전체 층(22); 및

상기 반도체 기관(12)상에 형성된 유전체 영역(20)으로서, 상기 유전체 영역(20)은 상기 제 1 두께보다 큰 제 2 두께를 포함하고, 상기 유전체 영역(20)의 테이퍼된 에지(tapered edge)는 상기 채널(40)에서의 상기 제 1 에지(2)를 중첩시켜 상기 트랜지스터의 게이트-드레인 커패시턴스를 낮추는, 상기 유전체 영역(20)을 포함하는, 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 유전체 영역(20)은 LOCOS 유전체 영역을 포함하는, 트랜지스터.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

제 2 항에 있어서,

상기 LOCOS 유전체 영역은 0.3 마이크로미터의 거리만큼 상기 수평 채널 위에 놓이는, 트랜지스터.

청구항 8

제 1 항에 있어서,

상기 유전체 영역의 테이퍼된 에지는 0.3 마이크로미터의 거리만큼 상기 제 1 에지(23) 위에 놓이는, 트랜지스터.

청구항 9

제 1 항에 있어서,

상기 유전체 영역(20)에 인접하여 상기 반도체 기관에 형성되고 상기 웰 영역(15)으로부터 이격된 드레인 확장

영역을 더 포함하는, 트랜지스터.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

명세서

기술분야

[0001] 본 발명은 반도체 디바이스들, 특히 수직 MOS 전력 트랜지스터들에 관한 것이다.

배경기술

[0002] 스위칭 조절기들(switching regulators)은 조절된 출력 전압을 발생시키기 위해 인덕터 또는 변압기를 통해 전류를 스위칭하도록 트랜지스터를 사용함으로써 높은 효율을 달성한다. 스위칭 조절기들에 종종 사용되는 스위칭 트랜지스터의 하나의 유형은 전력 이중 확산 금속-산화물-반도체(diffused metal-oxide-semiconductor; DMOS) 트랜지스터이다. DMOS 트랜지스터는 일반적으로, 전류가 반도체 다이의 상부면을 따라 형성된 다수의 전기적 병렬 채널들을 통해 공통 드레인으로 측 방향으로(laterally) 흐르고, 이후 드레인을 통해 다이의 하부면에 형성된 드레인 전극으로 수직으로 흐르는 수직 트랜지스터이다.

[0003] 기존의 DMOS 트랜지스터들은, 스위칭 속도를 늦추고 트랜지스터 및/또는 시스템의 효율을 감소시키는 높은 드레인-게이트 커패시턴스의 결점을 갖는다. 결과적으로, 스위칭 조절기들은 낮은 효율성을 갖고, 트랜지스터는 높은 열 손실 및 감소된 신뢰성을 갖는다. 작은 다이 사이즈(die size) 및 낮은 비용을 달성하기 위해, 게이트 전극은 얇은 유전체층 위에 형성되고, 상부면에 위치하는 공통 드레인의 부분들을 통해 라우팅(route)된다. 게이트 전극과 공통 드레인의 중첩은 전체 드레인-게이트 커패시턴스의 상당 부분을 발생시키고, 스위칭 전력 트랜지스터의 주파수 응답 및 스위칭 속도를 감소시킨다.

발명의 상세한 설명

[0004] 따라서, 전력 손실을 감소시키고 신뢰성을 증가시키도록 더 높은 속도로 스위칭하기 위해 낮은 드레인-게이트 커패시턴스를 갖는 전력 트랜지스터에 대한 요구가 존재한다.

실시예

[0007] 도면들에서, 동일한 참조 번호를 갖는 요소들은 유사한 기능을 갖는다.

[0008] 도 1은 반도체 기판(12) 상에 형성되고 이중-확산 금속-산화물 반도체(MOS) 트랜지스터로서 구성된 수직 전력 트랜지스터(10)의 단면도이다. 일반적으로 다수의 유닛 셀들(11)은 행들, 열들, 셀들 또는 유사한 패턴들의 배열을 형성하기 위해 기판(12)의 수평 상부면(19) 상에 접속된다. 대안적으로, 트랜지스터(10)는 단일의, 연속 S자 곡선(continuous serpentine) 또는 브랜치된 레이아웃(branched layout)으로 형성될 수 있다. 각각의 유닛 셀(11)은 상부면(19)을 따라 움직이고 웰 영역(well region; 15)의 부분들을 반전시킴으로써 형성된 두 개의 채널들(40)을 포함한다. 채널들(40)은 하기와 같이 병렬-접속되고, 또한 높은 전류 능력을 제공하기 위해 도 1의 평면도 외부의 다른 채널들(40)에 결합된다. 일 실시예에서, 기판(12)은 n-형 단결정 실리콘(monocrystalline silicon)으로 형성되고, 트랜지스터(10)는 적어도 30 볼트의 드레인-소스 전압 및 적어도 0.5 암페어의 드레인 전류(I_{DS})로 동작하도록 특정된 n-채널 디바이스이다. 또 다른 실시예에서, 트랜지스터(10)는 측방향 DMOS 디바이스를 형성하도록 상부면에서 드레인 전극과 함께 평면 디바이스로서 형성된다.

[0009] 서브층(sublayer; 13)은 기판(12)의 하부면(18)에 형성되고, 트랜지스터(10)가 낮은 저항으로 동작하도록 대량으로 도핑(dope)된다. 일 실시예에서, 서브층(13)은 n-형 도전성 및 약 10^{19} atoms/cm³의 도핑 농도(doping

concentration)를 갖는다. 대안적인 실시예에서, 서브층(13)은 절연 게이트 양극성 트랜지스터로서 트랜지스터(10)를 구성하기 위해 p-형 도전성을 갖는다.

- [0010] 에피택셜층(epitaxial layer; 14)은 원하는 항복 전압(breakdown voltage)을 제공하도록 선택된 도핑 농도로 서브층(13) 위에 형성된다. 에피택셜층(14)은 일반적으로 가볍게 적절히 도핑되고, 약 2 마이크로미터 내지 약 50 마이크로미터 범위에서의 두께 및 약 10^{14} 내지 약 $5 \cdot 10^{16}$ atoms/cm³ 범위 사이의 도핑 농도를 갖는다. 일 실시예에서, 에피택셜층(14)은 n-형 도전성 및 약 3 마이크로미터의 두께 및 약 $2 \cdot 10^{16}$ atoms/cm³의 도핑 농도를 갖는다. 에피택셜층(14) 및 서브층(13)은 트랜지스터(10)의 공통 드레인으로서 기능한다.
- [0011] 웰 영역(15)은 트랜지스터(10)의 미리 결정된 도전 임계값을 제공하도록 선택된 도핑 프로파일과 함께 에피택셜층(14) 방향으로 상부면(19)에 형성된다. 일 실시예에서, 웰 영역(15)은 p-형 도전성, 약 1 마이크로미터의 깊이, 및 약 $5 \cdot 10^{17}$ atoms/cm³의 표면 도핑 농도를 갖는다. 웰 영역(15)은 도 1의 평면도 외부의 다른 웰 영역들(19)과 표면(19)에서 전기적으로 상호접속(interconnect)된다.
- [0012] 소스 영역(16)은 웰 영역(15)에 형성된 두 채널들(40)에 전기적으로 결합하기 위해 상부면(19)에서 및 웰 영역(15) 방향으로 형성된다. 소스 영역들(16)은 트랜지스터(10)의 낮은 저항을 제공하기 위해 대량으로 도핑된다. 일 실시예에서, 소스 영역들(16)은 n-형 도전성, 약 0.2 마이크로미터의 깊이, 및 약 10^{20} atoms/cm³의 도핑 농도를 갖도록 형성된다.
- [0013] 게이트 유전체(22)는 채널들(40)을 형성하도록 웰 영역들(15)의 하위 부분들(underlying portions)을 반전시키는 전계를 지원하기 위해 표면(19) 위에 형성된다. 일반적으로 게이트 유전체(22)는 특정된 도전 임계값 및/또는 항복 전압에 따라, 약 75 옹스트롬과 1000 옹스트롬 범위 사이의 두께로 형성된다. 일 실시예에서, 게이트 유전체(22)는 약 400 옹스트롬의 두께를 갖는 열적 성장된(thermally grown) 이산화 실리콘으로 형성된다.
- [0014] 게이트 전극(25)은 채널들(40)의 도전성을 변조하는 제어 신호를 수신하기 위해 게이트 유전체(22)의 영역들 위에 도전성 물질로 형성된다. 일 실시예에서, 게이트 전극(25)은 낮은 저항을 제공하기 위해 대량으로 도핑된 다결정 실리콘으로 형성된다. 일 실시예에서, 게이트 전극(25)은 n-형 도전성으로 형성되고 약 0.65 마이크로미터의 두께로 증착된다. 게이트 전극(25)의 불연속 부분들(discrete portions)은 평면도 외부에서 함께 접속된다.
- [0015] 트랜지스터(10)의 도전 임계 전압은 웰 영역(15)의 도핑 농도 및 게이트 유전체(22)의 두께 양측의 함수이다. 게이트 유전체(22)의 두께가 증가하고 웰 영역(15)의 표면 도핑 농도가 증가함에 따라, 도전 임계값은 증가한다. 게이트 유전체(22)의 두께 또는 웰 영역(15)의 도핑 농도의 어느 하나가 감소함에 따라, 도전 임계 전압은 감소한다. 일 실시예에서, 트랜지스터(10)의 도전 임계 전압은 약 1.5 볼트가 되도록 선택된다.
- [0016] 유전체 영역(20)은 도시된 바와 같이 게이트 유전체(22)의 인접 부분들 사이의 표면(19) 위에 형성된다. 유전체 영역(20)은 에피택셜층(14)과 게이트 전극(25) 사이의 간격을 증가시키기 위해 게이트 유전체(22)보다 더 두껍게 만들어지고, 그에 따라 트랜지스터(10)의 드레인-게이트 커패시턴스의 대응하는 구성요소가 감소된다. 일반적으로 유전체 영역(20)은 특정된 항복 전압에 따라, 약 2000 옹스트롬과 약 10000 옹스트롬 범위 사이의 두께로 형성된다. 일 실시예에서, 유전체 영역(20)은 두께가 약 6000 옹스트롬인 증착되거나 또는 열적 성장된 이산화 실리콘막을 패터닝(patterning) 및 에칭(etching)함으로써 형성된다. 유전체 영역(20)은 실질적으로 수직 측벽들(vertical sidewalls)을 갖는 것으로 도시되지만, 더 나은 단계 커버리지를 위한 경사진 측벽들을 제공하기 위해 다수의 표준 에칭 단계들 중 임의의 하나를 사용하여 또한 형성될 수 있다.
- [0017] 유전체 영역(20)은 웰 영역(15)의 에지(23) 위에 놓이고(overlie), 그에 따라 또한 채널(40) 위에 놓임을 유의한다. 그 결과, 게이트 전극(25)과 에피택셜 영역(14) 사이의 수직 분리는 게이트 유전체(22)보다는 유전체 영역(20)의 두께에 의해 전적으로 결정된다. 이러한 배열은 다른 디바이스들에 의해 제공되는 것보다 더 낮은 드레인-게이트 커패시턴스 및 더 높은 스위칭 속도를 달성한다.
- [0018] 유전체 영역(20)이 에지(23)를 중첩시키기 때문에, 채널들(40) 위에 놓이는 유전체막은, 게이트 유전체(22)로 인한 남은 부분 위에서보다 영역(20)으로 인한 일 부분 위에서 더 두껍다. 유전체 영역(20)이 실질적으로 게이트 유전체(22)보다 두껍기 때문에, 유전체 영역(20) 하부의 채널(40) 부분은 더 높은 임계값을 가질 것이다. 그러나, 웰 영역(15)은 제조 동안 웰 영역(15) 도펀트들(dopants)의 외부확산(outdiffusion)으로 인해, 소스 영역(16)에 인접한 농도보다 에지(23)에서 더 낮은 도핑 농도를 갖는다. 실질적으로 균일한 도전 임계값이 채널들(40)의 전체 길이를 따라 유지되도록, 더 낮은 도핑 농도는 유전체 영역(20)의 두께에 기인하는 임의의 증가

를 오프셋(offset)한다. 그에 따라, 유전체 영역(20)에 의한 채널들(40)의 증첩은 도전 임계 전압의 저하 없이 더 높은 스위칭 속도 및/또는 더 높은 주파수 응답을 트랜지스터(10)에 제공한다. 일 실시예에서, 채널(40)은 약 0.8 마이크로미터의 길이를 갖고, 영역(20)은 트랜지스터(10)의 도전 임계값의 변경없이 약 0.2 마이크로미터만큼 채널들(40) 위에 놓인다.

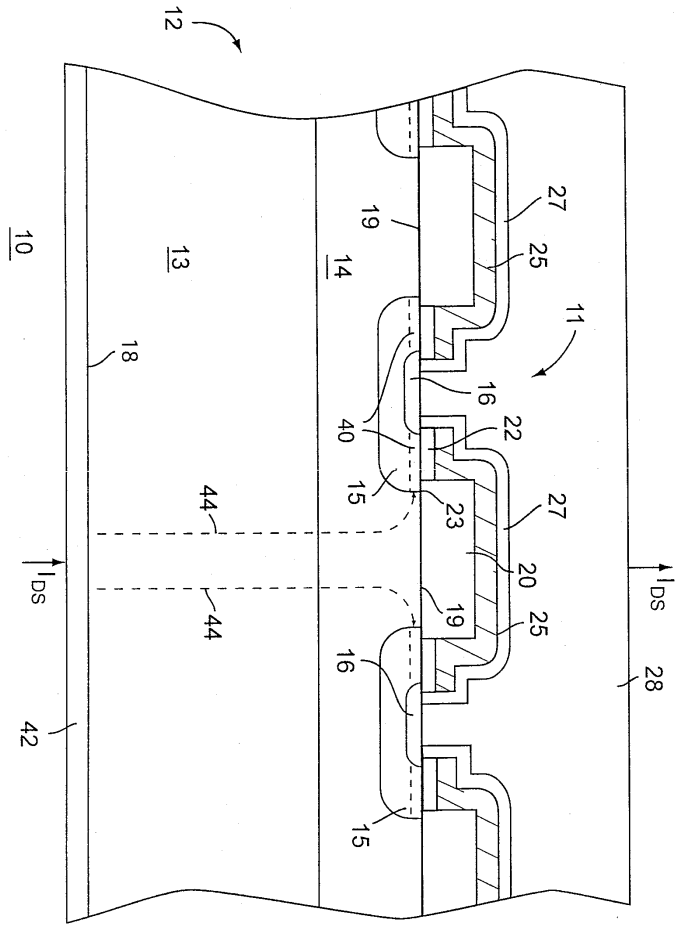
- [0019] 유전체층(27)은 게이트 전극(25) 위에 형성되고 이후의 금속화(metallization)로부터의 전기 절연(electrical isolation)을 위한 다른 영역들은 층들을 상호접속한다. 일 실시예에서, 유전체층(27)은 약 6000 옹스트롬의 두께로 증착된 이산화 실리콘으로 형성된다.
- [0020] 금속 상호접속막은 트랜지스터(10)의 표면들 위에 증착되고, 도시되는 바와 같이 소스 전극(28)을 형성하도록 패터닝된다. 소스 전극(28)은 또한 도 1의 평면도 외부의 다른 소스 영역들(16) 및 웰 영역들(15)을 접속시킨다. 일 실시예에서, 소스 전극(28)은 약 3 마이크로미터의 두께를 갖는다. 평면도 외측의 금속막의 영역은 게이트 전극들(25)을 상호접속시키기 위한 게이트 단말을 형성하기 위해 사용된다.
- [0021] 금속층은 채널들(40)을 통해 흐르는 드레인 전류(I_{DS})를 외부적으로 라우팅하는 드레인 전극(42)을 형성하기 위해 하부면(18) 상에 형성된다. 일 실시예에서, 드레인 전극(42)은 약 3 마이크로미터의 두께이다.
- [0022] 도 2는 대안적 실시예에서의 트랜지스터(10)의 단면도이다. 트랜지스터(10)는, 유전체 영역(20)이 부분적으로 상부면(19) 아래로 움푹 들어간(recess) 것을 제외하고는, 상기의 것과 구조 및 동작이 유사하다.
- [0023] 이러한 대안적 실시예에서, 유전체 영역(20)은 표준 국소 산화 반도체(standard locally oxidized semiconductor; LOCOS) 또는 유사한 프로세스를 사용하여 형성된다. 상기 이러한 프로세스에서, 에피택셜층(14)의 노출된 부분은 예를 들어, 질화 실리콘으로 제조된 하드 마스크(hard mask)(도시되지 않음)의 개구(opening)를 통해 열적 산화된다. 드레인 확장 영역(21)은 에피택셜 영역(14)의 국소 도전성을 증가시키기 위해 개구에 n-형 도펀트들을 주입함으로써 형성되고, 그에 따라 트랜지스터(10)의 저항을 감소시키고 트랜지스터(10)의 기생 접합 전계-효과 트랜지스터(parasitic junction field-effect transistor)를 디스에이블하도록 한다. n-형 도펀트들이 주입된 후, 열적 산화 프로세스는 노출된 반도체 물질을 소비된 반도체 물질의 볼륨을 초과하는 산화물 반도체, 예컨대, 이산화 실리콘으로 변환한다. 노출된 반도체 물질은 도시되는 바와 같이 표면(19) 아래의 유전체 영역(20)의 하위부(lower portion) 및 표면(20) 위의 상위부(upper portion)을 형성하기 위해 소비된다.
- [0024] 열적 산화 프로세스 동안, 산소는 반도체 물질을 산화시키고, 유전체 영역(20)의 경계(perimeter) 주위의 테이퍼된(tapered) "새 부리(bird's beak)" 특징을 형성하기 위해, 하드 마스크의 에지들의 아래에서 확산된다. 테이퍼된 토포그래피(topography) 및 적어도 부분적으로 움푹 들어간 막의 조합은 게이트 전극(25)과 같은 막들 위에 놓이는 것이 약간의 세선화(thinning) 또는 세선화없이 결과적인 높은 신뢰도로 우수하게 등각(conformal)되도록, 우수한 단계 커버리지를 용이하게 하는 상대적으로 평면의 표면을 제공한다. 그에 따라, 유전체 영역(20)은 낮은 드레인-게이트 커패시턴스가 되도록 더 두꺼운 막을 제공하면서 급격한 수직 단계들을 회피한다. 일 실시예에서, 유전체 영역(20)은 약 7000 옹스트롬의 최대 두께로 형성된다.
- [0025] 테이퍼된 에지들은 또한 유전체 영역(20)이 다른 실시예들보다 더 먼 거리로 웰 영역(15)에 걸쳐 확장되도록 한다. 그에 따라, 채널들(40)의 더 큰 부분들이, 트랜지스터(10)의 효율적인 도전 임계값을 변경하지 않고 게이트 유전체(22)의 두께보다 더 두꺼운 위에 놓은 유전체 두께로 형성될 수 있다. 채널들(40)의 길이가 약 0.8 마이크로미터인 일 실시예에서, 유전체 영역(20)은 약 0.3 마이크로미터의 거리만큼 채널들(40) 위에 놓인다.
- [0026] 요약하면, 본 발명은 감소된 드레인-게이트 커패시턴스 및 더 높은 스위칭 속도 및 주파수 응답을 수직 DMOS 트랜지스터에 제공한다. 트랜지스터는 채널 전류가 제 1 표면과 제 2 표면 사이에 라우팅되도록, 채널을 형성하기 위한 제 1 표면 및 드레인 전극을 형성하기 위한 제 2 표면을 갖는 반도체 기판에서 형성된다. 게이트 유전체는 제 1 두께를 갖고 채널의 제 1 부분 위에 놓인다. 유전체막은 채널의 제 2 부분 위에 놓이고, 제 1 두께와 다른 예컨대, 더 두꺼운 제 2 두께를 갖는다. 증가된 두께는 트랜지스터의 스위칭 속도 및 주파수 응답을 증가시키고, 그에 따라 전력 손실을 감소시키고 신뢰도를 개선시킴으로써 효율을 증가시킨다.

도면의 간단한 설명

- [0005] 도 1은 수직 전력 트랜지스터의 단면도.
- [0006] 도 2는 대안적 실시예에서의 트랜지스터의 단면도.

도면

도면1



도면2

