



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2010-0107057  
 (43) 공개일자 2010년10월04일

- |   |  |
|---|--|
| <p>(51) Int. Cl.<br/> <i>G06K 19/073</i> (2006.01) <i>G06K 19/07</i> (2006.01)</p> <p>(21) 출원번호 10-2010-7018870(분할)</p> <p>(22) 출원일자(국제출원일자) 2003년07월03일<br/>             심사청구일자 2010년08월25일</p> <p>(62) 원출원 특허 10-2006-7000155<br/>             원출원일자(국제출원일자) 2003년07월03일<br/>             심사청구일자 2008년07월03일</p> <p>(85) 번역문제출일자 2010년08월25일</p> <p>(86) 국제출원번호 PCT/JP2003/008434</p> <p>(87) 국제공개번호 WO 2005/004047<br/>             국제공개일자 2005년01월13일</p> | <p>(71) 출원인<br/>             르네사스 일렉트로닉스 가부시키키가이샤<br/>             일본 가나가와켄 가와사끼시 나카하라쿠 시모누마베 1753</p> <p>(72) 발명자<br/>             니시자와, 히로따까<br/>             일본 100-6334 도쿄도 지요다쿠 마루노우찌 2쪼메 4-1 가부시키키가이샤 르네사스 테크놀로지 내<br/>             히구찌, 아끼라<br/>             일본 100-6334 도쿄도 지요다쿠 마루노우찌 2쪼메 4-1 가부시키키가이샤 르네사스 테크놀로지 내<br/>             (뒷면에 계속)</p> <p>(74) 대리인<br/>             이중희, 장수길</p> |
|---|--|

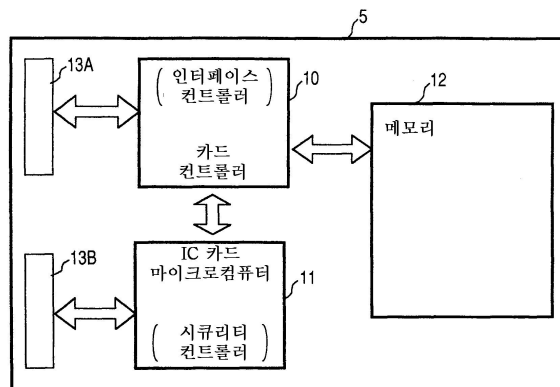
전체 청구항 수 : 총 6 항

**(54) 반도체 카드 디바이스**

**(57) 요약**

멀티 펄스 카드 디바이스(5)는, 외부 접속 단자(13A, 13B), 인터페이스 컨트롤러(10), 메모리(12), 및 상기 인터페이스 컨트롤러와 외부 접속 단자에 접속된 시큐리티 컨트롤러(11)를 갖는다. 인터페이스 컨트롤러는 복수의 인터페이스 제어 양태를 갖고, 외부로부터의 지시에 따른 제어 양태로 외부 인터페이스 동작과 메모리 인터페이스 동작을 제어한다. 외부 접속 단자는 인터페이스 제어 양태마다 개별화된 개별 단자와 공통화된 공통 단자를 갖는다. 공통 단자에는 클럭 입력 단자, 전원 단자 및 접지 단자를 포함한다. 개별 단자에는 데이터 단자와, 상기 시큐리티 컨트롤러의 전용 단자(13b)를 포함한다. 여러 종류의 인터페이스 제어 양태에 대하여 외부 접속 단자의 부분적인 공통화와 개별화에 의해 인터페이스의 신뢰성의 보증과 물리적 규모의 증대 억제를 달성한다. 시큐리티 컨트롤러 단독 인터페이스에 의한 시큐리티 처리도 보증할 수 있다.

**대표도 - 도2**



(72) 발명자

**오사와, 겐지**

일본 100-6334 도쿄도 지요다꾸 마루노우찌 2쵸메  
4-1 가부시끼가이샤 르네사스 테크놀로지 내

**오사꼬, 준이찌로**

일본 100-6334 도쿄도 지요다꾸 마루노우찌 2쵸메  
4-1 가부시끼가이샤 르네사스 테크놀로지 내

**와다, 다마끼**

일본 100-6334 도쿄도 지요다꾸 마루노우찌 2쵸메  
4-1 가부시끼가이샤 르네사스 테크놀로지 내

**스기야마, 미찌아끼**

일본 100-6334 도쿄도 지요다꾸 마루노우찌 2쵸메  
4-1 가부시끼가이샤 르네사스 테크놀로지 내

---

**특허청구의 범위**

**청구항 1**

배선 기판에 실장된 반도체 칩이 패키지에 밀봉된 반도체 카드 디바이스로서,  
상기 패키지의 두께 방향으로, 소켓에 걸리는 단차부가 적어도 2개소 형성되어 있는 것을 특징으로 하는 반도체 카드 디바이스.

**청구항 2**

제1항에 있어서,  
상기 패키지는 몰드·어레이·패키지 형태로 형성된 패키지인 것을 특징으로 하는 반도체 카드 디바이스.

**청구항 3**

제1항에 있어서,  
상기 2개소의 단차부는 비대칭인 것을 특징으로 하는 반도체 카드 디바이스.

**청구항 4**

제1항에 있어서,  
상기 패키지의 외에 노출되는 외부 접속 단자는 패키지의 중심에 대하여 비선대칭인 것을 특징으로 하는 반도체 카드 디바이스.

**청구항 5**

제4항에 있어서,  
상기 패키지의 외에 노출되는 외부 접속 단자는 복수열로 병렬되고, 상기 복수열은 패키지의 단차부에 대하여 치우침을 갖고 있는 것을 특징으로 하는 반도체 카드 디바이스.

**청구항 6**

제4항에 있어서,  
상기 패키지의 외에 노출되는 외부 접속 단자는 복수열로 병렬되고, 상기 복수열은 병렬 방향에 대하여 서로 치우침을 갖고 있는 것을 특징으로 하는 반도체 카드 디바이스.

**명세서**

**기술분야**

[0001] 본 발명은, 메모리 카드의 여러 종류의 규격에 대응하거나 시큐리티 처리를 서포트하기도 하는 것이 가능한 다기능 메모리 카드와 같은 멀티 평선 카드 디바이스에 관한 것이다.

**배경기술**

[0002] 통신 휴대 단말, PDA(Personal Data Assistant), PC(Personal Computer) 등에서 이용 가능한 메모리 카드에는 여러 종류의 규격이 존재한다. 예를 들면 MMC(Multi Media Card), HSMMC(High Speed Multi Media Card), RSMMC(Reduced Size Multi Media Card), SD 카드, 메모리 스틱, 메모리 스틱 Pro 등의 사양이 존재한다. 이들 명칭은 각각 등록 상표 또는 트레이드 마크임을 여기서 부기한다. 각각의 사양에 관해서는 데이터 비트수, 카드 인식 프로토콜, 버스 제어 방법, 데이터 포맷 등에 차이가 있다.

[0003] 국제 공개 WO 01/84480호 팜플렛에는 MMC와의 호환성을 유지하면서 멀티 뱅크나 멀티 평선을 실현하기 위해서, MMC에 SIM(Subscriber Identity Module)을 탑재하여 시큐리티의 강화를 도모하도록 한 기술이 기재된다.

[0004] 일본 공개 특허 공보 2003-30613호에는 복수의 컨트롤러 칩을 구비하고, 각 컨트롤러 칩에 대응한 인터페이스

모드를 서포트하고, 모드 절환을 가능하게 한 기억 장치에 관한 기재가 있다.

[0005] 일본 공개 특허 공보 2003-91704호에는, 플래시 메모리 칩과 시큐리티 처리를 실행하는 IC 카드 칩과, 외부로부터의 지시에 따라 이들을 제어하는 컨트롤러 칩을 실장한 기억 장치에 관한 기재가 있다.

[0006] 본 발명자는 메모리 카드의 여러 종류의 규격에 대응하거나 시큐리티 처리를 서포트하기도 하는 것이 가능한 멀티 펄선 카드 디바이스에 관해서 검토하였다. 이에 의하면, 대응하는 규격이 3종류 이상이 되면 단자의 부분적인 공통화와 개별화에 의해 신뢰성의 보증과 물리적 규모의 증대를 억제한다는 다면적인 고려를 필요로 하는 것이 분명해졌다. 또한, 시큐리티 처리에 관해서도 시큐리티 컨트롤러 단독으로 인터페이스를 행하거나, 메모리 카드 인터페이스를 이용하는 경우도 상정되어, 여러 가지 인터페이스의 가능성에 대응할 수 있는 것이 필요하게 된다. 또한, 인터페이스도 접속 인터페이스뿐만 아니라 트랜스 결합 등에 의한 비접속 인터페이스도 보급되어, 인터페이스의 신뢰성 확보의 관점에서, 안테나 특성의 향상이나 EMI(Electro magnetic interference) 대책도 고려하는 것이 필요하게 된다. 또한, IC(Integrated circuit) 카드 등에서 채용되고 있는 비접속 인터페이스에서는 그 동작 전원은 트랜스 결합에 의한 전자 유도에 의해서 발생하는 기전력(유도 기전력)으로 얻고 있다. 이와 마찬가지로 유도 기전력에 의해서 동작 전원을 얻어야만 하는 경우가 있는 것을 고려하면, 특히 상시 온 상태 또는 오프 상태로 되는 모드 선택 스위치나 파워 스위치 등에 대해서도 스위치 상태의 유지에 전력 소비를 필요로 하지 않는 저소비 전력에 관해서 고려하는 것의 우수성을 인식하였다.

**발명의 내용**

**해결하려는 과제**

[0007] 본 발명의 목적은 메모리 카드의 여러 종류의 규격에 대응하거나 시큐리티 처리를 서포트하기도 하는 것이 가능한 멀티 펄선 카드 디바이스 등에 대한 상기 검토 사항을 해결하기 위한 수단을 제공하는 데 있다.

[0008] 본 발명의 상기 및 그 밖의 목적과 신규의 특징은 본 명세서의 이하의 기술과 첨부 도면으로부터 명백해질 것이다.

**과제의 해결 수단**

[0009] [1] 《카드 규격에 대한 범용성》

[0010] 멀티 펄선 카드 디바이스는, 외부 접속 단자가 형성된 배선 기판에 복수 개의 반도체 칩이 실장되고, 하나의 반도체 칩은 상기 외부 접속 단자에 접속된 인터페이스 컨트롤러를 구성하고, 다른 반도체 칩은 상기 인터페이스 컨트롤러에 접속된 메모리를 구성한다. 상기 인터페이스 컨트롤러는 복수의 인터페이스 제어 양태를 갖고, 외부로부터의 지시에 따른 제어 양태, 또는 내부에서 미리 결정된 설정에 따라서 외부 인터페이스 동작과 메모리 인터페이스 동작을 제어한다. 외부 접속 단자는 상기 인터페이스 제어 양태마다 개별화된 개별 단자와, 상기 인터페이스 제어 양태마다 공통화된 공통 단자를 갖는다. 상기 공통 단자에는 클럭 입력 단자, 전원 단자 및 접지 단자를 포함한다. 상기 개별 단자에는 데이터 단자를 포함한다.

[0011] 여러 종류의 인터페이스 제어 양태에 대하여 외부 접속 단자의 부분적인 공통화와 개별화에 의해 인터페이스의 신뢰성의 보증과 물리적 규모의 증대를 억제한다고 하는 양면을 만족시킬 수 있다.

[0012] 다기능화의 촉진에 대응하여, 상기 인터페이스 컨트롤러와 동일 또는 별도의 반도체 칩으로 구성된 시큐리티 컨트롤러를 더 갖는다. 상기 시큐리티 컨트롤러는 상기 인터페이스 컨트롤러 및 외부 접속 단자에 접속된다. 상기 개별 단자에는 상기 시큐리티 컨트롤러의 전용 단자를 더 포함한다. 시큐리티 컨트롤러 단독 인터페이스에 의한 시큐리티 처리도 보증할 수 있다. 예를 들면 시큐리티 컨트롤러가 이른바 IC 카드 마이크로컴퓨터인 경우에 종래의 IC 카드와 마찬가지로 멀티 펄선 카드 디바이스를 기능시키는 것이 가능하게 된다.

[0013] 구체적인 형태로서, 상기 시큐리티 컨트롤러의 전용 단자로서 클럭 단자, 데이터 입출력 단자, 리셋 단자, 전원 단자 및 접지 단자를 갖는다. 상기 전용 단자에 대한 신호 상태에 따라서 외부의 카드 호스트는 시큐리티 컨트롤러를 단독으로 인식 가능하게 된다.

[0014] [2] 《시큐리티 처리》

[0015] 구체적인 형태로서, 상기 시큐리티 컨트롤러는 상기 외부 단자의 신호 상태 또는 인터페이스 컨트롤러로부터 주어지는 동작 커맨드에 따라서 시큐리티 처리를 행한다. 이에 의해, 시큐리티 컨트롤러를 단독으로 기능시키는 것을 보증하면서, 메모리 카드 인터페이스를 이용하여 메모리와 함께 기능시키는 것이 가능하게 된다.

- [0016] 구체적 형태로서, 내부 안테나를 더 갖고, 상기 시큐리티 컨트롤러는 상기 안테나를 이용하여 비접촉 인터페이스 가능하다. 비접촉형의 IC 카드와 마찬가지로 트랜스 결합에 의한 유도 기전력을 동작 전원으로 하여 단독으로 기능시키는 것이 가능하게 된다. 이는, 멀티 평선 카드 디바이스를 카드 호스트로부터 떼어내거나 또는 카드 호스트의 전원 차단시에 이용하는 경우에 의의가 있다.
- [0017] 구체적 형태로서, 외부 안테나를 접속 가능한 외부 안테나 접속 단자와, 상기 내부 안테나 대신에 외부 안테나 접속 단자를 상기 시큐리티 컨트롤러에 선택적으로 접속 가능한 스위치 회로를 더 갖는다. 외부 안테나를 준비함으로써, 내부 안테나에 비교하여 특성이 뛰어난 안테나의 이용이 가능하게 된다.
- [0018] 상기 스위치 회로는, 대응하는 접속 단자 사이에 개재되어 전기적으로 변경 가능한 임계값 전압에 따라 경로의 차단 또는 도통을 제어 가능한 불휘발성 기억 소자와, 상기 불휘발성 기억 소자의 선택 단자로부터 본 임계값 전압을 제1 상태로 하여 상기 경로를 차단하고, 그 임계값 전압을 제2 상태로 하여 상기 경로를 도통시키는 제어 회로를 갖는다. 상기 임계값 전압의 제2 상태에서 상기 선택 단자는 회로의 접지 전압에 접속된다. 이에 의해, 경로를 도통시키는 온 상태의 스위치 상태의 유지에 전력 소비를 필요로 하지 않는다.
- [0019] 불휘발성 기억 소자의 임계값 전압을 변경할 때의 고전압 인가를 고려하면, 상기 불휘발성 기억 소자들 사이에 두고 직렬로 한 쌍의 분리용 스위치를 배치해도 된다. 상기 분리용 스위치는 그 선택 단자가 회로의 접지 전압에 접속됨으로써 온 상태로 된다. 상기 제어 회로는 불휘발성 기억 소자의 임계값 전압을 변경할 때 상기 분리용 스위치를 오프 상태로 제어한다. 이에 의해, 경로에 접속하는 회로를 모두 고내압으로 할 필요가 없다.
- [0020] 상기 불휘발성 기억 소자는, 예를 들면, 바이폴러 트랜지스터부와, 바이폴러 트랜지스터부의 베이스·콜렉터 사이에 드레인·소스가 접속된 불휘발성 MOS 트랜지스터부로 이루어지고, 불휘발성 MOS 트랜지스터부는 소스·드레인 사이의 채널 상에 절연막을 사이에 두고 전하 축적 영역이 형성되고, 이 전하 축적 영역에 축적되는 전하에 따라 임계값 전압이 가변으로 된다.
- [0021] [3] 《시큐리티 컨트롤러의 파워온 리셋》
- [0022] 시큐리티 컨트롤러에 대한 리셋을 고려하면, 시큐리티 처리를 행하는 성질상, 이상 상태에 대하여 모든 내부 상태를 초기화하는 파워온 리셋은 인터페이스 컨트롤러 등에 비교하여 빈번하게 행해질 가능성이 높다.
- [0023] 상기 개별 단자로서, 상기 시큐리티 컨트롤러에 전용의 외부 전원 단자를 가지면, 멀티 평선 카드 디바이스 전체를 리셋할 필요 없이 시큐리티 컨트롤러 단독으로 파워온 리셋이 가능하게 되어, 사용성을 향상시킬 수 있다.
- [0024] 또한, 상기 외부 접속 단자로서 상기 시큐리티 컨트롤러와 인터페이스 컨트롤러에 공통의 외부 전원 단자를 갖고, 상기 공통 외부 전원 단자로부터 시큐리티 컨트롤러의 전원 단자에 이르는 전원 경로에는 인터페이스 컨트롤러의 제어에 의해서 전원 공급을 차단 가능한 전원 스위치를 가져도 된다. 이에 의해서도 시큐리티 컨트롤러 단독으로 파워온 리셋이 가능하게 된다.
- [0025] 또한, 상기 외부 접속 단자로서 상기 시큐리티 컨트롤러와 인터페이스 컨트롤러에 공통의 외부 전원 단자를 갖고, 상기 시큐리티 컨트롤러는 상기 인터페이스 컨트롤러로부터 파워온 리셋이 지시되는 리셋 신호의 입력 단자를 갖는다. 이에 의해서도 시큐리티 컨트롤러 단독으로 파워온 리셋이 가능하게 된다.
- [0026] 또한, 상기 외부 접속 단자는 외부 전원 단자를 갖고, 상기 인터페이스 컨트롤러는 상기 외부 전원 단자로부터 동작 전원이 공급되고, 상기 시큐리티 컨트롤러는 상기 동작 전원을 이용하여 생성한 전원, 예를 들면 강압 전원을 동작 전원으로 하고, 상기 시큐리티 컨트롤러는 상기 인터페이스 컨트롤러로부터 파워온 리셋이 지시되는 리셋 신호의 입력 단자를 갖는다. 이에 의해서도 시큐리티 컨트롤러 단독으로 파워온 리셋이 가능하게 된다. 특히, 시큐리티 컨트롤러와 인터페이스 컨트롤러가 별도 칩으로 형성되어 동작 전원 전압이 상이한 경우에 유효하다.
- [0027] [4] 《그라운드 패턴에 의한 안테나 특성 열화 방지》
- [0028] 본 발명의 구체적 형태로서, 상기 멀티 평선 카드 디바이스가 안테나를 갖고, 상기 시큐리티 컨트롤러를 구성하는 반도체 칩이 상기 안테나에 접속되어 비접촉 인터페이스 가능으로 되는 경우에, 상기 배선 기판은 회로의 접지 전위가 인가되는 그라운드 패턴으로서, 복수 개로 분할되고 또한 폐로를 형성하지 않고 접속된 분할 그라운드 패턴을 갖는 것이 바람직하다. 큰 그라운드 패턴의 표면에 의해, 변동 자속에 의해서 생기는 와전류손을 저감할 수 있고, 안테나 특성의 열화를 방지 혹은 완화할 수 있다.
- [0029] [5] 《안테나 성능의 향상》

- [0030] 본 발명의 구체적인 형태로서, 상기 멀티 평선 카드 디바이스가 안테나를 갖고, 상기 시큐리티 컨트롤러를 구성하는 반도체 칩이 안테나에 접속되고 비접촉 인터페이스 가능하게 되는 경우에, 상기 안테나는 반도체 칩의 외측 영역에 배치되고, 반도체 칩은 페라이트 플레이트(ferrite plate) 상에 스택되어 있는 것이 바람직하다. 강자성체인 페라이트 플레이트는 투자율이 크기 때문에 자속은 페라이트 플레이트를 관통하지 않고 그를 따르는 경로를 채용하려고 한다. 따라서, 페라이트 플레이트의 외주부에 안테나가 배치되어 있기 때문에 안테나 근방에 큰 자속을 얻는 것이 가능하게 되고, 이에 의해서 안테나의 인덕턴스 성능, 즉 여기서는 안테나 성능의 향상에 이바지할 수 있다. 또한, 반도체 칩은 페라이트 플레이트 상에 포개져 있기 때문에 반도체 칩에 자속이 통과하는 것을 완화할 수 있어, 반도체 칩에 원하지 않는 와전류 또는 유도 기전력이 발생하여 오동작을 일으킬 우려를 미연에 방지하는 것이 가능하게 된다.
- [0031] 상기 페라이트 플레이트는, 페라이트 칩, 도포된 페라이트 페이스트, 또는 접합된 페라이트 필름 등이다. 본 명세서에서 페라이트란  $MO \cdot Fe_2O_3$ 로 대표되는 강자성 산화물을 총칭한다.
- [0032] 스페이스 팩터의 점부터 반도체 칩의 외주부에 안테나를 배치할 필요성이 없으면, 바꾸어 말하면, 비교적 큰 배선 기판을 이용할 수 있는 것이라면, 안테나를 반도체 칩의 측방에 배치하면 된다. 이 경우에도, 안테나 성능의 향상이라는 관점에서, 상기 안테나의 중앙부에 페라이트 플레이트를 배치하는 것이 바람직하다.
- [0033] 이 때, 자속에 의한 반도체 칩의 오동작 방지의 관점에서, 안테나의 측방에 배치된 반도체 칩을 금속 캡 또는 페라이트 캡으로 덮는 것이 바람직하다.
- [0034] 상기 안테나는, 예를 들면 배선 기판에 형성된 코일 패턴 또는 배선 기판 상에 배치된 권선 코일이다. 비용의 점에서는 배선 기판 상의 코일 패턴 쪽이 뛰어나다. 트랜스 결합에 의한 비접촉 인터페이스의 점에서는, 코일 패턴은 복수 층인 것이 바람직하다.
- [0035] 상기 안테나는 유전체 안테나 칩이어도 된다. 안테나 특성이라는 점에서 상기 유전체 안테나 칩은 페라이트 플레이트에 스택하는 것이 바람직하다. 이 때, 상기 반도체 칩은 페라이트 플레이트 상에 유전체 안테나 칩의 스택 면과는 반대 면에 스택하면 된다.
- [0036] [6] 《EMI 대책》
- [0037] 본 발명에 따른 멀티 평선 카드 디바이스의 구체적인 형태로서, 안테나를 상기 외부 접속 단자를 노출시켜 전체가 캡으로 덮여 있을 때, 상기 캡에는, 페라이트 혼입 캡 또는 금속 캡을 채용하는 것이 좋다. 상기 캡이 EMI(Electro Magnetic Interference) 대책으로 된다.
- [0038] 본 발명에 따른 멀티 평선 카드 디바이스의 구체적인 형태로서, 안테나를 갖고, 상기 시큐리티 컨트롤러를 구성하는 반도체 칩이 안테나에 접속되어 비접촉 인터페이스 가능하게 되고, 상기 외부 접속 단자를 노출시켜 전체가 케이싱으로 덮여 있을 때, 상기 안테나를 반도체 칩의 외측 영역(예를 들면 외주 영역)에 형성하고, 반도체 칩을 페라이트 플레이트 상에 스택하고, 안테나에 의한 수신 면과는 반대측에 전자 시일드를 형성하는 것이 바람직하다. 전자 시일드에 의해서 EMI 대책, 즉 전자적인 방해와 장애의 발생의 역제가 실시된다. 여기서는 편의상 EMI를 EMS(Electro Magnetic Susceptibility: 전자파의 감수성)를 포함시켜 생각하고 있다.
- [0039] 상기 전자 시일드는, 예를 들면 케이싱의 페라이트 혼입층, 케이싱의 금속 혼입층, 케이싱에 도포한 페라이트 혼입 도료의 도포면, 케이싱에 도포한 금속 혼입 도료의 도포면, 또는 케이싱에 접합한 금속 증착 라벨이다. 상기 케이싱은 캡 또는 수지 몰드이다.
- [0040] [7] 《동조용 외부 부착 콘덴서》
- [0041] 안테나의 접속 단자 사이에는 외부 부착한 동조용 콘덴서를 갖는 것이 바람직하다. 안테나에 접속되는 고주파부의 입력 용량은 비교적 큰 제조 편차를 갖기 때문이다. 상기 동조용 콘덴서는, 칩 콘덴서, 가변 캡 콘덴서 또는 불휘발성 MOS 용량 등으로 구성하면 된다.
- [0042] [8] 《소켓의 박형화와 디바이스의 역 삽입 방지》
- [0043] 본 발명에 따른 멀티 평선 카드 디바이스에 있어서, 외부 접속 단자를 노출시켜 전체를 패키지에 밀봉할 때, 상기 패키지의 두께 방향으로, 소켓에 걸리는 단차부를 적어도 2개소 형성해 둔다. 패키지는 일괄 몰드 또는 MAP(몰드 어레이 패키지) 형태로 형성되고, 단차부도 일괄 몰드로 일체 형성된다. 소켓은, 패키지의 두께보다도 얇은 단차부를 걸기 때문에, 소켓의 두께를 최소한으로 억제하는 것이 용이해진다.

- [0044] 상기 2개소의 단차부를 비대칭으로 하면, 패키지에 상하 또는 좌우 가장자리면을 반대 방향을 향하게 해서 소켓을 장착하는 사태를 억제할 수 있다. 이에 의해, 소켓의 단자와 패키지의 단자가 비대칭 단자끼리 전기적으로 접촉하여 회로나 단자가 열화 또는 파괴하는 사태를 방지할 수 있다.
- [0045] 소켓의 단자와 패키지의 단자가 비대칭 단자끼리 전기적으로 접촉하여 회로나 단자가 열화 또는 파괴하는 사태를 방지한다고 하는 관점에 서면, 상기 패키지의 밖으로 노출되는 외부 접속 단자를 패키지의 중심에 대하여 비선대칭으로 하여도 된다. 또한, 상기 패키지의 밖으로 노출되는 외부 접속 단자를 복수 열로 병렬하고, 상기 복수 열을 패키지의 단차부에 대하여 기울어지게 해 두어도 된다. 또는, 상기 패키지의 밖으로 노출되는 외부 접속 단자를 복수 열로 병렬하고, 상기 복수 열에는 병렬 방향에 대하여 서로 치우침을 갖게 하도록 해도 된다.
- [0046] 멀티 평선 카드 디바이스의 박형화라는 관점에 의하면, 배선 기판 또는 페라이트 플레이트 상에 스택되는 복수의 반도체 칩은 표면적이 작을수록 얇게 형성되고, 얇은 반도체 칩일수록 상층에 배치되는 것이 좋다.
- [0047] [9] 《테스트 용이화》
- [0048] 본 발명에 따른 멀티 평선 카드 디바이스에 대한 테스트 용이화의 관점에서, 외부 접속 단자를 노출시켜 전체가 패키지에 밀봉되어 있을 때, 상기 패키지의 밖으로 노출되는 외부 접속 단자로서, 카드 소켓의 단자에 접속되는 제1 외부 단자 외에, 상기 복수의 제1 외부 단자에 각각 접속되고 또한 상기 제1 외부 단자보다도 피치와 표면적이 큰 복수의 테스트 단자를 배치하는 것이 좋다.
- [0049] 테스트 단자의 배치를 효율화하기 위해서는, 상기 복수의 제1 외부 단자는 이간하여 복수 열로 배치하고, 복수 열 사이의 영역 전체에 상기 복수의 제2 외부 단자를 배치하는 것이 좋다.
- [0050] [10] 《불휘발성 스위치》
- [0051] 불휘발성 스위치의 관점에 의한 본 발명은, 반도체 집적 회로에, 회로의 동작 전원을 선택적으로 차단 가능한 파워 스위치 회로를 갖는다. 상기 파워 스위치 회로는, 동작 전원의 전달 경로에 개재되어 전기적으로 임계값 전압이 변경 가능하게 된 불휘발성 기억 소자와, 상기 불휘발성 기억 소자의 선택 단자로부터 본 임계값 전압을 제1 상태로 하여 상기 전달 경로를 차단하고, 그 임계값 전압을 제2 상태로 하여 상기 전달 경로를 도통시키는 제어 회로를 갖는다. 상기 임계값 전압의 제2 상태에서 상기 선택 단자는 회로의 접지 전압에 접속된다. 이에 의해, 경로를 도통시키는 온 상태의 스위치 상태의 유지에 전력 소비를 필요로 하지 않는다.
- [0052] 불휘발성 기억 소자의 임계값 전압을 변경할 때의 고전압 인가를 고려하면, 상기 불휘발성 기억 소자를 사이에 두고 직렬로 한 쌍의 분리용 스위치를 배치해도 된다. 상기 분리용 스위치는 그 선택 단자가 회로의 접지 전압 등의 고정 전위에 접속됨으로써 온 상태로 된다. 상기 제어 회로는 불휘발성 기억 소자의 임계값 전압을 변경할 때 상기 분리용 스위치를 오프 상태로 제어한다. 경로에 접속하는 회로를 모두 고내압으로 할 필요가 없다.
- [0053] 불휘발성 스위치의 별도의 관점에 의한 반도체 집적 회로는, 회로 사이를 선택적으로 차단 가능한 스위치 회로를 갖는다. 상기 스위치 회로에 상기 파워 스위치 회로와 마찬가지로의 구성을 채용함으로써, 경로를 도통시키는 온 상태의 스위치 상태의 유지에 전력 소비를 필요로 하지 않는다.
- [0054] [11] 상기 그라운드 패턴에 의한 안테나 특성 열화 방지, 안테나 성능의 향상, EMI 대책, 소켓의 박형화와 디바이스의 역 삽입 등에 관한 각각의 기술적 사항은, 멀티 평선 카드 디바이스뿐만 아니라, 배선 기판, 배선 기판에 실장된 반도체 칩, 및 반도체 칩에 접속된 안테나를 갖는 반도체 카드 디바이스, 나아가, 일면에 외부 접속 단자를 노출시킨 배선 기판과, 배선 기판에 실장된 반도체 칩과, 반도체 칩에 접속된 안테나와, 배선 기판의 일면을 노출시켜 상기 배선 기판, 반도체 칩 및 안테나를 덮는 캡을 갖는 반도체 디바이스, 배선 기판에 실장된 반도체 칩이 패키지에 밀봉된 반도체 카드 디바이스 등에도 적용할 수 있다.

**도면의 간단한 설명**

- [0055] 도 1은 본 발명의 일례에 따른 MFMC를 적용한 휴대 전화기 등의 통신 휴대 단말 장치의 개략 설명도.
- 도 2는 MFMC의 구성을 예시하는 블록도.
- 도 3은 MFMC의 외부 단자의 일례를 도시한 설명도.
- 도 4는 MFMC에서 SD 카드 또는 MMC의 인터페이스 기능을 실현할 때 유효로 되는 외부 접속 단자와 대응하는 SD 카드의 단자를 예시하는 설명도.
- 도 5는 MFMC에서 HSMMC의 인터페이스 기능을 실현할 때 유효로 되는 외부 접속 단자와 대응하는 HSMMC 카드의

단자를 예시하는 설명도.

도 6은 MFMC에서 메모리 스틱의 인터페이스 기능을 실현할 때 유효로 되는 외부 접속 단자와 대응하는 메모리 스틱의 단자를 예시하는 설명도.

도 7은 MFMC에서 IC 카드 마이크로컴퓨터의 접속 인터페이스 기능을 실현할 때 유효로 되는 외부 접속 단자와 대응하는 IC 카드 마이크로컴퓨터의 단자를 예시하는 설명도.

도 8은 MFMC에서 IC 카드 마이크로컴퓨터의 접속 및 비접속 인터페이스 기능을 실현할 때 유효로 되는 외부 접속 단자와 대응하는 IC 카드 마이크로컴퓨터의 단자를 예시하는 설명도.

도 9는 MFMC에 의한 인터페이스 기능의 인식 순서를 나타내는 플로차트이다.

도 10은 인터페이스 컨트롤러의 상세를 예시하는 블록도.

도 11은 IC 카드 마이크로컴퓨터의 상세를 예시하는 블록도.

도 12는 MFMC에 대한 몇가지 용도를 나타내는 설명도.

도 13은 IC 카드 마이크로컴퓨터(11)에 대한 파워온 리셋 기구의 제1 예를 도시한 블록도.

도 14는 IC 카드 마이크로컴퓨터(11)에 대한 파워온 리셋 기구의 제2 예를 도시한 블록도.

도 15는 IC 카드 마이크로컴퓨터(11)에 대한 파워온 리셋 기구의 제3 예를 도시한 블록도.

도 16은 카드 마이크로컴퓨터(11)에 대한 파워온 리셋 기구의 제4 예를 도시한 블록도.

도 17은 내부 안테나와 그 동조용 콘덴서를 예시하는 회로도.

도 18은 불휘발성 MOS 용량으로서 이용되는 플래시 메모리 셀 트랜지스터의 종단면도.

도 19는 외부 안테나를 내부 안테나로부터 분리 가능하게 접속한 예를 도시한 회로도.

도 20은 경로 전환용의 불휘발성 스위치를 예시하는 회로도.

도 21은 불휘발성 기억 소자를 사이에 두고 분리용 스위치 MOS 트랜지스터를 배치한 불휘발성 스위치를 예시하는 회로도.

도 22는 NVCBT 구조의 경로 선택용 스위치의 내부 등가 회로도.

도 23은 도 22에 도시되는 스위치 회로의 소자 구조를 도시한 종단면도.

도 24는 도 22에 대하여 게이트 바이어스 저항을 추가한 회로도.

도 25는 NVCBT 구조로 대표되는 불휘발성 기억 소자를 회로의 파워 스위치에 적용한 예를 도시한 블록도.

도 26은 불휘발성 기억 소자를 이용한 스위치 회로와 제어 회로를 IC 카드 마이크로컴퓨터와 인터페이스 컨트롤러의 선택적인 분리에 적용한 경우의 블록도.

도 27은 MFMC의 평면 구조를 예시하는 평면도.

도 28은 도 27의 MFMC의 측면 구조를 예시하는 측면 단면도.

도 29는 MFMC의 별도의 측면 구조를 예시하는 측면 단면도.

도 30은 MFMC의 별도의 평면 구조를 예시하는 투과 평면도.

도 31은 도 30의 MFMC의 측면 구조를 예시하는 측면도.

도 32는 MFMC의 다른 별도의 측면 구조를 예시하는 측면 단면도.

도 33은 MFMC의 다른 별도의 평면 구조를 예시하는 평면도.

도 34는 도 33의 평면 구조에 대응하는 MFMC의 측면 구조를 예시하는 측면 단면도.

도 35는 다른 별도의 MFMC의 측면 구조를 예시하는 측면 단면도.

도 36은 다른 별도의 MFMC의 측면 구조를 예시하는 측면 단면도.



- 도 37은 유전체 안테나 칩을 이용한 MFMC의 측면 단면도.
- 도 38은 RSMC 패키지를 적용한 MFMC의 외관 사시도.
- 도 39는 스탠다드 MMC 패키지를 적용한 MFMC의 외관 사시도.
- 도 40은 스탠다드 MMC 패키지 구조에서 캡 내측에 내부 안테나를 설치한 예를 도시한 사시도.
- 도 41은 도 40의 캡에 놓여진 MFMC의 구조를 도시한 측면 단면도.
- 도 42는 도 40의 캡에 페라이트 플레이트와 함께 놓여진 MFMC를 도시한 측면 단면도.
- 도 43은 배선 기판에 분할 그라운드 패턴을 형성한 MFMC의 구조를 예시하는 측면 단면도.
- 도 44는 도 43의 측면 단면 구조를 도시한 단면도.
- 도 45는 페라이트 입자를 혼입한 캡으로 전자 시일드를 행하는 구조를 예시하는 측면 단면도.
- 도 46은 금속제 캡으로 전자 시일드를 행하는 구조를 예시하는 측면 단면도.
- 도 47은 금속 또는 페라이트가 들어간 몰드 캡으로 전자 시일드를 행하는 구조를 예시하는 측면 단면도.
- 도 48은 라벨에 의한 전자 시일드를 행하는 구조를 예시하는 측면 단면도.
- 도 49는 라벨에 의한 전자 시일드를 행하는 별도의 구조를 예시하는 측면 단면도.
- 도 50은 라벨에 의한 전자 시일드를 행하는 다른 별도의 구조를 예시하는 측면 단면도.
- 도 51은 도 48의 형식으로 전자 시일드 라벨의 접합을 행한 스탠다드 MMC 패키지 구조의 MFMC를 도시한 사시도.
- 도 52는 도 50의 형식으로 전자 시일드 라벨의 접합을 행한 HSMC 패키지 구조의 MFMC를 도시한 사시도.
- 도 53은 도 49의 형식으로 전자 시일드 라벨의 접합을 행한 RSMC 패키지 구조의 MFMC를 도시한 사시도.
- 도 54는 밀봉 수지에 소켓의 단성 돌기에 걸리는 단차부를 형성한 종단면 구조를 도시한 단면도.
- 도 55는 밀봉 수지에 단차부를 형성하지 않은 비교예의 구조를 도시한 단면도.
- 도 56은 단차부를 비대칭으로 한 구조를 예시하는 사시도.
- 도 57은 소켓에 도 56의 MFMC를 장착한 상태를 도시한 사시도.
- 도 58은 MFMC의 외부 접속 단자를 패키지의 중심에 대하여 비선대칭으로 하는 구조를 예시하는 측면도.
- 도 59는 도 58의 구조에서 MFMC를 좌우 반대 방향으로 소켓에 삽입할 때의 상태를 도시한 측면도.
- 도 60은 좌우를 어긋나게 한 단자 배열의 구체예로서 도 3의 단자 구성에 대응하는 단자 배열을 도시한 평면도.
- 도 61은 역 삽입 방지의 단자 배열로서 외부 접속 단자를 복수 열로 병렬하고 복수 열에는 병렬 방향에 대하여 서로 치우침을 갖게 하는 단자 배열을 예시하는 평면도.
- 도 62는 단차부에 대한 치우침과 단자 배열의 배열 방향의 치우침의 쌍방을 채용한 단자 배열을 도시한 평면도.
- 도 63은 밀봉 수지에 대하여 단자를 단자 배열 방향 일방향으로 전체적으로 어긋나게 하여 치우침을 갖게 하는 구성을 도시한 평면도.
- 도 64는 역 삽입 방지의 단차부에 대한 별도의 언밸런스 형상을 예시하는 사시도.
- 도 65는 역 삽입 방지의 단차부에 대한 다른 별도의 언밸런스 형상을 예시하는 사시도.
- 도 66은 MFMC에서의 테스트 단자의 배열 상태를 예시하는 설명도.
- 도 67은 단차부를 갖는 마이크로 MMC 패키지 구조의 MFMC를 일괄 몰드로 제조하는 데 이용하는 배선 기판의 정면도.
- 도 68은 도 67의 배선 기판에 칩을 스탱하여 와이어 본딩한 상태를 도시한 정면도.
- 도 69는 금형의 캐비티에 칩을 스탱한 배선 기판을 배치한 상태를 도시한 정면 단면도.

도 70은 도 69의 캐비티에 밀봉 수지를 주입한 상태를 도시한 정면 단면도.

도 71은 밀봉 수지 및 배선 기관을 다이싱하는 모양을 도시한 정면 단면도.

도 72는 개편화된 MFMC를 도시한 정면 단면도.

도 73은 경로 절환용의 불휘발성 스위치로서 도 22의 NVCBT 구조를 채용한 경우를 예시하는 회로도.

**발명을 실시하기 위한 구체적인 내용**

[0056]

《통신 휴대 단말 장치》

[0057]

도 1에는 본 발명의 일례에 따른 멀티 평선 메모리 카드를 적용한 휴대 전화기 등의 통신 휴대 단말 장치의 개략이 도시된다. 통신 휴대 단말 장치(1)는 예를 들면 시스템 전체의 제어를 행하는 마이크로 프로세서(MPU)(2)와, 이동체 통신을 위해 변조 및 복조 등의 베이스밴드 처리를 행하는 베이스밴드 처리부(BB)(3), 규정의 고주파에 의한 송수신을 행하는 고주파부(RFc1)(4), 및 멀티 평선 메모리 카드(MFMC)(5)를 갖는다. MFMC(5)는 통신 휴대 단말 장치(1)의 도시를 생략하는 카드 슬롯에 착탈 가능하게 된다. MPU(2)는 MFMC(5)에서 카드 호스트로서 위치 지워진다.

[0058]

MFMC(5)는, 예를 들면, 메모리 스토리지에 대한 기억 기능, 메모리 스토리지에 대한 멀티 메모리 인터페이스 기능, 콘텐츠 데이터의 암호화·복호 처리나 유저 인증 등의 시큐리티 처리 기능, 비접촉 인터페이스 기능 등을 갖는다. 이하, 이들 기능과 그에 부대하는 기술에 관해서 상세하게 설명한다.

[0059]

《카드 규격에 대한 범용성》

[0060]

도 2에는 MFMC(5)의 구성이 예시된다. MFMC(5)는, 복수 개의 외부 접속 단자(13A, 13B)가 형성된 배선 기관에 복수 개의 반도체 칩이 실장되고, 하나의 반도체 칩은 상기 외부 접속 단자(13A)에 접속된 인터페이스 컨트롤러(10)를 구성하고, 다른 반도체 칩은 상기 인터페이스 컨트롤러(10)에 접속된 1개 또는 복수 개의 메모리(12)를 구성한다. 또한, 상기 인터페이스 컨트롤러(10)와 별도의 반도체 칩으로 구성된 시큐리티 컨트롤러로서의 IC 카드 마이크로컴퓨터(11)를 갖는다. 상기 IC 카드 마이크로컴퓨터(11)는 상기 인터페이스 컨트롤러(10) 및 외부 접속 단자(13B)에 접속된다. 특별히 도시하지는 않지만, 상기 IC 카드 마이크로컴퓨터(11)는 상기 인터페이스 컨트롤러(10)와 동일 반도체 칩으로 구성해도 된다.

[0061]

상기 인터페이스 컨트롤러(10)는 복수의 인터페이스 제어 양태를 갖고, 외부로부터의 지시에 따른 제어 양태로 외부 인터페이스 동작과 메모리(2)에 대한 메모리 인터페이스 동작을 제어한다. MFMC(5)가 갖는 인터페이스 제어 양태는, 특별히 제한되지 않지만, MMC, HS-MMC, SD 카드, 메모리 스틱의 각 메모리 카드 인터페이스 양태로 된다. 상기 각 메모리 카드 인터페이스 양태는 각 단체 메모리 카드의 인터페이스 사양에 준거한다. 예를 들면, 인터페이스 컨트롤러(10)는 이들 메모리 카드의 인터페이스 사양을 서포트하는 메모리 카드 컨트롤러의 기능을 프로그램 제어에 의해서(일부는 하드 와이어드 로직이나, ROM 메모리에의 기입 등에 의해서) 실현한다. 따라서, 특정한 메모리 카드 인터페이스 사양을 서포트하고 싶지 않으면, 그에 대한 제어 프로그램을 보유하지 않으면 된다. 또는 불휘발성 제어 비트 등에 의해서 동작 불가능하게 되어 있으면 된다. 나중에, 네트워크를 통한 다운로드 등에 의해서 인터페이스 컨트롤러(10)에 제어 프로그램을 추가함으로써 소정의 메모리 카드 인터페이스 사양을 나중에 서포트하는 것도 가능하다. 네트워크 경유로 취득한 라이선스 정보 등에 의해서 소정의 제어 프로그램의 실행을 금지하면, 소정의 메모리 카드 인터페이스 사양을 나중에 사용 불가능으로 할 수도 있다. 상기 인터페이스 컨트롤러(10)의 기능은, 외부 접속 단자를 통해 외부와 교환하는 커맨드나 버스의 상태에 부합하는 메모리 카드 인터페이스 제어 양태의 인식, 인식한 메모리 카드 인터페이스 제어 양태에 부합하는 버스 폭의 절환, 인식한 메모리 카드 인터페이스 제어 양태에 부합하는 데이터 포맷 변환, 파워온 리셋 기능, IC 카드 마이크로컴퓨터(11)와의 인터페이스 제어, 메모리(12)와의 인터페이스 제어, 및 전원 전압 변환 등으로 된다.

[0062]

외부 접속 단자(13B)는 IC 카드 마이크로컴퓨터(11)의 전용 단자로 된다. 상기 IC 카드 마이크로컴퓨터(11)는 상기 외부 단자(13B)의 신호 상태 또는 인터페이스 컨트롤러(10)로부터 주어지는 동작 커맨드에 따라서 시큐리티 처리를 행한다. 또한 상기 IC 카드 마이크로컴퓨터(11)는 트랜스 결합 등에 의한 비접촉 인터페이스 기능을 통해 시큐리티 처리를 행하는 것도 가능하다. IC 카드 마이크로컴퓨터(11)의 외부 단자, 신호 프로토콜, 커맨드 등은 예를 들면 ISO/IEC7816 규격에 준거하고 있다.

[0063]

도 3에는 MFMC(5)의 외부 단자(13A, 13B)의 일례가 도시된다. 외부 단자(13A, 13B)로서 #1~#20의 외부 접속

단자를 갖는다. DAT2는 데이터 단자, CD/DAT3은 카드 디렉트/데이터 단자, CMD는 커맨드 입력 단자, Vcc는 전원 단자, CLK는 클럭 입력 단자, DAT0은 데이터 단자, Vss는 회로의 접지 단자, I/O-ic는 IC 카드 마이크로컴퓨터 전용 입출력 단자, LA, LB는 외부 안테나 접속 단자, DAT4/D3-ms는 데이터 단자, INS-ms는 삽입 발출 검출용 단자, DAT5/D2-ms는 데이터 단자, DAT6/SDIO/D0는 데이터 단자, DAT7/D1-ms는 데이터 단자, BS-ms는 버스 스테이터스 단자, Vcc-ic는 IC 카드 마이크로컴퓨터 전용 전원 단자, CLK-ic는 IC 카드 마이크로컴퓨터 전용 클럭 입력 단자 등으로 된다. 단자명에 부여된 서픽스-ic는 IC 카드 마이크로컴퓨터용 단자인 것을 의미하고, 서픽스-ms는 메모리 스틱용 단자인 것을 의미한다.

[0064] 도 4에는 MFMC(5)로 SD 카드 또는 MMC의 인터페이스 기능을 실현할 때 유효로 되는 외부 접속 단자와 대응하는 SD 카드의 단자가 예시된다. 여기서는 SD 모드 또는 MMC 모드의 경우가 도시되고, SD 모드의 경우 데이터 입출력을 1비트의 데이터 단자(DAT0) 또는 4비트의 데이터 단자(DAT0~DAT3)에서 행하고, 커맨드 입력을 커맨드 단자(CMD)에서 행한다. MMC 모드의 경우는 데이터 입출력은 데이터 단자(DAT0)의 1비트로 행해지고, 커맨드 입력을 커맨드 단자(CMD)에서 행하고, 단자(CD/DAT3)는 논 커넥트로 된다. SPI 모드의 경우는 MMC와 SD 카드의 구별은 없고, 단자(CD/DAT3)가 칩 선택 단자, 단자(CMD)가 데이터 입력 및 커맨드 입력 단자로 되고, 단자(DAT0)가 데이터 출력 및 커맨드 응답 출력 단자로서 이용된다.

[0065] 도 5에는 MFMC(5)로 HSMMC의 인터페이스 기능을 실현할 때 유효로 되는 외부 접속 단자와 대응하는 HSMMC 카드의 단자가 예시된다. 데이터 입출력은 1비트의 데이터 단자(DAT0), 또는 4비트의 데이터 단자(DAT0~DAT3), 또는 8비트의 데이터 단자(DAT0~DAT7)에서 행하고, 커맨드 입력을 커맨드 단자(CMD)에서 행한다. HSMMC는 MMC 모드에 대하여 병렬 데이터 입출력 비트수를 늘린 확장 사양으로서 위치 지워진다. 또한, SD 카드, MMC 및 HSMMC의 데이터 버스는 오픈 드레인 버스와 같은 풀업계 버스로 된다.

[0066] 도 6에는 MFMC(5)로 메모리 스틱(Pro)의 인터페이스 기능을 실현할 때 유효로 되는 외부 접속 단자와 대응하는 메모리 스틱(Pro)의 단자가 예시된다. 데이터 입출력 및 커맨드 입력 등은 4비트의 데이터 단자(D0-ms~D3-ms)에서 행한다. 메모리 스틱(Pro)의 버스는 풀다운계 버스로 된다. MFMC(5)의 내부에서, 데이터 단자(DAT4/D3-ms, DAT5/D2-ms, DAT6/SDIO/D0-ms, DAT7/D1-ms)는 3 스테이트 출력 버퍼에 접속하고 있기 때문에, 도 5 및 도 6에 도시한 바와 같이, 이들 단자는 풀업계 버스 사양과 풀다운계 버스 사양의 쌍방에 대응 가능하다. 또한, 1비트 버스 사양인 메모리 스틱의 인터페이스 기구의 실현에 관해서, 단자 공용 가능하다.

[0067] 도 7에는 IC 카드 마이크로컴퓨터의 접속 인터페이스 기능을 실현할 때 유효로 되는 외부 접속 단자와 대응하는 IC 카드 마이크로컴퓨터의 단자가 예시된다. 회로의 접지 단자(Vss)를 제거하고 IC 카드 마이크로컴퓨터 전용 단자가 이용된다. IC 카드 마이크로컴퓨터는 파워온 리셋과 시스템 리셋을 갖고, 전자는 전원 단자(Vcc-ic)에 대한 전원 투입, 후자는 리셋 신호(/RES)의 로우레벨에 의해 지시된다. 전자는 IC 카드 마이크로컴퓨터의 일부의 레지스터 등에 대하여 데이터 유지를 행해도 된다. 예를 들면 시스템의 무응답, 행 업 등에 대한 강제 리셋을 실현하기 위해서, 완전히 초기화를 행하는 경우에는 파워온 리셋이 필요하게 된다. 데이터 및 커맨드의 입출력은 1비트의 데이터 단자(I/O)를 이용하여 행한다.

[0068] 도 8에는 IC 카드 마이크로컴퓨터의 접속 인터페이스 및 비접촉 인터페이스 기능을 실현할 때 유효로 되는 외부 접속 단자와 대응하는 IC 카드 마이크로컴퓨터의 단자가 예시된다. 도 7에 비교하여 안테나 단자(LA, LB)가 증가하였다. 안테나 단자(LA, LB)에는 선택적으로 외부 안테나가 접속된다. 그 밖의 단자는 도 7과 같다.

[0069] 도 3 ~ 도 6의 예에 따르면, 외부 접속 단자(13A)는 MFMC(5)의 인터페이스 제어 양태마다 개별화된 개별 단자와, 인터페이스 제어 양태마다 공통화된 공통 단자로 분류된다. 상기 공통 단자에는 클럭 입력 단자(CLK/SCLK-ms), 전원 단자(Vcc) 및 접지 단자(Vss)를 포함한다. 상기 개별 단자로서, 예를 들면 메모리 스틱용의 데이터 단자(D1-ms, D0-ms, D2-ms, D3-ms) 및 버스 스테이터스(BS-ms)와 MMC/SD 카드용의 데이터 단자(DAT0~DAT3)와 커맨드 단자(CMD)가 있다.

[0070] 여러 종류의 인터페이스 제어 양태에 대하여 외부 접속 단자의 부분적인 공통화와 개별화에 의해 인터페이스의 신뢰성의 보증과 물리적 규모의 증대를 억제한다고 하는 양면을 만족시킬 수 있다.

[0071] 도 7 및 도 8의 예에 따르면, 상기 IC 카드 마이크로컴퓨터용의 단자(I/O-ic, CLK-ic, RES-ic, Vcc-ic, LA, LB)는 다른 단자와 완전히 개별화된다. 시큐리티 처리에 관해서는 IC 카드 마이크로컴퓨터(11) 단독으로 인터페이스를 행하는 것을 보증할 수 있다. 또한, IC 카드 마이크로컴퓨터(11)용의 상기 전용 단자에 대한 신호 상태에 따라서 외부의 카드 호스트로서의 MPU(2)는 IC 카드 마이크로컴퓨터(11)를 단독으로 인식 가능하게 된다.

[0072] 카드 호스트로서의 MPU(2)는 스스로가 서포트하는 메모리 카드의 사양에 맞춰 메모리 카드의 인식이나 초기화를

행하고, 그 사양에 있는 체계의 커맨드를 이용하여 메모리 카드를 액세스하려고 한다. MFMC(5)는, MPU(2)로부터의 지시에 대하여, 어떤 메모리 카드 인터페이스 사양으로 인터페이스 동작할지를 인식해야만 한다. 도 9에는 그 인터페이스 제어 양태의 인식 시퀀스가 예시된다.

- [0073] 단말 장치(1)에 삽입된 MFMC(5)에 동작 전원이 투입되면(S1), 카드 컨트롤러(10), IC 카드 마이크로컴퓨터(11), 및 메모리(12)는 파워온 리셋되어, 초기화된다(S2). 그 후, MFMC(5)는 스탠바이 상태로 되어 MPU(2)로부터의 지시를 기다린다(S3). 이 스탠바이 상태에서 MFMC(5)의 외부 단자(13A, 13B)의 입력 단자, 또는 입출력 단자는 예를 들면 시스템에 최저한 필요한 단자가 입력 가능한 상태로 되고, MPU(2)로부터의 출력을 받아 그 요구를 판정하는 것이 가능하게 된다. 구체적으로는, 첫째, IC 카드 마이크로컴퓨터(11)의 직접 인터페이스에 할당되는 입출력 단자(I/O-ic)에 대한 IC 카드 커맨드의 입력을 기다린다. 둘째, SD 카드 및 MMC의 메모리 카드계의 인터페이스에 할당되는 데이터 단자(DAT0~DAT7)의 범위에 대한 이니셜라이즈 코멘드의 입력을 기다린다. 셋째, 메모리 스틱의 카드 삽입 발출 검출에 할당되는 단자(INS-ms)에 대한 접지 전위의 공급을 기다린다. 또한, 메모리 스틱에서 단자(INS-ms)는 내부에서 회로의 접지 단자에 접속되고, 카드 호스트측에서는 단자(INS-ms)의 접속 경로를 풀업하여, 해당 경로의 레벨 저하를 검출함으로써 메모리 스틱의 삽입을 검출한다. MFMC(5)는 단자(INS-ms)에 외부로부터 풀업 저항에의 전류가 흐르는 것을 검출함으로써 메모리 스틱의 인터페이스 제어 양태가 요구되고 있다고 판정한다.
- [0074] MPU(2)로부터 상기 IC 카드 커맨드의 발행, 메모리 카드 모드 설정을 위한 이니셜라이즈 코멘드(메모리 카드 이니셜라이즈 커맨드)의 발행, 또는 단자(INS-ms)에의 전류 공급이 있으면, MFMC(5)는 각각에 부합한 인터페이스 제어 양태를 인식하고(S4), 필요에 따라, MPU(2)에 응답을 돌려보내고, 소요의 인터페이스 동작을 행한다(S5).
- [0075] 예를 들면 MMS나 SD 카드계의 메모리 카드 이니셜라이즈 커맨드가 발행된 경우, 단계 S4의 처리에서는, MFMC(5)는 이니셜라이즈 커맨드로서 순차 공급되는 커맨드를 해독함과 아울러 해독 결과에 대한 응답을 MPU(2)에 돌려보내는 처리를 수회 반복하여, MPU(2)가 요구하는 메모리 카드의 종별이 SD 카드, MMC, HSMC 중 어느 것인지를 인식하고, 또한, 그 인식 결과를 MPU(2)에 돌려보낸다. 카드 인식이 확립한 후에는 MMC 모드, SD 모드, SPI 모드 등에 부합한 어드레스 할당 등의 메모리 카드 이니셜라이즈 처리를 행한다. 이에 의해 MFMC(5)는 SD 카드, MMC, 또는 HSMC의 인터페이스 제어 양태를 실현하는 제어 프로그램을 실행 가능한 상태로 되고, 그 후의 액세스 커맨드에 응답하여 인터페이스 동작과 메모리 동작을 행한다.
- [0076] 예를 들면 단자(INS-ms)에의 전류 공급을 검출하면, MFMC(5)는 메모리 스틱의 인터페이스 제어 양태를 실현하는 제어 프로그램을 실행 가능한 상태로 되고, 그 후의 액세스 커맨드에 응답하여 인터페이스 동작과 메모리 동작을 행한다.
- [0077] 예를 들면, 단자(I/O-ic)에 IC 카드 커맨드가 발행되면, IC 카드 마이크로컴퓨터는 그 커맨드에 응답하는 시큐리티 처리 등을 실행한다. 특별히 제한되지 않지만, MFMC(5)가 IC 카드 마이크로컴퓨터로서 동작할 때, IC 카드 마이크로컴퓨터(11)와 인터페이스 컨트롤러(10)의 접속은 분리된다. 또는 외부 접속 단자(13A)와 인터페이스 컨트롤러(10)의 접속이 분리된다. 이 분리 제어는 시큐리티 처리의 안전성을 고려하는 것으로서, IC 카드 마이크로컴퓨터(11)가 행하고, IC 카드 커맨드에 의해서 그 분리 상태는 해소 가능하게 된다.
- [0078] 전자에 관해서는 각종 메모리 카드의 사양과 같은 수법으로 인식하면 된다. 예를 들면 MMC/SD 카드로서 인식하는 경우에는 카드 호스트로서의 MPU(2)는 카드 디텍트 단자(CD)의 상태를 제어함으로써 MFMC(5)에 필요한 인터페이스 사양을 인식시키면 된다. 메모리 스틱의 경우에는 삽입 발출 검출용 단자(INS-ms)를 이용하면 된다.
- [0079] IC 카드 마이크로컴퓨터(11)의 비접촉 인터페이스가 동작 가능하면 단자(I/O-ic)와 마찬가지로 해당 비접촉 인터페이스 경유로 보내져오는 IC 카드 커맨드에 대하여 상기와 마찬가지로 대처하면 된다. 접촉 인터페이스와 비접촉 인터페이스의 쌍방을 서포트하는 경우에, IC 카드 마이크로컴퓨터는 소정의 IC 카드 커맨드나, 동작 우선 순위 판정에 의해서 어느 한쪽의 인터페이스 기능을 동작 금지로 설정하는 것도 가능하게 된다.
- [0080] 도 10에는 인터페이스 컨트롤러(10)의 상세가 예시된다. 상기 메모리(12)는 예를 들면 전기적으로 소거 및 기입 가능한 불휘발성 메모리인 플래시 메모리에 의해서 구성된다. 상기 메모리(12)는, 특별히 도시하지는 않지만, 전기적으로 소거 및 기입 가능한 불휘발성 메모리 셀 트랜지스터(플래시 메모리 셀이라고도 함)를 갖는다. 플래시 메모리 셀은, 특별히 도시하지는 않지만, 플로팅 게이트를 갖는 이른바 스택드 게이트 구조, 또는 ONO(옥사이드 나이트라이드 옥사이드) 게이트 절연막을 구비한 메모리 트랜지스터부와 선택 트랜지스터부로 이루어지는 이른바 스플릿 게이트 구조를 갖는다. 상기 플래시 메모리 셀은, 상기 플로팅 게이트 등에 전자가 주입되면 임계값 전압이 상승하고, 또한, 상기 플로팅 게이트 등으로부터 전자를 추출하면 임계값 전압이 저하한다.

상기 플래시 메모리 셀은, 데이터 판독을 위한 워드선 전압에 대한 임계값 전압의 고저에 부합한 정보를 기억하게 된다. 특별히 제한되지 않지만, 본 명세서에서 메모리 셀 트랜지스터의 임계값 전압이 낮은 상태를 소거 상태, 높은 상태를 기입 상태라 칭한다.

- [0081] 인터페이스 컨트롤러(10)는 호스트 인터페이스 회로(20), 마이크로컴퓨터(21), 플래시 컨트롤러(22), 버퍼 컨트롤러(23), 버퍼 메모리(24), 및 IC 카드용 인터페이스 회로(25)로 이루어진다. 버퍼 메모리(24)는 DRAM(Dynamic Random Access Memory) 또는 SRAM(Static Random Access Memory) 등으로 이루어진다. IC 카드용 인터페이스 회로(25)에는 IC 카드 마이크로컴퓨터(11)가 접속된다. 마이크로컴퓨터(21)는 CPU(중앙 처리 장치)(27), CPU(27)의 동작 프로그램을 보유하는 프로그램 메모리(PGM)(28), 및 CPU(27)의 워크 영역에 이용되는 워크 메모리(WRAM)(29) 등에 의해서 구성된다. 상기 SD 카드, MMC, HSMC, 메모리 스틱에 대응하는 인터페이스 제어 양태의 제어 프로그램은 PGM(28)이 보유한다.
- [0082] 호스트 인터페이스 회로(20)는 도 9에서 설명한 상기 메모리 카드 이니셜라이즈 커맨드의 발행, 또는 단자(INS-MS)에의 전류 공급을 검출하면, 인터럽트에 의해서 마이크로컴퓨터(21)에 대응하는 인터페이스 제어 양태의 제어 프로그램을 실행 가능하게 한다. 마이크로컴퓨터(21)는 그 제어 프로그램을 실행함으로써 호스트 인터페이스 회로(20)에 의한 외부 인터페이스 동작을 제어하고, 플래시 컨트롤러(22)에 의한 메모리(12)에 대한 액세스(기입, 소거, 및 판독 동작)와 데이터 관리를 제어하고, 버퍼 컨트롤러(23)에 의한 메모리 카드 고유의 데이터 포맷과 메모리에 대한 공통의 데이터 포맷 사이의 포맷 변환을 제어한다.
- [0083] 버퍼 메모리(24)에는, 메모리(12)로부터 판독된 데이터 또는 메모리(12)에 기입되는 데이터가 일시적으로 유지된다. 플래시 컨트롤러(22)는 메모리(12)를 하드 디스크 호환의 파일 메모리로서 동작시키고, 데이터를 섹터 단위로 관리한다.
- [0084] IC 카드용 인터페이스 회로(25)는 인터페이스 컨트롤러(10)가 소요의 메모리 카드 인터페이스 제어 양태로 제어될 때, MUP(2)로부터의 IC 카드 커맨드에 따라서 IC 카드 마이크로컴퓨터(11)를 동작시킬 때 필요한 데이터 및 제어 신호의 변환을 행한다. 또한, 상기 플래시 컨트롤러(22)는 도시를 생략하는 ECC 회로를 구비하고, 메모리에의 데이터 저장시에 ECC 코드를 부가하고, 판독 데이터에 대하여 ECC 코드에 의한 선택 에러 검출·정정 처리를 행한다.
- [0085] 도 11에는 IC 카드 마이크로컴퓨터(11)의 상세가 예시된다. IC 카드 마이크로컴퓨터(11)는, CPU(32), 워크 RAM으로서의 RAM(Random Access Memory)(34), 타이머(35), EEPROM(Electrically Erasable Programmable Read Only Memory)(36), 코프로세서 유닛(37), 마스크 ROM(Read Only Memory)(40), 시스템 컨트롤 로직(41), 입출력 포트(I/O 포트)(42), 데이터 버스(43), 어드레스 버스(44) 및 RF부(45)를 갖는다.
- [0086] 상기 마스크 ROM(40)은 CPU(32)의 동작 프로그램(암호화 프로그램, 복호 프로그램, 인터페이스 제어 프로그램 등) 및 데이터를 저장하는 데 이용된다. 상기 RAM(34)은 CPU(32)의 워크 영역 또는 데이터의 일시 기억 영역으로 되고, 예를 들면 SRAM(Static Random Access Memory) 혹은 DRAM(Dynamic Random Access Memory)으로 이루어진다. I/O 포트(42)에 IC 카드 커맨드가 공급되면, 시스템 컨트롤 로직(41)이 이것을 디코드하고, 해당 커맨드의 실행에 필요한 처리 프로그램을 CPU(32)에 실행시킨다. 즉, CPU(32)는, 시스템 컨트롤 로직(41)으로부터 지시되는 어드레스로 마스크 ROM(40)을 액세스하여 명령을 폐치하고, 폐치한 명령을 디코드하고, 디코드 결과에 기초하여 오퍼랜드 폐치나 데이터 연산을 행한다. 코프로세서 유닛(37)은 CPU(32)의 제어에 따라서 RSA나 타원 곡선 암호 연산에서의 잉여 연산 처리 등을 행한다. I/O 포트(42)는 1비트의 입출력 단자(I/O)를 갖고, 데이터의 입출력과 외부 인터럽트 신호의 입력에 겸용된다. I/O 포트(42)는 데이터 버스(43)에 결합되고, 데이터 버스(43)에는 상기 CPU(32), RAM(34), 타이머(35), EEPROM(36), 및 코프로세서 유닛(37) 등이 접속된다. 시스템 컨트롤 로직(41)은 IC 카드 마이크로컴퓨터(11)의 동작 모드의 제어 및 인터럽트 제어를 행하고, 추가로 암호 키의 생성에 이용하는 난수 발생 로직 등을 갖는다. IC 카드 마이크로컴퓨터(11)는 리셋 신호(/RES)에 의해서 리셋 동작이 지시되면, 내부가 초기화되고, CPU(32)는 EEPROM(36)의 프로그램의 선두 번지부터 명령 실행을 개시한다. IC 카드 마이크로컴퓨터(11)는 클럭 신호(CLK)에 동기 동작된다.
- [0087] 상기 EEPROM(36)은, 전기적으로 소거 처리 및 기입 처리가 가능하게 되고, 개인을 특정하기 위해서 사용되는 ID 정보나 인증 증명서 등의 데이터를 저장하는 영역으로서 사용된다. EEPROM(36) 대신에 플래시 메모리 또는 강유전체 메모리 등을 채용해도 된다. IC 카드 마이크로컴퓨터(11)는 외부와의 인터페이스에 외부 접속 단자를 이용하는 접속 인터페이스와, 안테나를 이용하는 비접촉 인터페이스의 쌍방을 서포트한다. 비접촉 인터페이스를 행하기 위한 RF부(45)는 칩의 안테나 단자(TML1, TML2)를 갖는다. 안테나를 경유하여 RF부로부터 전력이 공급되거나, 또는 시스템 컨트롤 로직(41)에 의해 내부 버스를 경유하여 비접촉 인터페이스가 선택되면, RF부(4

5)는 상기 안테나가 소정의 전자파(예를 들면 고주파의 변동 자속이나 마이크로파)를 가로지름으로써 발생하는 유도 기전력을 동작 전원으로 하여 전원 전압(Vcc)을 출력하고, 그 소정의 전자파의 주파수에 대응하여 생기는 유도 전류를 기초로 한 내부 클럭 신호(CK), 그 소정의 전자파에 겹쳐 주고 받아지는 데이터를 RF부(45)에서 분리한 내부 데이터, 또한 리셋 신호(/RES)의 각각을 생성하고, 안테나로부터 비접촉으로 정보의 입출력을 행한다. IC 카드 마이크로컴퓨터(11)의 내부에서, 비접촉 인터페이스를 통해 동작하는 RF부(45)는, 접촉 인터페이스를 통해 동작하는 IC 카드 동작용의 CPU(32) 등과는 독립한 소규모의 회로로 구성하는 것이 바람직하다. RF부(45)로서, 그 내부에 비접촉 카드 동작에 필요한 회로, 예를 들면 비접촉 카드용 프로세서, 해당 프로세서의 제어 프로그램 영역 및 위크 영역에 이용되는 메모리, 그리고 RF 송수신 및 전원 회로부가 설치된다. 이와 같이 RF부(45)는 프로세서 기능과 그 제어 프로그램이라고 하는 것처럼 독립한 소규모의 회로로 구성되기 때문에, 예를 들면 접촉 단자를 통한 전원 공급이 얻어지지 않는 환경에서도, 외부로부터의 유도 기전력에 의해서 회로를 동작시키는 것이 용이하게 된다. 또한, RF부(45)는 내부의 데이터 버스, 어드레스 버스를 경유함으로써, 비접촉 카드와 접촉 카드 사이에서 데이터를 입출력하는 것도 가능하다.

[0088] 도 12에는 상기 MFMC(5)에 대한 몇가지 용도가 나타나 있다. 먼저 MFMC(5)를 메모리 카드로서 동작시키는 경우에 관해서 설명한다. 통신 형태 단말 장치(1)는 소정의 메모리 카드 사양에 따라서 메모리 카드를 액세스 가능한 기능을 갖고 있다. 예를 들면, 통신 휴대 단말 장치(1)는 MMC를 이용하기 위한 라이선스를 얻고 있다고 하자. 이에 따라서 MPU(2)는 MMC의 사양에 따라서 MMC를 액세스하는 기능을 갖고 있다. 통신 휴대 단말 장치(1)의 카드 소켓에 MFMC(5)를 장착하여 전원을 투입하면, MPU(2)는 MMC 규정의 이니셜라이즈 커맨드를 MFMC(5)에 발행하고, 그에 대한 응답을 기다려 카드를 인식하여, 초기화를 행한다. MFMC(5)는 MMC의 이니셜라이즈 커맨드가 발행된 것을 받아 MMC 인터페이스 제어 양태의 제어 프로그램을 실행 가능하게 된다. 이에 의해, MFMC(5)는 MMC로서 동작되고, 콘텐츠 데이터 등을 메모리(12)에 받아들이거나 한다. 메모리(12)에 저장되는 데이터의 형식은 MFMC(5) 고유의 데이터 포맷으로 되어 있다.

[0089] 통신 휴대 단말 장치(1)의 기종을 변경할 때는 MFMC(5)을 떼어내어, 신기종의 통신 휴대 단말 장치(1)에 장착하면 된다. 예를 들면, 신기종의 통신 휴대 단말 장치(1)는 메모리 스틱을 이용하기 위한 라이선스를 얻고 있다고 하자. 이에 따라서 신기종의 통신 휴대 단말 장치(1)에 내장된 MPU(2)는 메모리 스틱의 장착을 검출하기 위한 신호를 카드(5)의 단자(INS-ms)를 향해 출력하고, 이에 의해 MFMC(5)는 메모리 스틱 인터페이스 제어 양태의 제어 프로그램을 실행 가능하게 되고, 메모리 스틱 준거의 카드 인터페이스로 동작한다. 이에 의해, MFMC(5)는, 먼저 MMC 동작으로 메모리에 받아들인 콘텐츠 데이터 등을 메모리 스틱 동작으로 별도의 단말 장치(1)에 관독해서 이용 가능하게 된다. 이와 같이 카드 호스트의 기종 변경에 대하여 범용성을 갖고 대응하는 것이 가능하게 된다.

[0090] 또한, MFMC(5)는, PCMCIA 어댑터, USB 어댑터, 블루투스 어댑터 등에 의해 카드 인터페이스를 변경하여 이용할 수도 있다. 또한, 외부 부착의 비접촉 안테나를 접속함으로써 종래의 RF-IC 카드처럼 사용하는 것도 가능하다.

[0091] 《시큐리티 처리》

[0092] MFMC(5)에서의 시큐리티 처리에 관해서 동작 설명을 한다. 예를 들면 메모리(12)의 시큐어 영역에는 유저 식별 정보가 저장되어 있다. 콘텐츠 데이터를 다운로드할 때에는 유저 식별 정보를 비밀 키로 하여 암호화된 라이선스 정보를 함께 다운로드한다. 콘텐츠 데이터를 복호하기 위한 복호 키는 라이선스 정보에 포함되고, 라이선스 정보는 유저 식별 정보를 복호 키에 이용하여 복호된다. 이에 의해 콘텐츠 데이터에 대한 저작권 보호를 행한다. 이러한 시큐리티 처리는 마이크로컴퓨터(21)에 의한 프로그램 제어로 행하여진다.

[0093] IC 카드 마이크로컴퓨터(11)에 의한 시큐리티 처리에 관해서 설명한다. 예를 들면 IC 카드 마이크로컴퓨터(11)는 전자 결제 서비스 등에 이용 가능한 ISO/IEC15408의 평가·인증 기관에 의한 인증필 기능을 실현하고 있다. EEPROM(36)에는 소정의 인증 증명서를 보유하고, 호스트로부터 인증 요구가 있을 때에는 그 인증 증명서를 보내고, 이에 대하여 인증을 얻는 것을 조건으로, 후속의 통신 처리가 가능하게 된다. 이러한 시큐리티 처리의 동작 프로그램은 마스크 ROM(40)이 보유하고 있다. IC 카드 마이크로컴퓨터(11)에 의한 인증 처리는 IC 카드 마이크로컴퓨터(11) 내부에 닫힌 환경에서 행하는 것이 시큐리티의 관점에서 바람직하다. 이 점에서, IC 카드 마이크로컴퓨터(11)에 전용의 외부 접속 단자(13B)를 할당하는 의의가 있다. 용도상 또는 기술적으로 시큐리티 상의 문제가 없는 경우에는 인터페이스 컨트롤러(10) 경유로 시큐리티 처리를 행하는 것은 지장이 없다. 또한, MFMC(5)의 제조 후, 제품 출하까지의 과정에서, 외부 접속 단자(13B)를 통해, IC 카드 마이크로컴퓨터(11)에 각종 어플리케이션 소프트웨어, 카드 발행 처리를 용이하게 기입할 수 있다.

[0094] 예를 들면 전술한 바와 같이 IC 카드 마이크로컴퓨터(11)가 전자 결제 서비스 등에 이용 가능한 ISO/IEC15408의

평가·인증 기관에 의한 인증필인 경우, 도 12에 예시된 바와 같이, 캐시 카드, 크레디트 카드 또는 정기 승차권 등의 카드 홀더에 MFMC(5)를 삽입하고, 비접촉 인터페이스를 이용하여 이들 카드 기능을 실현하는 것이 가능하게 된다.

[0095] 《IC 카드 마이크로컴퓨터의 파워온 리셋》

[0096] IC 카드 마이크로컴퓨터(11)는 전자 결제 등 레벨이 높은 시큐리티 처리에 이용되는 것을 고려하면, IC 카드 마이크로컴퓨터(11)의 이상 상태에 대하여 모든 내부 상태를 초기화하는 파워온 리셋은 인터페이스 컨트롤러(10) 등에 비교하여 빈번하게 행해질 가능성이 높다. 이를 고려하면, 도 13에 개략적으로 나타나 있는 바와 같이, IC 카드 마이크로컴퓨터(11)에는 도 7 및 도 8에서 설명한 전용의 외부 전원 단자(Vcc-ic)를 설치하고 있기 때문에, MFMC(5) 전체를 리셋하지 않고 IC 카드 마이크로컴퓨터(11) 단독으로 자유롭게 파워온 리셋이 가능하게 된다. 이에 의해, 시큐리티를 보증하면서 MFMC(5)의 사용 편리성을 향상시킬 수 있다.

[0097] 도 14 ~ 도 16에는 IC 카드 마이크로컴퓨터(11)에 대한 단독 파워온 리셋을 가능하게 하는 별도의 몇가지 예가 도시된다.

[0098] 도 14에서는, 외부 접속 단자로서 상기 IC 카드 마이크로컴퓨터(11)와 인터페이스 컨트롤러(10)에 공통의 외부 전원 단자(Vcc)를 갖고, 상기 공통 외부 전원 단자(Vcc)로부터 IC 카드 마이크로컴퓨터(11)의 전원 단자(50)에 이르는 전원 경로(51)에는 인터페이스 컨트롤러(10)의 제어에 의해서 전원 공급을 차단 가능한 전원 스위치(52)를 갖고 있다.

[0099] 도 15에서는, 상기 외부 접속 단자로서 상기 IC 카드 마이크로컴퓨터(11)와 인터페이스 컨트롤러(10)에 공통의 외부 전원 단자(Vcc)를 갖고, 상기 IC 카드 마이크로컴퓨터(11)는 상기 인터페이스 컨트롤러(10)로부터 파워온 리셋이 지시되는 리셋 신호(res)의 입력 단자(53)를 갖는다. 이에 의해서도 IC 카드 마이크로컴퓨터 단독으로 파워온 리셋이 가능하게 된다.

[0100] 도 16에서는, 상기 인터페이스 컨트롤러(10)는 상기 외부 전원 단자(Vcc)로부터 동작 전원이 공급되고, 상기 IC 카드 마이크로컴퓨터(11)는 상기 동작 전원을 강압 회로, 레귤레이터 등의 전원 회로(54)를 통해 전압 변경되거나 또는 바이패스된 전원을 동작 전원으로 하고, 상기 IC 카드 마이크로컴퓨터(11)는 상기 인터페이스 컨트롤러(10)로부터 파워온 리셋이 지시되는 리셋 신호(res)의 입력 단자(53)를 갖는다. 이에 의해서도 IC 카드 마이크로컴퓨터(11) 단독으로 파워온 리셋이 가능하게 된다. 특히, IC 카드 마이크로컴퓨터(11)와 인터페이스 컨트롤러(10)가 별도의 칩으로 형성되어 동작 전원 전압이 상이한 경우에 유효하다.

[0101] 《비접촉 인터페이스의 안테나》

[0102] 상기 IC 카드 마이크로컴퓨터(11)가 갖는 RF부(45)의 안테나 단자(TML1, TML2)로부터 본 입력 용량은 최대로 대강 20%의 제조 편차를 갖는다. 동조 주파수에 편차가 생기지 않도록, 도 17에 예시된 바와 같이, MFMC(5)에 내장된 내부 안테나(55)와 공진하는 동조용 콘덴서(56)가 배치되어 있다. 상기 동조용 콘덴서(56)는, 칩 콘덴서, 가변 캡 콘덴서 또는 불휘발성 MOS 용량 등으로 구성하면 된다. 불휘발성 MOS 용량은 예를 들면 도 18에 예시된 바와 같이 전기적으로 재기입 가능한 플래시 메모리 셀 트랜지스터(58)를 이용하면 된다. 플래시 메모리 셀 트랜지스터(58)는, 웰 영역(WF)에 소스 영역(SF)과 드레인 영역(DF)이 형성되고, 그 사이의 채널 영역(CF) 상에, 게이트 산화막, 플로팅 게이트(FG), 절연막, 및 컨트롤 게이트(CG)가 적층되어 구성된다. 플로팅 게이트(FG) 대신에 실리콘 질화막 등의 전하 트랩막을 채용하는 구조이어도 된다. 플래시 메모리 셀 트랜지스터(58)는, 예를 들면 컨트롤 게이트 전압(VG)=12V, 드레인 전압(VD)= 5.5V, 소스 전압(VS)=0V에서 드레인으로부터 플로팅 게이트에의 핫 일렉트론 주입에 의해서 기입 상태로 되고, 예를 들면 컨트롤 게이트 전압(VG)=0V, 드레인 전압(VD)=개방(open), 소스 전압(VS)=12V에서 플로팅 게이트(FG)로부터 전자의 터널 방출에 의해서 소거 상태로 된다. 불휘발성 MOS 용량은 한쪽의 축적 전극을 컨트롤 게이트(CG), 다른 쪽의 축적 전극을 웰 영역으로 한다. 소거 상태와 기입 상태에서는 채널에 형성되는 공핍층의 크기가 상이하고, 이에 의해 양 단자 사이의 용량 값에 차이가 생긴다. 소거와 기입의 정도에 부합한 임계값 전압의 변화에 따른 가변 용량을 구성할 수 있다. 불휘발성 메모리 셀 트랜지스터이기 때문에 한번 설정한 소거·기입 상태는 자립적으로 유지된다. 불휘발성 메모리 셀 트랜지스터(58)를 복수 직렬로 접속함으로써, 불휘발성 MOS 용량의 내압을 확보하는 것이 가능해진다.

[0103] IC 카드 마이크로컴퓨터(11)가 내부 안테나(55)를 이용하여 비접촉 인터페이스 가능한 것에 의해, MFMC(5)는 비접촉형의 IC 카드와 마찬가지로 트랜스 결합에 의한 유도 기전력을 동작 전원으로 하여 단독으로 기능시키는 것이 가능하다. MFMC(5)를 카드 호스트로부터 떼어내거나 또는 카드 호스트의 전원 차단시에 이용하는 경우에 의의가 있다.

- [0104] 도 19에는 외부 안테나를 내부 안테나로부터 분리 가능하게 접속한 예가 도시되어 있다. 상기 내부 안테나(55) 대신에 외부 안테나 접속 단자(LA, LB)를 상기 IC 카드 마이크로컴퓨터(11)의 안테나 단자(TML1, TML2)에 선택적으로 접속 가능한 스위치 회로(62)를 채용한다. 접속 단자(LA, LB)에는 외부 안테나(60)가 접속되고, 추가로 동조용 콘덴서(61)가 접속된다. 외부 안테나(60)를 준비함으로써, 내부 안테나에 비교하여 송수신 감도 등의 특성이 뛰어난 안테나의 이용이 가능하게 된다.
- [0105] 외부 안테나(60)를 이용한 경우, 거기에서 유입하는 고주파 신호가 내부 안테나(55)에 흐르면, MFMC(5)를 넣은 기기 내부에서 내부 안테나(55)로부터 고주파 신호가 방출된다. 요컨대, MFMC(5)를 탑재한 기기에 대하여 내부 안테나(55)가 고주파 노이즈 발생원으로 될 우려가 있다. 이 때, 외부 안테나(60)의 이용시에 내부 안테나(55)를 분리 가능하게 함으로써, 그와 같은 원하지 않는 고주파 노이즈가 발생할 우려를 해소할 수 있다.
- [0106] 또한, 통신 휴대 단말(1) 등의 기기로부터 MFMC(5)를 꺼냈을 때, IC 카드 마이크로컴퓨터(11)에 내부 안테나(55)를 접속하는 상태로 절환해 줌으로써, MFMC(5) 단독으로 비접촉 IC 카드로서 자립한 기능을 이용할 수 있다. 사용 방법에 따라서는 카드에의 급전을 필요로 하지 않아 배터리 없이 동작한다.
- [0107] 상기 스위치 회로(62)는 스위치(63)와 그 제어 회로(64)로 이루어진다. 스위치(63)는 도 20에 예시된 바와 같이, 대응하는 접속 단자 사이에 개재되어 전기적으로 임계값 전압이 변경됨으로써 경로의 차단 또는 도통을 제어 가능한 불휘발성 기억 소자(65)에 의해서 구성된다. 불휘발성 기억 소자(65)는 상기 플래시 메모리 셀 트랜지스터(58)에 의해서 구성하면 된다. 제어 회로(64)는, 상기 불휘발성 기억 소자(65)의 선택 단자(게이트)로부터 본 임계값 전압을 제1 상태, 예를 들면 기입 상태로 하여 상기 경로를 차단하고, 그 임계값 전압을 제2 상태, 예를 들면 소거 상태로 하여 상기 경로를 도통시킨다. 상기 임계값 전압의 제2 상태에서 상기 선택 단자는 회로의 접지 전압에 접속된다. 요컨대, 과소거 상태, 바꾸어 말하면 디플리션형으로 한다. 이에 의해, 경로를 도통시키는 온 상태의 스위치 상태의 유지에 전력 소비를 필요로 하지 않는다. 제어 회로(64)에 대한 기입·소거 동작의 지시는 예를 들면 인터페이스 컨트롤러(10)가 부여한다. 제어 회로(64)는 기입·소거 동작의 지시에 따라 불휘발성 기억 소자(65)에 대한 동작 순서를 제어한다.
- [0108] 불휘발성 기억 소자(65)의 임계값 전압을 변경할 때의 고전압 인가를 고려하면, 도 21에 예시된 바와 같이, 상기 불휘발성 기억 소자(65)를 사이에 두고 직렬로 한 쌍의 분리용 스위치 MOS 트랜지스터(66)를 배치해도 된다. 상기 분리용 스위치 MOS 트랜지스터(66)는 그 선택 단자가 회로의 접지 전압(Vss)에 접속됨으로써 온 상태로 된다. 요컨대, 디플리션형 MOS 트랜지스터로 된다. 상기 제어 회로(64)는 불휘발성 기억 소자(65)의 임계값 전압을 변경할 때 상기 분리용 스위치 MOS 트랜지스터(66)를 오프 상태로 제어한다. 이 때 분리용 스위치 MOS 트랜지스터(66)의 게이트 전압은 부전압으로 된다. 상기 분리용 스위치 MOS 트랜지스터(66)를 채용함으로써, 해당 트랜지스터가 개재되는 경로에 접속하는 회로를 모두 고내압으로 할 필요가 없다.
- [0109] 도 22 및 도 23에는 불휘발성 기억 소자(65)의 별도의 예가 도시된다. 도 22는 회로 구성을 도시하고, 도 23은 트랜지스터의 종단면 구조를 도시한다. 동도에 도시된 불휘발성 기억 소자(65)는 고내압 불휘발성 트랜지스터 소자 구조(NVCBT: Non-Volatile Channel Bipolar Transistor)로 되고, 게이트(Tgt), 애노드(Tan) 및 캐소드(Tca)를 갖는다. 즉, 상기 불휘발성 기억 소자(65)는, 바이폴러 트랜지스터부(70)와, 바이폴러 트랜지스터부(70)의 베이스·컬렉터 사이에 드레인·소스가 접속된 불휘발성 MOS 트랜지스터부(71)로 이루어지고, 불휘발성 MOS 트랜지스터부(71)는 소스·드레인 사이의 채널 상에 절연막을 통해 전하 축적 영역이 형성되고, 이 전하 축적 영역에 축적되는 전하에 따라 임계값 전압이 가변으로 된다. 전하 축적 영역은 예를 들면 플로팅 게이트에 의해 구성되고, 그 위에 절연막을 통해 컨트롤 게이트가 형성되어 있다. 이 NVCBT 구조를 갖는 불휘발성 기억 소자(65)는, 불휘발성 MOS 트랜지스터부(71)의 내압이 바이폴러 트랜지스터부의 내압보다 낮아도 된다.
- [0110] 상기 NVCBT 구조를 갖는 불휘발성 기억 소자(65)의 동작을 설명한다. NVCBT 구조를 갖는 불휘발성 기억 소자(65)는 플로팅 게이트에 전자가 축적되어 있지 않은 상황일 때 불휘발성 MOS 트랜지스터부(71)는 소거 상태, 특히 디플리션 상태로 되게 된다. 먼저 도통 상태에 관해서 설명한다. 상기 불휘발성 MOS 트랜지스터부(71)의 소거 상태에서, 컨트롤 게이트의 인가 전압(Vg)이 불휘발성 MOS 트랜지스터부(71)의 스레시홀드 전압(Vth)보다 크고, 불휘발성 MOS 트랜지스터부(71)의 소스와 드레인 사이에 반전층이 형성되어 있으면, 바이폴러 트랜지스터부(70)의 베이스에 전자가 주입되고, 베이스 전류가 흘러, 바이폴러 트랜지스터부(70)가 온 상태로 된다. 디플리션 모드이기 때문에 컨트롤 게이트 전압(Vg)을 캐소드와 동 전위의 접지 전압으로 해도 온 상태를 유지한다. 컨트롤 게이트 전압은, 적어도 플로팅 게이트에 핫 일렉트론이 주입되지 않을 정도의 바이어스 상태(상기 접지 전압 인가 상태)를 만족하면 된다.
- [0111] 소거 상태에서 컨트롤 게이트의 전압을 충분히 높게 하면, 소스로부터 플로팅 게이트에 핫 일렉트론이



주입되어, 임계값 전압이 높아진다.

- [0112] 다음으로 차단 상태에 관해서 설명한다. 플로팅 게이트에 전자가 주입된 기입 상태에서는 임계값 전압이 높아진다. 기입 상태에서, 컨트롤 게이트의 인가 전압(Vg)이 임계값 전압보다도 낮은 경우, 소스·드레인 사이에 채널 반전층이 형성되지 않기 때문에 바이폴러 트랜지스터부(70)로 전자가 주입되지 않고, 그 베이스 전류가 흐르지 않기 때문에, 바이폴러 트랜지스터부(70)에서의 정전위의 애노드와 부전위의 캐소드 사이는 차단 상태로 된다. 예를 들면, 컨트롤 게이트 인가 전압(Vg)을 캐소드와 동 전위의 접지 상태로 해도 오프 상태를 유지한다. 컨트롤 게이트 전위는, 적어도 플로팅 게이트의 축적 전자가 추출되지 않는 조건(상기 접지 전압인 가 상태)을 만족하면 된다.
- [0113] 기입 상태일 때, 컨트롤 게이트 전압(Vg)을 MOS 트랜지스터부(71)의 소스, 드레인, p웰 영역(도 22의 콜렉터의 영역)에 대하여 충분히 부전위로 함으로써, FN(Fowler Nordheim) 전류에 의해 플로팅 게이트의 축적 전자를 추출하여 소거 상태로 할 수 있다. 이에 의해 MOS 트랜지스터부(71)는 인헨스 모드로부터 디플리션 모드로 변화할 수 있다.
- [0114] 도 24에 예시된 바와 같이, 게이트(Tgt)와 캐소드(Tca)를 바이어스 저항을 개재시켜 접속함으로써, 소거 상태에서 온, 기입 상태에서 오프의 스위치 상태를, 불휘발성 MOS 트랜지스터부(71)의 채널 영역 형성의 유무, 필요한 기입·소거만으로 양호하게 유지 기억하는 것이 용이하게 된다.
- [0115] NVCBT 구조로 대표되는 불휘발성 기억 소자(65)는 도 20에서 설명한 경로 절환 회로에도 이용할 수 있다. 예를 들면 도 73에 도시한 바와 같이, 정부 교류를 흘릴 수 있도록 하기 위해서, MOS 트랜스퍼 게이트와 같도록 2개의 NVCBT 구조의 불휘발성 기억 소자(65)로 1개의 스위치로 하고, 서로 한쪽의 NVCBT 구조의 불휘발성 기억 소자(65)의 애노드(Tan)를 다른 쪽의 NVCBT 구조의 불휘발성 기억 소자(65)의 캐소드(Tca)에 접속하여 구성된다. 이와 같은 스위치의 하나는 단자(LA(LB))와 단자(TML1(TML2))의 선택적인 접속에 이용되고, 또 하나의 스위치는 단자(TML1(TML2))와 안테나(55)의 선택적인 접속에 이용된다. NVCBT 구조의 불휘발성 기억 소자(65)에 대한 프로그램 제어는 제어 회로(64)가 게이트(Tgt)를 통해 행한다. NVCBT 구조로 대표되는 불휘발성 기억 소자(65)는 안테나 스위치뿐만 아니라 회로의 파워 스위치에도 이용할 수 있다. 예를 들면 도 25에 예시된 바와 같이, 소정의 회로(66)의 전원 단자(Vcc)측에 불휘발성 기억 소자(65)와 제어 회로(64)를 배치한다. 요컨대, NVCBT 구조의 불휘발성 기억 소자(65)의 애노드(Tan)(에미터)를 전원 단자(Vcc)측에 접속한다. 제어 회로(64)에는 동작 인에이블 신호(EN)와 기입·소거의 지시 신호(EW)가 공급된다. 상기 회로(66)는 예를 들면 RF부(45)로 된다. 비접촉 인터페이스를 사용하지 않을 때 RF부(45)에 대한 동작 전원의 공급을 완전히 차단할 수 있다.
- [0116] 또한, 도 26에 예시된 바와 같이, 불휘발성 기억 소자(65)를 이용한 스위치 회로(63)와 제어 회로(64)는 IC 카드 마이크로컴퓨터(11)와 인터페이스 컨트롤러(10)의 선택적인 분리 등에도 이용 가능하다. 이 때 제어 회로(64)에 대한 동작 지시는 IC 카드 마이크로컴퓨터(11) 또는 인터페이스 컨트롤러(10) 중 어느 한쪽이 행한다. 고도의 시큐리티 레벨로 인증 처리 등을 행할 때, IC 카드 마이크로컴퓨터(11)는 다른 회로와 분리하는 것이 바람직하다고 하는 경우를 상정한다. 이 때, IC 카드 마이크로컴퓨터(11)는 전용 외부 단자(13B)를 이용하여 인터페이스된다. 필요에 따라 IC 카드 마이크로컴퓨터(11)는 스위치 회로(63)를 접속함으로써 인터페이스 컨트롤러(10)를 통해 메모리(12)를 이용하는 것도 가능하게 된다.
- [0117] NVCBT 구조로 대표되는 불휘발성 기억 소자(65)를 IC 카드 마이크로컴퓨터의 선택적 분리, 내부 안테나와 외부 안테나의 절환, 파워 스위치 등으로서 이용함으로써, 종래의 MOS 스위치와 같은 온/오프 제어에서 필요로 되는 정상적인 외부 인가 전압·전력이 불필요해져서, 저소비 전력에 이바지할 수 있다. 도 25에 도시한 바와 같은 불휘발성 기억 소자(65)와 제어 회로(64)로 이루어지는 회로, 또는 도 19에 예시되는 스위치 회로(63)와 제어 회로(64)로 이루어지는 회로를, 대기 전력이 매우 작은 반도체 스위치 모듈로서 위치 지우는 것도 가능하다. 특별히 도시하지는 않지만, 그와 같은 반도체 스위치 모듈은 전력계 회로에서의 대기 전력 소의 스위치 모듈로서 이용하는 것도 가능하다. 특히 NVCBT 구조의 고내압을 감안하면 전력계 스위치 모듈의 용도는 적합하다.
- [0118] 《안테나 특성의 향상》
- [0119] 도 27에는 MFMC(5)의 평면 구조가 예시된다. 배선 기관(80)의 일 표면에는 그 외주부를 따라 상기 내부 안테나(55)를 구성하는 배선 코일 패턴(81)이 주회 형성되고, 그 내측에 다수의 본딩 패드(82)가 주회 배치되어 있다. 본딩 패드(82)의 내측에는 페라이트 플레이트의 일레인 페라이트 칩(84)이 배치되고, 이것에 예를 들면 2개의 반도체 칩(85, 86)이 스택되어 있다. 배선 기관의 본딩 패드(82)는 반도체 칩(85, 86)이 대응하는 본딩 패드(82)와 본딩 와이어(90)로 접속된다. 이 예에서는 하나의 반도체 칩(86)이 인터페이스 컨트롤러(10)와 IC 카드

마이크로컴퓨터(11)를 실현한다.

- [0120] 도 28에는 도 27의 평면 구조에 대응하는 MFMC(5)의 측면 구조가 예시된다. 스택된 배선 기판(80)과 페라이트 칩(84), 페라이트 칩(84)과 반도체 칩(85), 반도체 칩(85, 86) 상호는 각각 접착제(91, 92)로 결합된다. 배선 기판(80)은 예를 들면 다층 배선 기판으로 구성되고, 그 이면에는 본딩 패드(82)에 접속하는 커넥터 단자(혹은 댄납 접속 단자)(93)가 형성된다. 커넥터 단자(93)는 상기 외부 접속 전극(13A, 13B)의 일례로 된다. 배선 기판(80)의 표면은 그 전체가 수지(95)로 밀봉되어 있다. 요컨대, 케이싱은 수지 몰드로 형성된 밀봉 수지(95)로 된다. 도 27 및 도 28에 도시된 패키지 구성은 마이크로 MMC 패키지라 칭한다.
- [0121] 강자성체인 페라이트는 투자율이 크기 때문에 자속은 페라이트 칩(84)을 관통하지 않고 그를 따르는 경로를 채용하려고 한다. 따라서, 페라이트 칩(84)의 외주부에 코일 패턴(81)으로 구성되는 내부 안테나(55)가 배치되어 있기 때문에, 안테나(55) 근방에 큰 자속을 얻는 것이 가능하게 되고, 이에 의해 안테나(55)의 인덕턴스 성능, 즉 여기서는 안테나 성능의 향상에 이바지할 수 있다. 또한, 반도체 칩(85, 86)은 페라이트 칩(84) 상에 포개져 있기 때문에 등 반도체 칩(85, 86)에 자속이 투과하는 것을 완화할 수 있어, 반도체 칩(85, 86)에 원하지 않는 와전류 또는 유도 기전력이 발생하여 오동작을 일으킬 우려를 미연에 방지하는 것이 가능하게 된다.
- [0122] 도 29에는 MFMC(5)의 별도의 측면 구조가 예시된다. 여기서는 페라이트 칩 대신에 페라이트 플레이트로서의 페라이트 분말이 들어간 접착제(96)를 이용하였다. 이 접착제(96)를 이용하여, 배선 기판(80)과 반도체 칩(85)을 결합하고 있다. 이에 의해서도 페라이트 칩(84)과 마찬가지로의 작용 효과를 얻는다.
- [0123] 상기 페라이트 플레이트는, 페라이트 칩(84), 페라이트 분말이 들어간 접착제(96) 등이 도포된 페라이트 페이스트에 한정되지 않고, 접합된 페라이트 필름 등이어도 된다. 페라이트란  $MO \cdot Fe_2O_3$ 로 대표되는 강자성 산화물을 총칭하기 때문에, 소위 페라이트 이외의 강자성 산화물이어도 된다.
- [0124] 도 30에는 MFMC(5)의 별도의 평면 구조가 예시된다. 도 31에는 도 30의 평면 구조에 대응하는 MFMC(5)의 측면 구조가 예시된다. 내부 안테나(55)를 구성하는 배선 코일 패턴(98)은 배선 기판(97) 내의 다층 배선 패턴을 이용하여 형성된다. 그 내부에는 3개의 반도체 칩(100, 101, 102)이 실장되고, 인터페이스 컨트롤러(10), IC 카드 마이크로컴퓨터(11), 메모리(12)가 각각 별도의 반도체 칩(100, 101, 102)으로 이루어진다. 페라이트 칩(103)에 대한 반도체 칩(100, 101, 102)의 스택 구조, 본딩 구조 등, 그 밖의 구성은 도 27과 기본적으로 같다. 배선 기판(97) 상의 반도체 칩(100, 101, 102) 등은 전체적으로 수지(95)로 밀봉되고 나서, 외부 접속 단자를 구성하는 커넥터 단자(93)를 노출시켜 전체가 캡(105)으로 덮여 있다. 캡(105)이 케이싱을 구성하고 있다. 캡(105)과 수지(95) 사이는 도시하지 않은 접착제를 통해 접착되어 있다. 도 30의 구성은 도 27보다도 전체적으로 크게 되어 있다. 도 30 및 도 31에 도시되는 패키지 구성은 RSMMC 패키지라 불린다. 도 38에는 RSMMC 패키지를 적용한 MFMC(5)의 외관이 사시도로써 예시된다.
- [0125] 도 32에는 MFMC(5)의 다른 별도의 측면 구조가 예시된다. 여기서는 도 30의 페라이트 칩(103) 대신에 페라이트 분말이 들어간 접착제(96)를 페라이트 플레이트로서 이용하였다. 이 접착제(96)를 이용하여, 배선 기판(97)과 반도체 칩(102)을 결합하고 있다.
- [0126] MFMC(5)의 배선 기판(97) 상에서, 반도체 칩을 적층하여 배치함으로써, 배선 코일 패턴(98)과 각각의 반도체 칩의 거리를 확보하는 것이 용이하게 된다. 각각의 반도체 칩과 배선 코일 패턴(98)의 거리를 확보함으로써, 반도체 칩에의 전자계에 의한 영향이 무시할 수 있는 정도로까지 저감할 수 있는 경우에는, 강자성의 재료를 포함하지 않은 다이본딩용 접착제 등에 의해 각각의 반도체 칩을 배선 기판(97) 상에 접착하는 것도 가능하다.
- [0127] 도 33에는 MFMC(5)의 다른 별도의 평면 구조가 예시된다. 도 34에는 도 33의 평면 구조에 대응하는 MFMC(5)의 측면 구조가 예시된다. 스페이스 팩터의 점에서 전술한 바와 같이 반도체 칩(100, 101, 102)의 외주부에 내부 안테나(55)를 배치할 필요성이 없으면, 비교적 큰 배선 기판(109)의 일부에 내부 안테나(55)를 구성하는 배선 코일 패턴(107)을 형성하고, 그 측방에 반도체 칩(100, 101, 102)을 배치하면 된다. 요컨대, 이 예에서는 도 30의 경우보다도 큰 캡(108)으로 케이싱을 구성하고 있다. 이 경우에도, 안테나 성능의 향상이라는 관점에서, 상기 내부 안테나(55)를 구성하는 배선 코일 패턴(107)의 중앙부에 페라이트 칩(110)을 배치하는 것이 바람직하다. 도 33 및 도 34에 도시된 패키지 구성은 스탠다드 MMC 패키지라 불린다. 도 39에는 스탠다드 MMC 패키지를 적용한 MFMC(5)의 외관이 사시도로써 예시된다.
- [0128] 도 35에는 다른 별도의 MFMC(5)의 측면 구조가 예시된다. 도 34와의 차이점은 상기 내부 안테나(55)를 구성하는 배선 코일 패턴(107)의 외형보다도 큰 페라이트 칩(110)을 형성한 점이고, 스페이스가 허락하는 한 큰 폭의 페라이트 칩(110)을 이용한 쪽이 안테나 효율의 향상에 기여한다. 또한, 도 35에 도시한 구조는, 페라이트 칩

(110)이 수지(95)로 덮이지 않고 접착재(95B)로 배선 기관(109)에 고정된다. 이와 같이, 수지(95)가 페라이트 칩(110)을 덮지 않는 구조로 함으로써, 수지(95)를 형성하는 공정의 후에, 페라이트 칩(110)을 배선 기관(109) 상에 탑재하는 것이 가능하게 됨과 아울러, 페라이트 칩(110)을 수지(95)의 내부에 밀봉한 경우에 비교하여, 더 두꺼운 페라이트 칩(110)을 탑재하는 것이 용이해져서 안테나 효율의 향상에 기여할 수 있다.

[0129] 도 36에는 다른 별도의 MFMC(5)의 측면 구조가 예시된다. 자속에 의한 반도체 칩(100, 101, 102)의 오동작 방지의 관점에서, 상기 내부 안테나(55)를 구성하는 배선 코일 패턴(107)의 측방에 배치된 반도체 칩(100, 101, 102)을 금속 또는 페라이트를 포함하는 내부 캡(112)으로 다시 덮으면 좋다. 도 36에서는, 배선 기관(109)과 캡(108)이 접착재(95B)를 통해 접착되어 있다.

[0130] 상기 내부 안테나(55)의 인덕터는, 예를 들면 배선 기관에 형성된 코일 패턴(81, 98, 107)에 의해서 형성된다. 상기 인덕터는, 권선 코일에 의해서 형성하는 것도 가능하다.

[0131] 상기 코일 패턴(81, 98, 107)을, 각 반도체 칩(100, 101, 102)에 접속되는 본딩 패드(82) 또는 그 밖의 배선과 동층의 배선 패턴에 의해서 형성한 경우에는, 예를 들면 권선 코일에 의해서 인덕터를 형성한 경우에 비교하여, 비용을 삭감할 수 있음과 아울러, 장치의 박형화를 달성하는 것도 용이해진다. 또한, 배선 코일 패턴(98, 107)과 같이, 복수 층의 배선을 이용하여 코일 패턴을 형성함으로써, 트랜스 결합에 의한 비접촉 인터페이스의 효율을 향상시키는 것이 용이해진다.

[0132] 또한, 예를 들면 ETC 차량 탑재기나 전용 협대역 통신 용도용 등의 5.8GHz와 같은 고주파를 이용하는 경우에는, 상기 안테나(55)를 유전체 세라믹스 등으로 이루어지는 유전체 안테나 칩으로 대신하여도 된다. 안테나 특성이라는 점에서 상기 유전체 안테나 칩은 페라이트 플레이트에 스택하는 것이 바람직하다. 예를 들면, 도 37에 예시된 바와 같이, 유전체 안테나 칩(113) 위에 페라이트 칩(84)을 포갠다. 상기 반도체 칩(86, 85)은 페라이트 칩(84) 상에 스택하면 된다. 페라이트 칩(84)은 페라이트 분말이 들어간 접착제나 페라이트 필름 등 다른 페라이트 플레이트로 변경 가능하다.

[0133] 상기 내부 안테나(55)는 배선 기관에 설치하는 구조에 한정되지 않고, 예를 들면, 상기 캡(105, 108)에 설치해도 된다. 예를 들면 도 40에 예시되는 스탠다드 MMC 패키지 구조에서, 캡(108)의 내측에 내부 안테나(55)를 구성하는 코일(115)을 형성한다. 도 41에 예시된 바와 같이, 코일(115) 위에 밀봉 수지(95)의 영역을 중첩시키고, 커넥터 단자(93)를 외부에 노출시킨다. 캡(105)을 페라이트 분말 혼입의 수지체로 하면, 상기와 마찬가지로 안테나 효율이 향상하여, 반도체 칩의 오동작 방지에도 도움이 된다. 안테나 효율의 향상, 반도체 칩의 오동작 방지라는 관점에서, 도 42에 예시된 바와 같이, 코일(115)과 밀봉 수지(95)의 영역 사이에, 페라이트 칩, 페라이트 필름 또는 페라이트 라벨 등의 페라이트 플레이트(116)를 삽입하면 더욱 좋다. 이 경우 캡(105)은 단순한 수지이면 된다. 도 40 ~ 도 42의 구성은 그 밖의 패키지 구조에도 적용 가능하다.

[0134] 도 41 및 도 42에서, 캡(105)에 형성된 코일(115)과 IC 카드 마이크로컴퓨터(11)의 안테나 단자(TML1/TML2)는, 배선 기관(97) 상에 형성된 배선(97A)을 통해 코일 패턴(115)과 접속하고 있다. 배선(97A)과 코일 패턴(115)은, 예를 들면 Ag 페이스트 등 도전성 접착재(97B) 등을 통해 전기적으로 접속하고 있으면 된다.

[0135] 캡(105)에 코일(115)을 형성함으로써, 코일(115)과 각 반도체 칩의 거리를 확보하는 것이 용이해진다. 코일(115)과 각 반도체 칩의 거리를 확보하는 것은, 와전류손을 저감하여 코일(115)의 특성을 확보함에 있어서도, 반도체 칩에 원하지 않는 와전류 또는 유도 기전력이 발생하여 오동작을 일으킬 우려를 미연에 방지함에 있어서도 유효하다.

[0136] 《와전류손에 의한 안테나 특성 열화 방지》

[0137] 복합 배선 기관으로 대표되는 다층 배선 기관에는 접지 전위에 도통되는 비교적 큰 그라운드 패턴이 형성된다. 이 그라운드 패턴을 자속이 통과하면 와전류손을 일으켜 안테나 특성이 열화한다. 이 관점에서, 도 43에 예시된 바와 같이, 상기 배선 기관은 단일의 그라운드 패턴 대신에, 복수 개로 분할되고 또한 페로를 형성하지 않고 접속된 분할 그라운드 패턴(118a~118i)을 갖는다. 분할 그라운드 패턴(118a)은 접지 전압을 받는 본딩 패드(Vss)에 접속되고, 다른 분할 그라운드 패턴(118b, 118c)에 직렬적으로 접속된다. 마찬가지로, 분할 그라운드 패턴(118d)은 접지 전압을 받는 본딩 패드(Vss)에 접속되고, 다른 분할 그라운드 패턴(118e, 118f)에 직렬적으로 접속된다. 분할 그라운드 패턴(118g)은 접지 전압을 받는 본딩 패드(Vss)에 접속되고, 다른 분할 그라운드 패턴(118h, 118i)에 직렬적으로 접속된다. 도 44에는 도 43의 측면 단면 구조가 도시된다. 분할 그라운드 패턴(118a~118i)은 다층 배선 기관의 하층측에 형성되어 있다. 이에 의해, 그라운드 패턴의 표면에서 생기는 와전류손에 의한 안테나 특성의 열화를 완화할 수 있다. 분할 그라운드 패턴 구조는 마이크로 MMC 패키지 구조뿐

만 아니라 RSMC나, 스탠다드 MMC 패키지 구조 등의 경우도 당연히 적용 가능하다.

- [0138] 《EMI 대책》
- [0139] EMI 대책, 즉, 외부에의 전자적인 방해와 외부로부터의 전자파에 의한 장애 발생의 억제에 관해서 설명한다.
- [0140] 먼저, 캡에 의한 전자 시일드를 설명한다. 도 45에서는 자속을 차폐한다고 하는 관점에서, 캡(108)에, 페라이트 입자를 혼입한 구조, 표면에 페라이트 입자를 도포한 구조, 또는 표면에 페라이트 도료를 도포한 구조를 채용한다. 이들 수치제 캡(108)은 전자 시일드로 된다. 캡(108)의 개구부에는 배선 기관의 커넥터 단자(93)가 노출된다. 이 구조에서는 안테나에 의한 수신 면이 개구부에 면하게 되어 있다. 캡에 의한 자속 차폐 구조는 스탠다드 MMC 패키지 구조 이외의 패키지 구조에도 적용 가능하다.
- [0141] 와전류손에 의해서 자속의 영향을 완화한다고 하는 관점에 서면, 도 46에 예시된 바와 같이, 캡(105)을 금속제로 하고, 표면에 절연 피막을 입힌 구조를 채용하면 된다. 금속제 캡(105)은 전자 시일드로 이루어진다. 금속 캡(105)에 의한 와전류손 구조는 RSMC 패키지 구조 이외의 패키지 구조에도 적용 가능하다.
- [0142] 도 47에서는 금속 또는 페라이트가 들어간 몰드 캡 구조를 채용한다. 즉, 캡(105)은, 그 심 부분에 금속 또는 페라이트(121)가 들어가 있고, 전체를 수치(120)로 몰드하여 절연하고 소정 형상으로 정형되어 있다. 해당 몰드 캡(105)은 전자 시일드로 된다. 이 구조는 RSMC 패키지 구조 이외의 패키지 구조에도 적용 가능하다. 또한, 상기 금속 또는 페라이트(121)는, 전체를 수치(120)로 몰드하지 않아도 된다. 특히, RSMC의 라벨 면으로 되는 부분의 금속 또는 페라이트(121)를 수치(120)로 덮지 않은 구조로 하면, 몰드 캡(105)의 수치(95)를 덮는 부분의 두께를 얇게 할 수 있다. 몰드 캡(105)의 수치를 덮는 부분(95)을 얇게 하면, 수치(95)의 용적을 크게 할 수 있어, 대용량의 메모리를 탑재하는 데에 있어서 유리하다.
- [0143] 다음으로 라벨에 의한 전자 시일드를 설명한다. 전자 시일드 라벨(122)의 접합은, 도 48 및 도 49로 대표되는 바와 같은 캡(108, 105), 도 50으로 대표되는 바와 같은 배선 기관(109), 또는 마이크로 MMC 패키지 구조에서의 밀봉 수지의 표면에 대하여 행하면 된다. 전자 시일드 라벨(122)의 접합 위치는, 전파의 입력 면 또는 수신 면과는 반대의 면이다. 도 50의 경우에 수신 면은 배선 기관(109)과는 반대측으로 된다. 도 48 및 도 49의 경우에 수신 면은 배선 기관(109, 97)의 측으로 된다. 도 51은 도 48의 형식으로 전자 시일드 라벨(122)의 접합을 행한 스탠다드 MMC 패키지 구조의 MFMC(5)를 사시도로 나타낸다. 도 52는 도 50의 형식으로 전자 시일드 라벨(122)의 접합을 행한 HSMC 패키지 구조의 MFMC(5)를 사시도로 나타낸다. 도 53은 도 49의 형식으로 전자 시일드 라벨(122)의 접합을 행한 RSMC 패키지 구조의 MFMC(5)를 사시도로 나타낸다.
- [0144] 전자 시일드 라벨(122)은, 예를 들면 페라이트 입자를 도포, 인쇄 또는 접착한 라벨, 알루미늄 등의 금속 증착 매트 라벨, 알루미늄이나 구리 또는 방향성 규소 강판 또는 강자 재료 등을 금속 베이스로 한 금속판 라벨 등으로 된다.
- [0145] 상기 캡이나 라벨을 이용한 전자 시일드에 의해서 전자적인 방해와 외부로의 전자적 장애 발생을 억제 또는 완화할 수 있다. 이와 같은 전자 시일드 기술은, 비접촉 IC 카드 기능을 갖지 않는 메모리 카드에도 응용하는 것이 가능하다.
- [0146] 《박형화, 역 삽입 방지》
- [0147] 소켓의 박형화와 소켓에 대한 역 삽입 방지에 관해서 설명한다. 도 56에는 MFMC(5)를 소켓(130)에 장착하기 전의 상태를 도시하고, 도 57에는 MFMC(5)를 소켓(130)에 장착한 상태를 도시한다. 도 58 및 도 59는 도 56의 A-A' 단면을 도시하고, 도 54는 도 57의 B-B' 단면을 도시한다.
- [0148] 여기서는 마이크로 MMC 패키지 구조를 일례로 설명한다. 마이크로 MMC 패키지 구조에 있어서, 패키지, 즉 밀봉 수치(95)는 일괄 몰드 또는 MAP(몰드 어레이 패키지) 형태로 형성된다. 이 때 밀봉 수치(95)에는, 도 54, 도 56 및 도 57에 예시된 바와 같이, 그 두께 방향으로, 소켓(130)의 탄성 돌기(131, 132)에 걸리는 단차부(133, 134)를 형성해 둔다. 단차부(133, 134)의 형성은 일괄 몰드시에, 밀봉 금형의 캐비티 내면에 볼록부를 형성함으로써, 밀봉 수치(95)의 절단 분리 위치를 따라 홈을 미리 형성하고, 그 후 상기 홈을 따라 개개로 디바이스를 절단 분리함으로써 완성된다. 결과적으로 단차부(133, 134)는 밀봉 수치(95)의 평행한 가장자리변부에 형성되게 된다. 밀봉 수치(95)의 두께는 도 28에서 설명한 반도체 칩(85, 86) 및 본딩 와이어(90)를 밀봉하는 데 필요한 두께에 의해서 규정된다. 단차부(133, 134)는 밀봉 수치(95)의 양단 부분에 형성되어 반도체 칩(85, 86) 등의 스택 부분으로부터 어긋나 있기 때문에 문제없다. (136), (137)은 MFMC(5)의 커넥터 단자(93)에 접촉하는 외팔보(cantilever) 탄성 단자이다.

- [0149] 여기서, 도 67 ~ 도 71을 참조하여 상기 단차부를 갖는 마이크로 MMC 패키지 구조의 MFMC(5)의 제조 방법에 관해서 설명한다.
- [0150] 먼저, 도 67에 예시된 바와 같이 배선 기관(80A)을 준비한다. 여기서 준비하는 배선 기관(80A)에는 1개의 MFMC(5)에 필요한 배선 패턴이나 패드 전극 등이 복수 유닛 형성되어 있다. 다음으로, 도 68에 예시된 바와 같이, 배선 기관(80A) 상의 각 유닛의 배선 패턴에 칩(84, 85, 86)을 탑재하고, 칩(84, 85, 86)의 패드를 대응하는 본딩 패드(82)에 본딩 와이어(90)로 접속한다. 그리고, 상 금형(150)과 하 금형(151)으로 구성되는 밀봉 금형의 캐비티 내에 칩(84, 85, 86)이 탑재된 배선 기관(80A)을 배치한다(도 69 참조). 캐비티 내에는 수지(152)가 주입되고, 이에 의해 밀봉 수지가 형성된다(도 70 참조). 금형(150, 151)을 떼어낸후, 밀봉 수지(152) 및 배선 기관(80A)을 다이싱 블레이드(153)에 의해서 절단하여 MFMC(5)가 개편화되고(도 71 참조), 단차부(133, 134)가 형성된 MFMC(5)가 완성한다.
- [0151] 소켓(130)의 탄성 돌기(131, 132)는 밀봉 수지(95)의 두께보다도 얇은 단차부(133, 134)를 걸기 때문에, 소켓(130)의 두께(H1)를 최소한으로 억제하는 것이 용이하게 된다. 비교예로서 든 도 55와 같이 밀봉 수지에 단차부를 형성하지 않은 경우에는 탄성 돌기의 위치가 높아져서, 그 만큼 소켓의 두께(H2)가 커진다.
- [0152] 도 56에 예시된 바와 같이, 상기 2개소의 단차부(133, 134)는 비대칭으로 된다. 예를 들면, 한쪽의 단차부(134)는 균일하게 형성되고, 다른 쪽의 단차부(133F) 도중에서 단차가 형성이 멈춰져 있다. 대응하는 탄성 돌기(131)에는 그 돌기(133A)를 거는 오목부(131A)가 형성된다. 이에 의해, 소켓(130)에 좌우 가장자리 변을 반대 방향을 향하게 해서 MFMC(5)가 장착되는 사태의 발생을 억제할 수 있다. 요컨대, 소켓(130)에 대한 MFMC(5)의 역 삽입을 방지할 수 있다. 소켓(130)에 대하여 MFMC(5)는 도 57에 도시되는 방향으로만 탑재 가능하게 된다. 이에 의해, 소켓(130)의 단자(136, 137)와 MFMC(5)의 단자(93)가 비대응 단자끼리 전기적으로 접촉하여 회로나 단자가 파괴하는 사태를 방지할 수 있다.
- [0153] 소켓(130)의 단자(136, 137)와 MFMC(5)의 단자(93)가 비대응 단자끼리 전기적으로 접촉하여 회로나 단자가 파괴하는 사태를 방지한다고 하는 관점에 서면, 상기 외부 접속 단자(93)를 패키지로서의 밀봉 수지(95)의 중심에 대하여 비선대칭으로 하는 것이 효과적이다. 예를 들면 도 58에 예시된 바와 같이 밀봉 수지(95)의 밖으로 노출되는 외부 접속 단자(93)를 복수 열로 병렬하고, 상기 복수 열을 밀봉 수지(95)의 단차부(133, 134)에 대하여 기울게 한다. 도 60에는 좌우를 비키어 놓은 단자(93)의 배열의 구체예로서 도 3의 단자 구성에 대응하는 단자 배열이 예시된다. 도 58의 방향으로 소켓에 MFMC(5)를 삽입하면 대응 단자가 정상적으로 접속한다. 도 59와 같이 그와는 좌우 반대 방향으로 소켓에 MFMC(5)를 삽입하더라도, 단자(13, 137)와 단자(93)는 전기적으로 접촉하지 않는다. 상기 단자 배열에 치우침을 갖게 하는 수단, 단차부(133, 134)를 비대칭으로 하는 수단과 함께, 또는 이를 대신해서 채용하는 것이 가능하다.
- [0154] 상기 역 삽입 방지의 단자 배열은, 도 61과 같이 외부 접속 단자(93)를 복수 열로 병렬하고, 상기 복수 열에는 병렬 방향에 대하여 서로 치우침을 갖게 하도록 해도 된다. 단자간 피치가 P일 때, 예를 들면 치우침을 P/2로 하면 된다. 단자(93) 그 자체의 폭은 도 3에 비교하여 좁아진다. 또한 도 62에 예시된 바와 같이 단차부(133, 134)에 대한 치우침과 단자 배열의 배열 방향의 치우침의 쌍방을 채용해도 된다. 또한, 도 63에 예시된 바와 같이, 밀봉 수지(95)에 대하여 단자를 단자 배열 방향 일방향으로 전체적으로 비키어 놓아 치우침을 갖게 한다. 어긋남은 단자 피치(P)의 절반 P/2로 하면 된다. 또한, 상기 역 삽입 방지의 단차부(133, 134)의 형상은 도 64 또는 도 65에 도시되는 언밸런스 형상이어도 된다.
- [0155] 또한, 소켓을, 플라스틱 성형용의 성형 금형을 이용하여 제조하는 경우에는, 도 56에 도시한 바와 같이, 탄성 돌기(131, 132)의 위치와 외부 접속 단자(93)의 위치가 평면도 상에서 다른 위치에 배치하도록 소켓을 설계함으로써, 성형 금형의 구조를 더 단순하게 하는 것이 용이해져서, 소켓의 생산성을 향상시킬 수 있다.
- [0156] MFMC(5)의 박형화라는 관점에 따르면, 배선 기관 또는 페라이트 플레이트 상에 스택되는 복수의 반도체 칩에 대하여, 표면적이 작을수록 얇게 형성하고, 얇은 반도체 칩일수록 상층에 배치하면 된다. 표면적이 작을수록 굽힘 모멘트에 의한 응력·변형 상태는 작아도 되기 때문이다. 예를 들면 도 28에서 상대적으로 두껍고 큰 반도체 칩(85)을 밑에, 상대적으로 얇고 작은 반도체 칩(86)을 위에 포갠다. 특히 이 방법을 채용하면, 페라이트 플레이트를 두껍게 하는 것이 용이해진다. 페라이트 플레이트를 두껍게 하는 것은, 자기 저항을 저감하는 데 있어서 유효하다.
- [0157] 《테스트 용이화》
- [0158] 도 66에 예시된 바와 같이, MFMC(5)에 대한 테스트 용이화의 관점에서, 외부 접속 단자를 노출시켜 전체가 패키

지에 밀봉되어 있을 때, 상기 패키지의 밖으로 노출되는 외부 접속 단자로서, 카드 소켓의 단자에 접속되는 제1 외부 단자(93) 외에, 상기 복수의 제1 외부 단자(93)에 각각 접속되고 또한 상기 제1 외부 단자(93)보다도 피치와 표면적이 큰 복수의 테스트 단자(93T)를 배치하는 것이 좋다. 피치와 표면적이 큰 복수의 테스트 단자(93T)를 이용함으로써, 다수의 MFMC(5)에 대하여 수직 방향으로부터 테스트 프로브를 접촉시키는 조작이 용이하게 된다. 테스트 단자(93)의 배치를 효율화하기 위해서는, 상기 복수의 제1 외부 단자(93)는 이간하여 복수 열로 배치하고, 복수 열 사이의 영역 전체에 상기 복수의 제2 외부 단자(93T)를 배치하는 것이 좋다.

[0159] 이상 본 발명자에 의해서 이루어진 발명을 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은 이것에 한정되는 것이 아니라, 그 요지를 이탈하지 않는 범위에서 다양한 변경이 가능하다.

[0160] 예를 들면, 멀티 평선 카드 디바이스는 IC 카드 마이크로컴퓨터와 같은 시큐리티 컨트롤러를 갖지 않는 디바이스이어도 된다. 또한, 멀티 평선 카드 디바이스 또는 반도체 카드 디바이스의 배선 기판은 다층 배선 기판에 한정되지 않고 소위 리드 프레임이어도 된다. 또한, 와전류손에 의한 안테나 특성 열화 방지, 인덕턴스 성능 향상, EMI 대책, 소켓에 대한 반도체 카드 디바이스의 역 삽입 방지, 반도체 카드 디바이스용 소켓의 박형화, 및 테스트 용이화에 관한 발명은 멀티 평선 카드 디바이스에 적용하는 경우에 한정되지 않고, 모뎀 카드, LAN 카드 등 그 밖의 반도체 카드 디바이스에도 널리 적용할 수 있다.

[0161] [산업상 이용 가능성]

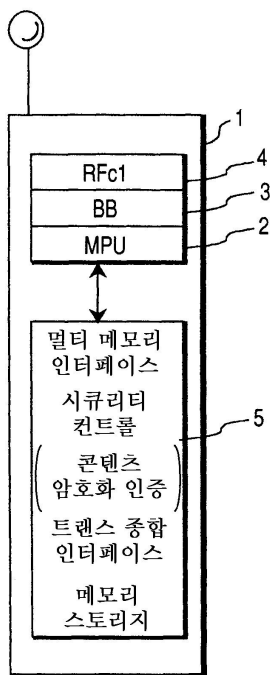
[0162] 본 발명은, 카드 컨트롤러, 플래시 메모리 및 IC 카드 마이크로컴퓨터를 탑재한 멀티 평선 메모리 카드는 물론, 그 밖의 복합 기능 카드, 통신 카드, I/O 카드, 및 메모리 카드 등에 널리 적용할 수 있다.

**부호의 설명**

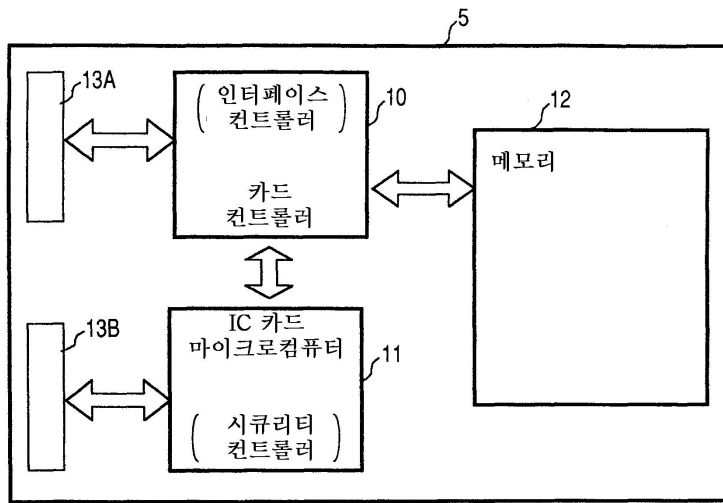
- [0163] 1: 통신 휴대 단말 장치
- 2: 마이크로 프로세서
- 4: 고주파부
- 5: 멀티 평선 메모리 카드

**도면**

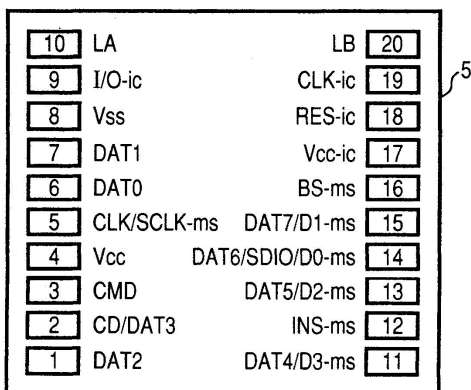
**도면1**



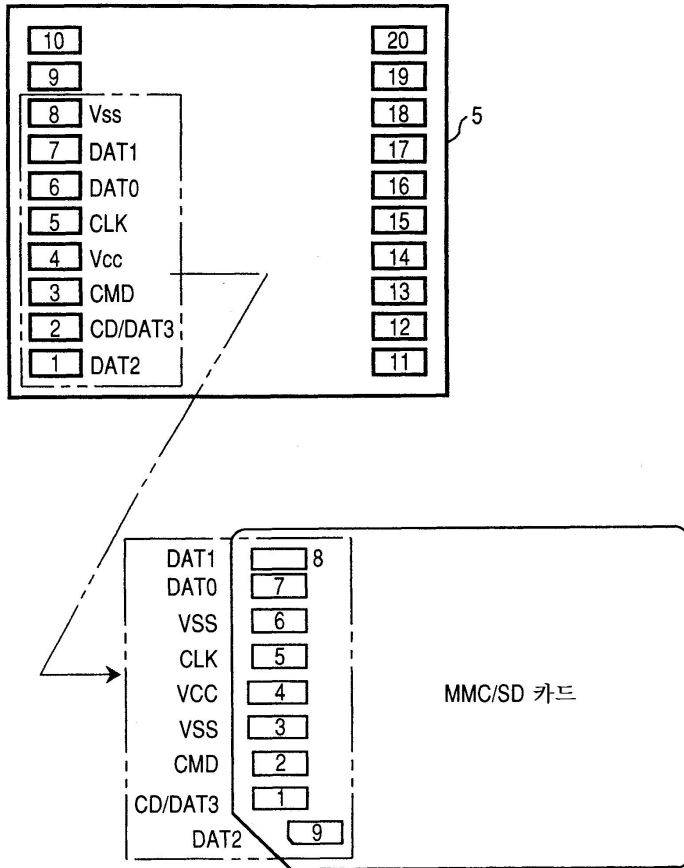
도면2



도면3

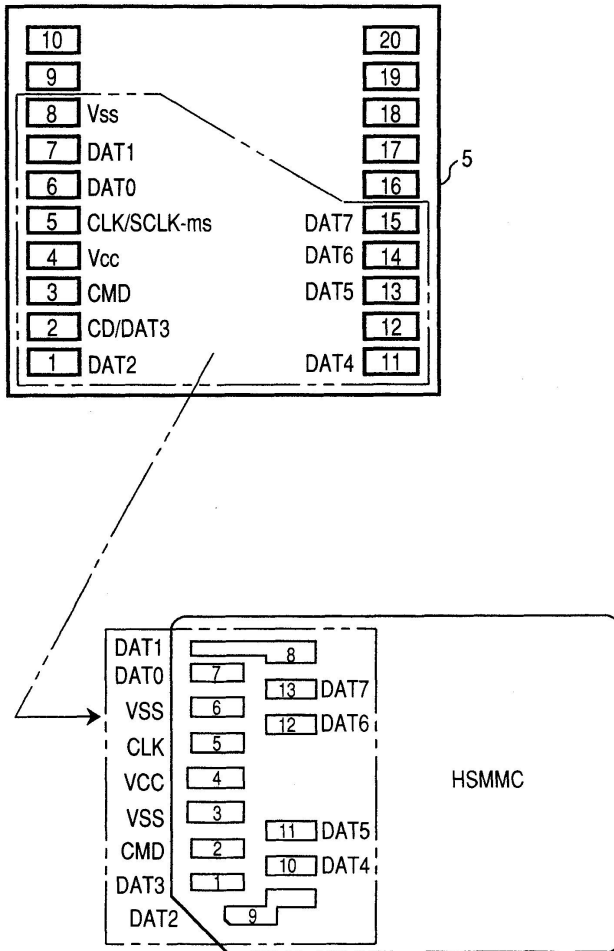


도면4

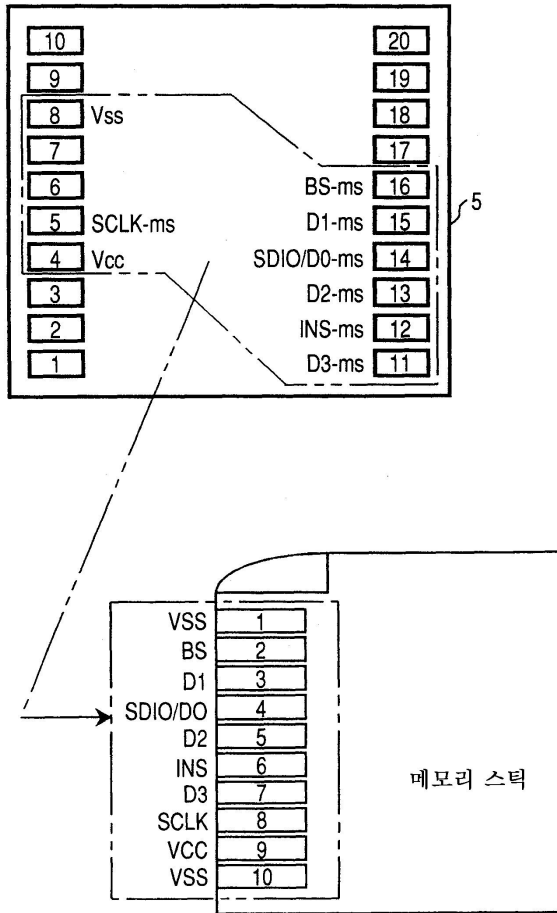




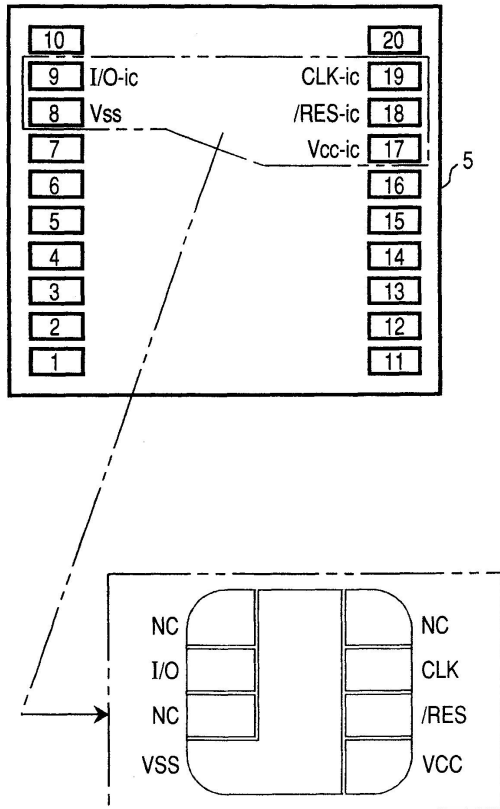
도면5



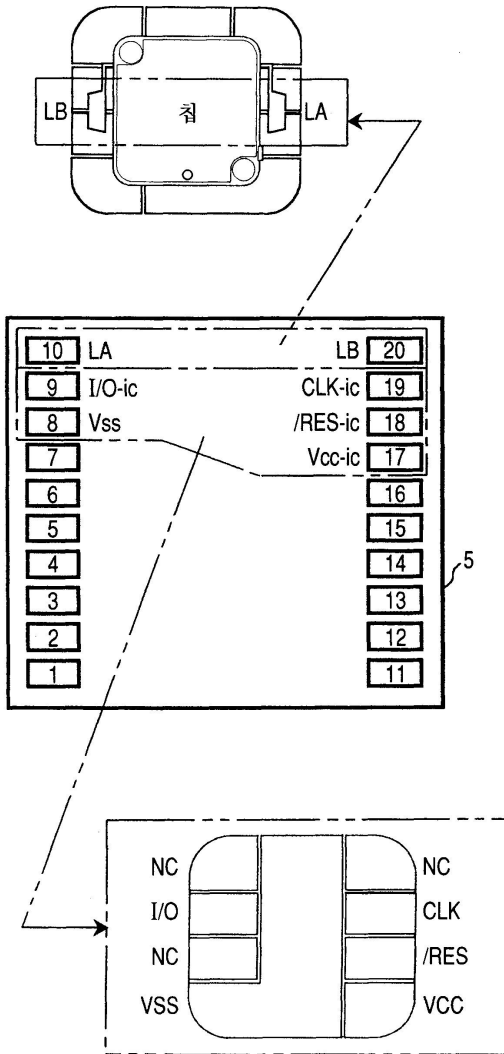
도면6



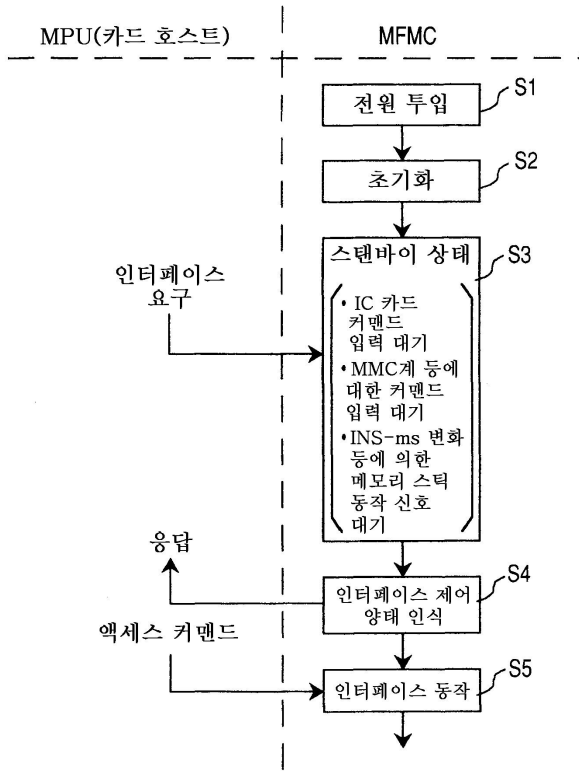
도면7



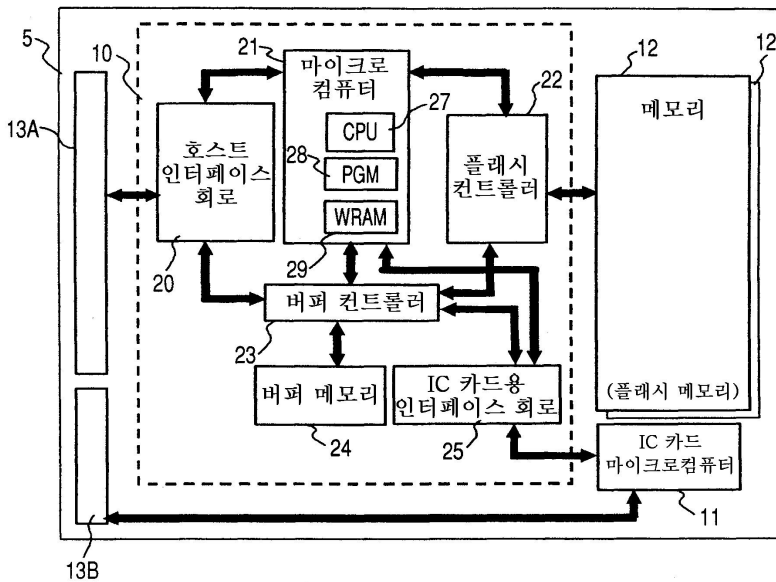
도면8



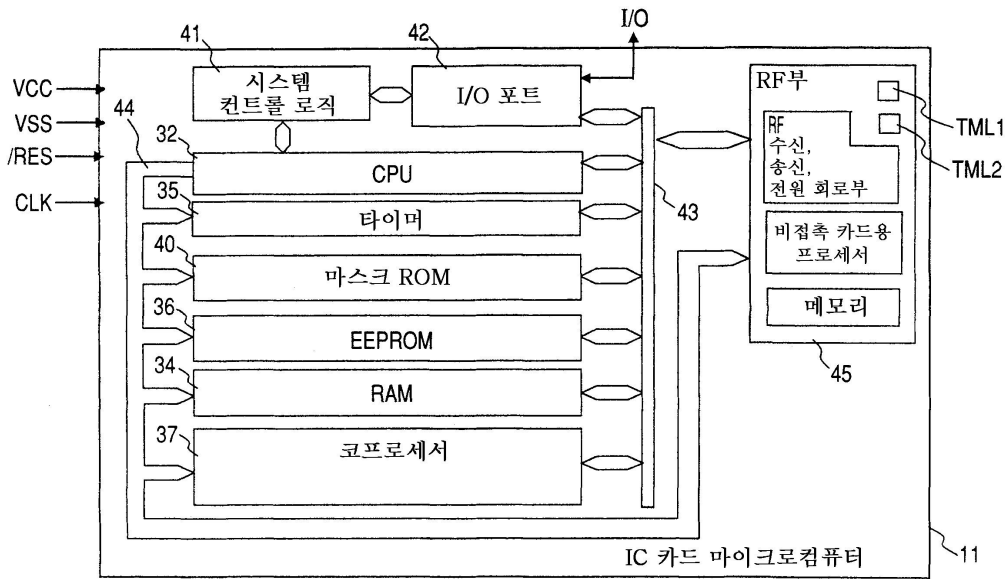
도면9



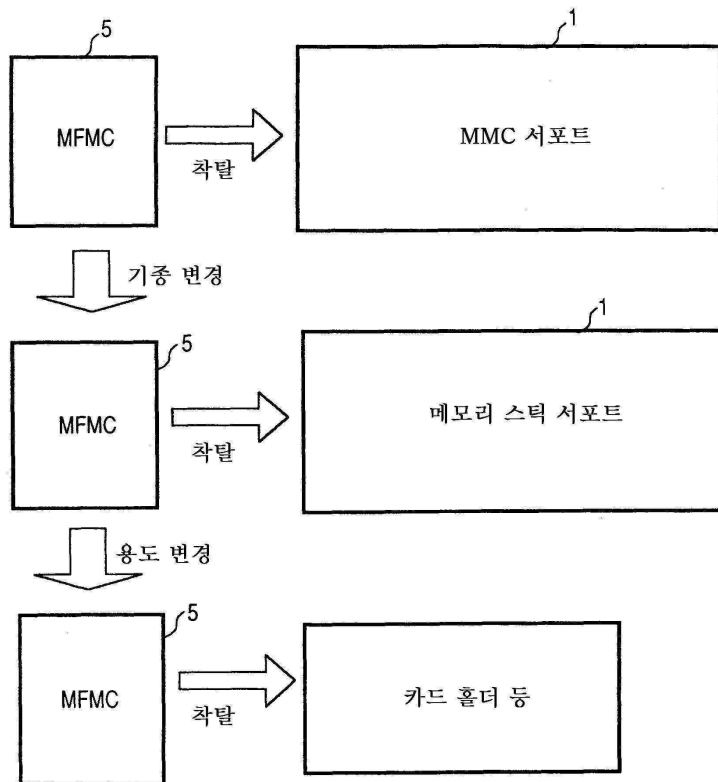
도면10



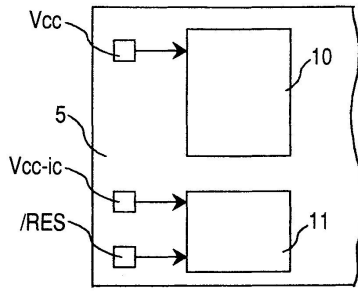
도면11



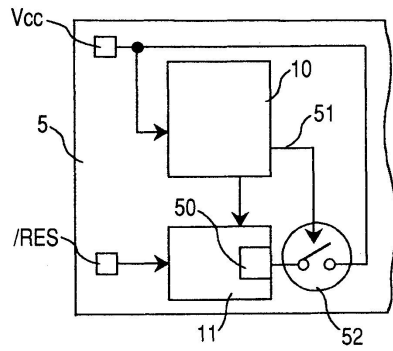
도면12



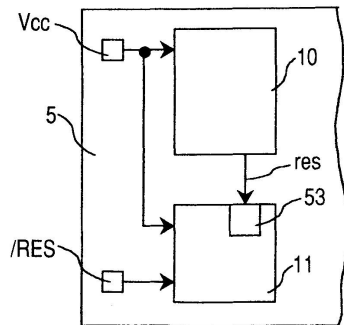
도면13



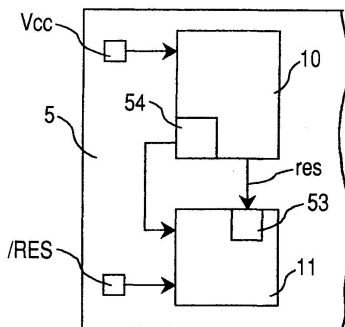
도면14



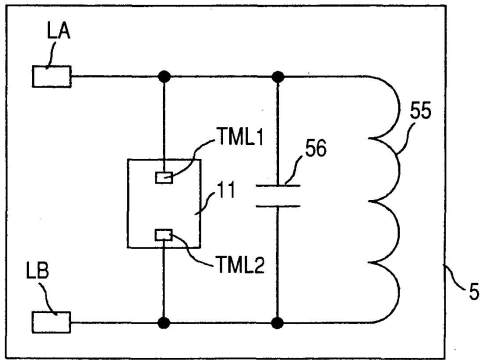
도면15



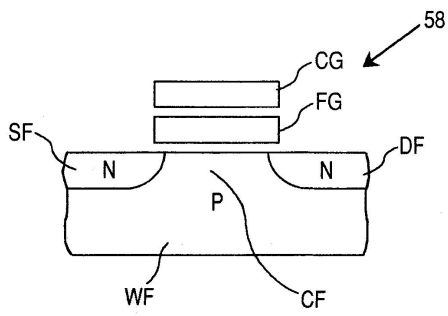
도면16



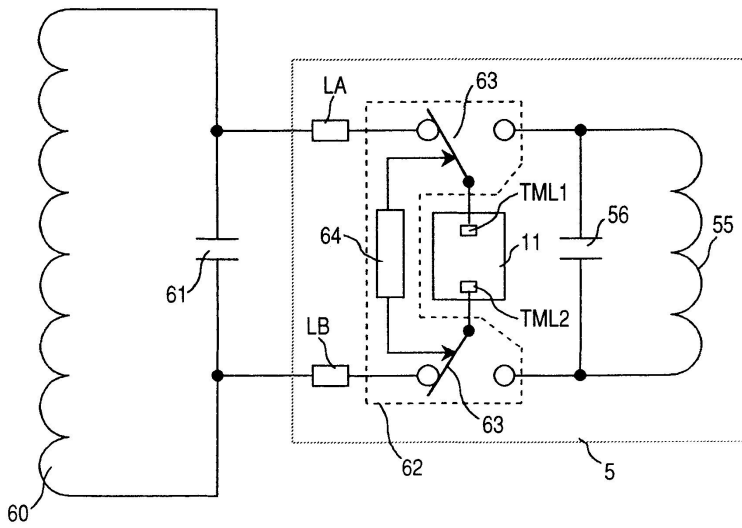
도면17



도면18

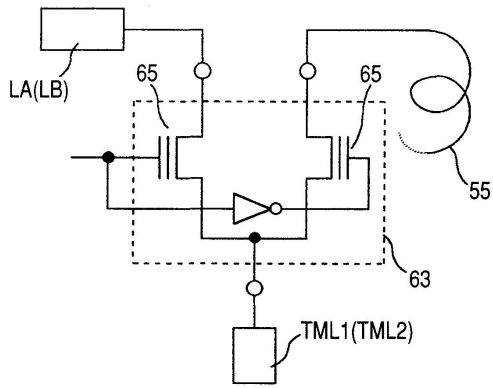


도면19

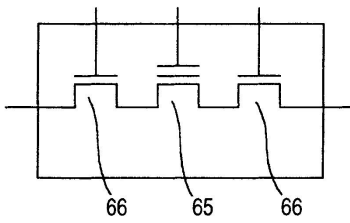




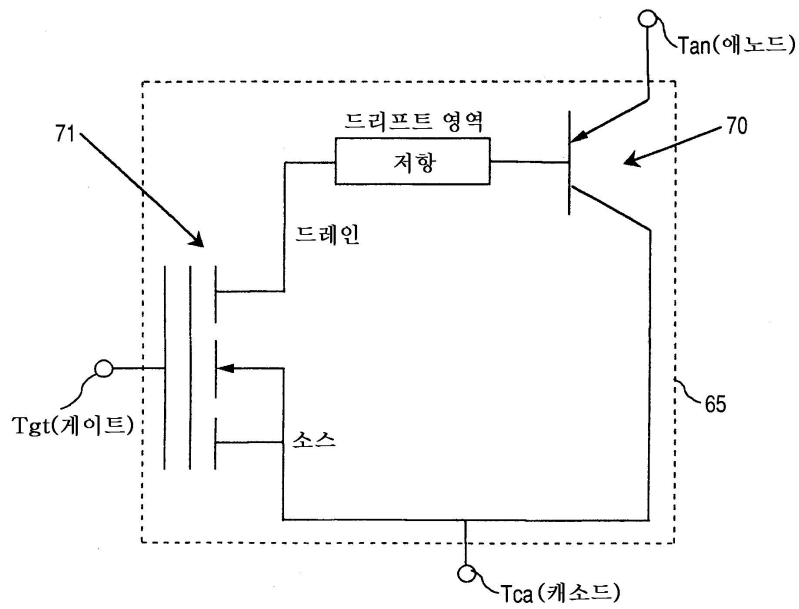
도면20



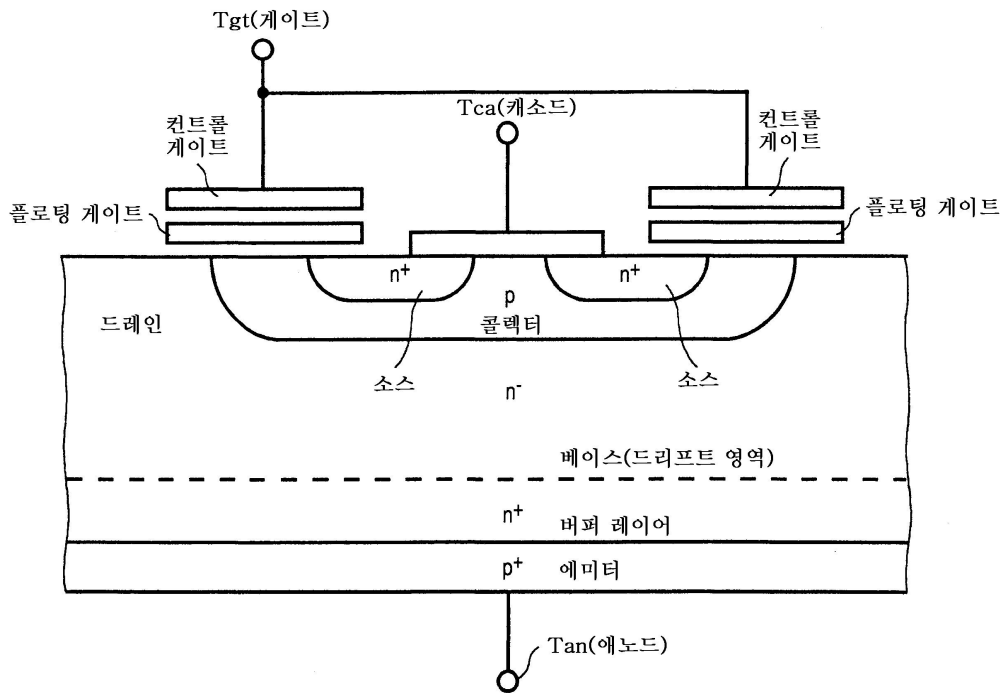
도면21



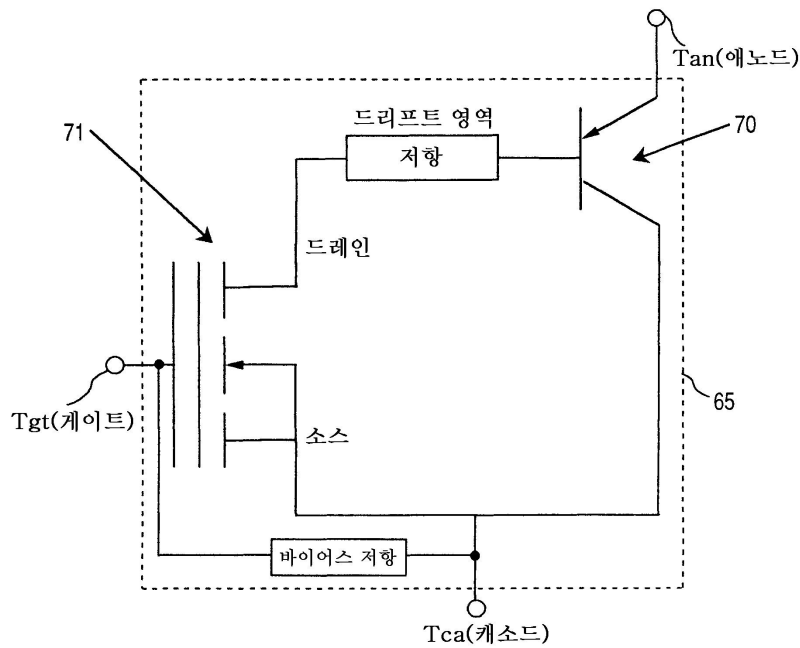
도면22



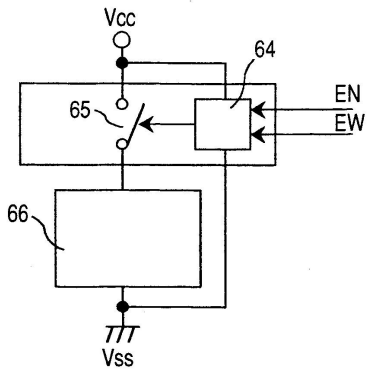
도면23



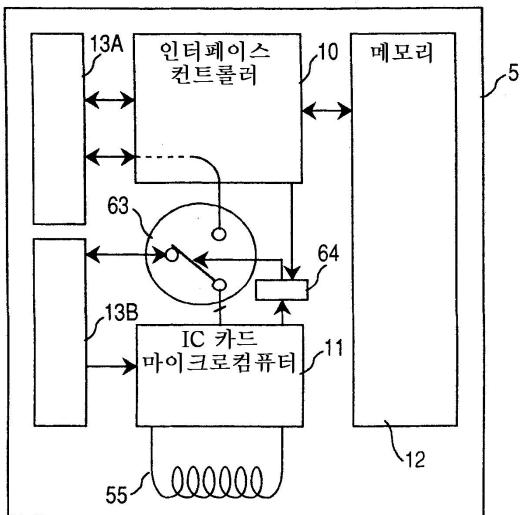
도면24



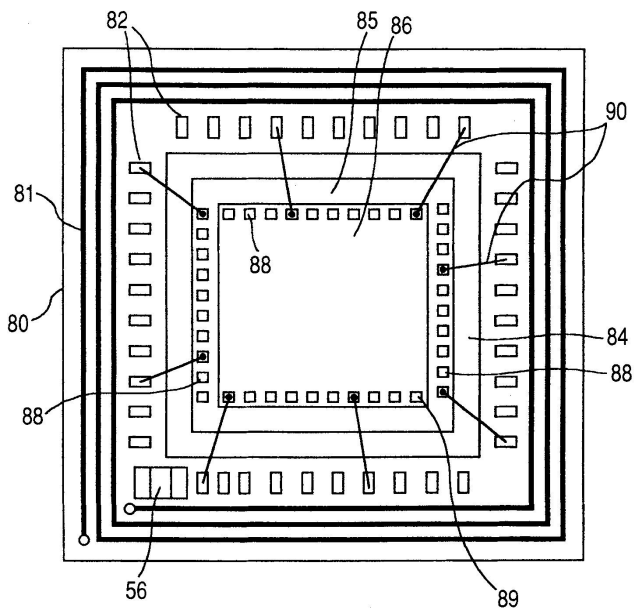
도면25



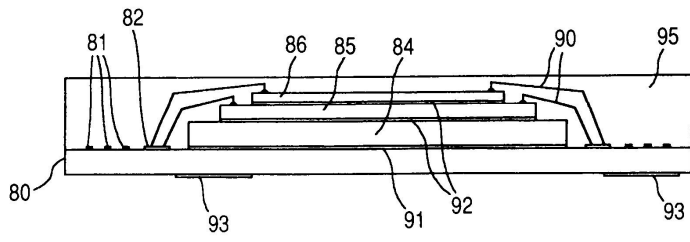
도면26



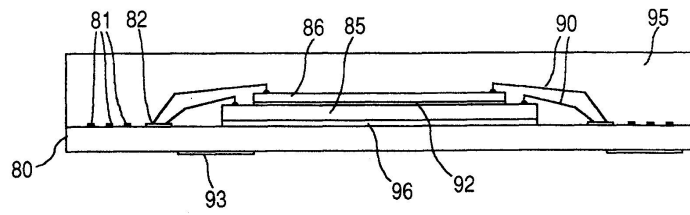
도면27



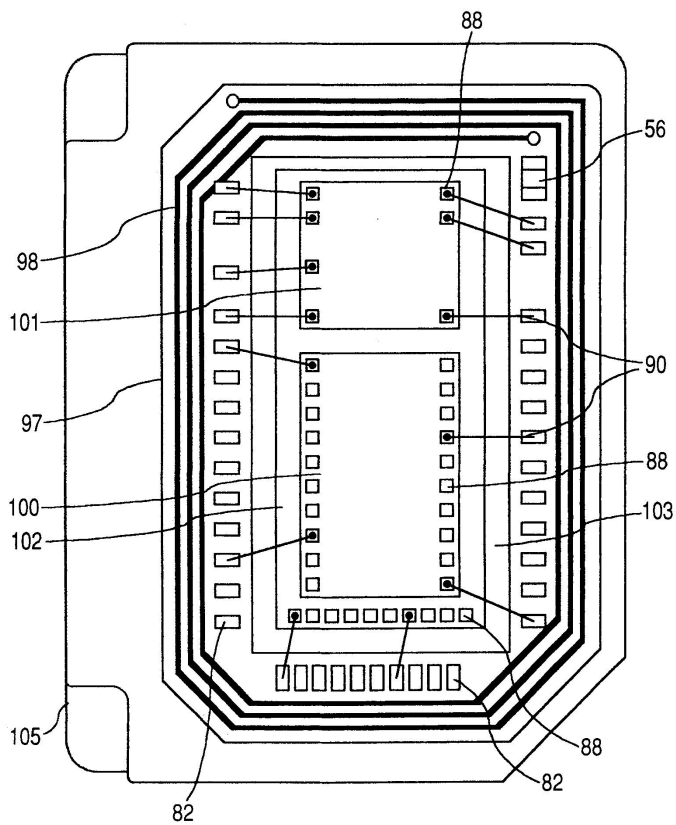
도면28



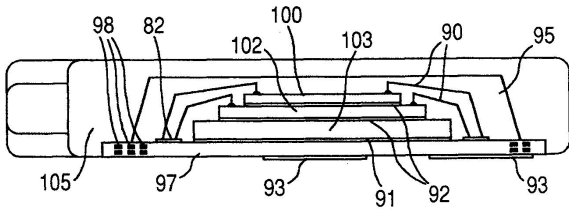
도면29



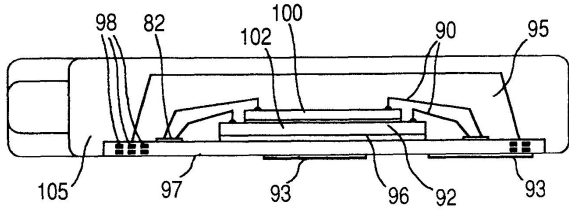
도면30



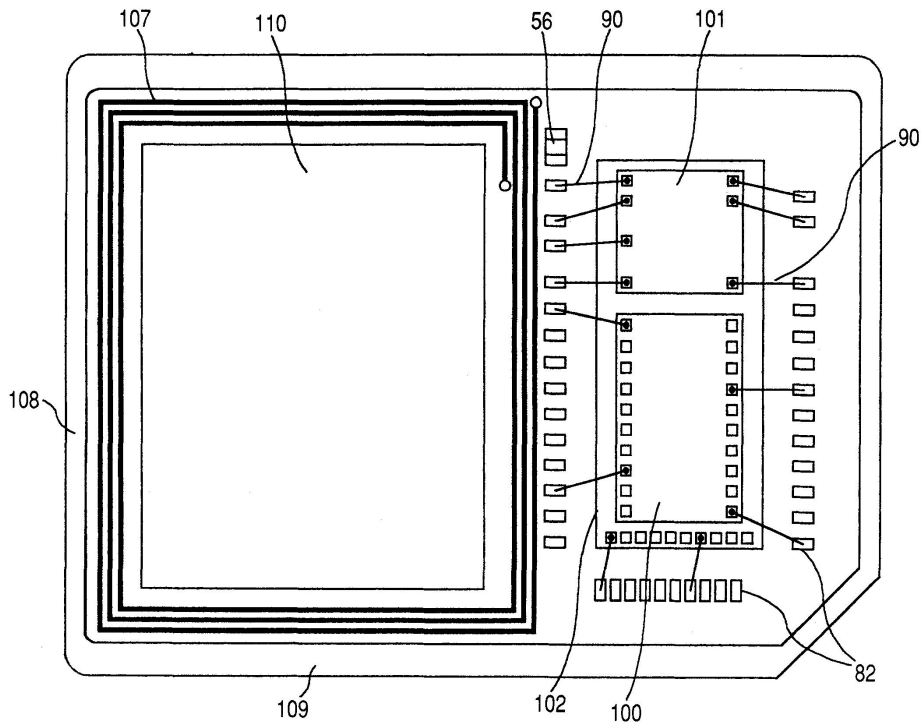
도면31



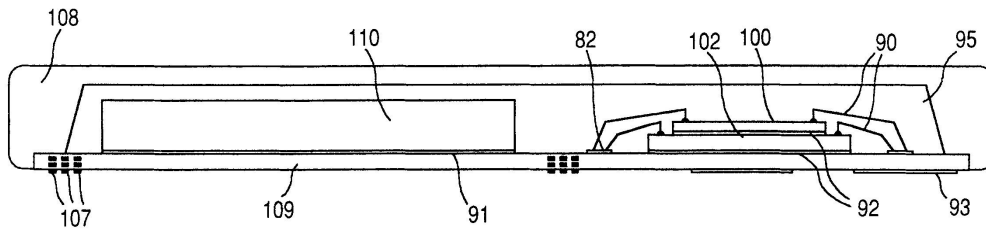
도면32



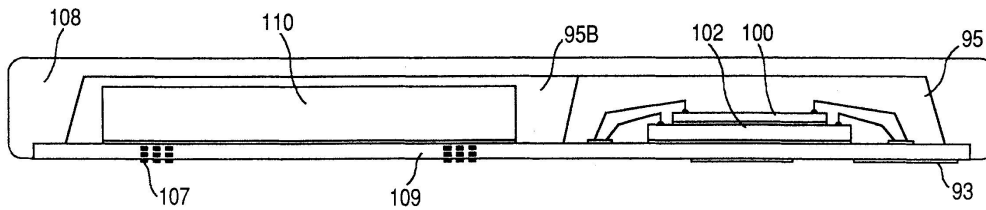
도면33



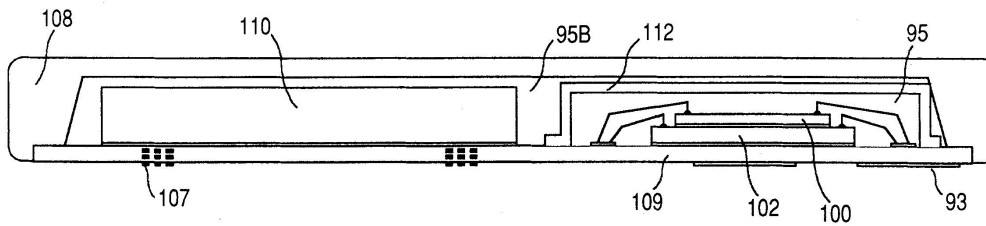
도면34



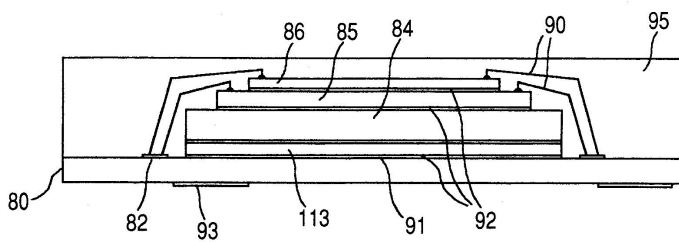
도면35



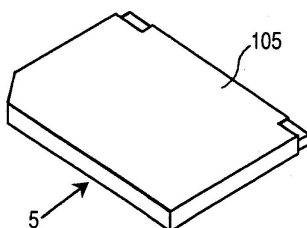
도면36



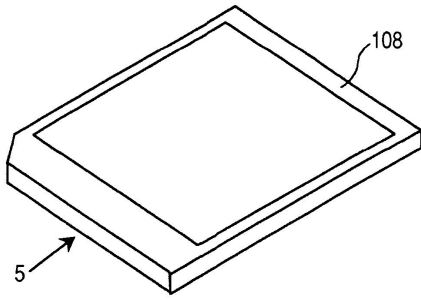
도면37



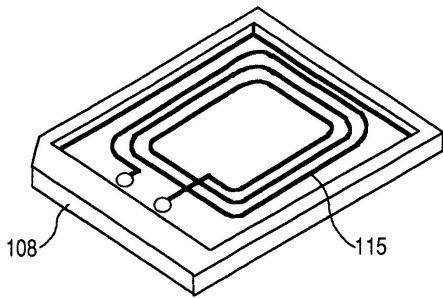
도면38



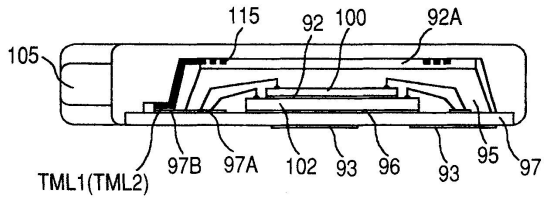
도면39



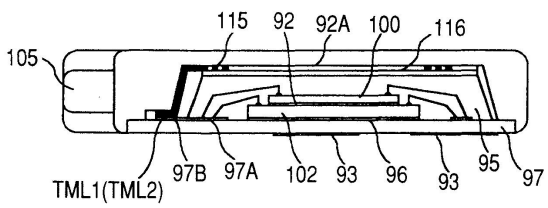
도면40



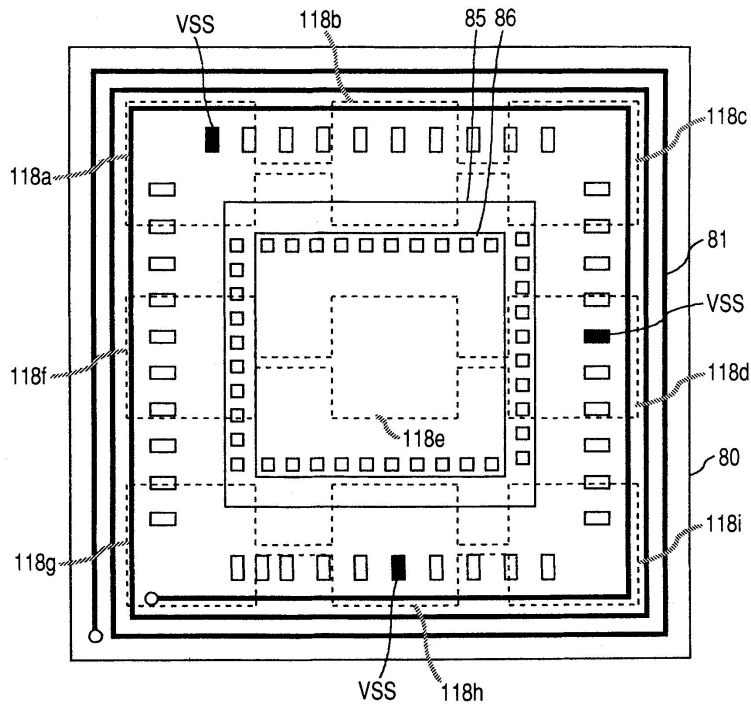
도면41



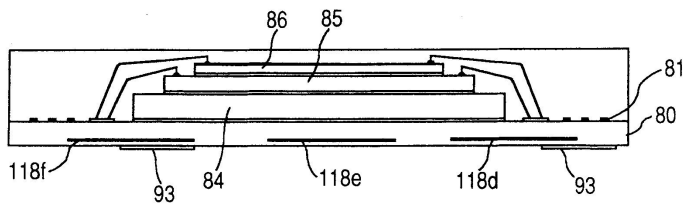
도면42



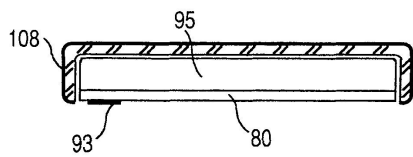
도면43



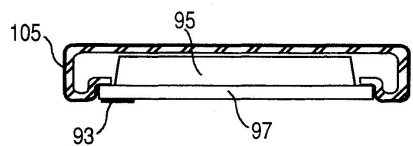
도면44



도면45

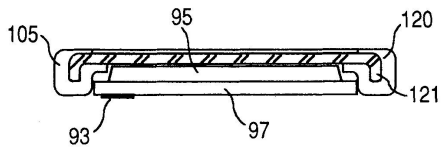


도면46

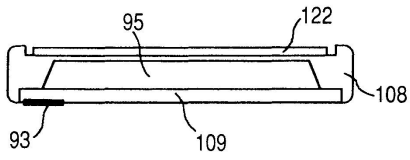




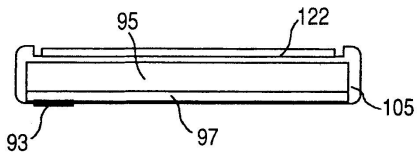
도면47



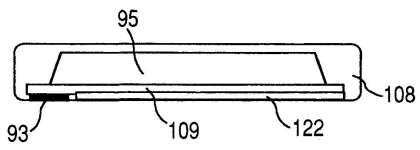
도면48



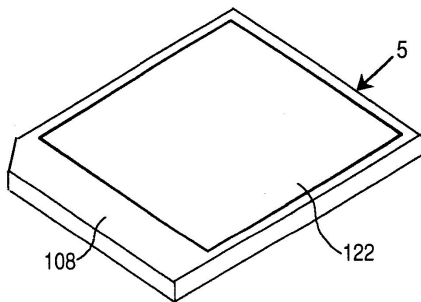
도면49



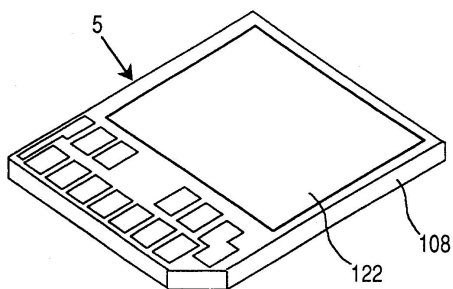
도면50



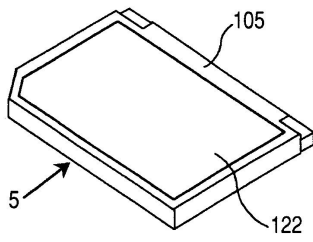
도면51



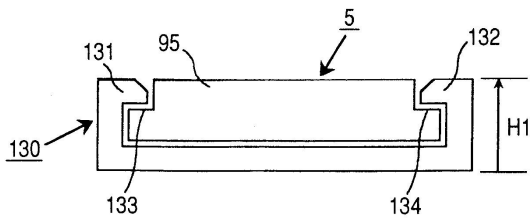
도면52



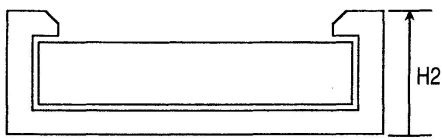
도면53



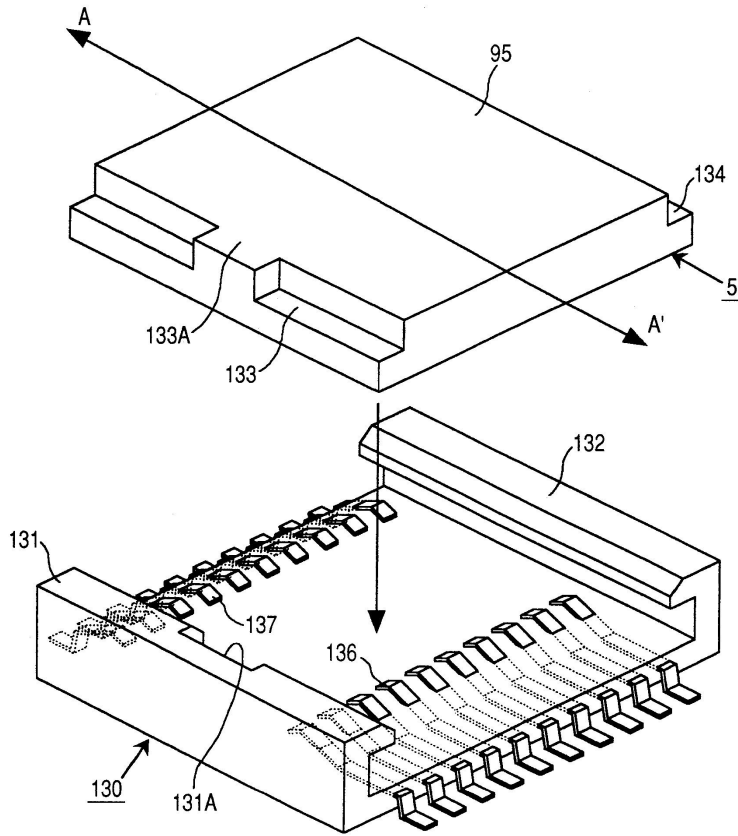
도면54



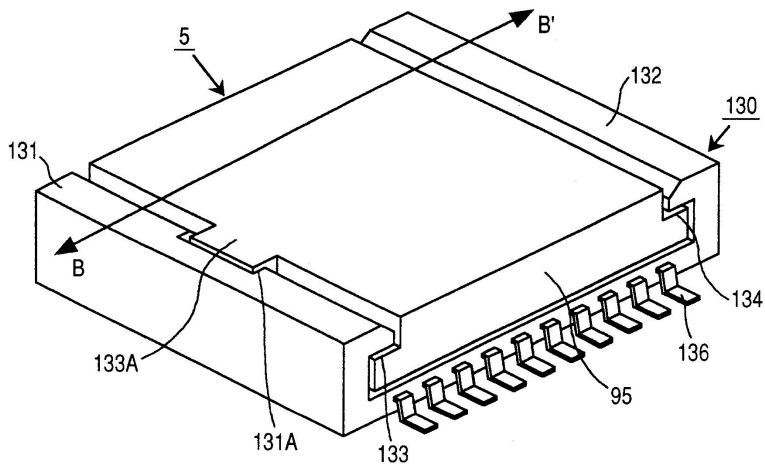
도면55



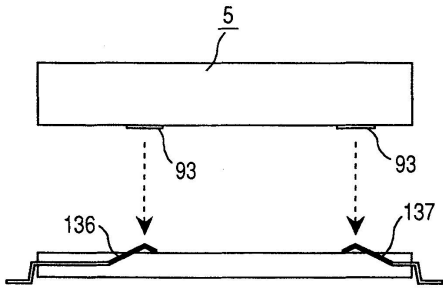
도면56



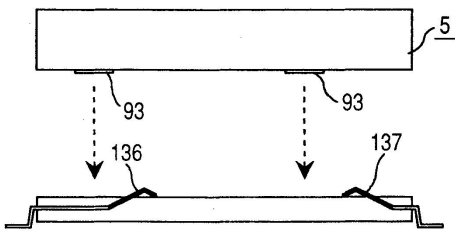
도면57



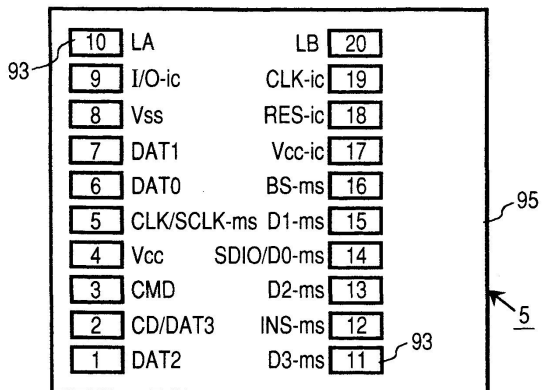
도면58



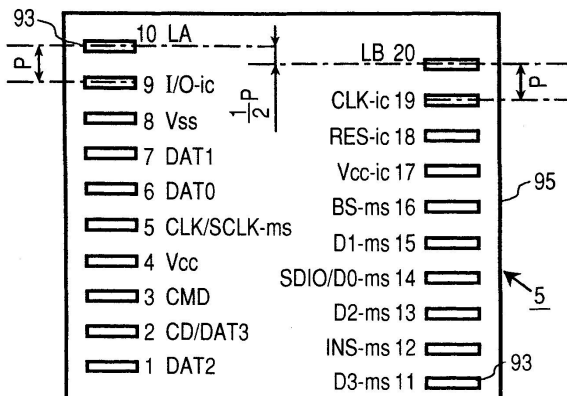
도면59



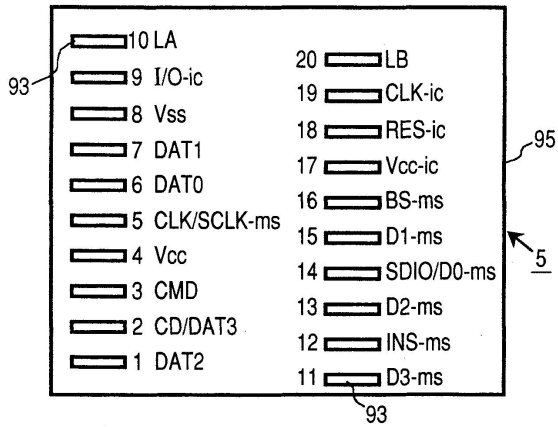
도면60



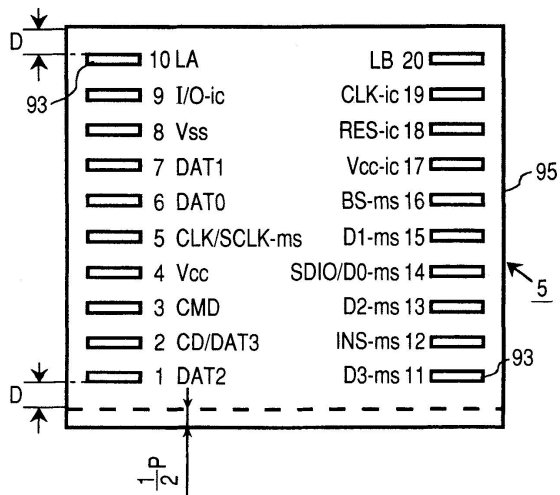
도면61



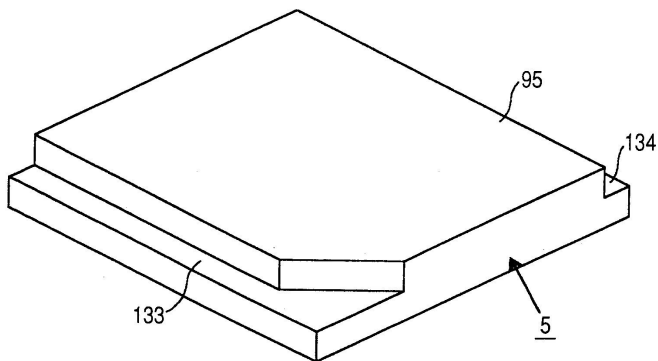
도면62



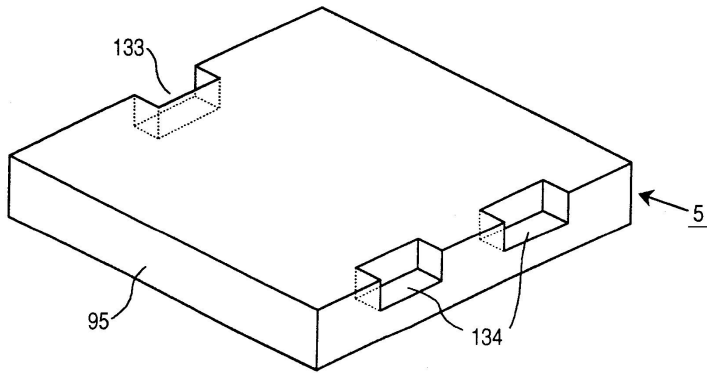
도면63



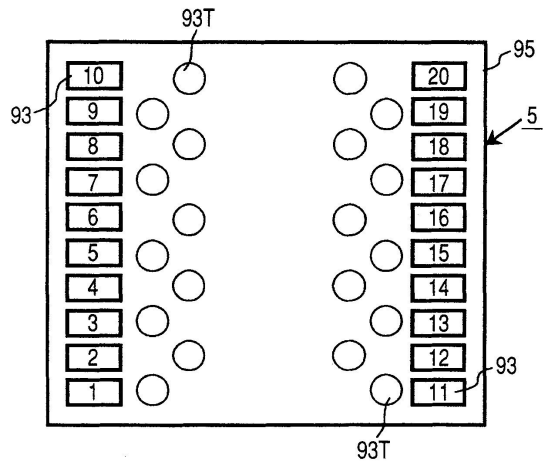
도면64



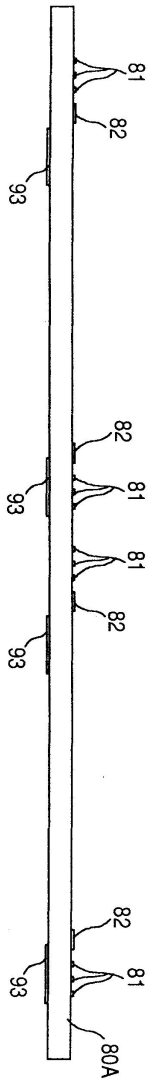
도면65



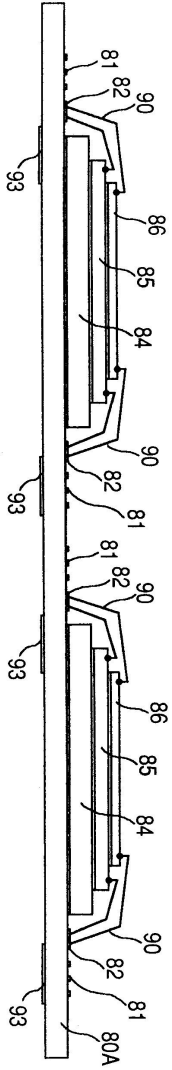
도면66



도면67

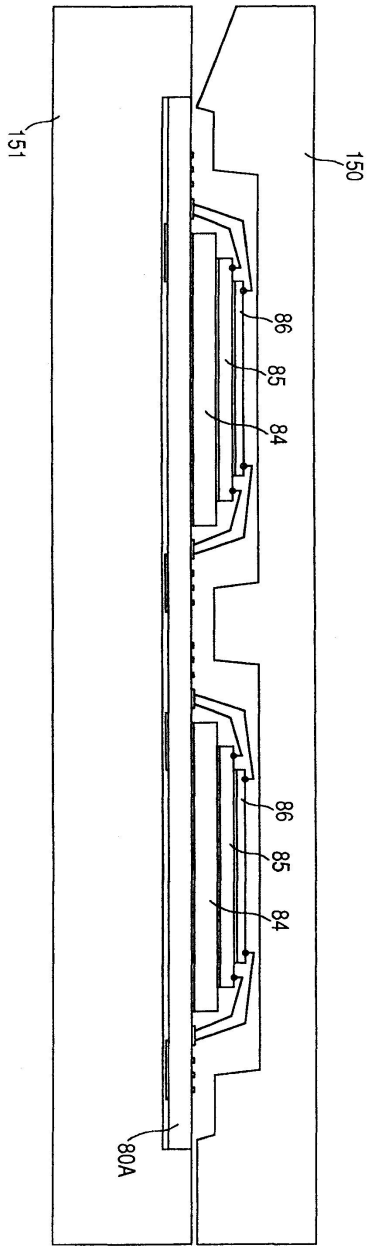


도면68

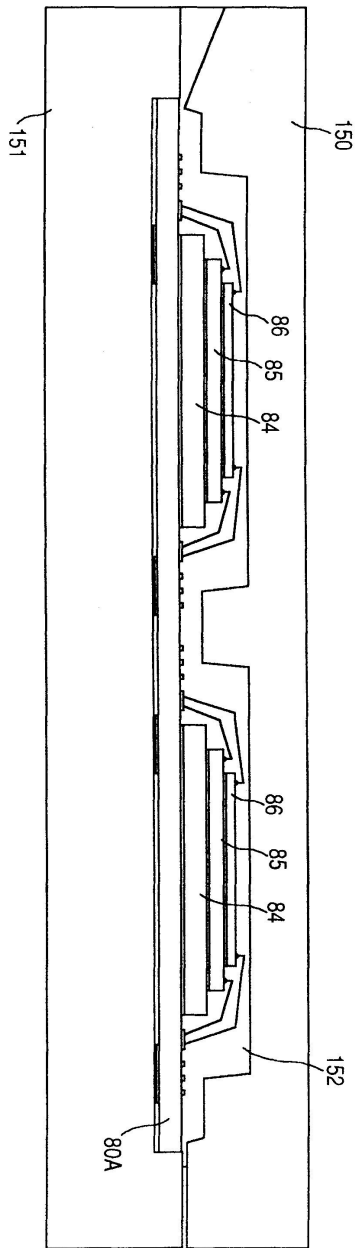




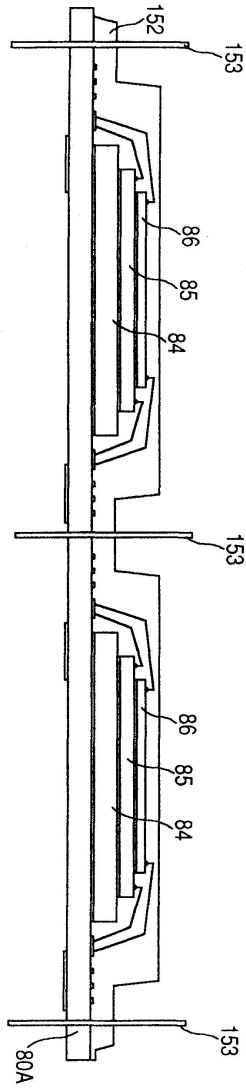
도면69



도면70



도면71



도면72



도면73

