

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6778373号  
(P6778373)

(45) 発行日 令和2年11月11日(2020.11.11)

(24) 登録日 令和2年10月14日(2020.10.14)

(51) Int. Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 C
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T
	HO 1 L 29/78 6 5 3 A
	HO 1 L 29/78 6 5 2 F

請求項の数 16 (全 19 頁)

(21) 出願番号	特願2017-545120 (P2017-545120)	(73) 特許権者	000005234
(86) (22) 出願日	平成28年9月8日(2016.9.8)		富士電機株式会社
(86) 国際出願番号	PCT/JP2016/076419		神奈川県川崎市川崎区田辺新田1番1号
(87) 国際公開番号	W02017/064949	(73) 特許権者	301021533
(87) 国際公開日	平成29年4月20日(2017.4.20)		国立研究開発法人産業技術総合研究所
審査請求日	平成30年3月1日(2018.3.1)		東京都千代田区霞が関1-3-1
(31) 優先権主張番号	特願2015-204672 (P2015-204672)	(74) 代理人	100104190
(32) 優先日	平成27年10月16日(2015.10.16)		弁理士 酒井 昭徳
(33) 優先権主張国・地域又は機関	日本国(JP)	(72) 発明者	木下 明将
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
(出願人による申告)平成23年度、独立行政法人新エネルギー・産業技術総合開発機構「低炭素社会を実現する新材料パワー半導体プロジェクト」委託研究、産業技術力強化法第19条の適用を受ける特許出願		(72) 発明者	原田 信介
			茨城県つくば市東1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

シリコンよりもバンドギャップが広い半導体からなる第1導電型のワイドバンドギャップ半導体基板と、

前記ワイドバンドギャップ半導体基板のおもて面に形成された、シリコンよりもバンドギャップが広い半導体からなる、前記ワイドバンドギャップ半導体基板より低不純物濃度の第1導電型ワイドバンドギャップ半導体層と、

前記第1導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面層に選択的に形成された第2導電型の第1ベース領域と、

前記第1導電型ワイドバンドギャップ半導体層の内部に選択的に形成された第2導電型の第2ベース領域と、

前記第1導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面層に選択的に設けられた、前記第1導電型ワイドバンドギャップ半導体層より高不純物濃度の第1導電型の領域と、

前記第1導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板に対して反対側の表面に形成された、シリコンよりもバンドギャップが広い半導体からなる第2導電型ワイドバンドギャップ半導体層と、

前記第2導電型ワイドバンドギャップ半導体層の表面層に選択的に形成された第1導電型のソース領域と、

前記第2導電型ワイドバンドギャップ半導体層および前記ソース領域を貫通して前記第

10

20

1 導電型の領域に達するトレンチと、

前記トレンチ内部にゲート絶縁膜を介して形成されたゲート電極と、

前記第2導電型ワイドバンドギャップ半導体層および前記ソース領域に接触するソース電極と、

前記ワイドバンドギャップ半導体基板の裏面に設けられたドレイン電極と、

を備え、

前記第2ベース領域は、前記トレンチと深さ方向に対向する位置のすべてに配置され、前記第1ベース領域の一部は、前記トレンチ側に延在し、前記第2ベース領域に接続され、

前記第1導電型の領域の下端部は、前記トレンチの底部よりも深くかつ前記第1ベース領域の下端部よりも浅い位置にあり、

前記第1ベース領域の前記ドレイン電極側の端部の少なくとも一部は、前記第2ベース領域の前記ドレイン電極側の端部よりも前記ドレイン電極側に位置することを特徴とする半導体装置。

【請求項2】

前記第2ベース領域の幅は、前記トレンチの幅よりも広いことを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記トレンチは、前記第1導電型の領域を貫通して前記第2ベース領域に達することを特徴とする請求項1に記載の半導体装置。

【請求項4】

前記第1ベース領域の一部と前記第2ベース領域との接続部分と、前記第2導電型ワイドバンドギャップ半導体層との間に、前記第1導電型の領域が延在していることを特徴とする請求項1に記載の半導体装置。

【請求項5】

前記第1導電型の領域を挟んで、前記第1ベース領域の一部と前記第2ベース領域との接続部分を、前記第1ベース領域と前記第2ベース領域とが並ぶ方向と直交する方向に周期的に配置した平面レイアウトを有することを特徴とする請求項1に記載の半導体装置。

【請求項6】

前記第1ベース領域の前記ドレイン電極側の端部の、前記第2ベース領域の前記ドレイン電極側の端部よりも深い部分を、前記第1ベース領域と前記第2ベース領域とが並ぶ方向と直交する方向に周期的に配置した平面レイアウトを有することを特徴とする請求項1に記載の半導体装置。

【請求項7】

シリコンよりもバンドギャップが広い半導体は、炭化珪素であることを特徴とする請求項1～6のいずれか一つに記載の半導体装置。

【請求項8】

シリコンよりもバンドギャップが広い半導体からなる第1導電型のワイドバンドギャップ半導体基板のおもて面に、前記ワイドバンドギャップ半導体基板より低不純物濃度の第1の第1導電型ワイドバンドギャップ半導体層を形成する第1工程と、

前記第1の第1導電型ワイドバンドギャップ半導体層の表面層に、第2導電型の第1半導体領域および第2導電型の第2半導体領域を選択的に形成する第2工程と、

前記第1の第1導電型ワイドバンドギャップ半導体層の表面に、シリコンよりもバンドギャップが広い半導体からなる、前記ワイドバンドギャップ半導体基板より低不純物濃度の第2の第1導電型ワイドバンドギャップ半導体層を形成する第3工程と、

前記第2の第1導電型ワイドバンドギャップ半導体層の表面層に、前記第1半導体領域に接する第2導電型の第3半導体領域を選択的に形成する第4工程と、

前記第2の第1導電型ワイドバンドギャップ半導体層の表面に、シリコンよりもバンドギャップが広い半導体からなる第2導電型ワイドバンドギャップ半導体層を形成する第5工程と、

10

20

30

40

50

前記第2導電型ワイドバンドギャップ半導体層の表面層に第1導電型のソース領域を選択的に形成する第6工程と、

前記ソース領域および前記第2導電型ワイドバンドギャップ半導体層を貫通して前記第2の第1導電型ワイドバンドギャップ半導体層に達するトレンチすべてを、前記第2半導体領域と深さ方向に対向する位置に形成する第7工程と、

前記トレンチの内部にゲート絶縁膜を介してゲート電極を形成する第8工程と、

前記第2導電型ワイドバンドギャップ半導体層および前記ソース領域に接するソース電極を形成する第9工程と、

前記ワイドバンドギャップ半導体基板の裏面にドレイン電極を形成する第10工程と、  
を含み、

前記第2工程では、前記第1半導体領域と前記第2半導体領域との間に前記第1の第1導電型ワイドバンドギャップ半導体層が残るように、前記第1半導体領域の一部と前記第2半導体領域とを接続させ、

前記第1工程の後、前記第3工程の前に、前記第1半導体領域よりも深い位置に、前記第1半導体領域に接する第2導電型の第4半導体領域を形成する工程をさらに含むことを特徴とする半導体装置の製造方法。

【請求項9】

前記第4工程では、前記第1半導体領域の、前記第2半導体領域との接続部分以外の部分に接する前記第3半導体領域を形成することを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】

前記第1工程の後、前記第3工程の前に、前記第1の第1導電型ワイドバンドギャップ半導体層の表面層の、前記第1半導体領域および前記第2半導体領域との間に第1導電型の第1領域を形成する工程をさらに含むことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項11】

前記第3工程の後、前記第5工程の前に、前記第2の第1導電型ワイドバンドギャップ半導体層の表面層に、前記第1領域に接する第1導電型の第2領域を選択的に形成する工程をさらに含むことを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】

前記第1ベース領域と前記第2ベース領域とが、平面視で格子状のレイアウトをしていることを特徴とする請求項1に記載の半導体装置。

【請求項13】

前記第1ベース領域と前記第2ベース領域の接続部分以外の、前記第1ベース領域と前記第2ベース領域との間に前記第1導電型の領域が設けられていることを特徴とする請求項1に記載の半導体装置。

【請求項14】

前記第1半導体領域と前記第2半導体領域とを、平面視で格子状のレイアウトとなるように形成することを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項15】

前記第2導電型ワイドバンドギャップ半導体層の表面層に選択的に形成された第2導電型のコンタクト領域をさらに備え、

前記第1ベース領域と前記第2ベース領域とが並ぶ方向において、前記コンタクト領域の幅は、前記第1ベース領域の幅よりも狭いことを特徴とする請求項1に記載の半導体装置。

【請求項16】

前記第5工程の後、前記第7工程の前に、前記第2導電型ワイドバンドギャップ半導体層の表面に選択的に第2導電型のコンタクト領域を形成する工程をさらに含み、

前記コンタクト領域を、前記第1半導体領域と前記第2半導体領域とが並ぶ方向において、前記第1半導体領域の幅よりも狭い幅となるように形成することを特徴とする請求項

10

20

30

40

50

8に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

従来、パワー半導体素子においては、素子のオン抵抗の低減を図るため、トレンチ構造を有する縦型MOSFET(Metal Oxide Semiconductor Field Effect Transistor:絶縁ゲート型電解効果トランジスタ)が作製されている。縦型MOSFETでは、チャンネルが基板表面に対して平行に形成されるプレーナー構造よりも基板表面に対して垂直に形成されるトレンチ構造の方が単位面積当たりのセル密度を増やすことができる。このため、単位面積当たりの電流密度を増やすことができ、コスト面から有利である。

10

【0003】

しかしながら、縦型MOSFETにトレンチ構造を形成するとチャンネルを垂直方向に形成するためにトレンチ内壁全域をゲート絶縁膜で覆う構造となり、ゲート絶縁膜のトレンチ底部の部分がドレイン電極に近づくため、ゲート絶縁膜のトレンチ底部の部分に高電界が印加されやすい。特に、ワイドバンドギャップ半導体(シリコンよりもバンドギャップが広い半導体、例えば、炭化珪素(SiC))では超高耐圧素子を作製するため、トレンチ底部のゲート絶縁膜への悪影響は、信頼性を大きく低下させる。

20

【0004】

このような問題を解消する方法として、トレンチ底部の電界強度を緩和させるために、p型ベース領域に接し、かつトレンチ底部より深い位置に達するp型領域を形成し、トレンチ底部よりも深い位置にpn接合を形成する構造が提案されている(例えば、下記特許文献1参照。)。また、トレンチ底部にp型領域を形成する構造が提案されている(例えば、下記特許文献2参照。)。また、p型ベース領域に接し、かつトレンチ底部より深い位置に達するp型領域を形成し、トレンチ底部よりも深い位置にpn接合を形成する構造とトレンチ底部にp型領域を形成する構造を組み合わせた構造が提案されている(例えば、下記特許文献3参照。)。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特許第5539931号公報

【特許文献2】米国特許第6180958号公報

【特許文献3】特開2009-260253号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1の技術を用いてpn接合を形成した場合、pn接合をトレンチ底部より深い位置、もしくは、トレンチに近い位置に形成しなければ耐電圧が確保できないため、製造が非常に困難である。また、特許文献2の技術を用いてp型領域を形成した場合、トレンチ側壁のゲート絶縁膜に高電界が印加されやすくなり、オン状態では電流経路が狭くなるため、オン抵抗が高くなる。また、特許文献3の技術を用いてトレンチから離れた位置に深いp型領域とトレンチ底部のp型領域との両方を形成した場合、オン抵抗を下げるためにトレンチ下部のp型領域の幅をトレンチ幅より狭くしているため、トレンチ底部のコーナー部へ高電界が緩和されない。さらに、特許文献3では、pn接合がトレンチ直下(ドレイン側)の領域に広く形成されるため、活性部の耐電圧がワイドバンドギャップ半導体の性能限界近くまで上がる。これにより、活性部の耐電圧が耐圧構造部の耐電圧以上になりやすく素子の耐量を低下させる虞がある。

40

50

## 【0007】

この発明は、上述した従来技術による問題点を解消するため、簡易に形成することができ、トレンチ底部のゲート絶縁膜の電界強度を緩和させ、活性部の耐電圧を抑えることにより耐圧構造部の耐電圧設計を容易にする半導体装置および半導体装置の製造方法を提供することを目的とする。

## 【課題を解決するための手段】

## 【0008】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。シリコンよりもバンドギャップが広い半導体からなる第1導電型のワイドバンドギャップ半導体基板を備える。前記ワイドバンドギャップ半導体基板のおもて面に、シリコンよりもバンドギャップが広い半導体からなる、前記ワイドバンドギャップ半導体基板より低不純物濃度の第1導電型ワイドバンドギャップ半導体層が形成されている。前記第1導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面層に選択的に第2導電型の第1ベース領域が形成されている。前記第1導電型ワイドバンドギャップ半導体層の内部に選択的に第2導電型の第2ベース領域が形成されている。前記第1導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面層に選択的に、前記第1導電型ワイドバンドギャップ半導体層より高不純物濃度の第1導電型の領域が形成されている。前記第1導電型ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板に対して反対側の表面に、シリコンよりもバンドギャップが広い半導体からなる第2導電型ワイドバンドギャップ半導体層が形成されている。前記第2導電型ワイドバンドギャップ半導体層の表面層に選択的に第1導電型のソース領域が形成されている。前記第2導電型ワイドバンドギャップ半導体層および前記ソース領域を貫通して前記第1導電型の領域に達するトレンチを備える。前記トレンチ内部にゲート絶縁膜を介してゲート電極が形成されている。前記第2導電型ワイドバンドギャップ半導体層および前記ソース領域に接触するソース電極を備える。前記ワイドバンドギャップ半導体基板の裏面にドレイン電極が設けられている。そして、前記第2ベース領域は、前記トレンチと深さ方向に対向する位置のすべてに配置され、前記第1ベース領域の一部は、前記トレンチ側に延在し、前記第2ベース領域に接続されている。前記第1導電型の領域の下端部は、前記トレンチの底部よりも深くかつ前記第1ベース領域の下端部よりも浅い位置にある。前記第1ベース領域の前記ドレイン電極側の端部の少なくとも一部は、前記第2ベース領域の前記ドレイン電極側の端部よりも前記ドレイン電極側に位置する。

## 【0009】

また、この発明にかかる半導体装置は、上述した発明において、前記第2導電型の第2ベース領域の幅は、前記トレンチの幅よりも広いことを特徴とする。

## 【0010】

また、この発明にかかる半導体装置は、上述した発明において、前記トレンチは、前記第1導電型の領域を貫通して前記第2ベース領域に達することを特徴とする。

## 【0011】

また、この発明にかかる半導体装置は、上述した発明において、前記第1ベース領域の一部と前記第2ベース領域との接続部分と、前記第2導電型ワイドバンドギャップ半導体層との間に、前記第1導電型の領域が延在していることを特徴とする。

## 【0012】

また、この発明にかかる半導体装置は、上述した発明において、前記第1導電型の領域を挟んで、前記第1ベース領域の一部と前記第2ベース領域との接続部分を、前記第1ベース領域と前記第2ベース領域とが並ぶ方向と直交する方向に周期的に配置した平面レイアウトを有することを特徴とする。

## 【0014】

また、この発明にかかる半導体装置は、上述した発明において、前記第1ベース領域の前記ドレイン電極側の端部の、前記第2ベース領域の前記ドレイン電極側の端部よりも深

10

20

30

40

50

い部分を、前記第1ベース領域と前記第2ベース領域とが並ぶ方向と直交する方向に周期的に配置した平面レイアウトを有する。

【0015】

また、この発明にかかる半導体装置は、上述した発明において、シリコンよりもバンドギャップが広い半導体は、炭化珪素であることを特徴とする。

【0016】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、次の特徴を有する。まず、シリコンよりもバンドギャップが広い半導体からなる第1導電型のワイドバンドギャップ半導体基板のおもて面に、前記ワイドバンドギャップ半導体基板より低不純物濃度の第1の第1導電型ワイドバンドギャップ半導体層を形成する第1工程を行う。次に、前記第1の第1導電型ワイドバンドギャップ半導体層の表面層に、第2導電型の第1半導体領域および第2導電型の第2半導体領域を選択的に形成する第2工程を行う。次に、前記第1の第1導電型ワイドバンドギャップ半導体層の表面に、シリコンよりもバンドギャップが広い半導体からなる、前記ワイドバンドギャップ半導体基板より低不純物濃度の第2の第1導電型ワイドバンドギャップ半導体層を形成する第3工程を行う。次に、前記第2の第1導電型ワイドバンドギャップ半導体層の表面層に、前記第1半導体領域に接する第2導電型の第3半導体領域を選択的に形成する第4工程を行う。次に、前記第2の第1導電型ワイドバンドギャップ半導体層の表面に、シリコンよりもバンドギャップが広い半導体からなる第2導電型ワイドバンドギャップ半導体層を形成する第5工程を行う。次に、前記第2導電型ワイドバンドギャップ半導体層の表面層に第1導電型のソース領域を選択的に形成する第6工程を行う。次に、前記ソース領域および前記第2導電型ワイドバンドギャップ半導体層を貫通して前記第1導電型の第1領域に達するトレンチすべてを、前記第2半導体領域と深さ方向に対向する位置に形成する第7工程を行う。次に、前記トレンチの内部にゲート絶縁膜を介してゲート電極を形成する第8工程を行う。次に、前記第2導電型ワイドバンドギャップ半導体層および前記ソース領域に接するソース電極を形成する第9工程を行う。次に、前記ワイドバンドギャップ半導体基板の裏面にドレイン電極を形成する第10工程を行う。そして、前記第2工程では、前記第1半導体領域と前記第2半導体領域との間に前記第1の第1導電型ワイドバンドギャップ半導体層が残るように、前記第1半導体領域の一部と前記第2半導体領域とを接続させる。前記第1工程の後、前記第3工程の前に、前記第1半導体領域よりも深い位置に、前記第1半導体領域に接する第2導電型の第4半導体領域を形成する工程をさらに含む。

【0017】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第4工程では、前記第1半導体領域の、前記第2半導体領域との接続部分以外の部分に接する前記第3半導体領域を形成することを特徴とする。

【0018】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第1工程の後、前記第3工程の前に、前記第1の第1導電型ワイドバンドギャップ半導体層の表面層の、前記第1半導体領域および前記第2半導体領域との間に第1導電型の第1領域を形成する工程をさらに含むことを特徴とする。

【0019】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第3工程の後、前記第5工程の前に、前記第2の第1導電型ワイドバンドギャップ半導体層の表面層に、前記第1領域に接する第1導電型の第2領域を選択的に形成する工程をさらに含むことを特徴とする。

【0020】

また、この発明にかかる半導体装置は、上述した発明において、前記第1ベース領域と前記第2ベース領域とが、平面視で格子状のレイアウトをしていることを特徴とする。また、この発明にかかる半導体装置は、上述した発明において、前記第1ベース領域と前記

10

20

30

40

50

第2ベース領域の接続部分以外の、前記第1ベース領域と前記第2ベース領域との間に前記第1導電型の領域が設けられていることを特徴とする。また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第1半導体領域と前記第2半導体領域とを、平面視で格子状のレイアウトとなるように形成することを特徴とする。また、この発明にかかる半導体装置は、上述した発明において、前記第2導電型ワイドバンドギャップ半導体層の表面層に選択的に形成された第2導電型のコンタクト領域をさらに備え、前記第1ベース領域と前記第2ベース領域とが並ぶ方向において、前記コンタクト領域の幅は前記第1ベース領域の幅よりも狭いことを特徴とする。また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第5工程の後、前記第7工程の前に、前記第2導電型ワイドバンドギャップ半導体層の表面に選択的に第2導電型のコンタクト領域を形成する工程をさらに含み、前記コンタクト領域を、前記第1半導体領域と前記第2半導体領域とが並ぶ方向において、前記第1半導体領域の幅よりも狭い幅となるように形成することを特徴とする。

10

## 【0021】

上述した発明によれば、耐電圧が高い状態で、オン抵抗を下げるができる。これにより、トレンチ底部のゲート絶縁膜の電界強度を緩和させ、活性部の耐電圧を抑えることができ、耐压構造部の耐電圧設計を容易にできる。

## 【発明の効果】

## 【0022】

本発明にかかる半導体装置および半導体装置の製造方法によれば、簡易に形成することができ、トレンチ底部のゲート絶縁膜の電界強度を緩和させ、活性部の耐電圧を抑えることにより耐压構造部の耐電圧設計を容易にすることができるという効果を奏する。

20

## 【図面の簡単な説明】

## 【0023】

【図1A】図1Aは、実施の形態1にかかる炭化珪素半導体装置の構成を示す断面図である。

【図1B】図1Bは、図2の切断線B-B'における断面構造である。

【図2】図2は、実施の形態1にかかる炭化珪素半導体装置の平面レイアウトの一例を示す平面図である。

【図3】図3は、実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である(その1)。

30

【図4】図4は、実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である(その2)。

【図5】図5は、実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である(その3)。

【図6】図6は、実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である(その4)。

【図7】図7は、実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である(その5)。

【図8】図8は、実施の形態1にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である(その6)。

40

【図9】図9は、実施の形態1にかかる炭化珪素半導体装置の実施例においてトレンチと第2p<sup>+</sup>型ベース領域との横方向位置にズレが生じた状態の一例を示す断面図である。

【図10】図10は、実施の形態1にかかる炭化珪素半導体装置の実施例のゲート絶縁膜最大電界強度特性を示す特性図である。

【図11】図11は、実施の形態1にかかる炭化珪素半導体装置の実施例のオン抵抗特性を示す特性図である。

【図12】図12は、実施の形態2にかかる炭化珪素半導体装置の構成を示す断面図である。

【図13】図13は、実施の形態2にかかる炭化珪素半導体装置の製造途中の状態を模式

50

的に示す断面図である。

【図14】図14は、実施の形態2にかかる炭化珪素半導体装置の実施例と比較例におけるアバランシェ降伏時の電流分布図である。

【発明を実施するための形態】

【0024】

以下に添付図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。+および-を含めたnやpの表記が同じ場合は近い濃度であることを示し濃度が同等とは限らない。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、本明細書では、ミラー指数の表記において、“-”はその直後の指数につくバーを意味しており、指数の前に“-”を付けることで負の指数をあらわしている。

【0025】

(実施の形態1)

本発明にかかる半導体装置は、ワイドバンドギャップ半導体を用いて構成される。実施の形態においては、ワイドバンドギャップ半導体として例えば炭化珪素(SiC)を用いて作製された炭化珪素半導体装置について、MOSFETを例に説明する。図1Aは、実施の形態1にかかる炭化珪素半導体装置の構成を示す断面図である。

【0026】

図1Aに示すように、実施の形態にかかる炭化珪素半導体装置は、n<sup>+</sup>型炭化珪素基板(第1導電型ワイドバンドギャップ半導体基板)1の第1主面(おもて面)、例えば(0001)面(Si面)、にn型炭化珪素エピタキシャル層(第1導電型の第1ワイドバンドギャップ半導体層)2が堆積されている。

【0027】

n<sup>+</sup>型炭化珪素基板1は、例えば窒素(N)がドーピングされた炭化珪素単結晶基板である。n型炭化珪素エピタキシャル層2は、n<sup>+</sup>型炭化珪素基板1よりも低い不純物濃度で、例えば窒素がドーピングされている低濃度n型ドリフト層である。n型炭化珪素エピタキシャル層2の、n<sup>+</sup>型炭化珪素基板1側に対して反対側の表面側は、n型高濃度領域(第1導電型の領域)5が形成されている。n型高濃度領域5は、n<sup>+</sup>型炭化珪素基板1よりも低くn型炭化珪素エピタキシャル層2よりも高い不純物濃度で、例えば窒素がドーピングされている高濃度n型ドリフト層である。以下、n<sup>+</sup>型炭化珪素基板1とn型炭化珪素エピタキシャル層2と後述するp型ベース層(第2導電型ワイドバンドギャップ半導体層)6とを併せて炭化珪素半導体基体とする。

【0028】

図1Aに示すように、n<sup>+</sup>型炭化珪素基板1の第2主面(裏面、すなわち炭化珪素半導体基体の裏面)には、裏面電極(ドレイン電極)13が設けられている。裏面電極13は、ドレイン電極を構成する。裏面電極13の表面には、ドレイン電極パッド15が設けられている。

【0029】

炭化珪素半導体基体の第1主面側(p型ベース層6側)には、トレンチ構造が形成されている。具体的には、トレンチ16は、p型ベース層6のn<sup>+</sup>型炭化珪素基板1側に対して反対側(炭化珪素半導体基体の第1主面側)の表面からp型ベース層6を貫通してn型高濃度領域5に達する。トレンチ16の内壁に沿って、トレンチ16の底部および側壁にゲート絶縁膜9が形成されており、トレンチ16内のゲート絶縁膜9の内側にゲート電極10が形成されている。ゲート絶縁膜9によりゲート電極10が、n型炭化珪素エピタキシャル層2およびp型ベース層6と絶縁されている。ゲート電極10の一部は、トレンチ16の上方(ソース電極パッド14側)からソース電極パッド14側に突出していてもよい。

10

20

30

40

50



## 【0030】

n型炭化珪素エピタキシャル層2のn<sup>+</sup>型炭化珪素基板1側に対して反対側(炭化珪素半導体基体の第1主面側)の表面層には、第1p<sup>+</sup>型ベース領域(第2導電型の第1ベース領域)3と第2p<sup>+</sup>型ベース領域(第2導電型の第2ベース領域)4が選択的に設けられている。第1p<sup>+</sup>型ベース領域3は、トレンチ16の底部よりもドレイン側に深い位置にまで達している。第1p<sup>+</sup>型ベース領域3の下端部(ドレイン側端部)は、トレンチ16の底部よりもドレイン側に位置する。第2p<sup>+</sup>型ベース領域4の下端部は、トレンチ16の底部よりもドレイン側に位置する。第2p<sup>+</sup>型ベース領域4は、トレンチ16の底部と深さ方向zに対向する位置に形成される。第2p<sup>+</sup>型ベース領域4の幅は、トレンチ16の幅よりも広い。トレンチ16の底部は、第2p<sup>+</sup>型ベース領域4に達してもよいし、p型ベース層6と第2p<sup>+</sup>型ベース領域4に挟まれたn型高濃度領域5内に位置し、第2p<sup>+</sup>型ベース領域4と接触していなくてもよい。第1p<sup>+</sup>型ベース領域3と第2p<sup>+</sup>型ベース領域4は、例えばアルミニウム(A1)がドーピングされている。

10

## 【0031】

第1p<sup>+</sup>型ベース領域3の一部17をトレンチ16側に延在させることで第2p<sup>+</sup>型ベース領域4に接続した構造となっている。この場合、第1p<sup>+</sup>型ベース領域3の一部17(図2参照)は、第1p<sup>+</sup>型ベース領域3と第2p<sup>+</sup>型ベース領域4とが並ぶ方向(以下、第1方向とする)xと直交する方向(以下、第2方向とする)yに、n型高濃度領域5と交互に繰り返し配置された平面レイアウトを有していてもよい。第1,2p型ベース領域3,4の平面レイアウトの一例を図2に示す。図2は、実施の形態1にかかる炭化珪素半導体装置の平面レイアウトの一例を示す平面図である。この場合、図1Aは、図2の切断線A-A'における断面構造となる。図1Bは、図2の切断線B-B'における断面構造である。図2は、図1A,1Bの切断線C-Cにおける平面レイアウトである。図2には、第1p<sup>+</sup>型ベース領域3と第2p<sup>+</sup>型ベース領域4との境界を縦点線で示し、これら第1,2p型ベース領域3,4が第1p<sup>+</sup>型ベース領域3の一部17によって接続された状態を示す(ハッチングされた部分)。

20

## 【0032】

図2のように、トレンチ16の底部よりもドレイン側において、第1p<sup>+</sup>型ベース領域3の一部17は、例えば、第1方向xの両側のトレンチ16側に延在し、第2p<sup>+</sup>型ベース領域4の一部と接続している。第2方向yに隣り合う第1p<sup>+</sup>型ベース領域3の一部17同士の間には、n型高濃度領域5のドレイン側の部分5aが配置される。すなわち、第1p<sup>+</sup>型ベース領域3の一部17(第1,2p型ベース領域3,4が接続する部分)は、n型高濃度領域5のドレイン側の部分5aを挟んで、第2方向yに周期的に配置される。そして、第1p<sup>+</sup>型ベース領域3と第2p<sup>+</sup>型ベース領域4とは平面視で格子状のレイアウトとなっている。n型高濃度領域5は、第1p<sup>+</sup>型ベース領域3の一部17とp型ベース層6との間に延在する。すなわち、トレンチ16の側壁に露出される部分において、p型ベース層6と第1,2p型ベース領域3,4との間にn型高濃度領域5のソース側の部分5bが配置され、トレンチ16の側面の一部がn型領域で覆われる(図1B)。これにより、第2p<sup>+</sup>型ベース領域4とn型炭化珪素エピタキシャル層2の接合部分でアバランシェ降伏が起こったときに発生するホールを効率よくソース電極12に退避させることができ、ゲート絶縁膜9への負担を軽減されるため、信頼性が向上する。

30

40

## 【0033】

n型炭化珪素エピタキシャル層2の基体第1主面側には、p型ベース層(第2導電型のワイドバンドギャップ半導体層)6が設けられている。p型ベース層6は、第1p<sup>+</sup>型ベース領域3に接する。p型ベース層6の不純物濃度は、例えば第1p<sup>+</sup>型ベース領域3の不純物濃度よりも低くてもよい。これにより、閾値電圧を下げるためにp型ベース層6の濃度を下げても、p型ベース層6の空乏層の広がりを抑えることでパンチスルーによる耐圧低下を回避することができる。p型ベース層6の内部には、基体第1主面側にn<sup>+</sup>ソース領域(第1導電型のソース領域)7およびp<sup>++</sup>コンタクト領域(第2導電型のコンタクト領域)8が選択的に設けられている。また、n<sup>+</sup>ソース領域7およびp<sup>++</sup>コンタクト領

50

域 8 は互いに接する。また、n 型炭化珪素エピタキシャル層 2 の基体第 1 主面側の表面層の第 1 p<sup>+</sup>型ベース領域 3 と第 2 p<sup>+</sup>型ベース領域 4 に挟まれた領域と、p 型ベース層 6 と第 2 p<sup>+</sup>型ベース領域 4 に挟まれた領域に n 型高濃度領域 5 が設けられている。

【 0 0 3 4 】

図 1 A では、2 つのトレンチ MOS 構造のみを図示しているが、さらに多くのトレンチ構造の MOS ゲート（金属 - 酸化膜 - 半導体からなる絶縁ゲート）構造が並列に配置されていてよい。

【 0 0 3 5 】

層間絶縁膜 1 1 は、炭化珪素半導体基体の第 1 主面側の全面に、トレンチに埋め込まれたゲート電極 1 0 を覆うように設けられている。ソース電極 1 2 は、層間絶縁膜 1 1 に開口されたコンタクトホールを介して、n<sup>+</sup>ソース領域 7 および p<sup>++</sup>コンタクト領域 8 に接する。ソース電極 1 2 は、層間絶縁膜 1 1 によって、ゲート電極 1 0 と電氣的に絶縁されている。ソース電極 1 2 上には、ソース電極パッド 1 4 が設けられている。

【 0 0 3 6 】

（実施の形態 1 にかかる炭化珪素半導体装置の製造方法）

次に、実施の形態にかかる炭化珪素半導体装置の製造方法について説明する。図 3 ~ 図 8 は、実施の形態にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である。

【 0 0 3 7 】

まず、n 型の炭化珪素でできた n<sup>+</sup>型炭化珪素基板 1 を用意する。そして、この n<sup>+</sup>型炭化珪素基板 1 の第 1 主面上に、n 型の不純物、例えば窒素原子をドーピングしながら炭化珪素でできた第 1 n 型炭化珪素エピタキシャル層（第 1 の第 1 導電型ワイドバンドギャップ半導体層）2 a を、例えば 3 0 μ m 程度の厚さまでエピタキシャル成長させる。この第 1 n 型炭化珪素エピタキシャル層 2 a は、n 型炭化珪素エピタキシャル層 2 となる。ここまでの状態が図 3 に示されている。

【 0 0 3 8 】

次に、第 1 n 型炭化珪素エピタキシャル層 2 a の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを、例えば酸化膜で形成する。そして、この酸化膜をマスクとしてイオン注入法によって p 型の不純物、例えばアルミニウム原子をイオン注入する。それによって、第 1 n 型炭化珪素エピタキシャル層 2 a の表面領域の一部に、例えば深さ 0 . 5 μ m 程度の第 1 p 型領域（第 2 導電型の第 1 半導体領域）3 a と第 2 p<sup>+</sup>型ベース領域（第 2 導電型の第 2 半導体領域）4 が、例えば隣り合う第 1 p 型領域 3 a と第 2 p<sup>+</sup>型ベース領域 4 との間の距離が 1 . 5 μ m 程度となるように、形成される。第 1 p 型領域 3 a と第 2 p<sup>+</sup>型ベース領域 4 を形成するためのイオン注入時のドーズ量を、例えば不純物濃度が  $5 \times 10^{18} / \text{cm}^3$  程度となるように設定してもよい。また、第 1 p 型領域 3 a と第 2 p<sup>+</sup>型ベース領域 4 とが、平面視で格子状のレイアウトとなるように形成してもよい。

【 0 0 3 9 】

次に、第 1 p 型領域 3 a と第 2 p<sup>+</sup>型ベース領域 4 を形成するためのイオン注入時に用いたマスクを除去する。そして、イオン注入法によって n 型の不純物、例えば窒素原子をイオン注入する。それによって、第 1 n 型炭化珪素エピタキシャル層 2 a の表面層の、第 1 p 型領域 3 a と第 2 p<sup>+</sup>型ベース領域 4 との間に、例えば深さ 0 . 5 μ m 以下程度の第 1 n 型領域（第 1 導電型の第 1 領域）5 a が形成される。第 1 n 型領域 5 a を形成するためのイオン注入時のドーズ量を、例えば不純物濃度が  $1 \times 10^{17} / \text{cm}^3$  程度となるように設定してもよい。ここまでの状態が図 4 に示されている。

【 0 0 4 0 】

次に、第 1 n 型炭化珪素エピタキシャル層 2 a の表面上に、n 型の不純物、例えば窒素原子をドーピングしながら第 2 n 型炭化珪素エピタキシャル層（第 2 の第 1 導電型ワイドバンドギャップ半導体層）2 b を、例えば 0 . 5 μ m 程度の厚さまでエピタキシャル成長させる。この第 2 n 型炭化珪素エピタキシャル層 2 b と第 1 n 型炭化珪素エピタキシャル

10

20

30

40

50

層 2 a とが合わさって n 型炭化珪素エピタキシャル層 2 となる。第 2 n 型炭化珪素エピタキシャル層 2 b を形成するためのエピタキシャル成長の条件を、例えば第 2 n 型炭化珪素エピタキシャル層 2 b の不純物濃度が  $3 \times 10^{15} / \text{cm}^3$  程度となるように設定してもよい。

#### 【 0 0 4 1 】

次に、n 型炭化珪素エピタキシャル層 2 の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを、例えば酸化膜で形成する。そして、この酸化膜をマスクとしてイオン注入法によって p 型の不純物、例えばアルミニウム原子をイオン注入する。それによって、n 型炭化珪素エピタキシャル層 2 の表面領域の一部に、例えば深さ  $0.5 \mu\text{m}$  程度の第 2 p 型領域 (第 2 導電型の第 3 半導体領域) 3 b が、例えば第 1 p 型領域 3 a の上部に重なるように形成される。この第 2 p 型領域 3 b と第 1 p 型領域 3 a を合わせて第 1 p<sup>+</sup>型ベース領域 3 となる。第 2 p 型領域 3 b を形成するためのイオン注入時のドーズ量を、例えば不純物濃度が  $5 \times 10^{18} / \text{cm}^3$  程度となるように設定してもよい。

10

#### 【 0 0 4 2 】

次に、第 2 p 型領域 3 b を形成するためのイオン注入時に用いたマスクを除去する。そして、イオン注入法によって n 型の不純物、例えば窒素原子をイオン注入する。それによって、第 2 n 型炭化珪素エピタキシャル層 2 b の表面層の一部に、第 1 p 型領域 3 a、第 2 p<sup>+</sup>型ベース領域 4、第 1 n 型領域 5 a に接するように、例えば深さ  $0.5 \mu\text{m}$  程度の第 2 n 型領域 (第 1 導電型の第 2 領域) 5 b が形成される。第 2 n 型領域 5 b を設けるためのイオン注入時のドーズ量を、例えば不純物濃度が  $1 \times 10^{17} / \text{cm}^3$  程度となるように設定してもよい。この第 2 n 型領域 5 b と第 1 n 型領域 5 a とが合わさって n 型高濃度領域 5 となる。ここまでの状態が図 5 に示されている。

20

#### 【 0 0 4 3 】

次に、n 型炭化珪素エピタキシャル層 2 の表面 (すなわち第 1 p<sup>+</sup>型ベース領域 3 および第 2 n 型領域 5 b の表面) 上に、p 型の不純物、例えばアルミニウム原子をドーピングしながら p 型ベース層 (第 2 導電型のワイドバンドギャップ半導体層) 6 を、例えば  $1.3 \mu\text{m}$  程度の厚さまでエピタキシャル成長させる。p 型ベース層 6 を形成するためのエピタキシャル成長の条件を、例えば不純物濃度が第 1 p<sup>+</sup>型ベース領域 3 の不純物濃度よりも低い  $4 \times 10^{17} / \text{cm}^3$  程度となるように設定してもよい。ここまでの工程により、n<sup>+</sup>型炭化珪素基板 1 上に n 型炭化珪素エピタキシャル層 2 および p 型ベース層 6 を積層してなる炭化珪素半導体基体が形成される。

30

#### 【 0 0 4 4 】

次に、p 型ベース層 6 の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを例えば酸化膜で形成する。そして、この酸化膜をマスクとしてイオン注入法によって n 型の不純物、例えばリン (P) をイオン注入する。それによって、p 型ベース層 6 の表面層の一部に n<sup>+</sup>ソース領域 (第 1 導電型のソース領域) 7 が形成される。n<sup>+</sup>ソース領域 7 を形成するためのイオン注入時のドーズ量を、例えば第 1 p<sup>+</sup>型ベース領域 3 よりも不純物濃度が高くなるように設定してもよい。次に、n<sup>+</sup>ソース領域 7 を形成するためのイオン注入時に用いたマスクを除去する。

40

#### 【 0 0 4 5 】

そして、p 型ベース層 6 の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを例えば酸化膜で形成し、この酸化膜をマスクとして p 型ベース層 6 の表面上に p 型の不純物、例えばアルミニウムをイオン注入する。それによって、p 型ベース層 6 の表面領域の一部に p<sup>++</sup>コンタクト領域 (第 2 導電型のコンタクト領域) 8 が形成される。p<sup>++</sup>コンタクト領域 8 を形成するためのイオン注入時のドーズ量を、例えば第 2 p<sup>+</sup>型ベース領域 4 よりも不純物濃度が高くなるように設定してもよい。続いて、p<sup>++</sup>コンタクト領域 8 を形成するためのイオン注入時に用いたマスクを除去する。n<sup>+</sup>ソース領域 7 を形成するためのイオン注入と、p<sup>++</sup>コンタクト領域 8 を形成するためのイオン注入と、の順序を入れ替えてもよい。ここまでの状態が図 6 に示されている。

50

## 【0046】

次に、熱処理（アニール）を行って、例えば第1 p型領域3 a、第2 p型領域3 b、n<sup>+</sup>ソース領域7、p<sup>++</sup>コンタクト領域8を活性化させる。熱処理の温度は、例えば1700程度であってもよい。熱処理の時間は、例えば2分程度であってもよい。なお、上述したように1回の熱処理によって各イオン注入領域をまとめて活性化させてもよいし、イオン注入を行うたびに熱処理を行って活性化させてもよい。

## 【0047】

次に、p型ベース層6の表面（すなわちn<sup>+</sup>ソース領域7およびp<sup>++</sup>コンタクト領域8の表面）上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを例えば酸化膜で形成する。そして、この酸化膜をマスクとしてドライエッチング等によってn<sup>+</sup>ソース領域7およびp型ベース層6を貫通してn型高濃度領域5に達するトレンチ16を形成する。トレンチ16の底部は、第2 p<sup>+</sup>型ベース領域4に達してもよいし、p型ベース層6と第2 p<sup>+</sup>型ベース領域4に挟まれたn型高濃度領域5内に位置していてもよい。続いて、トレンチ16を形成するために用いたマスクを除去する。ここまでの状態が図7に示されている。

10

## 【0048】

次に、n<sup>+</sup>ソース領域7およびp<sup>++</sup>コンタクト領域8の表面と、トレンチ16の底部および側壁と、に沿ってゲート絶縁膜9を形成する。このゲート絶縁膜9は、酸素雰囲気において1000程度の温度の熱処理によって熱酸化によって形成してもよい。また、このゲート絶縁膜9は高温酸化（High Temperature Oxide：HTO）等のような化学反応によって堆積する方法で形成してもよい。

20

## 【0049】

次に、ゲート絶縁膜9上に、例えばリン原子がドーピングされた多結晶シリコン層を形成する。この多結晶シリコン層はトレンチ16内を埋めるように形成する。この多結晶シリコン層をパターニングして、トレンチ16内部に残すことによって、ゲート電極10が形成される。ゲート電極10の一部は、トレンチ16の上方（ソース電極パッド14側）からソース電極パッド14側に突出していてもよい。

## 【0050】

次に、ゲート絶縁膜9およびゲート電極10を覆うように、例えばリンガラスを1μm程度の厚さで成膜し、層間絶縁膜11を形成する。層間絶縁膜11およびゲート絶縁膜9をパターニングして選択的に除去することによって、コンタクトホールを形成し、n<sup>+</sup>ソース領域7およびp<sup>++</sup>コンタクト領域8を露出させる。その後、熱処理（リフロー）を行って層間絶縁膜11を平坦化する。ここまでの状態が図8に示されている。

30

## 【0051】

次いで、コンタクトホール内および層間絶縁膜11の上にソース電極12となる導電性の膜を形成する。この導電性の膜を選択的に除去して、例えばコンタクトホール内のみソース電極12を残す。

## 【0052】

次いで、n<sup>+</sup>型炭化珪素基板1の第2主面上に、例えばニッケル（Ni）膜でできたドレイン電極13を形成する。その後、例えば970程度の温度で熱処理を行って、n<sup>+</sup>型炭化珪素基板1とドレイン電極13とをオーミック接合する。

40

## 【0053】

次に、例えばスパッタ法によって、ソース電極12および層間絶縁膜11を覆うように、例えばアルミニウム膜を、厚さが例えば5μm程度になるように、設ける。その後、アルミニウム膜を選択的に除去して、素子全体の活性部を覆うように残すことによって、ソース電極パッド14を形成する。

## 【0054】

次に、ドレイン電極13の表面に、例えばチタン（Ti）、ニッケルおよび金（Au）を順に積層することによって、ドレイン電極パッド15を形成する。以上のようにして、図1に示す半導体装置が完成する。

50

## 【 0 0 5 5 】

(実施例)

図 9 は、実施の形態 1 にかかる炭化珪素半導体装置の実施例においてトレンチと第 2 p<sup>+</sup>型ベース領域との横方向位置にズレが生じた状態の一例を示す断面図である。横方向とは、第 1, 2 p 型ベース領域 3, 4 が並ぶ方向である。ここで、合わせズレ量 1 0 1 は、第 2 p<sup>+</sup>型ベース領域 4 の中心とトレンチ 1 6 の中心との横方向の距離 (単位:  $\mu\text{m}$ ) であり、p 型ベース領域幅 1 0 2 は、第 2 p<sup>+</sup>型ベース領域 4 の幅 (単位:  $\mu\text{m}$ ) であり、トレンチ幅 1 0 3 は、トレンチ 1 6 の幅 (単位:  $\mu\text{m}$ ) である。

## 【 0 0 5 6 】

図 1 0 は、実施の形態 1 にかかる炭化珪素半導体装置の実施例のゲート絶縁膜最大電界強度特性を示す特性図である。図 1 0 は、トレンチ 1 6 直下の第 2 p<sup>+</sup>型ベース領域 4 の合わせズレによって、トレンチ 1 6 の中心が第 2 p<sup>+</sup>型ベース領域 4 の中心から横方向にシフトしたときのゲート絶縁膜 9 電界強度の変動をシミュレーションした結果である。図 1 0 には、比較例の合わせズレに対するゲート絶縁膜 9 の最大電界強度の関係も示す。比較例の構造 (不図示) として、p 型ベース領域幅 1 0 2 を  $1\ \mu\text{m}$  とし、トレンチ幅 1 0 3 を  $1\ \mu\text{m}$  とした。比較例の p 型ベース領域幅 1 0 2 以外の構成は、実施例と同様である。実施例の構造として、p 型ベース領域幅 1 0 2 を  $2\ \mu\text{m}$  とし、トレンチ幅 1 0 3 を  $1\ \mu\text{m}$  とした。

## 【 0 0 5 7 】

図 1 0 において、縦軸はゲート絶縁膜 9 の最大電界強度 (単位:  $\text{MV}/\text{cm}$ ) であり、横軸はトレンチ 1 6 と第 2 p<sup>+</sup>型ベース領域 4 との横方向位置の合わせズレ量 1 0 1 である。図 1 0 は、実施例と比較例とについて、ゲート絶縁膜 9 にかかる最大電界強度をシミュレーションした結果であり、ドレインに  $4000\ \text{V}$  印加したときの合わせズレ量 1 0 1 とゲート絶縁膜 9 の最大電界強度との関係の一例を示す特性図である。図 1 0 に示すように、シミュレーションの結果、p 型ベース領域幅 1 0 2 がトレンチ幅 1 0 3 よりも広い実施例は、p 型ベース領域幅 1 0 2 がトレンチ幅 1 0 3 と同じ幅の比較例よりも、ドレイン側に電圧を印加したときのゲート絶縁膜 9 への最大電界強度が改善されることを確認した。

## 【 0 0 5 8 】

図 1 1 は、実施の形態 1 にかかる炭化珪素半導体装置の実施例のオン抵抗特性を示す特性図である。図 1 1 には、比較例のオン抵抗特性も示す。図 1 1 は、実施例と比較例とについて、オン抵抗特性を検証した結果であり、実施の形態 1 にかかる半導体装置の実施例と比較例とのオン抵抗特性の一例を示す特性図である。図 1 1 において、縦軸はオン抵抗 (単位:  $\text{m}\ \text{cm}^2$ ) であり、横軸は p 型ベース領域幅 1 0 2 (単位:  $\mu\text{m}$ ) である。図 1 1 に示すように、検証の結果、例えば p 型ベース領域幅 1 0 2 を増やすとオン抵抗は増加するが、実施例のオン抵抗は p 型ベース領域幅 1 0 2 =  $3\ \mu\text{m}$  の場合であっても比較例のオン抵抗から 2% 程度しか増加しないことを確認することができた。図 1 1 において、p 型ベース領域幅 1 0 2 =  $1\ \mu\text{m}$  のプロットが比較例であり、p 型ベース領域幅 1 0 2 =  $1\ \mu\text{m}$  以外のプロットが実施例である。

## 【 0 0 5 9 】

以上の検証結果より、p 型ベース領域幅 1 0 2 をトレンチ幅 1 0 3 より広くすることで、オン抵抗の増加を抑えつつゲート絶縁膜 9 への電界強度を抑えることができる。

## 【 0 0 6 0 】

なお、本実施の形態 1 においては、第 2 n 型領域 5 b の形成をイオン注入で行う形態を示したが、第 2 n 型領域 5 b として第 2 n 型炭化珪素エピタキシャル層 2 b を形成してもよい。すなわち、第 2 n 型炭化珪素エピタキシャル層 2 b のエピタキシャル成長時に窒素の不純物濃度が第 2 n 型領域 5 b の不純物濃度となるように設定し、イオン注入を省略する製造方法としても良い。また、n<sup>+</sup>型炭化珪素基板 1 および n 型炭化珪素エピタキシャル層 2 を合わせて炭化珪素半導体基体とし、n 型炭化珪素エピタキシャル層 2 の基体第 1 主面側の表面層に p 型ベース層 6 をイオン注入により形成してもよい。また、n<sup>+</sup>型炭化

10

20

30

40

50

珪素基板 1 単体を炭化珪素半導体基体とし、 $n^+$ 型炭化珪素基板 1 の第 1 主面側の表面層に MOS ゲート構造を構成するすべての領域 ( $n$  型高濃度領域 5 および第 1, 2  $p$  型ベース領域 3, 4 を含む) をイオン注入により形成してもよい。

#### 【0061】

以上、説明したように、実施の形態 1 によれば、 $p$  型ベース層に接する第 1  $p^+$  型ベース領域を設けることで、隣り合うトレンチ間に、トレンチの底部よりもドレイン側に近い位置に、第 1  $p^+$  型ベース領域と  $n$  型ドリフト層との  $pn$  接合を形成することができる。また、 $n$  型ドリフト層の内部に、トレンチ底部を囲むように、またはトレンチ底部よりも深くかつトレンチと深さ方向に対向するように、第 2  $p^+$  型ベース領域を設けることで、トレンチの底部に近い位置に、第 2  $p^+$  型ベース領域と  $n$  型ドリフト層との  $pn$  接合を形成することができる。このように、第 1, 2  $p$  型ベース領域と  $n$  型ドリフト層との  $pn$  接合を形成することで、トレンチ底部のゲート絶縁膜に高電界が印加されることを防止することができる。このため、ワイドバンドギャップ半導体を半導体材料として用いた場合においても高耐電圧化が可能となる。また、トレンチ幅よりも幅の広い第 2  $p^+$  型ベース領域を設けることで、トレンチの底部のコーナー部の電界を緩和させることができるため、さらに耐電圧を高くすることができる。

10

#### 【0062】

また、実施の形態 1 によれば、第 1  $p^+$  型ベース領域の一部がトレンチ側に延在し、第 2  $p^+$  型ベース領域に接続されていることで、第 2  $p^+$  型ベース領域と  $n$  型炭化珪素エピタキシャル層の接合部分でアバランシェ降伏が起こったときに発生するホールを効率よくソース電極に退避させることができる。このため、耐電圧が高い状態で、オン抵抗を下げるることができる。また、実施の形態 1 によれば、第 2  $p^+$  型ベース領域の幅がトレンチの幅よりも広いことで、トレンチと第 2  $p^+$  型ベース領域との横方向位置に合わせズレが生じたとしても、トレンチ底部の少なくとも一方のコーナー部を囲むように第 2  $p^+$  型ベース領域が配置される。これにより、従来よりもゲート絶縁膜への最大電界強度が高く、かつオン抵抗を従来と同程度に維持した半導体装置を提供することができる。このため、エピタキシャル成長およびイオン注入、またはイオン注入のみの従来よりも簡易な製造方法で、耐電圧が高くかつオン抵抗の低い半導体装置を製造することができる。

20

#### 【0063】

(実施の形態 2)

図 1 2 は、本発明の実施の形態 2 にかかる炭化珪素半導体装置の構成を示す断面図である。図 1 2 に示すように、実施の形態 2 にかかる炭化珪素半導体装置は、 $n$  型炭化珪素エピタキシャル層 2 の内部に、第 1  $p^+$  型ベース領域 3 の下端部 (ドレイン側端部) に接するように第 3  $p$  型領域 3 c を設けた構造である。第 3  $p$  型領域 3 c は、 $p$  型ベース層 6 および第 1  $p^+$  型ベース領域 3 とともにベース領域として機能する。

30

#### 【0064】

第 3  $p$  型領域 3 c の厚さは、例えば  $0.1 \mu\text{m} \sim 0.5 \mu\text{m}$  程度であってもよい、第 3  $p$  型領域 3 c の幅は、第 1  $p^+$  型ベース領域 3 の幅より狭く、例えば第 1  $p^+$  型ベース領域 3 よりも  $0.1 \mu\text{m}$  以上狭くてもよい。また、第 3  $p$  型領域 3 c は、第 1  $p^+$  型ベース領域 3 の側壁方向と  $n^+$  炭化珪素基板 1 の表面に平行な方向に沿って連続して同じ厚さで設けられていてもよく、 $n^+$  炭化珪素基板 1 側から俯瞰してみると周期的な点状の形状で設けられていてもよい。

40

#### 【0065】

実施の形態 2 にかかる炭化珪素半導体装置のその他の構成については、実施の形態 1 にかかる炭化珪素半導体装置の構成と同様であるため、重複する説明を省略する。

#### 【0066】

(実施の形態 2 にかかる炭化珪素半導体装置の製造方法)

図 1 3 は、実施の形態 2 にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である。図 1 3 に示すように、第 1  $p$  型領域 3 a、第 2  $p^+$  型ベース領域 4、第 1  $n$  型領域 5 a を形成した後、イオン注入時に用いたマスクを除去する。その後、第 1  $n$  型

50

炭化珪素エピタキシャル層 2 a の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを、例えばレジストで形成する。そして、このレジストをマスクとしてイオン注入法によって p 型の不純物、例えばアルミニウム原子をイオン注入する。それによって、図 1 3 に示すように、第 1 p 型領域 3 a の下部（ドレイン側端部）に、第 1 p 型領域 3 a に接するように、例えば厚さ 0 . 2 5 μ m 程度の第 3 p 型領域 3 c が、例えば幅 1 μ m 程度となるように、形成される。第 3 p 型領域 3 c を形成する際のイオンのエネルギーを、例えば 7 0 0 k e V、ドーズ量を、例えば  $1 \times 1 0^{14} / \text{cm}^2$  程度となるように設定してもよい。

【 0 0 6 7 】

実施の形態 2 にかかる炭化珪素半導体装置のその他の製造方法については、実施の形態 1 にかかる炭化珪素半導体装置の製造方法と同様であるため、重複する説明を省略する。

【 0 0 6 8 】

（実施例）

図 1 4 は、実施の形態 2 にかかる炭化珪素半導体装置の実施例と比較例におけるアバランシェ降伏時の電流分布図である。図 1 4 では、実施例として第 3 p 型領域 3 c を形成した構造（図 1 4 ( b )）と、比較例として第 3 p 型領域 3 c を形成しない構造（図 1 4 ( a )）によるアバランシェ降伏が起こったときの電流値の面内分布（断面図）の変化を評価した。図 1 4 ( a ) に示すように、比較例ではゲート電極 1 0 直下の第 2 p<sup>+</sup>型ベース領域 4 でアバランシェ降伏が起こり、ゲート電極 1 0 直下で電流が多く流れることが分かる。一方、図 1 4 ( b ) に示すように、実施例ではアバランシェ降伏が第 3 p 型領域 3 c で発生し、電流経路が n<sup>+</sup>ソース領域 7 から第 3 p 型領域 3 c を通過しドレイン側へ流れることが確認できる。同様の結果は、第 3 p 型領域 3 c の厚さが 0 . 1 μ m 以上、幅が第 1 p<sup>+</sup>型ベース領域 3 よりも 0 . 1 μ m 以上狭ければ起こる。

【 0 0 6 9 】

以上、説明したように、実施の形態 2 によれば、実施の形態 1 と同様に、ワイドバンドギャップ半導体を半導体材料として用いた場合においても高耐電圧化が可能となる効果を奏する。また、実施の形態 2 によれば、第 1 p<sup>+</sup>型ベース領域の下端部の少なくとも一部（第 3 p 型領域）を第 2 p<sup>+</sup>型ベース領域の下端部よりも深くすることで、アバランシェ降伏が起こったときに、ソース領域から第 3 p 型領域を通過しドレイン側へ電流が流れる。このため、トレンチの底部のゲート絶縁膜の電界強度をさらに緩和させることができる。

【 0 0 7 0 】

以上において本発明では、炭化珪素でできた炭化珪素基板の第 1 主面を ( 0 0 0 1 ) 面とし当該 ( 0 0 0 1 ) 面上に MOS ゲート構造を構成した場合を例に説明したが、これに限らず、ワイドバンドギャップ半導体の種類（例えば窒化ガリウム ( GaN ) など）、基板主面の面方位などを種々変更可能である。また、本発明では、各実施の形態では第 1 導電型を n 型とし、第 2 導電型を p 型としたが、本発明は第 1 導電型を p 型とし、第 2 導電型を n 型としても同様に成り立つ。

【 産業上の利用可能性 】

【 0 0 7 1 】

以上のように、本発明にかかる半導体装置は、電力変換装置や種々の産業用機械などの電源装置などに使用される高耐圧半導体装置に有用である。

【 符号の説明 】

【 0 0 7 2 】

- 1 n<sup>+</sup>型炭化珪素基板
- 2 n 型炭化珪素エピタキシャル層
- 2 a 第 1 n 型炭化珪素エピタキシャル層
- 2 b 第 2 n 型炭化珪素エピタキシャル層
- 3 第 1 p<sup>+</sup>型ベース領域
- 3 a 第 1 p 型領域

10

20

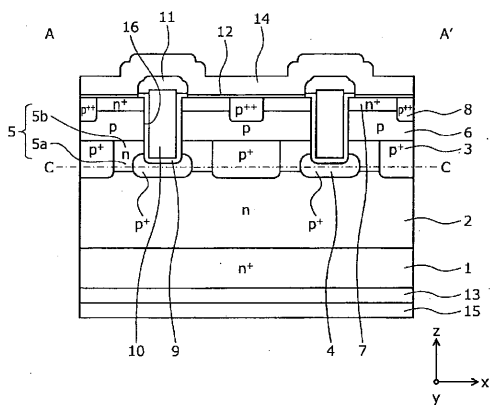
30

40

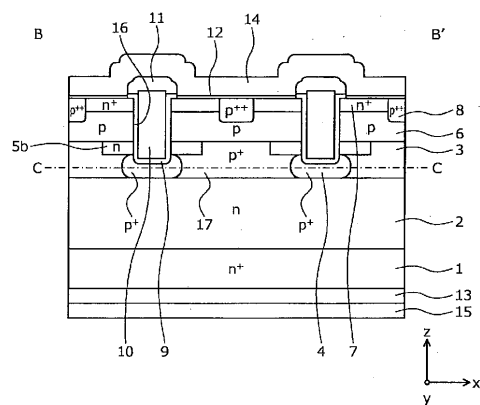
50

- 3 b 第2 p型領域
- 3 c 第3 p型領域
- 4 第2 p<sup>+</sup>型ベース領域
- 5 n型高濃度領域
- 5 a 第1 n型領域
- 5 b 第2 n型領域
- 6 p型ベース層
- 7 n<sup>+</sup>ソース領域
- 8 p<sup>++</sup>コンタクト領域
- 9 ゲート絶縁膜
- 10 ゲート電極
- 11 層間絶縁膜
- 12 ソース電極
- 13 ドレイン電極
- 14 ソース電極パッド
- 15 ドレイン電極パッド
- 16 トレンチ

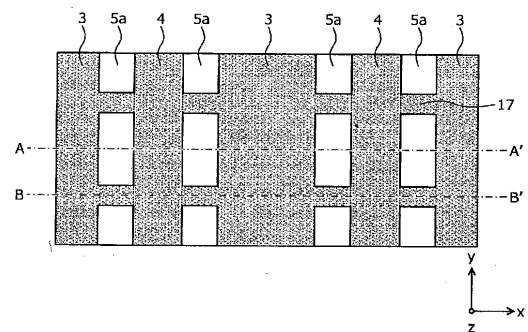
【図1A】



【図1B】

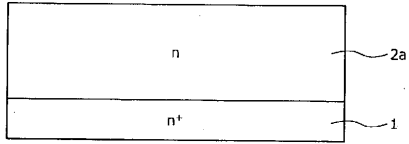


【図2】

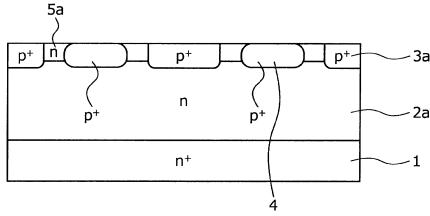




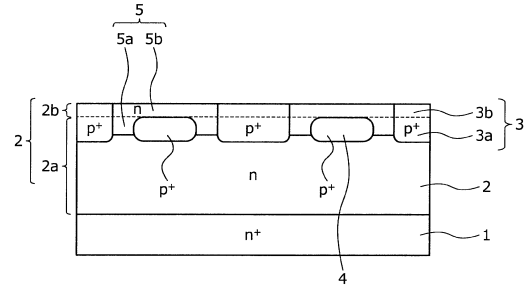
【図3】



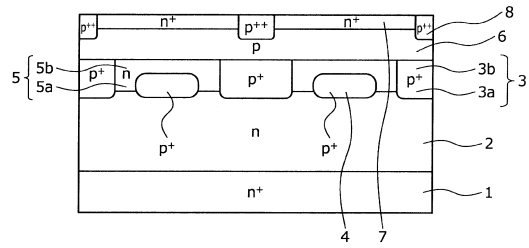
【図4】



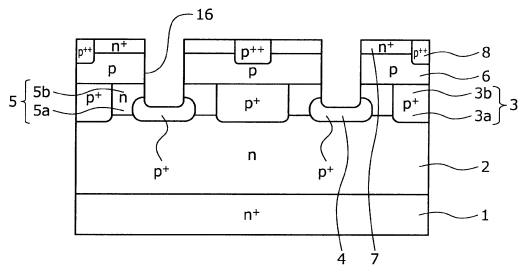
【図5】



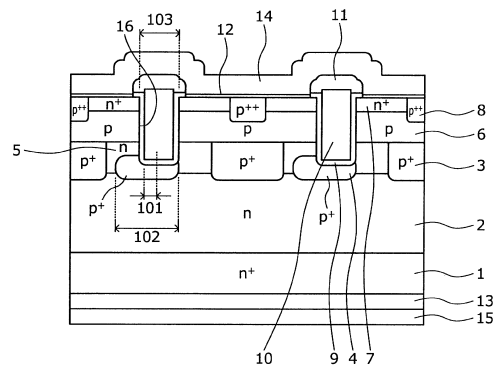
【図6】



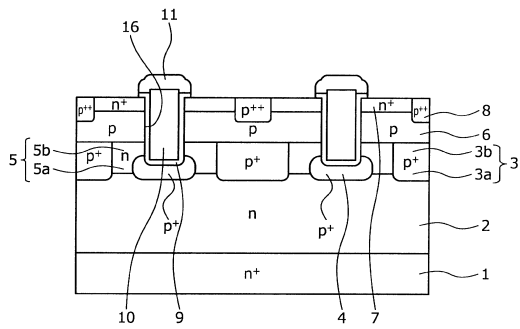
【図7】



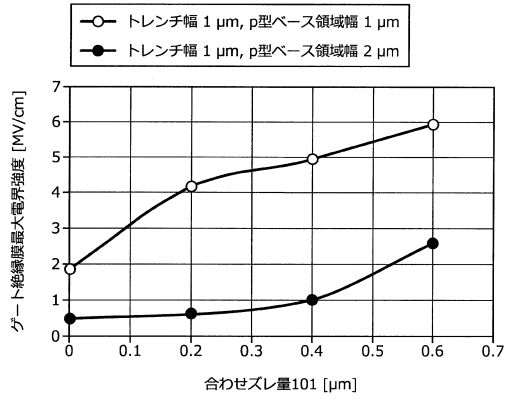
【図9】



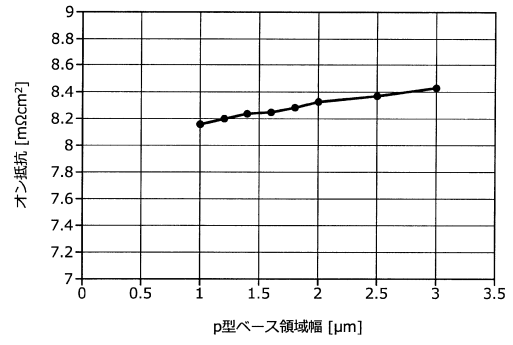
【図8】



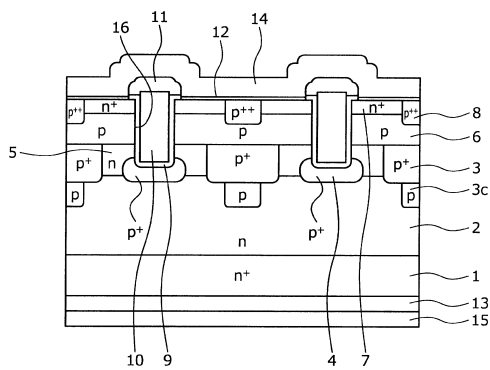
【図10】



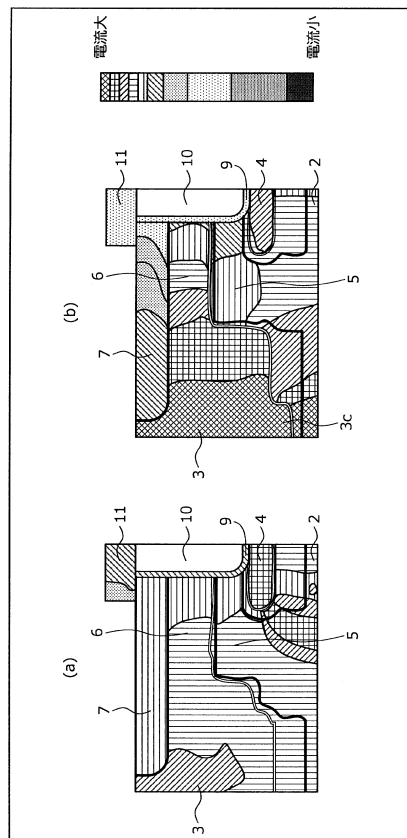
【図11】



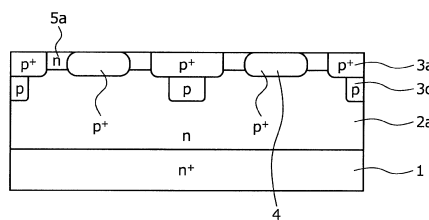
【図12】



【図14】



【図13】



---

フロントページの続き

前置審査

(72)発明者 田中 保宣

茨城県つくば市東1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内

審査官 綿引 隆

(56)参考文献 特開2001-267570(JP,A)

国際公開第2015/049838(WO,A1)

特開2012-169385(JP,A)

国際公開第2016/002766(WO,A1)

(58)調査した分野(Int.Cl.,DB名)

H01L 21/336

H01L 29/78