



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0141589
(43) 공개일자 2021년11월23일

- (51) 국제특허분류(Int. Cl.)
H01L 27/1157 (2017.01) H01L 27/11573 (2017.01)
H01L 27/11575 (2017.01) H01L 27/11582 (2017.01)
H01L 27/24 (2006.01)
- (52) CPC특허분류
H01L 27/1157 (2013.01)
H01L 27/11573 (2013.01)
- (21) 출원번호 10-2021-7033442
- (22) 출원일자(국제) 2019년09월11일
심사청구일자 2021년10월15일
- (85) 번역문제출일자 2021년10월15일
- (86) 국제출원번호 PCT/CN2019/105312
- (87) 국제공개번호 WO 2020/220556
국제공개일자 2020년11월05일
- (30) 우선권주장
PCT/CN2019/085237 2019년04월30일 중국(CN)

- (71) 출원인
양쯔 메모리 테크놀로지스 씨오., 엘티디.
중국, 후베이, 우한, 이스트 레이크 하이-테크 디벨롭먼트 존, 웨이라이 씨드 로드, 넘버 88
- (72) 발명자
리우 준
중국 430074 후베이 우한 이스트 레이크 디벨롭먼트 존 관동 사이언스 앤드 테크놀로지 인더스트리얼 파크 화광 로드 넘버 18 룸 7018
- (74) 대리인
유미특허법인

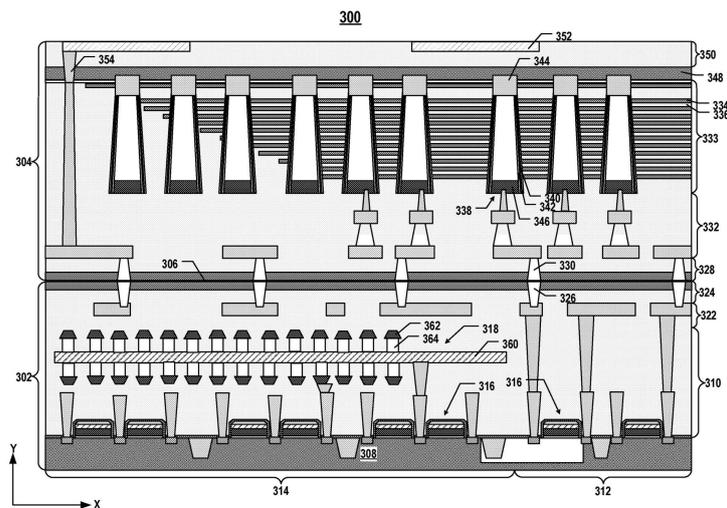
전체 청구항 수 : 총 26 항

(54) 발명의 명칭 3차원 상변화 메모리를 갖는 3차원 메모리 디바이스

(57) 요약

3D 상변화 메모리(PCM)를 갖는 3차원(3D) 메모리 디바이스의 실시예들 및 3D 메모리 디바이스를 형성하고 동작시키는 방법이 개시된다. 일례로, 3D 메모리 디바이스는 주변 회로, 3D PCM 셀들의 어레이, 및 복수의 제1 접합 접촉부들을 포함하는 제1 접합 층을 포함하는 제1 반도체 구조를 포함한다. 3D 메모리 디바이스는 또한, 3D NAND 메모리 스트링들의 어레이, 및 복수의 제2 접합 접촉부들을 포함하는 제2 접합 층을 포함하는 제2 반도체 구조를 더 포함한다. 3D 메모리 디바이스는 제1 접합 층과 제2 접합 층 사이의 접합 계면을 더 포함한다. 제1 접합 접촉부들은 접합 계면에서 제2 접합 접촉부들과 접촉한다.

대표도



(52) CPC특허분류

H01L 27/11575 (2013.01)

H01L 27/11582 (2013.01)

H01L 27/24 (2013.01)

명세서

청구범위

청구항 1

3차원(3D: three-dimensional) 메모리 디바이스로서,

주변 회로, 3D 상변화 메모리(PCM: phase-change memory) 셀들의 어레이, 및 복수의 제1 접합 접촉부들을 포함하는 제1 접합 층을 포함하는 제1 반도체 구조;

3D NAND 메모리 스트링(string)들의 어레이, 및 복수의 제2 접합 접촉부들을 포함하는 제2 접합 층을 포함하는 제2 반도체 구조; 및

상기 제1 접합 층과 상기 제2 접합 층 사이의 접합 계면을 포함하며,

상기 제1 접합 접촉부들은 상기 접합 계면에서 상기 제2 접합 접촉부들과 접촉하는,

3차원(3D) 메모리 디바이스.

청구항 2

제1항에 있어서,

상기 제1 반도체 구조는:

기판;

상기 기판 상의 주변 회로;

상기 주변 회로 위의 3D PCM 셀들의 어레이; 및

상기 3D PCM 셀들의 어레이 위의 제1 접합 층을 포함하는,

3차원(3D) 메모리 디바이스.

청구항 3

제2항에 있어서,

상기 제2 반도체 구조는:

상기 제1 접합 층 위의 제2 접합 층;

상기 제2 접합 층 위의 메모리 스택;

상기 메모리 스택을 수직으로 관통하여 연장되는 3D NAND 메모리 스트링들의 어레이; 및

상기 3D NAND 메모리 스트링들의 어레이 위의 그리고 상기 3D NAND 메모리 스트링들의 어레이와 접촉하는 반도체 층을 포함하는,

3차원(3D) 메모리 디바이스.

청구항 4

제3항에 있어서,

상기 반도체 층 위에 패드-아웃(pad-out) 상호 접속 층을 더 포함하는,

3차원(3D) 메모리 디바이스.

청구항 5

제3항 또는 제4항에 있어서,

상기 반도체 층은 폴리실리콘을 포함하는,
3차원(3D) 메모리 디바이스.

청구항 6

제3항 또는 제4항에 있어서,
상기 반도체 층은 단결정 실리콘을 포함하는,
3차원(3D) 메모리 디바이스.

청구항 7

제1항에 있어서,
상기 제2 반도체 구조는:
기판;
상기 기판 위의 메모리 스택;
상기 메모리 스택을 수직으로 관통하여 연장되는 3D NAND 메모리 스트링들의 어레이; 및
상기 메모리 스택 및 상기 3D NAND 메모리 스트링들의 어레이 위의 제2 접합 층을 포함하는,
3차원(3D) 메모리 디바이스.

청구항 8

제7항에 있어서,
상기 제1 반도체 구조는:
상기 제2 접합 층 위의 제1 접합 층;
상기 제1 접합 층 위의 3D PCM 셀들의 어레이;
상기 3D PCM 셀들의 어레이 위의 주변 회로; 및
상기 주변 회로 위의 그리고 상기 주변 회로와 접촉하는 반도체 층을 포함하는,
3차원(3D) 메모리 디바이스.

청구항 9

제8항에 있어서,
상기 반도체 층 위에 패드-아웃 상호 접속 층을 더 포함하는,
3차원(3D) 메모리 디바이스.

청구항 10

제1항에 있어서,
상기 주변 회로는 상기 NAND 메모리 스트링들의 어레이의 주변 회로 및 상기 3D PCM 셀들의 어레이의 주변 회로
를 포함하는,
3차원(3D) 메모리 디바이스.

청구항 11

제1항 내지 제10항 중 어느 한 항에 있어서,
각각의 3D PCM 셀은 3D XPoint 메모리 셀을 포함하는,
3차원(3D) 메모리 디바이스.

청구항 12

제1항 내지 제11항 중 어느 한 항에 있어서,

상기 제1 반도체 구조는 상기 제1 접합 층과 상기 3D PCM 셀들의 어레이 사이에 수직으로 제1 상호 접속 층을 포함하고, 상기 제2 반도체 구조는 상기 제2 접합 층과 상기 3D NAND 메모리 스트링들의 어레이 사이에 수직으로 제2 상호 접속 층을 포함하는,

3차원(3D) 메모리 디바이스.

청구항 13

제12항에 있어서,

상기 3D PCM 셀들의 어레이는 제1 상호 접속 층 및 상기 제2 상호 접속 층 그리고 상기 제1 접합 접촉부 및 상기 제2 접합 접촉부를 통해 상기 3D NAND 메모리 스트링들의 어레이에 전기적으로 접속되는,

3차원(3D) 메모리 디바이스.

청구항 14

3차원(3D) 메모리 디바이스를 형성하기 위한 방법으로서,

주변 회로, 3D 상변화 메모리(PCM) 셀들의 어레이, 및 복수의 제1 접합 접촉부들을 포함하는 제1 접합 층을 포함하는 제1 반도체 구조를 형성하는 단계;

3D NAND 메모리 스트링들의 어레이, 및 복수의 제2 접합 접촉부들을 포함하는 제2 접합 층을 포함하는 제2 반도체 구조를 형성하는 단계; 및

상기 제1 접합 접촉부들이 접합 계면에서 상기 제2 접합 접촉부들과 접촉하도록 상기 제1 반도체 구조와 상기 제2 반도체 구조를 대면(face-to-face) 방식으로 접합하는 단계를 포함하는,

3차원(3D) 메모리 디바이스를 형성하기 위한 방법.

청구항 15

제14항에 있어서,

상기 제1 반도체 구조를 형성하는 단계는:

상기 제1 기판 상에 주변 회로를 형성하는 단계;

상기 주변 회로 위에 상기 3D PCM 셀들의 어레이를 형성하는 단계;

상기 3D PCM 셀들의 어레이 위에 제1 상호 접속 층을 형성하는 단계; 및

상기 제1 상호 접속 층 위에 상기 제1 접합 층을 형성하는 단계를 포함하는,

3차원(3D) 메모리 디바이스를 형성하기 위한 방법.

청구항 16

제15항에 있어서,

상기 3D PCM 셀들의 어레이를 형성하는 단계는 3D XPoint 메모리 셀들의 어레이를 형성하는 단계를 포함하는,

3차원(3D) 메모리 디바이스를 형성하기 위한 방법.

청구항 17

제14항 내지 제16항 중 어느 한 항에 있어서,

상기 제2 반도체 구조를 형성하는 단계는:

제2 기판 위에 메모리 스택을 형성하는 단계;

상기 메모리 스택을 수직으로 관통하여 연장되는 3D NAND 메모리 스트링들의 어레이를 형성하는 단계;
 상기 3D NAND 메모리 스트링들의 어레이 위에 제2 상호 접속 층을 형성하는 단계; 및
 상기 제2 상호 접속 층 위에 상기 제2 집합 층을 형성하는 단계를 포함하는,
 3차원(3D) 메모리 디바이스를 형성하기 위한 방법.

청구항 18

제14항 내지 제17항 중 어느 한 항에 있어서,
 상기 제2 반도체 구조는 상기 집합 후에 상기 제1 반도체 구조 위에 있는,
 3차원(3D) 메모리 디바이스를 형성하기 위한 방법.

청구항 19

제18항에 있어서,
 상기 집합 후에 반도체 층을 형성하도록 상기 제2 기판을 박형화(thin)하는 단계; 및
 상기 반도체 층 위에 패드-아웃 상호 접속 층을 형성하는 단계를 더 포함하는,
 3차원(3D) 메모리 디바이스를 형성하기 위한 방법.

청구항 20

제14항 내지 제17항 중 어느 한 항에 있어서,
 상기 제1 반도체 구조는 상기 집합 후에 상기 제2 반도체 구조 위에 있는,
 3차원(3D) 메모리 디바이스를 형성하기 위한 방법.

청구항 21

제20항에 있어서,
 상기 집합 후에 반도체 층을 형성하도록 상기 제1 기판을 박형화하는 단계; 및
 상기 반도체 층 위에 패드-아웃 상호 접속 층을 형성하는 단계를 더 포함하는,
 3차원(3D) 메모리 디바이스를 형성하기 위한 방법.

청구항 22

제14항 내지 제21항 중 어느 한 항에 있어서,
 상기 집합은 하이브리드 집합을 포함하는,
 3차원(3D) 메모리 디바이스를 형성하기 위한 방법.

청구항 23

동일한 칩 내에 입력/출력 회로, 3D 상변화 메모리(PCM) 셀들의 어레이, 및 3D NAND 메모리 스트링들의 어레이를 포함하는 3차원(3D) 메모리 디바이스를 동작시키기 위한 방법으로서,
 상기 입력/출력 회로를 통해 상기 3D PCM 셀들의 어레이로 데이터를 전송하는 단계;
 상기 3D PCM 셀들의 어레이에서 상기 데이터를 버퍼링하는 단계; 및
 상기 3D PCM 셀들의 어레이로부터 상기 3D NAND 메모리 스트링들의 어레이에 상기 데이터를 저장하는 단계를 포함하는,
 3차원(3D) 메모리 디바이스를 동작시키기 위한 방법.

청구항 24

제23항에 있어서,

상기 3D NAND 메모리 스트링들의 어레이와 상기 3D PCM 셀들의 어레이 사이에서 복수의 접합 접촉부들을 통해 상기 데이터를 전송하는 단계를 더 포함하는,

3차원(3D) 메모리 디바이스를 동작시키기 위한 방법.

청구항 25

제23항 또는 제24항에 있어서,

상기 전송하는 단계는 상기 3D 메모리 디바이스의 전원 인가 또는 전원 차단에 대한 응답으로 트리거되는,

3차원(3D) 메모리 디바이스를 동작시키기 위한 방법.

청구항 26

제23항 내지 제25항 중 어느 한 항에 있어서,

상기 3D PCM 셀들의 어레이는 3D XPoint 메모리 셀들의 어레이를 포함하는,

3차원(3D) 메모리 디바이스를 동작시키기 위한 방법.

발명의 설명

기술 분야

[0001] 본 출원은 "THREE-DIMENSIONAL MEMORY DEVICE WITH EMBEDDED DYNAMIC RANDOM-ACCESS MEMORY"라는 명칭으로 2019년 4월 30일자 출원된 국제출원 제PCT/CN2019/085237호에 대한 우선권의 이익을 주장하며, 이 출원은 그 전체가 인용에 의해 본 명세서에 포함된다.

[0002] 본 개시내용의 실시예들은 3차원(3D: three-dimensional) 메모리 디바이스들 및 이들의 제작 및 동작 방법들에 관한 것이다.

배경 기술

[0003] 평면형 메모리 셀들은 프로세스 기술, 회로 설계, 프로그래밍 알고리즘 및 제작 프로세스를 개선함으로써 더 작은 크기들로 스케일링된다. 그러나 메모리 셀들의 피쳐 크기들이 하한에 접근함에 따라, 평면 프로세스 및 제작 기술들은 까다로워지고 비용이 많이 들게 된다. 그 결과, 평면형 메모리 셀들에 대한 메모리 밀도는 상한에 접근한다.

[0004] 3D 메모리 아키텍처는 평면형 메모리 셀들의 밀도 제한을 해결할 수 있다. 3D 메모리 아키텍처는 메모리 어레이, 및 메모리 어레이로부터의 신호들을 제어하기 위한 주변 디바이스들을 포함한다.

발명의 내용

[0005] 3D 상변화 메모리(PCM: phase-change memory)를 갖는 3D 메모리 디바이스들 및 이들의 제작 및 동작 방법들의 실시예들이 본 명세서에서 개시된다.

[0006] 일례로, 3D 메모리 디바이스는 주변 회로, 3D PCM 셀들의 어레이, 및 복수의 제1 접합 접촉부들을 포함하는 제1 접합 층을 포함하는 제1 반도체 구조를 포함한다. 3D 메모리 디바이스는 또한, 3D NAND 메모리 스트링(string)들의 어레이, 및 복수의 제2 접합 접촉부들을 포함하는 제2 접합 층을 포함하는 제2 반도체 구조를 더 포함한다. 3D 메모리 디바이스는 제1 접합 층과 제2 접합 층 사이의 접합 계면을 더 포함한다. 제1 접합 접촉부들은 접합 계면에서 제2 접합 접촉부들과 접촉한다.

[0007] 다른 예에서, 3D 메모리 디바이스를 형성하기 위한 방법이 개시된다. 제1 반도체 구조가 형성된다. 제1 반도체 구조는 주변 회로, 3D PCM 셀들의 어레이, 및 복수의 제1 접합 접촉부들을 포함하는 제1 접합 층을 포함한다. 제2 반도체 구조가 형성된다. 제2 반도체 구조는 3D NAND 메모리 스트링들의 어레이, 및 복수의 제2 접합 접촉부들을 포함하는 제2 접합 층을 포함한다. 제1 반도체 구조와 제2 반도체 구조는, 제1 접합 접촉부들이 접합 계면에서 제2 접합 접촉부들과 접촉하도록 대면(face-to-face) 방식으로 접합된다.

[0008] 또 다른 예에서, 3D 메모리 디바이스를 동작시키기 위한 방법이 개시된다. 3D 메모리 디바이스는 동일한 칩에 입력/출력 회로, 3D PCM 셀들의 어레이, 및 3D NAND 메모리 스트링들의 어레이를 포함한다. 데이터가 입력/출력 회로를 통해 3D PCM 셀들의 어레이로 전송된다. 데이터는 3D PCM 셀들의 어레이에 버퍼링된다. 데이터는 3D PCM 셀들의 어레이로부터 3D NAND 메모리 스트링들의 어레이에 저장된다.

도면의 간단한 설명

[0009] 본 명세서에 통합되며 본 명세서의 일부를 형성하는 첨부 도면들은 본 개시내용의 실시예들을 예시하며, 설명과 함께, 본 개시내용의 원리들을 설명하고 관련 기술분야에서 통상의 지식을 가진 자가 본 개시내용을 실행하고 사용할 수 있게 하는 역할을 추가로 한다.

- 도 1a는 일부 실시예들에 따른, 3D PCM을 갖는 예시적인 3D 메모리 디바이스의 단면의 개략도를 예시한다.
- 도 1b는 일부 실시예들에 따른, 3D PCM을 갖는 다른 예시적인 3D 메모리 디바이스의 단면의 개략도를 예시한다.
- 도 2는 일부 실시예들에 따른, 주변 회로 및 3D PCM을 갖는 예시적인 반도체 구조의 개략적인 평면도를 예시한다.
- 도 3은 일부 실시예들에 따른, 3D PCM을 갖는 예시적인 3D 메모리 디바이스의 단면을 예시한다.
- 도 4는 일부 실시예들에 따른, 3D PCM을 갖는 다른 예시적인 3D 메모리 디바이스의 단면을 예시한다.
- 도 5a - 도 5c는 일부 실시예들에 따른, 주변 회로 및 3D PCM을 갖는 예시적인 반도체 구조를 형성하기 위한 제작 프로세스를 예시한다.
- 도 6a 및 도 6b는 일부 실시예들에 따른, 3D NAND 메모리 스트링들을 갖는 예시적인 반도체 구조를 형성하기 위한 제작 프로세스를 예시한다.
- 도 7a 및 도 7b는 일부 실시예들에 따른, 3D PCM을 갖는 예시적인 3D 메모리 디바이스를 형성하기 위한 제작 프로세스를 예시한다.
- 도 8은 일부 실시예들에 따른, 3D PCM을 갖는 3D 메모리 디바이스의 예시적인 동작을 예시한다.
- 도 9는 일부 실시예들에 따른, 3D PCM을 갖는 3D 메모리 디바이스를 형성하기 위한 예시적인 방법의 흐름도이다.
- 도 10은 일부 실시예들에 따른, 3D PCM을 갖는 3D 메모리 디바이스를 동작시키기 위한 예시적인 방법의 흐름도이다.

본 개시내용의 실시예들은 첨부 도면들을 참조하여 설명될 것이다.

발명을 실시하기 위한 구체적인 내용

[0010] 특정 구성들 및 배열들이 논의되지만, 이는 예시 목적들로만 이루어진다고 이해되어야 한다. 당해 기술분야에서 통상의 지식을 가진 자는 본 개시내용의 사상 및 범위를 벗어나지 않으면서 다른 구성들 및 배열들이 사용될 수 있음을 인식할 것이다. 본 개시내용이 또한 다양한 다른 애플리케이션들에서 이용될 수 있다는 점이 당해 기술분야에서 통상의 지식을 가진 자에게 명백할 것이다.

[0011] "일 실시예", "실시예", "예시적인 실시예", "일부 실시예들" 등에 대한 본 명세서에서의 언급들은, 설명되는 실시예가 특정 특징, 구조 또는 특성을 포함할 수 있지만, 모든 각각의 실시예가 반드시 특정 특징, 구조 또는 특성을 포함할 수 있는 것은 아님을 지시한다는 점이 주목된다. 더욱이, 그러한 문구들이 반드시 동일한 실시예를 의미하는 것은 아니다. 추가로, 특정 특징, 구조 또는 특성이 실시예와 관련하여 설명될 때, 명시적으로 설명되든 아니든, 다른 실시예들과 관련하여 그러한 특징들, 구조들 또는 특성들에 영향을 미치는 것은 당해 기술분야에서 통상의 지식을 가진 자의 지식 내에 있을 것이다.

[0012] 일반적으로, 용어는 적어도 부분적으로는 맥락에서의 사용으로부터 이해될 수 있다. 예를 들어, 본 명세서에서 사용되는 "하나 이상"이라는 용어는, 맥락에 적어도 부분적으로 의존하여, 임의의 특징, 구조 또는 특성을 단수 의미로 설명하는 데 사용될 수 있거나, 특징들, 구조들 또는 특성들의 조합들을 복수 의미로 설명하는 데 사용될 수 있다. 유사하게, 단수 표현의 용어들은 다시, 맥락에 적어도 부분적으로 의존하여 단수 용법을 전달하거나 복수 용법을 전달하는 것으로 이해될 수 있다. 추가로, "~에 기초하여"라는 용어는 반드시 배타적인 세트의

인자들을 전달하고자 하는 것이 아니라, 대신에 또한, 맥락에 적어도 부분적으로 의존하여, 반드시 명시적으로 기술된 것은 아닌 추가 인자들의 존재를 허용하는 것으로 이해될 수 있다.

- [0013] 본 개시내용에서 "~ 상에", "~보다 위에" 및 "~ 위에"의 의미는 "~ 상에"가 무엇인가의 "바로 상에"를 의미할 뿐만 아니라 그 사이에 중간 피쳐 또는 층이 있는 무언가 "상에"의 의미를 또한 포함하는 것으로, 그리고 "~보다 위에" 또는 "~ 위에"는 무언가"보다 위에" 또는 무언가 "위에"의 의미를 의미할 뿐만 아니라, 그 사이에 중간 피쳐 또는 층이 없는 무언가보다"위에" 또는 무언가 "위에"(즉, 바로 무언가 상에)에 있다는 의미를 또한 포함할 수 있는 것으로 가장 넓은 방식으로 해석되어야 한다고 쉽게 이해되어야 한다.
- [0014] 또한, 도면들에 예시된 바와 같이 다른 엘리먼트(들) 또는 특징(들)에 대한 하나의 엘리먼트 또는 특징의 관계를 설명하기 위해 본 명세서에서는 "밑", "아래", "하부", "위", "상부" 등과 같은 공간적으로 상대적인 용어들이 설명의 편의상 사용될 수 있다. 공간적으로 상대적인 용어들은 도면들에 묘사된 배향에 추가하여, 사용 또는 동작 중인 디바이스의 서로 다른 배향들을 포괄하는 것으로 의도된다. 장치는 다르게(90도 회전 또는 다른 배향들로) 배향될 수 있고, 본 명세서에서 사용되는 공간적으로 상대적인 기술자들이 그에 따라 마찬가지로 해석될 수 있다.
- [0015] 본 명세서에서 사용되는 바와 같이, "기판"이라는 용어는 위에 후속 재료 층들이 추가되는 재료를 의미한다. 기판 자체가 패터닝될 수 있다. 기판의 최상부 상에 추가된 재료들은 패터닝될 수 있거나 패터닝되지 않은 상태로 유지될 수 있다. 게다가, 기판은 실리콘, 게르마늄, 갈륨 비소, 인듐 인화물 등과 같은 다양한 반도체 재료들을 포함할 수 있다. 대안으로, 기판은 유리, 플라스틱 또는 사파이어 웨이퍼와 같은 전기적으로 비-전도성 재료로 이루어질 수 있다.
- [0016] 본 명세서에서 사용되는 바와 같이, "층"이라는 용어는 두께를 갖는 구역을 포함하는 재료 부분을 의미한다. 층은 하부 또는 상부 구조 전체에 걸쳐 확장될 수 있거나 하부 또는 상부 구조의 범위 미만의 범위를 가질 수 있다. 추가로, 층은 연속 구조의 두께 미만의 두께를 갖는 균질한 또는 불균일한 연속 구조의 구역일 수 있다. 예를 들어, 연속 구조의 최상부 표면과 최하부 표면에서 또는 그 사이의 임의의 쌍의 수평면들 사이에 층이 위치될 수 있다. 층은 수평으로, 수직으로 그리고/또는 테이퍼형 표면(tapered surface)을 따라 확장될 수 있다. 기판은 층일 수 있고, 그 안에 하나 이상의 층들을 포함할 수 있고, 그리고/또는 그 위에, 그 상부에, 그리고/또는 그 아래에 하나 이상의 층을 가질 수 있다. 층은 다수의 층들을 포함할 수 있다. 예를 들어, 상호 접속 층은 하나 이상의 전도체 및 접속 층들(상호 접속 라인들 및/또는 비아 접속부들이 형성됨) 및 하나 이상의 유전체 층들을 포함할 수 있다.
- [0017] 본 명세서에서 사용되는 바와 같이, "명목/명목상(nominal/nominally)"이라는 용어는, 제품 또는 프로세스의 설계 단계 동안 설정되는, 컴포넌트 또는 프로세스 동작에 대한 특징 또는 파라미터의 원하는 또는 목표 값을, 원하는 값의 초과 및/또는 미만의 값들의 범위와 함께 의미한다. 값들의 범위는 제조 프로세스들 또는 공차들의 약간의 변동들에 기인할 수 있다. 본 명세서에서 사용되는 바와 같이, "약"이라는 용어는 대상 반도체 디바이스와 연관된 특정 기술 노드에 기반하여 변할 수 있는 주어진 양의 값을 지시한다. 특정 기술 노드에 기반하여, "약"이라는 용어는 예를 들어, 값의 10-30%(예컨대, 값의 $\pm 10\%$, $\pm 20\%$ 또는 $\pm 30\%$) 내에서 변하는 주어진 양의 값을 지시할 수 있다.
- [0018] 본 명세서에서 사용되는 바와 같이, "3D 메모리 디바이스"라는 용어는, (본 명세서에서는 "메모리 스트링들", 이를테면 NAND 메모리 스트링들로 지칭되는) 메모리 셀 트랜지스터들의 수직으로 배향된 스트링들이 측 방향으로 배향된 기판에 대해 수직 방향으로 연장되도록 그러한 기판 상에 메모리 스트링들을 갖는 반도체 디바이스를 의미한다. 본 명세서에서 사용되는 바와 같이, "수직/수직으로"라는 용어는 기판의 측 방향 표면에 명목상 수직인 것을 의미한다.
- [0019] 3D XPoint 메모리는 PCM의 한 타입으로서, 메모리 시스템 성능을 개선하기 위해 3D NAND 플래시 메모리와 동일한 인쇄 회로 기판(PCB: printed circuit board) 상에 배치되었다. 그러나 이산 3D XPoint 메모리 칩과 3D NAND 플래시 메모리 칩 사이의 거리는 비교적 길고(예컨대, 수 센티미터), 이로써 2개의 메모리 칩들 사이의 데이터 전송 레이트를 제한한다. 두 칩들 모두에 대해 개별 메모리 제어기들이 또한 필요하며, 이는 오버헤드를 추가하여 더 낮은 전체 디바이스 성능을 야기한다.
- [0020] 다른 한편으로, 종래의 3D NAND 메모리 칩들에서는, 동일한 평면 상에서 메모리 셀 어레이 외부에 형성되는 주변 회로들이 디바이스 칩의 넓은 영역을 점유할 수 있고, 이로써 불충분한 어레이 효율, 큰 다이 크기 및 높은 비용으로 이어질 수 있다. 또한, 메모리 셀 어레이를 처리하는 것과 연관된 열 예산(thermal budget)이 주변

회로 성능 요건을 제한하여, 3D NAND 메모리의 높은 입력/출력(I/O: input/output) 속도를 달성하는 것을 어렵게 만든다.

[0021] 본 개시내용에 따른 다양한 실시예들은 개선된 I/O 속도, 스루풋 및 메모리 밀도를 갖는 온-칩(on-chip) 3D PCM, 이를테면 3D XPoint 메모리를 갖는 3D 메모리 디바이스를 제공한다. 일부 실시예들에서, 3D NAND 메모리의 주변 회로들(예컨대, 제어 및 감지 회로들)은 고속 고급 로직 디바이스 처리를 사용하여 개별 기판 상에 형성된다. 3D PCM(예컨대, 3D XPoint 메모리)은 빈 웨이퍼 공간을 활용하고 고속 비휘발성 메모리 버퍼로서 기능하도록 주변 회로들과 동일한 기판 상에 형성될 수 있다. 3D NAND 메모리는 다른 기판 상에 형성될 수 있고, 주변 회로들 및 3D PCM이 형성되는 기판에 접합될 수 있다. 일부 실시예들에서, 더 높은 밀도 및 더 낮은 비용의 저장을 위해 더 느린 3D NAND 메모리 상에 덜 사용되는 데이터를 배치하면서, 빈번하게 액세스되는 데이터는 고속 액세스를 위해 랜덤 액세스가 가능하게 되는 더 빠른 3D XPoint 메모리 상에 저장된다.

[0022] 그 결과, 메모리 어레이 효율이 증가되고, 다이 크기 및 비트 비용이 감소됨으로써, 메모리 디바이스 성능을 크게 향상시킨다. 칩 대 칩(chip-to-chip) 데이터 버스를 제거하고 RC 지연을 감소시킴으로써, 더 높은 I/O 속도 및 더 낮은 전력 소비가 실현될 수 있다. 고속 비휘발성 메모리(예컨대, 3D XPoint 메모리) 및 고밀도/용량 비휘발성 메모리(예컨대, 3D NAND 메모리)를 하나의 칩에 통합함으로써, 고성능 비휘발성 데이터 저장이 이루어질 수 있다. 예를 들어, 본 명세서에 개시된 3D PCM을 갖는 3D 메모리 디바이스들은, 고속 비휘발성 데이터 저장 능력 때문에 모바일 디바이스들 또는 컴퓨터들 상에서 인스턴트-온(instant-on) 피처를 가능하게 할 수 있다.

[0023] 도 1a는 일부 실시예들에 따른, 3D PCM을 갖는 예시적인 3D 메모리 디바이스(100)의 단면의 개략도를 예시한다. 3D 메모리 디바이스(100)는 접합된 칩의 일례를 나타낸다. 3D 메모리 디바이스(100)의 컴포넌트들(예컨대, 3D PCM/주변 회로 및 3D NAND 메모리)이 상이한 기판들 상에 개별적으로 형성된 다음 접합되어, 접합된 칩을 형성할 수 있다. 3D 메모리 디바이스(100)는 주변 회로들 및 3D PCM 셀들의 어레이를 포함하는 제1 반도체 구조(102)를 포함할 수 있다. 주변 회로들과 3D PCM 셀 어레이 모두는 높은 속도를 달성하도록 고급 로직 프로세스들(예컨대, 90nm, 65nm, 45nm, 32nm, 28nm, 20nm, 16nm, 14nm, 10nm, 7nm, 5nm, 3nm 등의 기술 노드들)로 구현될 수 있다. 일부 실시예들에서, 제1 반도체 구조의 주변 회로들 및 3D PCM 셀 어레이는 상보형 금속 산화물 반도체(CMOS: complementary metal-oxide-semiconductor) 기술을 사용하고 있다.

[0024] 일부 실시예들에서, 주변 회로들은 3D 메모리 디바이스(100)의 동작을 가능하게 하기 위해 사용되는 임의의 적절한 디지털, 아날로그 및/또는 혼합 신호 주변 회로들을 포함한다. 예를 들어, 주변 회로들은 페이지 버퍼, 디코더(예컨대, 행 디코더 및 열 디코더), 감지 증폭기, 드라이버, 전하 펌프, 전류 또는 전압 기준, 또는 회로들의 임의의 능동 또는 수동 컴포넌트들(예컨대, 트랜지스터들, 다이오드들, 저항기들 또는 커패시터들 등) 중 하나 이상을 포함할 수 있다. 3D PCM이 로직 회로들(예컨대, 주변 회로들)의 동일한 다이 상에 통합될 수 있으며, 이는 더 넓은 버스 및 더 높은 연산 속도를 가능하게 한다. 3D PCM에 대한 메모리 제어기는 주변 회로들의 일부로서 임베드(embed)될 수 있다. 일부 실시예들에 따르면, 주변 회로들은 제2 반도체 구조(104)의 3D NAND 메모리의 주변 회로들 및 제1 반도체 구조(102)의 3D PCM의 주변 회로들을 포함한다.

[0025] ("PCRAM"으로도 또한 알려진) PCM은 전열에 의한(electrothermally) 상변화 재료들의 가열 및 담금질(quenching)에 기반하여 상변화 재료들(예컨대, 칼코겐화물 합금들)에서 비정질상의 저항률과 결정질상의 저항률 사이의 차이를 이용할 수 있다. PCM 셀 내의 상변화 재료는 2개의 전극들 사이에 위치될 수 있고, 데이터를 저장하기 위해 2개의 상들 사이에서 재료(또는 전류 경로를 차단하는 재료의 적어도 일부)를 반복적으로 스위칭하도록 전류들이 인가될 수 있다. PCM 셀들은 3D로 수직으로 적층되어 3D PCM을 형성할 수 있다. 일부 실시예들에서, 3D PCM은 3D XPoint 메모리를 포함하며, 이는 비트 어드레싱 가능하도록 적층 가능한 교차 그리드형(cross-gridded) 데이터 액세스 어레이와 함께 벌크 재료 특성의 저항의(예컨대, 고저항 상태 또는 저저항 상태의) 변화에 기반하여 데이터를 저장한다. 3D XPoint 메모리는 수직 전도체들의 교차점에 선택기들 및 메모리 셀들을 포지셔닝하는, 트랜지스터 없는 교차점 아키텍처(transistor-less, cross-point architecture)를 갖는다. 수직 전도체들에 의해 접속된 3D XPoint 메모리 셀들은 각각 단일 비트의 데이터를 저장할 수 있고, 각각의 선택기에 인가되는 전압을 변화시킴으로써 기록 또는 판독될 수 있으며, 이는 트랜지스터들에 대한 필요성을 제거한다. 각각의 메모리 셀은 각각의 셀과 접촉하는 최상부 및 최하부 전도체들을 통해 인가되는 전류에 의해 개별적으로 액세스될 수 있다. 저장 밀도를 개선하기 위해, 3D XPoint 메모리 셀들은 (3D로) 수직으로 적층될 수 있다.

[0026] 3D 메모리 디바이스(100)는 또한 3D NAND 메모리 스트링들의 어레이를 갖는 3D NAND 메모리를 포함하는 제2 반도체 구조(104)를 포함할 수 있다. 즉, 제2 반도체 구조(104)는 메모리 셀들이 NAND 메모리 스트링들의 어레이

의 형태로 제공되는 NAND 플래시 메모리 디바이스일 수 있다. 일부 실시예들에서, NAND 기술(예컨대, 메모리 스택 내의 레벨들/단(tier)들의 수)에 따라, 3D NAND 메모리 스트링은 통상적으로 32개 내지 256개의 NAND 메모리 셀들로 구성된다. 3D NAND 메모리 스트링들은 페이지들로 구성될 수 있고, 페이지들은 다음에, 블록들로 구성되는데, 이 블록들에서는 각각의 3D NAND 메모리 스트링이 비트 라인(BL: bit line)으로 지칭되는 개별 라인에 접속된다. 3D NAND 메모리 스트링의 동일한 레벨의 모든 셀들은 제어 게이트들을 통해 워드 라인(WL: word line)에 의해 접속될 수 있다. 제2 반도체 구조(104)는 하나 이상의 메모리 평면들을 포함할 수 있고, 모든 판독, 기록, 프로그래밍 및 소거 연산들을 수행하는 데 필요한 주변 회로들이 제1 반도체 구조(102)에 포함될 수 있다.

[0027] 다른 실시예들에서, 3D NAND 메모리 스트링의 어레이는, 각각이 부동 게이트(floating-gate) 트랜지스터를 포함하는 2D NAND 메모리 셀들의 어레이로 부분적으로 또는 완전히 대체될 수 있다고 이해된다. 2D NAND 메모리 셀들의 어레이는 일부 실시예들에 따른 복수의 2D NAND 메모리 스트링들을 포함하며, 이들 각각은 직렬로 접속된 (NAND 게이트를 닮은) 복수의 메모리 셀들(예컨대, 32개 내지 128개의 메모리 셀들) 및 2개의 선택 트랜지스터들을 포함한다. 일부 실시예들에 따르면, 각각의 2D NAND 메모리 스트링은 기판 상의 동일한 평면에 (2D로) 배열된다.

[0028] 도 1a에 도시된 바와 같이, 3D 메모리 디바이스(100)는 제1 반도체 구조(102)와 제2 반도체 구조(104) 사이에 수직으로 접합 계면(106)을 더 포함한다. 아래에서 상세히 설명되는 바와 같이, 제1 반도체 구조(102) 및 제2 반도체 구조(104) 중 하나를 제작하는 열 예산이 제1 반도체 구조(102) 및 제2 반도체 구조(104) 중 다른 하나를 제작하는 프로세스들을 제한하지 않도록, 제1 반도체 구조(102)와 제2 반도체 구조(104)가 개별적으로(그리고 일부 실시예들에서는 병렬로) 제작될 수 있다. 더욱이, PCB 상의 장거리 칩 대 칩 데이터 버스와는 대조적으로, 제1 반도체 구조(102)와 제2 반도체 구조(104) 사이의 직접적이고 짧은 전기 접속부들을 만들기 위해, 접합 계면(106)을 통해 상당수의 상호 접속부들(예컨대, 하이브리드 접합을 통한 접합 접속부들)이 형성될 수 있으며, 이로써 칩 계면 지연을 제거하고, 감소된 전력 소비로 고속 I/O 스루풋을 달성할 수 있다. 제2 반도체 구조(104)의 3D NAND 메모리 스트링들의 어레이와 제1 반도체 구조(102)의 3D PCM 셀들의 어레이 사이의 데이터 전송은 접합 계면(106)에 걸쳐 상호 접속부들(예컨대, 접합 접속부들)을 통해 수행될 수 있다. 더욱이, 제1 반도체 구조(102)와 제2 반도체 구조(104)를 수직으로 통합함으로써, 칩 크기가 감소될 수 있고, 메모리 셀 밀도가 증가될 수 있다.

[0029] 적층된 제1 반도체 구조(102)와 제2 반도체 구조(104)의 상대적인 포지션들은 제한되지 않는다고 이해된다. 도 1b는 일부 실시예들에 따른, 3D PCM을 갖는 다른 예시적인 3D 메모리 디바이스(101)의 단면의 개략도를 예시한다. 3D NAND 메모리 스트링들의 어레이를 포함하는 제2 반도체 구조(104)가 주변 회로들 및 3D PCM 셀들의 어레이를 포함하는 제1 반도체 구조(102) 위에 있는, 도 1a의 3D 메모리 디바이스(100)와는 달리, 도 1b의 3D 메모리 디바이스(100)에서는, 주변 회로들 및 3D PCM 셀들(예컨대, 3D XPoint 메모리 셀들)의 어레이를 포함하는 제1 반도체 구조(102)는 3D NAND 메모리 스트링들의 어레이를 포함하는 제2 반도체 구조(104) 위에 있다. 그럼에도, 접합 계면(106)은 3D 메모리 디바이스(101)에서 제1 반도체 구조(102)와 제2 반도체 구조(104) 사이에 수직으로 형성될 뿐만 아니라, 일부 실시예들에 따라 제1 반도체 구조(102)와 제2 반도체 구조(104)가 접합(예컨대, 하이브리드 접합)을 통해 수직으로 접합된다. 제2 반도체 구조(104)의 3D NAND 메모리 스트링들의 어레이와 제1 반도체 구조(102)의 3D PCM 셀들(예컨대, 3D XPoint 메모리 셀들)의 어레이 사이의 데이터 전송은 접합 계면(106)에 걸쳐 상호 접속부들(예컨대, 하이브리드 접합을 통한 접합 접속부들)을 통해 수행될 수 있다.

[0030] 도 2는 일부 실시예들에 따른, 주변 회로 및 3D PCM(206)을 갖는 예시적인 반도체 구조(200)의 개략적인 평면도를 예시한다. 반도체 구조(200)는 제1 반도체 구조(102)의 일례일 수 있다. 반도체 구조(200)는 워드 라인 드라이버들(202), 페이지 버퍼들(204), 및 임의의 다른 적절한 회로들을 포함하는 3D NAND 메모리 및/또는 3D PCM(206)을 제어 및 감지하기 위한 주변 회로들을 포함할 수 있다. 반도체 구조(200)는 주변 회로들과 동일한 다이 상의 그리고 주변 회로들과 동일한 로직 프로세스를 사용하여 제작되는 3D PCM(206)(예컨대, 3D XPoint 메모리)을 더 포함할 수 있다. 도 2는 주변 회로들(예컨대, 워드 라인 드라이버들(202), 페이지 버퍼들(204)) 및 3D PCM(206)의 예시적인 레이아웃을 도시하며, 여기서 주변 회로들(예컨대, 워드 라인 드라이버들(202), 페이지 버퍼들(204))과 3D PCM(206)은 동일한 평면 상의 서로 다른 구역들에 형성된다. 예를 들어, 3D PCM(206)은 주변 회로들(예컨대, 워드 라인 드라이버들(202), 페이지 버퍼들(204)) 외부에 형성될 수 있다. 반도체 구조(200)의 레이아웃은 도 2의 예시적인 레이아웃으로 제한되지 않는다고 이해된다. 일부 실시예들에서, 주변 회로(예컨대, 워드 라인 드라이버들(202), 페이지 버퍼들(204))와 3D PCM(206)(예컨대, 3D XPoint 메모리)은 서로 위에, 즉 상이한 평면들 상에 적층된다. 예를 들어, 3D PCM(206)(예컨대, 3D XPoint 메모리)은 주변 회로

(예컨대, 워드 라인 드라이버들(202), 페이지 버퍼들(204)) 위에 또는 아래에 형성되어 칩 크기를 더 감소시킬 수 있다.

[0031] 도 3은 일부 실시예들에 따른, 3D PCM을 갖는 예시적인 3D 메모리 디바이스(300)의 단면을 예시한다. 도 1a와 관련하여 위에서 설명된 3D 메모리 디바이스(100)의 일례로서, 3D 메모리 디바이스(300)는 제1 반도체 구조(302) 및 제1 반도체 구조(302) 위에 적층된 제2 반도체 구조(304)를 포함하는 접합된 칩이다. 제1 반도체 구조(302)와 제2 반도체 구조(304)는 이들 사이의 접합 계면(306)에서 접합된다. 제1 반도체 구조(302)에 포함된 3D PCM은 도 3과 관련하여 3D XPoint 메모리로서 설명될 것이다. 도 3에 도시된 바와 같이, 제1 반도체 구조(302)는 실리콘(예컨대, 단결정 실리콘), 실리콘 게르마늄(SiGe), 갈륨 비소(GaAs), 게르마늄(Ge), 실리콘 온 절연체(SOI: silicon on insulator) 또는 임의의 다른 적절한 재료들을 포함할 수 있는 기판(308)을 포함할 수 있다.

[0032] 3D 메모리 디바이스(300)의 제1 반도체 구조(302)는 기판(308) 위에 디바이스 층(310)을 포함할 수 있다. x 축 및 y 축이 도 3에 추가되어, 3D 메모리 디바이스(300)의 컴포넌트들의 공간 관계를 추가로 예시한다는 점이 주목된다. 기판(308)은 x 방향(측 방향 또는 폭 방향)으로 측 방향으로 확장되는 2개의 측 방향 표면들(예컨대, 최상부 표면 및 최하부 표면)을 포함한다. 본 명세서에서 사용되는 바와 같이, 하나의 컴포넌트(예컨대, 층 또는 디바이스)가 반도체 디바이스(예컨대, 3D 메모리 디바이스(300))의 다른 컴포넌트(예컨대, 층 또는 디바이스) "상에" 있는지, "위에" 있는지, 또는 "아래에" 있는지는, 기판이 y 방향(수직 방향 또는 층들의 적층 방향)으로 반도체 디바이스의 최하부 평면에 포지셔닝될 때, y 방향으로 반도체 디바이스의 기판(예컨대, 기판(308))에 대해 결정된다. 공간 관계를 설명하기 위한 동일한 개념이 본 개시내용 전반에 걸쳐 적용된다.

[0033] 일부 실시예들에서, 디바이스 층(310)은 기판(308) 상의 고속 로직 트랜지스터들(312) 및 감지 및 제어기 회로(314)의 주변 회로들, 그리고 주변 회로들 위의 3D XPoint 메모리 셀들(318)의 어레이를 포함한다. 일부 실시예들에서, 고속 로직 트랜지스터들(312) 또는 감지 및 제어기 회로(314)의 각각의 주변 회로는, 페이지 버퍼, 디코더(예컨대, 행 디코더 및 열 디코더), 감지 증폭기, 드라이버, 전하 펌프, 전류 또는 전압 기준을 포함하지만 이에 제한되지 않는 3D 메모리 디바이스(300)의 동작을 가능하게 하기 위해 사용되는 임의의 적절한 디지털, 아날로그 및/또는 혼합 신호 주변 회로들을 형성하는 복수의 주변 트랜지스터들(316)을 포함한다. 트랜지스터들(316)은 기판(308) "상에" 형성될 수 있으며, 여기서 트랜지스터들(316)의 전체 또는 일부가 기판(308) 내에(예컨대, 기판(308)의 최상부 표면 아래에) 그리고/또는 기판(308) 상에 직접 형성된다. 분리 구역들(예컨대, 얇은 트렌치 분리(STI: shallow trench isolation)들) 및 도핑된 영역들(예컨대, 트랜지스터들(316)의 소스 구역들 및 드레인 구역들)이 기판(308) 내에 또한 형성될 수 있다. 감지 및 제어기 회로(314) 및/또는 고속 로직 트랜지스터들(312)의 주변 회로들은 3D XPoint 메모리 셀들(318)의 어레이에 전기적으로 접속될 수 있다.

[0034] 일부 실시예들에서, 각각의 3D XPoint 메모리 셀(318)은 워드 라인(WL)들(360) 및 비트 라인(BL)들(362)을 갖는 교차점 구조로 수직으로 배열된 전도체들을 포함한다. 워드 라인들(360) 및 비트 라인들(362)은 텅스텐(W), 코발트(Co), 구리(Cu), 알루미늄(Al), 실리사이드들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 전도성 재료들을 포함할 수 있다. 각각의 3D XPoint 메모리 셀(318)은 셀 재료의 벌크 특성 변화를 통해 데이터의 비트를 저장하기 위해 워드 라인(360)과 비트 라인(362)의 쌍의 교차부에 메모리 엘리먼트(364)를 더 포함할 수 있다. 일부 실시예들에서, 각각의 3D XPoint 메모리 셀(318)은 메모리 엘리먼트(364)와 워드 라인(360) 또는 비트 라인(362) 사이에 수직으로(도시되지 않은) 선택기를 더 포함한다. 즉, 선택기 및 메모리 엘리먼트(364)는 이중 적층 저장/선택기 구조일 수 있다. 일부 실시예들에 따르면, 메모리 엘리먼트(364)의 재료들은 칼코겐화물계 합금들(칼코겐화물 유리), 이를테면 GST(Ge-Sb-Te) 합금, 또는 임의의 다른 적절한 상변화 재료들, 저항성 산화물 재료들 또는 전도성 브리지 재료들을 포함한다. 선택기의 재료들은 Zn_xTe_y , Ge_xTe_y , Nb_xO_y , $Si_xAs_yTe_z$ 등과 같은 임의의 적절한 오보닉 임계 스위치(OTS: ovonic threshold switch) 재료들을 포함할 수 있다. 3D XPoint 메모리 셀들(318)의 어레이의 구조, 구성 및 재료들은 도 3의 예로 제한되지 않으며, 임의의 적절한 구조, 구성 및 재료들을 포함할 수 있다고 이해된다.

[0035] 일부 실시예들에서, 3D 메모리 디바이스(300)의 제1 반도체 구조(302)는 고속 로직 트랜지스터들(312) 및 감지 및 제어기 회로(314)의 주변 회로들과 3D XPoint 메모리 셀들(318)의 어레이로 그리고 이들로부터 전기 신호들을 전송하기 위해 디바이스 층(310) 내의 3D XPoint 메모리 셀들(318)의 어레이 위에 상호 접속 층(322)을 더 포함한다. 상호 접속 층(322)은 측 방향 상호 접속 라인들 및 수직 상호 접속 액세스(비아) 접속부들을 포함하는(본 명세서에서는 "접속부들"로도 또한 지칭되는) 복수의 상호 접속부들을 포함할 수 있다. 본 명세서에서 사용되는 바와 같이, "상호 접속부들"이라는 용어는 MEOL(middle-end-of-line) 상호 접속부들 및

BEOL(back-end-of-line) 상호 접속부들과 같은 임의의 적절한 타입들의 상호 접속부들을 광범위하게 포함할 수 있다. 상호 접속 층(322)은, 상호 접속 라인들 및 비아 접촉부들이 형성될 수 있는 ("금속 간 유전체(IMD: intermetal dielectric) 층들"로 또한 알려진) 하나 이상의 층간 유전체(ILD: interlayer dielectric) 층들을 더 포함할 수 있다. 즉, 상호 접속 층(322)은 다수의 ILD 층들에 상호 접속 라인들 및 비아 접촉부들을 포함할 수 있다. 상호 접속 층(322) 내의 상호 접속 라인들 및 비아 접촉부들은 W, Co, Cu, Al, 실리사이드들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 전도성 재료들을 포함할 수 있다. 상호 접속 층(322) 내의 ILD 층들은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 저 유전 상수(저-k(low-k)) 유전체들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 유전체 재료들을 포함할 수 있다.

[0036] 도 3에 도시된 바와 같이, 3D 메모리 디바이스(300)의 제1 반도체 구조(302)는 (고속 로직 트랜지스터들(312) 및 감지 및 제어기 회로(314)의 주변 회로들과 3D XPoint 메모리 셀들(318)의 어레이를 포함하여) 접합 계면(306)에 그리고 상호 접속 층(322) 및 디바이스 층(310)에 접합 층(324)을 더 포함할 수 있다. 접합 층(324)은 복수의 접합 접촉부들(326) 및 접합 접촉부들(326)을 전기적으로 격리시키는 유전체들을 포함할 수 있다. 접합 접촉부들(326)은 W, Co, Cu, Al, 실리사이드들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 전도성 재료들을 포함할 수 있다. 접합 층(324)의 나머지 영역은, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 저-k 유전체들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 유전체들로 형성될 수 있다. 접합 접촉부들(326) 및 접합 층(324) 내의 주변 유전체들은 하이브리드 접합을 위해 사용될 수 있다.

[0037] 유사하게, 도 3에 도시된 바와 같이, 3D 메모리 디바이스(300)의 제2 반도체 구조(304)는 또한, 제1 반도체 구조(302)의 접합 계면(306)에 그리고 접합 층(324) 위에 접합 층(328)을 포함할 수 있다. 접합 층(328)은 복수의 접합 접촉부들(330) 및 접합 접촉부들(330)을 전기적으로 격리시키는 유전체들을 포함할 수 있다. 접합 접촉부들(330)은 W, Co, Cu, Al, 실리사이드들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 전도성 재료들을 포함할 수 있다. 접합 층(328)의 나머지 영역은, 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 저-k 유전체들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 유전체들로 형성될 수 있다. 접합 접촉부들(330) 및 접합 층(328) 내의 주변 유전체들은 하이브리드 접합을 위해 사용될 수 있다.

[0038] 위에서 설명된 바와 같이, 제2 반도체 구조(304)는 접합 계면(306)에서 대면 방식으로 제1 반도체 구조(302)의 최상부 상에 접합될 수 있다. 일부 실시예들에서, 접합 계면(306)은 (예컨대, 땀납 또는 접촉체들과 같은 중간 층들을 사용하지 않고 표면들 사이에 접합을 형성하는) 직접 접합 기술인 그리고 금속-금속 접합 및 유전체-유전체 접합을 동시에 얻을 수 있는 ("금속/유전체 하이브리드 접합"으로도 또한 알려진) 하이브리드 접합의 결과로서 접합 층들(324, 328) 사이에 배치된다. 일부 실시예들에서, 접합 계면(306)은 접합 층들(324, 328)이 만나게 되고 접합되는 위치이다. 실제로, 접합 계면(306)은 제1 반도체 구조(302)의 접합 층(324)의 최상부 표면 및 제2 반도체 구조(304)의 접합 층(328)의 최하부 표면을 포함하는 특정 두께를 갖는 층일 수 있다.

[0039] 일부 실시예들에서, 3D 메모리 디바이스(300)의 제2 반도체 구조(304)는 전기 신호들을 전송하기 위해 접합 층(328) 위에 상호 접속 층(332)을 더 포함한다. 상호 접속 층(332)은 MEOL 상호 접속부들 및 BEOL 상호 접속부들과 같은 복수의 상호 접속부들을 포함할 수 있다. 상호 접속 층(332)은 상호 접속 라인들 및 비아 접촉부들이 형성될 수 있는 하나 이상의 ILD 층들을 더 포함할 수 있다. 상호 접속 층(332) 내의 상호 접속 라인들 및 비아 접촉부들은 W, Co, Cu, Al, 실리사이드들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 전도성 재료들을 포함할 수 있다. 상호 접속 층(332) 내의 ILD 층들은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 저-k 유전체들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 유전체 재료들을 포함할 수 있다.

[0040] 일부 실시예들에서, 3D 메모리 디바이스(300)의 제2 반도체 구조(304)는, 메모리 셀들이 상호 접속 층(332) 및 접합 층(328) 위에 3D NAND 메모리 스트링들(338)의 어레이의 형태로 제공되는 NAND 플래시 메모리 디바이스를 포함한다. 각각의 3D NAND 메모리 스트링(338)은 일부 실시예들에 따라, 전도체 층(334) 및 유전체 층(336)을 각각 포함하는 복수의 쌍들을 통해 수직으로 연장된다. 적층되고 인터리빙된 전도체 층들(334) 및 유전체 층(336)은 또한, 본 명세서에서 메모리 스택(333)으로 지칭된다. 일부 실시예들에 따라, 메모리 스택(333)의 인터리빙된 전도체 층들(334) 및 유전체 층들(336)은 수직 방향으로 교번한다. 다시 말해서, 메모리 스택(333)의 최상부 또는 최하부에 있는 것들을 제외하고, 각각의 전도체 층(334)은 양측의 2개의 유전체 층들(336)에 인접될 수 있고, 각각의 유전체 층(336)은 양측에서 2개의 전도체 층들(334)에 의해 인접될 수 있다. 전도체 층들(334)은 각각, 동일한 두께 또는 상이한 두께들을 가질 수 있다. 유사하게, 유전체 층들(336)은 각각, 동일한 두께 또는 상이한 두께들을 가질 수 있다. 전도체 층들(334)은 W, Co, Cu, Al, 도핑된 실리콘, 실리사이드들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 전도체 재료들을 포함할 수 있다. 유전체 층들

(336)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 유전체 재료들을 포함할 수 있다.

[0041] 일부 실시예들에서, 각각의 3D NAND 메모리 스트링(338)은 반도체 채널(342) 및 메모리 막(340)을 포함하는 "전하 트랩(charge trap)" 타입의 NAND 메모리 스트링이다. 일부 실시예들에서, 반도체 채널(342)은 비정질 실리콘, 폴리실리콘 또는 단결정 실리콘과 같은 실리콘을 포함한다. 일부 실시예들에서, 메모리 막(340)은 터널링(tunneling) 층, ("전하 트랩/저장 층"으로도 또한 알려진) 저장 층, 및 차단 층을 포함하는 복합 유전체 층이다. 각각의 3D NAND 메모리 스트링(338)은 원통 형상(예컨대, 기둥 형상)을 가질 수 있다. 일부 실시예들에 따라, 반도체 채널(342), 메모리 막(340)의 터널링 층, 저장 층 및 차단 층은 이 순서로 기둥의 중심으로부터 외측 표면을 향하는 방향을 따라 배열된다. 터널링 층은 실리콘 산화물, 실리콘 산질화물, 또는 이들의 임의의 조합을 포함할 수 있다. 저장 층은 실리콘 질화물, 실리콘 산질화물, 실리콘, 또는 이들의 임의의 조합을 포함할 수 있다. 차단 층은 실리콘 산화물, 실리콘 산질화물, 고 유전 상수(고-k) 유전체들, 또는 이들의 임의의 조합을 포함할 수 있다. 일례로, 차단 층은 실리콘 산화물/실리콘 산질화물/실리콘 산화물(ONO)의 복합 층을 포함할 수 있다. 다른 예에서, 차단 층은 알루미늄 산화물(Al_2O_3) 또는 hafnium 산화물(HfO_2) 또는 tantalum 산화물(Ta_2O_5) 층 등과 같은 고-k 유전체 층을 포함할 수 있다.

[0042] 일부 실시예들에서, 3D NAND 메모리 스트링들(338)은 (각각이 워드 라인의 일부인) 복수의 제어 게이트들을 더 포함한다. 메모리 스택(333)의 각각의 전도체 층(334)은 3D NAND 메모리 스트링(338)의 각각의 메모리 셀에 대한 제어 게이트로서 작용할 수 있다. 일부 실시예들에서, 각각의 3D NAND 메모리 스트링(338)은 수직 방향의 각각의 단부들에 2개의 플러그들(344, 346)을 포함한다. 플러그(344)는 반도체 층(348)으로부터 에피택셜 방식으로(epitaxially) 성장되는 반도체 재료, 이를테면 단결정 실리콘을 포함할 수 있다. 플러그(344)는 3D NAND 메모리 스트링(338)의 소스 선택 게이트에 의해 제어되는 채널로서 기능할 수 있다. 플러그(344)는 3D NAND 메모리 스트링(338)의 상부 단부에 있고 반도체 채널(342)과 접촉할 수 있다. 본 명세서에서 사용되는 바와 같이, 컴포넌트(예컨대, 3D NAND 메모리 스트링(338))의 "상부 단부"는 y 방향으로 기판(308)으로부터 더 멀리 떨어진 단부이고, 컴포넌트(예컨대, 3D NAND 메모리 스트링(338))의 "하부 단부"는 기판(308)이 3D 메모리 디바이스(300)의 최하부 평면에 포지셔닝될 때 y 방향으로 기판(308)에 더 가까운 단부이다. 다른 플러그(346)는 반도체 재료들(예컨대, 폴리실리콘)을 포함할 수 있다. 3D 메모리 디바이스(300)의 제작 중에 3D NAND 메모리 스트링(338)의 상부 단부를 덮음으로써, 플러그(346)는 3D NAND 메모리 스트링(338)에 충전된 유전체들, 이를테면 실리콘 산화물 및 실리콘 질화물의 에칭을 방지하기 위한 에칭 정지 층으로서 기능할 수 있다. 일부 실시예들에서, 플러그(346)는 3D NAND 메모리 스트링(338)의 드레인으로서 기능한다.

[0043] 일부 실시예들에서, 제1 반도체 구조(302)는 메모리 스택(333) 및 3D NAND 메모리 스트링들(338) 위에 배치된 반도체 층(348)을 더 포함한다. 반도체 층(348)은 메모리 스택(333) 및 3D NAND 메모리 스트링들(338)이 형성되는 박형화(thin)된 기판일 수 있다. 일부 실시예들에서, 반도체 층(348)은 플러그들(344)이 에피택셜 방식으로 성장될 수 있는 단결정 실리콘을 포함한다. 일부 실시예들에서, 반도체 층(348)은 폴리실리콘, 비정질 실리콘, SiGe, GaAs, Ge, 살리사이드(Salicide) 또는 임의의 다른 적절한 재료들을 포함할 수 있다. 반도체 층(348)은 또한 분리 구역들 및 도핑된 구역들(예컨대, 3D NAND 메모리 스트링들(338)에 대한, 도시되지 않은 어레이 공통 소스(ACS: array common source)로서 기능함)를 포함할 수 있다. (도시되지 않은) 분리 구역들은 반도체 층(348)의 두께의 전체 두께 또는 일부에 걸쳐 확장되어, 도핑된 구역들을 전기적으로 격리시킬 수 있다. 일부 실시예들에서, 실리콘 산화물을 포함하는 패드(pad) 산화물 층이 메모리 스택(333)과 반도체 층(348) 사이에 배치된다.

[0044] 3D NAND 메모리 스트링들(338)은 "전하 트랩" 타입의 3D NAND 메모리 스트링들로 제한되지 않으며, 다른 실시예들에서는 "부동 게이트" 타입의 3D NAND 메모리 스트링들일 수 있다고 이해된다. 또한, 메모리 스택(333)은 단일 데크(single-deck) 구조를 갖는 것으로 제한되는 것이 아니라, 3D NAND 메모리 스트링들(338)의 전기 접속들을 위해 상이한 데크들 사이에 데크 간 플러그들을 갖는 다중 데크 구조를 또한 가질 수 있다고 이해된다. 반도체 층(348)은 "부동 게이트" 타입의 3D NAND 메모리 스트링들의 소스 플레이트로서 폴리실리콘을 포함할 수 있다.

[0045] 도 3에 도시된 바와 같이, 3D 메모리 디바이스(300)의 제2 반도체 구조(304)는 반도체 층(348) 위에 패드-아웃(pad-out) 상호 접속 층(350)을 더 포함할 수 있다. 패드-아웃 상호 접속 층(350)은 하나 이상의 ILD 층들에 상호 접속부들, 예컨대 접속 패드들(352)을 포함한다. 패드-아웃 상호 접속 층(350) 및 상호 접속 층(332)은 반도체 층(348)의 대향 측들에 형성될 수 있다. 일부 실시예들에서, 패드-아웃 상호 접속 층(350)의 상호 접속

부들은 예컨대, 패드-아웃 목적들로 3D 메모리 디바이스(300)와 외부 회로들 간에 전기 신호들을 전송할 수 있다.

[0046] 일부 실시예들에서, 제2 반도체 구조(304)는 패드-아웃 상호 접속 층(350)과 상호 접속 층들(332, 322)을 전기적으로 접속하도록 반도체 층(348)을 관통하여 확장되는 하나 이상의 접촉부들(354)을 더 포함한다. 그 결과, 3D XPoint 메모리 셀들(318)의 어레이는 상호 접속 층들(322, 332)뿐만 아니라 접합 접촉부들(326, 330)을 통해 3D NAND 메모리 스트링들(338)의 어레이에 전기적으로 접속될 수 있다. 3D NAND 메모리 스트링들(338)의 고속 로직 트랜지스터들(312)의 주변 회로는 또한, 상호 접속 층들(322, 332)뿐만 아니라 접합 접촉부들(326, 330)을 통해 3D NAND 메모리 스트링들(338)의 어레이에 전기적으로 접속될 수 있다. 더욱이, 고속 로직 트랜지스터들(312) 및 감지 및 제어기 회로(314)의 주변 회로들, 3D XPoint 메모리 셀들(318)의 어레이, 및 3D NAND 메모리 스트링들(338)의 어레이는 접촉부들(354) 및 패드-아웃 상호 접속 층(350)을 통해 외부 회로들에 전기적으로 접속될 수 있다.

[0047] 도 4는 일부 실시예들에 따른, 3D PCM을 갖는 다른 예시적인 3D 메모리 디바이스(400)의 단면을 예시한다. 앞서 도 3에서 설명된 3D 메모리 디바이스(300)와 유사하게, 3D 메모리 디바이스(400)는 3D NAND 메모리 스트링들을 포함하는 제1 반도체 구조(402)와 주변 회로들 및 3D PCM 셀들을 포함하는 제2 반도체 구조(404)를 갖는 접합된 칩의 일례를 나타내며, 이러한 반도체 구조들은 개별적으로 형성되어 접합 계면(406)에서 대면 방식으로 접합된다. 제2 반도체 구조(404)에 포함된 3D PCM은 도 4와 관련하여 3D XPoint 메모리로서 설명될 것이다. 주변 회로들 및 3D XPoint 메모리 셀들을 포함하는 제1 반도체 구조(302)가 3D NAND 메모리 스트링들을 포함하는 제2 반도체 구조(304) 아래에 있는, 앞서 도 3에서 설명된 3D 메모리 디바이스(300)와는 달리, 도 4의 3D 메모리 디바이스(400)는 3D NAND 메모리 스트링들을 포함하는 제1 반도체 구조(402) 위에 배치된, 주변 회로들 및 3D XPoint 메모리 셀들을 포함하는 제2 반도체 구조(404)를 포함한다. 두 3D 메모리 디바이스들(300, 400) 모두에서의 유사한 구조들(예컨대, 재료들, 제작 프로세스들, 기능들 등)의 세부사항들은 아래에서 반복되지 않을 수 있다고 이해된다.

[0048] 3D 메모리 디바이스(400)의 제1 반도체 구조(402)는 기판(408), 및 기판(408) 위에 인터리빙된 전도체 층들(412) 및 유전체 층들(414)을 포함하는 메모리 스택(410)을 포함할 수 있다. 일부 실시예들에서, 3D NAND 메모리 스트링들(416)의 어레이는 각각, 기판(408) 위의 메모리 스택(410)의 인터리빙된 전도체 층들(412) 및 유전체 층들(414)을 통해 수직으로 연장된다. 각각의 3D NAND 메모리 스트링(416)은 반도체 채널(420) 및 메모리 막(418)을 포함할 수 있다. 각각의 3D NAND 메모리 스트링(416)은 각각의 하부 단부 및 상부 단부에 2개의 플러그들(422, 424)을 더 포함한다. 3D NAND 메모리 스트링들(416)은 "전하 트랩" 타입의 3D NAND 메모리 스트링들 또는 "부동 게이트" 타입의 3D NAND 메모리 스트링들일 수 있다. 일부 실시예들에서, 실리콘 산화물을 포함하는 패드 산화물 층이 메모리 스택(410)과 기판(408) 사이에 배치된다.

[0049] 일부 실시예들에서, 3D 메모리 디바이스(400)의 제1 반도체 구조(402)는 또한, 3D NAND 메모리 스트링들(416)로 그리고 그로부터 전기 신호들을 전송하기 위해 메모리 스택(410) 및 3D NAND 메모리 스트링들(416) 위에 상호 접속 층(426)을 포함한다. 상호 접속 층(426)은 상호 접속 라인들 및 비아 접촉부들을 포함하는 복수의 상호 접속부들을 포함할 수 있다. 일부 실시예들에서, 상호 접속 층(426)의 상호 접속부들은 또한, 비트 라인 접촉부들 및 워드 라인 접촉부들과 같은 로컬 상호 접속부들을 포함한다. 일부 실시예들에서, 3D 메모리 디바이스(400)의 제1 반도체 구조(402)는 접합 계면(406)에 그리고 상호 접속 층(426) 및 메모리 스택(410) 위에 접합 층(428)을 더 포함한다. 접합 층(428)은 복수의 접합 접촉부들(430), 및 접합 접촉부들(430)을 둘러싸며 전기적으로 격리시키는 유전체들을 포함할 수 있다.

[0050] 도 4에 도시된 바와 같이, 3D 메모리 디바이스(400)의 제2 반도체 구조(404)는 접합 계면(406)에 그리고 접합 층(428) 위에 다른 접합 층(432)을 포함한다. 접합 층(432)은 복수의 접합 접촉부들(434), 및 접합 접촉부들(434)을 둘러싸며 전기적으로 격리시키는 유전체들을 포함할 수 있다. 일부 실시예들에서, 3D 메모리 디바이스(400)의 제2 반도체 구조(404)는 또한, 전기 신호들을 전송하기 위해 접합 층(432) 위에 상호 접속 층(436)을 포함한다. 상호 접속 층(436)은 상호 접속 라인들 및 비아 접촉부들을 포함하는 복수의 상호 접속부들을 포함할 수 있다.

[0051] 3D 메모리 디바이스(400)의 제2 반도체 구조(404)는 상호 접속 층(436) 및 접합 층(432) 위에 디바이스 층(438)을 더 포함할 수 있다. 일부 실시예들에서, 디바이스 층(438)은 상호 접속 층(436) 및 접합 층(432) 위의 3D XPoint 메모리 셀들(448)의 어레이와 3D XPoint 메모리 셀들(448)의 어레이 위의 주변 회로들(442, 444)을 포함한다. 주변 회로들(442, 444)은 3D NAND 메모리 스트링들(416)의 어레이의 주변 회로(442) 및 3D XPoint 메

모리 셀들(448)의 어레이의 주변 회로(444)를 포함할 수 있다. 일부 실시예들에서, 각각의 주변 회로(442 또는 444)는, 페이지 버퍼, 디코더(예컨대, 행 디코더 및 열 디코더), 감지 증폭기, 드라이버, 전하 펌프, 전류 또는 전압 기준을 포함하지만 이에 제한되지 않는 3D 메모리 디바이스(400)의 동작을 가능하게 하기 위해 사용되는 임의의 적절한 디지털, 아날로그 및/또는 혼합 신호 주변 회로들을 형성하는 복수의 트랜지스터들(446)을 포함한다. 트랜지스터들(446)은 반도체 층(440) "상"에 형성될 수 있으며, 여기서 트랜지스터들(446)의 전체 또는 일부가 반도체 층(440) 내에 그리고/또는 반도체 층(440) 상에 직접 형성된다. 분리 구역들(예컨대, 얇은 트렌치 분리(STI)들) 및 도핑된 영역들(예컨대, 트랜지스터들(446)의 소스 구역들 및 드레인 구역들)이 반도체 층(440) 내에 또한 형성될 수 있다. 주변 회로들(444)은 3D XPoint 메모리 셀들(448)의 어레이에 전기적으로 접속될 수 있다.

[0052] 일부 실시예들에서, 각각의 3D XPoint 메모리 셀(448)은 워드 라인(WL)들(460) 및 비트 라인(BL)들(462)을 갖는 교차점 구조로 수직으로 배열된 전도체들을 포함한다. 워드 라인들(460) 및 비트 라인들(462)은 W, Co, Cu, Al, 실리사이드들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 전도성 재료들을 포함할 수 있다. 각각의 3D XPoint 메모리 셀(448)은 셀 재료의 벌크 특성 변화를 통해 데이터의 비트를 저장하기 위해 워드 라인(460)과 비트 라인(462)의 쌍의 교차부에 메모리 엘리먼트(464)를 더 포함할 수 있다. 일부 실시예들에서, 각각의 3D XPoint 메모리 셀(448)은 메모리 엘리먼트(464)와 워드 라인(460) 또는 비트 라인(462) 사이에 수직으로 (도시되지 않은) 선택기를 더 포함한다. 즉, 선택기 및 메모리 엘리먼트(464)는 이중 적층 저장/선택기 구조일 수 있다. 일부 실시예들에 따르면, 메모리 엘리먼트(464)의 재료들은 칼코겐화물계 합금들(칼코겐화물 유리), 이틀테면 GST 합금, 또는 임의의 다른 적절한 상변화 재료들, 저항성 산화물 재료들 또는 전도성 브리지 재료들을 포함한다. 선택기의 재료들은 Zn_xTe_y , Ge_xTe_y , Nb_xO_y , $Si_xAs_yTe_z$ 등과 같은 임의의 적절한 OTS 재료들을 포함할 수 있다. 3D XPoint 메모리 셀들(448)의 어레이의 구조, 구성 및 재료들은 도 4의 예로 제한되지 않으며, 임의의 적절한 구조, 구성 및 재료들을 포함할 수 있다고 이해된다.

[0053] 일부 실시예들에서, 제2 반도체 구조(404)는 디바이스 층(438)의 주변 회로들(442, 444) 위에 배치된 반도체 층(440)을 더 포함한다. 반도체 층(440)은 트랜지스터들(446)이 형성되는 박형화된 기판일 수 있다. 일부 실시예들에서, 반도체 층(440)은 단결정 실리콘을 포함한다. 일부 실시예들에서, 반도체 층(440)은 폴리실리콘, 비정질 실리콘, SiGe, GaAs, Ge, 또는 임의의 다른 적절한 재료들을 포함할 수 있다. 반도체 층(440)은 또한 분리 구역들 및 도핑된 구역들을 포함할 수 있다.

[0054] 도 4에 도시된 바와 같이, 3D 메모리 디바이스(400)의 제2 반도체 구조(404)는 반도체 층(440) 위에 패드-아웃 상호 접속 층(452)을 더 포함할 수 있다. 패드-아웃 상호 접속 층(452)은 하나 이상의 ILD 층들에 상호 접속부들, 예컨대 접촉 패드들(454)을 포함한다. 일부 실시예들에서, 패드-아웃 상호 접속 층(452)의 상호 접속부들은 예컨대, 패드-아웃 목적들로 3D 메모리 디바이스(400)와 외부 회로들 간에 전기 신호들을 전송할 수 있다. 일부 실시예들에서, 제2 반도체 구조(404)는 패드-아웃 상호 접속 층(452)과 상호 접속 층들(436, 426)을 전기적으로 접속하도록 반도체 층(440)을 관통하여 확장되는 하나 이상의 접속부들(456)을 더 포함한다. 그 결과, 3D XPoint 메모리 셀들(448)은 상호 접속 층들(426, 436)뿐만 아니라 접합 접속부들(430, 434)을 통해 3D NAND 메모리 스트링들(416)의 어레이에 전기적으로 접속될 수 있다. 3D NAND 메모리 스트링들(416)의 주변 회로(442)는 또한 상호 접속 층들(426, 436)뿐만 아니라 접합 접속부들(430, 434)을 통해 3D NAND 메모리 스트링들(416)의 어레이에 전기적으로 접속될 수 있다. 더욱이, 주변 회로들(442, 444), 3D XPoint 메모리 셀들(448)의 어레이, 및 3D NAND 메모리 스트링들(416)의 어레이는 접속부들(456) 및 패드-아웃 상호 접속 층(452)을 통해 외부 회로들에 전기적으로 접속될 수 있다.

[0055] 도 5a - 도 5c는 일부 실시예들에 따른, 주변 회로 및 3D PCM을 갖는 예시적인 반도체 구조를 형성하기 위한 제작 프로세스를 예시한다. 도 6a 및 도 6b는 일부 실시예들에 따른, 3D NAND 메모리 스트링들을 갖는 예시적인 반도체 구조를 형성하기 위한 제작 프로세스를 예시한다. 도 7a 및 도 7b는 일부 실시예들에 따른, 3D PCM을 갖는 예시적인 3D 메모리 디바이스를 형성하기 위한 제작 프로세스를 예시한다. 도 9는 일부 실시예들에 따른, 3D PCM을 갖는 3D 메모리 디바이스를 형성하기 위한 예시적인 방법(900)의 흐름도이다. 도 5 - 도 7 및 도 9에 도시된 3D 메모리 디바이스의 예들은 도 3에 도시된 3D 메모리 디바이스(300) 및 도 4에 도시된 3D 메모리 디바이스(400)를 포함한다. 도 5 - 도 7 및 도 9는 함께 설명될 것이다. 방법(900)에 도시된 동작들은 총망라한 것은 아니며, 예시된 동작들 중 임의의 동작 이전, 이후, 또는 그 사이에 다른 동작들이 수행될 수 있다고 이해된다. 추가로, 동작들 중 일부는 도 9에 도시된 것과는 다른 순서로 또는 동시에 수행될 수 있다.

[0056] 도 5a - 5c에 도시된 바와 같이, 주변 회로, 3D PCM 셀들의 어레이, 및 복수의 제1 접합 접속부들을 포함하는

제1 접합 층을 포함하는 제1 반도체 구조가 형성된다. 도 6a 및 도 6b에 도시된 바와 같이, 3D NAND 메모리 스트링들의 어레이, 및 복수의 제2 접합 접촉부들을 포함하는 제2 접합 층을 포함하는 제2 반도체 구조가 형성된다. 도 7a 및 도 7b에 도시된 바와 같이, 제1 반도체 구조와 제2 반도체 구조는, 제1 접합 접촉부들이 접합 계면에서 제2 접합 접촉부들과 접촉하도록 대면 방식으로 접합된다. 3D PCM은 도 5a - 도 5c, 도 6a, 도 6b, 도 7a 및 도 7b와 관련하여 3D XPoint 메모리로서 설명될 것이다.

[0057] 도 9를 참조하면, 방법(900)은 동작(902)에서 시작되며, 여기서 주변 회로가 제1 기판 상에 형성되고, 이어서 3D PCM 셀들의 어레이가 주변 회로 위에 형성된다. 제1 기판은 실리콘 기판일 수 있다. 일부 실시예들에서, 3D PCM 셀들의 어레이를 형성하기 위해, 3D XPoint 메모리 셀들의 어레이가 형성된다.

[0058] 도 5a에 예시된 바와 같이, 복수의 트랜지스터들(504)이 실리콘 기판(502) 상에 형성된다. 트랜지스터들(504)은 포토리소그래피, 건식/습식 에칭, 박막 증착, 열 성장, 주입, 화학적 기계 연마(CMP: chemical mechanical polishing), 및 임의의 다른 적절한 프로세스들을 포함하지만 이에 제한되지 않는 복수의 프로세스들에 의해 형성될 수 있다. 일부 실시예들에서, 예를 들어 트랜지스터들(504)의 소스 구역들 및/또는 드레인 구역들로서 기능하는 도핑된 구역들이 이온 주입 및/또는 열 확산에 의해 실리콘 기판(502)에 형성된다. 일부 실시예들에서, 습식/건식 에칭 및 박막 증착에 의해 분리 구역들(예컨대, STI들)이 또한 실리콘 기판(502)에 형성된다. 트랜지스터들(504)은 3D NAND 메모리 및/또는 3D XPoint 메모리의 주변 회로들을 형성할 수 있다.

[0059] 도 5b에 예시된 바와 같이, 3D XPoint 메모리 셀들(506)의 어레이는 트랜지스터들(504) 중 일부(예컨대, 3D XPoint 메모리 셀들(506)의 어레이의 주변 회로를 형성하는 것들) 위에서 그와 접촉하여 형성된다. 3D XPoint 메모리 셀들(506)을 형성하기 위해, 수직 컨덕터들이 워드 라인(WL)들(507) 및 비트 라인들(508)로서 형성될 수 있고, 메모리 엘리먼트들(509)이 워드 라인들(507)과 비트 라인들(508)의 교차부들에 형성될 수 있다. 일부 실시예들에서, (도시되지 않은) 선택기들이 각각의 메모리 엘리먼트(509)와 워드 라인(507) 또는 비트 라인(508) 사이에 수직으로 형성되며, 3D XPoint 메모리 셀들(506)이 포토리소그래피, 건식/습식 에칭, 박막 증착, 열 성장, 주입, 화학적 기계 연마(CMP), 및 임의의 다른 적절한 프로세스들을 포함하지만 이에 제한되지 않는 복수의 프로세스들에 의해 형성될 수 있다. 이로써, (트랜지스터들(504)을 갖는) 주변 회로들 및 트랜지스터들(504) 위의 3D XPoint 메모리 셀들(506)의 어레이를 포함하는 디바이스 층(510)이 형성된다.

[0060] 방법(900)은, 도 9에 예시된 바와 같이, 동작(904)으로 진행하며, 여기서 3D PCM 셀들의 어레이 위에 제1 상호 접속 층이 형성된다. 제1 상호 접속 층은 하나 이상의 ILD 층들에 제1 복수의 상호 접속부들을 포함할 수 있다. 도 5c에 예시된 바와 같이, 상호 접속 층(512)이 디바이스 층(510)의 3D XPoint 메모리 셀들(506)의 어레이 위에 형성될 수 있다. 상호 접속 층(512)은 디바이스 층(510)의 (주변 회로들을 형성하는) 트랜지스터들(504) 및 3D XPoint 메모리 셀들(506)의 어레이와의 전기 접속들을 이루도록 복수의 ILD 층들에 MEOL 및/또는 BEOL의 상호 접속부들을 포함할 수 있다. 일부 실시예들에서, 상호 접속 층(512)은 다수의 프로세스들에서 형성된 다수의 ILD 층들 및 상호 접속부들을 내부에 포함한다. 예를 들어, 상호 접속 층들(512) 내의 상호 접속부들은 화학 기상 증착(CVD: chemical vapor deposition), 물리 기상 증착(PVD: physical vapor deposition), 원자 층 증착(ALD: atomic layer deposition), 전기 도금, 무전해 도금, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 하나 이상의 박막 증착 프로세스들에 의해 증착되는 전도성 재료들을 포함할 수 있다. 상호 접속부들을 형성하기 위한 제작 프로세스들은 또한, 포토리소그래피, CMP, 습식/건식 에칭, 또는 임의의 다른 적절한 프로세스들을 포함할 수 있다. ILD 층들은 CVD, PVD, ALD, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 하나 이상의 박막 증착 프로세스들에 의해 증착되는 유전체 재료들을 포함할 수 있다. 도 5c에 예시된 ILD 층들 및 상호 접속부들은 집합적으로 상호 접속 층(512)으로 지칭될 수 있다.

[0061] 방법(900)은, 도 9에 예시된 바와 같이, 동작(906)으로 진행하며, 여기서 제1 상호 접속 층 위에 제1 접합 층이 형성된다. 제1 접합 층은 복수의 제1 접합 접촉부들을 포함할 수 있다. 도 5c에 예시된 바와 같이, 접합 층(514)이 상호 접속 층(512) 위에 형성된다. 접합 층(514)은 유전체들에 의해 둘러싸인 복수의 접합 접촉부들(516)을 포함할 수 있다. 일부 실시예들에서, CVD, PVD, ALD, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 하나 이상의 박막 증착 프로세스들에 의해 상호 접속 층(512)의 최상부 표면 상에 유전체 층이 증착된다. 이어서, 패터닝 프로세스(예컨대, 유전체 층 내의 유전체 재료들의 포토리소그래피 및 건식/습식 에칭)를 사용하여 유전체 층을 통해 접촉 홀들을 먼저 패터닝함으로써, 유전체 층을 통해 그리고 상호 접속 층(512) 내의 상호 접속부들과 접촉하여 접합 접촉부들(516)이 형성될 수 있다. 접촉 홀들은 전도체(예컨대, 구리)로 채워질 수 있다. 일부 실시예들에서, 접촉 홀들을 채우는 것은 전도체를 증착하기 전에 장벽 층, 접합 층 및/또는 시드 층을 증착하는 것을 포함한다.

[0062] 방법(900)은, 도 9에 예시된 바와 같이, 동작(908)으로 진행하며, 여기서 제2 기판 위에 메모리 스택이 형성된다. 제2 기판은 실리콘 기판일 수 있다. 도 6a에 예시된 바와 같이, (도시되지 않은) 인터리빙된 희생 층들 및 유전체 층들(608)이 실리콘 기판(602) 위에 형성된다. 인터리빙된 희생 층들 및 유전체 층들(608)은 (도시되지 않은) 유전체 스택을 형성할 수 있다. 일부 실시예들에서, 각각의 희생 층은 실리콘 질화물 층을 포함하고, 각각의 유전체 층(608)은 실리콘 산화물 층을 포함한다. 인터리빙된 희생 층들 및 유전체 층들(608)은 CVD, PVD, ALD, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 하나 이상의 박막 증착 프로세스들에 의해 형성될 수 있다. 일부 실시예들에서, 게이트 대체 프로세스, 예컨대 유전체 층들(608)에 대해 선택적인 희생 층들의 습식/건식 에칭을 사용하여 희생 층들을 전도체 층들(606)로 교체하고 결과적인 리세스들을 전도체 층들(606)로 채움으로써 메모리 스택(604)이 형성될 수 있다. 그 결과, 메모리 스택(604)은 인터리빙된 전도체 층들(606) 및 유전체 층들(608)을 포함할 수 있다. 일부 실시예들에서, 각각의 전도체 층(606)은 텅스텐 층과 같은 금속 층을 포함한다. 메모리 스택(604)은 다른 실시예들에서 게이트 교체 프로세스 없이 전도체 층들(예컨대, 도핑된 폴리실리콘 층들) 및 유전체 층들(예컨대, 실리콘 산화물 층들)을 교대로 증착함으로써 형성될 수 있다고 이해된다. 일부 실시예들에서, 실리콘 산화물을 포함하는 패드 산화물 층이 메모리 스택(604)과 실리콘 기판(602) 사이에 형성된다.

[0063] 방법(900)은, 도 9에 예시된 바와 같이, 동작(910)으로 진행하며, 여기서 메모리 스택을 통해 수직으로 연장되는 3D NAND 메모리 스트링들의 어레이가 형성된다. 도 6a에 예시된 바와 같이, 3D NAND 메모리 스트링들(610)이 실리콘 기판(602) 위에 형성되며, 3D NAND 메모리 스트링들(610) 각각은 메모리 스택(604)의 인터리빙된 전도체 층들(606) 및 유전체 층들(608)을 통해 수직으로 연장된다. 일부 실시예들에서, 3D NAND 메모리 스트링(610)을 형성하기 위한 제작 프로세스들은, 건식 에칭 및/또는 습식 에칭, 이를테면 딥 반응성 이온 에칭(DRIE: deep reactive-ion etching)을 사용하는 것에 이어, 다음에는 실리콘 기판(602)으로부터 채널 홀의 하부 부분에 에피택셜 방식으로 플러그(612)를 성장시킴으로써 메모리 스택(604)을 통해 실리콘 기판(602) 내에 채널 홀을 형성하는 것을 포함한다. 일부 실시예들에서, 3D NAND 메모리 스트링(610)을 형성하기 위한 제작 프로세스들은 또한, ALD, CVD, PVD, 또는 이들의 임의의 조합과 같은 박막 증착 프로세스들을 사용하여 메모리 막(614)(예컨대, 터널링 층, 저장 층 및 차단 층) 및 반도체 층(616)과 같은 복수의 층들로 후속하여 채널 홀을 채우는 것을 포함한다. 일부 실시예들에서, 3D NAND 메모리 스트링(610)을 형성하기 위한 제작 프로세스들은, 3D NAND 메모리 스트링(610)의 상부 단부에서 리세스를 에칭하고, 이어서 ALD, CVD, PVD, 또는 이들의 임의의 조합과 같은 박막 증착 프로세스들을 사용하여 리세스를 반도체 재료로 채움으로써 채널 홀의 상부 부분에 다른 플러그(618)를 형성하는 것을 더 포함한다.

[0064] 방법(900)은, 도 9에 예시된 바와 같이, 동작(912)으로 진행하며, 여기서 3D NAND 메모리 스트링들의 어레이 위에 제2 상호 접속 층이 형성된다. 제2 상호 접속 층은 하나 이상의 ILD 층들에 제2 복수의 상호 접속부들을 포함할 수 있다. 도 6b에 예시된 바와 같이, 메모리 스택(604) 및 3D NAND 메모리 스트링들(610)의 어레이 위에 상호 접속 층(620)이 형성될 수 있다. 상호 접속 층(620)은 3D NAND 메모리 스트링들(610)과의 전기 접속들을 이루도록 복수의 ILD 층들에 MEOL 및/또는 BEOL의 상호 접속부들을 포함할 수 있다. 일부 실시예들에서, 상호 접속 층(620)은 다수의 프로세스들에서 형성된 다수의 ILD 층들 및 상호 접속부들을 내부에 포함한다. 예를 들어, 상호 접속 층들(620) 내의 상호 접속부들은 CVD, PVD, ALD, 전기 도금, 무전해 도금, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 하나 이상의 박막 증착 프로세스들에 의해 증착되는 전도성 재료들을 포함할 수 있다. 상호 접속부들을 형성하기 위한 제작 프로세스들은 또한, 포토리소그래피, CMP, 습식/건식 에칭, 또는 임의의 다른 적절한 프로세스들을 포함할 수 있다. ILD 층들은 CVD, PVD, ALD, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 하나 이상의 박막 증착 프로세스들에 의해 증착되는 유전체 재료들을 포함할 수 있다. 도 6b에 예시된 ILD 층들 및 상호 접속부들은 집합적으로 상호 접속 층(620)으로 지칭될 수 있다.

[0065] 방법(900)은, 도 9에 예시된 바와 같이, 동작(914)으로 진행하며, 여기서 제2 상호 접속 층 위에 제2 접합 층이 형성된다. 제2 접합 층은 복수의 제2 접합 접촉부들을 포함할 수 있다. 도 6b에 예시된 바와 같이, 접합 층(622)이 상호 접속 층(620) 위에 형성된다. 접합 층(622)은 유전체들에 의해 둘러싸인 복수의 접합 접촉부들(624)을 포함할 수 있다. 일부 실시예들에서, CVD, PVD, ALD, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 하나 이상의 박막 증착 프로세스들에 의해 상호 접속 층(620)의 최상부 표면 상에 유전체 층이 증착된다. 이어서, 패터닝 프로세스(예컨대, 유전체 층 내의 유전체 재료들의 포토리소그래피 및 건식/습식 에칭)를 사용하여 유전체 층을 통해 접촉 홀들을 먼저 패터닝함으로써, 유전체 층을 통해 그리고 상호 접속 층(620) 내의 상호 접속부들과 접촉하여 접합 접촉부들(624)이 형성될 수 있다. 접촉 홀들은 전도체(예컨대, 구

리)로 채워질 수 있다. 일부 실시예들에서, 접촉 홀들을 채우는 것은 전도체를 증착하기 전에 장벽 층, 접촉 층 및/또는 시드 층을 증착하는 것을 포함한다.

[0066] 방법(900)은, 도 9에 예시된 바와 같이, 동작(916)으로 진행되며, 여기서 제1 접합 접촉부들이 접합 계면에서 제2 접합 접촉부들과 접촉하도록 제1 기관과 제2 기관이 대면 방식으로 접합된다. 접합은 하이브리드 접합일 수 있다. 일부 실시예들에서, 주변 회로 및 3D PCM 셀들이 형성되는 제1 기관(예컨대, 제1 반도체 구조)이, 접합 이후 3D NAND 메모리 스트링들이 형성되는 제2 기관(예컨대, 제2 반도체 구조) 위에 배치된다. 일부 실시예들에서, 3D NAND 메모리 스트링들이 형성되는 제2 기관(예컨대, 제2 반도체 구조)이, 접합 이후 주변 회로 및 3D PCM 셀들이 형성되는 제1 기관(예컨대, 제1 반도체 구조) 위에 배치된다.

[0067] 도 7a에 예시된 바와 같이, 실리콘 기관(602) 및 그 위에 형성된 컴포넌트들(예컨대, 3D NAND 메모리 스트링들(610))은 거꾸로 뒤집힌다. 아래를 향하는 접합 층(622)이 위를 향하는 접합 층(514)과, 즉 대면 방식으로 접합되고, 이로써 (도 7b에 도시되는) 접합 계면(702)을 형성한다. 일부 실시예들에서, 처리 프로세스, 예컨대 플라즈마 처리, 습식 처리 및/또는 열 처리가 접합 전에 접합 표면들에 가해진다. 도 7a에 도시되지 않았지만, 실리콘 기관(502) 및 그 위에 형성된 컴포넌트들(예컨대, 주변 회로들을 형성하는 트랜지스터들(504) 및 3D XPoint 메모리 셀들(506))을 포함하는 디바이스 층(510)은 거꾸로 뒤집힐 수 있고, 아래를 향하는 접합 층(514)은 위를 향하는 접합 층(622)과, 즉 대면 방식으로 접합될 수 있으며, 이로써 접합 계면(702)을 형성할 수 있다. 접합 이후, 접합 층(622)의 접합 접촉부들(624)과 접합 층(514)의 접합 접촉부들(516)이 정렬되고 서로 접촉하여, 디바이스 층(510)(예컨대, 주변 회로들을 형성하는 트랜지스터들(504) 및 3D XPoint 메모리 셀들(506))이 3D NAND 메모리 스트링들(610)에 전기적으로 접속될 수 있다. 접합된 디바이스에서, 3D NAND 메모리 스트링들(610)은 디바이스 층(510)(예컨대, 주변 회로들을 형성하는 트랜지스터들(504) 및 3D XPoint 메모리 셀들(506)) 위 또는 아래에 있을 수 있다고 이해된다. 그럼에도, 도 7b에 예시된 바와 같이 접합 후에 3D NAND 메모리 스트링들(610)과 디바이스 층(510)(예컨대, 주변 회로들을 형성하는 트랜지스터들(504) 및 3D XPoint 메모리 셀들(506)) 사이에 접합 계면(702)이 형성될 수 있다.

[0068] 방법(900)은, 도 9에 예시된 바와 같이, 동작(918)으로 진행하며, 여기서 제1 기관 또는 제2 기관이 반도체 층을 형성하도록 박형화된다. 일부 실시예들에서, 접합 후에 제2 반도체 구조의 제2 기관 위에 있는 제1 반도체 구조의 제1 기관은 반도체 층을 형성하도록 박형화된다. 일부 실시예들에서, 접합 후에 제1 반도체 구조의 제1 기관 위에 있는 제2 반도체 구조의 제2 기관은 반도체 층을 형성하도록 박형화된다.

[0069] 도 7b에 예시된 바와 같이, 접합된 3D 메모리 디바이스(예컨대, 도 7a에 도시된 바와 같은 실리콘 기관(602))의 최상부 상의 기관은 박형화되므로, 박형화된 최상부 기관은 반도체 층(704), 예컨대 단결정 실리콘 층의 역할을 할 수 있다. 실리콘 기관(602)은 웨이퍼 그라인딩, 건식 에칭, 습식 에칭, CMP, 임의의 다른 적절한 프로세스들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 프로세스들에 의해 박형화 수 있다. 일례로, 박형화된 기관의 두께는 예를 들어, 에칭 및 CMP 프로세스들의 조합을 사용하여 약 1 μ m 내지 약 20 μ m, 이를테면 1 μ m 내지 20 μ m(예컨대, 1 μ m, 2 μ m, 3 μ m, 4 μ m, 5 μ m, 6 μ m, 7 μ m, 8 μ m, 9 μ m, 10 μ m, 15 μ m, 20 μ m, 이들 값들 중 임의의 값에 의해 하한으로 한정된 임의의 범위, 또는 이들 값들 중 임의의 2개에 의해 정의된 임의의 범위 내)일 수 있다. 일부 실시예들에서는, 추가 에칭 프로세스를 추가로 적용함으로써, 박형화된 기관의 두께가 예컨대, 서브-미크론(sub-micron) 범위에서 1 μ m 미만으로 더 감소될 수 있다고 이해된다. 실리콘 기관(502)이 접합된 3D 메모리 디바이스의 최상부 상의 기관일 때, 실리콘 기관(502)을 박형화함으로써 다른 반도체 층이 형성될 수 있다고 이해된다.

[0070] 방법(900)은, 도 9에 예시된 바와 같이, 동작(920)으로 진행하며, 여기서 패드-아웃 상호 접속 층이 반도체 층 위에 형성된다. 도 7b에 예시된 바와 같이, 패드-아웃 상호 접속 층(706)이 반도체 층(704)(박형화된 최상부 기관) 위에 형성된다. 패드-아웃 상호 접속 층(706)은 하나 이상의 ILD 층들에 형성된 상호 접속부들, 이를테면 패드 접촉부들(708)을 포함할 수 있다. 패드 접촉부들(708)은 W, Co, Cu, Al, 도핑된 실리콘, 실리사이드들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 전도성 재료들을 포함할 수 있다. ILD 층들은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 저-k 유전체들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 유전체 재료들을 포함할 수 있다. 일부 실시예들에서, 접합 및 박형화 이후, 예를 들어 습식/건식 에칭에 이어, 전도성 재료들을 증착함으로써 반도체 층(704)을 통해 수직으로 연장되는 접촉부들(710)이 형성된다. 접촉부들(710)은 패드-아웃 상호 접속 층(706) 내의 상호 접속부들과 접촉할 수 있다.

[0071] 도 8은 일부 실시예들에 따른, 3D PCM(806)을 갖는 3D 메모리 디바이스(800)의 예시적인 동작을 예시한다. 도 10은 일부 실시예들에 따른, 3D PCM을 갖는 3D 메모리 디바이스를 동작시키기 위한 예시적인 방법(1000)의 흐름

도이다. 도 8에 도시된 3D 메모리 디바이스(800)의 예들은 도 3에 도시된 3D 메모리 디바이스(300) 및 도 4에 도시된 3D 메모리 디바이스(400)를 포함한다. 도 8 및 도 10은 함께 설명될 것이다. 방법(1000)에 도시된 동작들은 총망라한 것은 아니며, 예시된 동작들 중 임의의 동작 이전, 이후, 또는 그 사이에 다른 동작들이 수행될 수 있다고 이해된다. 추가로, 동작들 중 일부는 도 10에 도시된 것과는 다른 순서로 또는 동시에 수행될 수 있다. 도 8에 예시된 바와 같이, 3D 메모리 디바이스(800)는 I/O 회로(804)(예컨대, 그 주변 회로들의 일부), 3D PCM 셀들의 어레이를 갖는 3D PCM(806), 및 3D NAND 메모리 스트링들의 어레이를 갖는 3D NAND 메모리(808)를 포함한다. 일부 실시예들에서, 3D PCM 셀들의 어레이는 3D XPoint 메모리 셀들의 어레이를 포함한다. I/O 회로(804), 3D PCM(806) 및 3D NAND 메모리(808)는 위에서 상세히 설명된 바와 같이 동일한 칩에 형성될 수 있다.

[0072] 도 10을 참조하면, 방법(1000)은 동작(1002)에서 시작하며, 여기서 데이터가 입력/출력 회로를 통해 3D PCM 셀들의 어레이로 전송된다. 도 8에 예시된 바와 같이, 호스트(802)에 의해 생성된 임의의 적절한 타입의 데이터가 I/O 회로(804)를 통해 3D 메모리 디바이스(800)의 3D PCM(806)에 전송될 수 있다. 호스트(802)는 데이터를 생성하는 임의의 적절한 디바이스들, 이를테면 하나 이상의 프로세서들일 수 있다. 일부 실시예들에서, 호스트(802)는 중앙 처리 유닛(CPU: central processing unit), 그래픽 프로세서(예컨대, 그래픽 처리 유닛(GPU: graphics processing unit)), 애플리케이션 프로세서(AP: application processor), 일반 프로세서(예컨대, 가속 처리 유닛(APU: accelerated processing unit); GPU 상의 범용 컴퓨팅(GPGPU: general-purpose computing on GPU)), 또는 임의의 다른 적절한 프로세서를 포함한다. I/O 회로(804)는 주변 회로들의 일부로서 고속 고스루풋 I/O 회로일 수 있다. 호스트(802) 및 3D 메모리 디바이스(800)는 임의의 적절한 장치, 예를 들어 가상 현실(VR: virtual reality)/증강 현실(AR: augmented reality) 디바이스(예컨대, VR 헤드셋 등), 핸드헬드 디바이스(예컨대, 덤(dumb) 또는 스마트폰, 태블릿 등), 웨어러블 디바이스(예컨대, 안경, 손목 시계 등), 자동차 제어 스테이션, 게임 콘솔, 텔레비전 세트, 랩톱 컴퓨터, 데스크톱 컴퓨터, 넷북 컴퓨터, 미디어 센터, 셋톱 박스, 글로벌 포지셔닝 시스템(GPS: global positioning system), 프린터, 또는 임의의 다른 적절한 디바이스의 일부일 수 있다.

[0073] 방법(1000)은 도 10에 예시된 바와 같이 동작(1004)으로 진행하며, 여기서는 데이터가 3D PCM 셀들의 어레이에 버퍼링된다. 도 8에 예시된 바와 같이, 3D PCM(806)은 I/O 회로(804)를 통해 호스트(802)로부터 전송된 데이터를 버퍼링하기 위한 3D 메모리 디바이스(800)의 통합된 고속 온-칩 비휘발성 버퍼로서 작동할 수 있다.

[0074] 방법(1000)은 도 10에 예시된 바와 같이 동작(1006)으로 진행하며, 여기서는 데이터가 3D PCM 셀들의 어레이로부터 3D NAND 메모리 스트링들의 어레이에 저장된다. 도 8에 예시된 바와 같이, 3D PCM(806)에 버퍼링된 데이터는 3D NAND 메모리(808)에 저장될 수 있다. 일부 실시예들에서, 데이터는 3D PCM(806)에 버퍼링되고 3D NAND 메모리(808)에 병렬로 저장된다. 일부 실시예들에서, 데이터는 3D PCM(806)에 버퍼링되지 않고 I/O 회로(804)로부터 3D NAND 메모리(808)로 직접 전송된다. 일부 실시예에서, 데이터의 일부는 3D PCM(806)에 버퍼링되는 한편, 데이터의 일부는 3D NAND 메모리(808)에 저장된다. 예를 들어, 빈번하게 액세스되는 데이터는 빠른 액세스를 위해 랜덤 액세스가 가능하게 되는 3D PCM(806)(예컨대, 더 빠른 3D XPoint 메모리)에 버퍼링될 수 있는 한편, 덜 사용되는 데이터는 더 높은 밀도/용량 저장을 위해 3D NAND 메모리(808)에 저장될 수 있다.

[0075] 호스트(802)의 인스턴트-온 피처는, 전원이 켜질 때 또는 꺼질 때 고속 3D XPoint 메모리와 같은 3D PCM(806)에 대해 데이터를 관독하고 저장함으로써 가능해질 수 있다. 일부 실시예들에서, 호스트(802) 및/또는 3D 메모리 디바이스(800)의 전원 차단에 대한 응답으로, 사용자 데이터 및/또는 운영 시스템 데이터의 스냅샷(snapshot)이 휘발성 메인 메모리로부터 전원 차단 이후에 유지될 수 있는 3D PCM(806)에 즉시 저장된다. 호스트(802) 및/또는 3D 메모리 디바이스(800)의 전원 인가에 대한 응답으로, 3D PCM(806)에 저장된 사용자 데이터 및/또는 운영 시스템 데이터의 스냅샷은 휘발성 메인 메모리로 즉시 다시 전송되어, 전원 차단 전에 호스트(802)의 마지막 상태를 복원할 수 있다.

[0076] 방법(1000)은 도 10에 예시된 바와 같이, 동작(1008)으로 진행하며, 여기서는 복수의 집합 접촉부들을 통해 3D NAND 메모리 스트링들의 어레이와 3D PCM 셀들의 어레이 사이에서 데이터가 전송된다. 일부 실시예들에서, 전송은 3D 메모리 디바이스의 전원 인가 또는 전원 차단에 대한 응답으로 트리거된다. 도 8에 예시된 바와 같이, 위에서 상세히 설명된 바와 같이 복수의 집합 접촉부들에 의한 직접 전기 접촉들을 통해 3D PCM(806)과 3D NAND 메모리(808) 사이에서 데이터가 전송될 수 있으며, 이는 종래의 온-보드 칩 대 칩 데이터 버스와 비교하여 단축된 거리, 더 높은 스루풋 및 더 낮은 전력 소비를 갖는다.

[0077] 본 개시내용의 일 양상에 따르면, 3D 메모리 디바이스는 주변 회로, 3D PCM 셀들의 어레이, 및 복수의 제1 집합

접촉부들을 포함하는 제1 접합 층을 포함하는 제1 반도체 구조를 포함한다. 3D 메모리 디바이스는 또한, 3D NAND 메모리 스트링들의 어레이, 및 복수의 제2 접합 접촉부들을 포함하는 제2 접합 층을 포함하는 제2 반도체 구조를 더 포함한다. 3D 메모리 디바이스는 제1 접합 층과 제2 접합 층 사이의 접합 계면을 더 포함한다. 제1 접합 접촉부들은 접합 계면에서 제2 접합 접촉부들과 접촉한다.

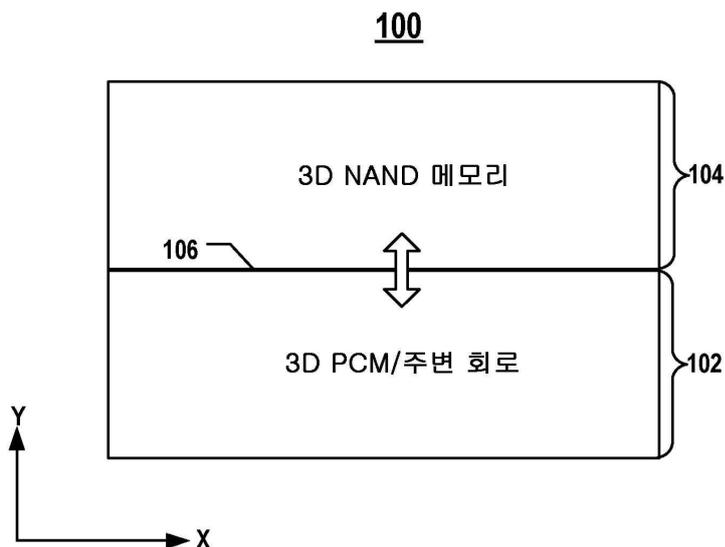
- [0078] 일부 실시예들에서, 제1 반도체 구조는 기판, 기판 상의 주변 회로, 주변 회로 위의 3D PCM 셀들의 어레이, 및 3D PCM 셀들의 어레이 위의 제1 접합 층을 포함한다.
- [0079] 일부 실시예들에서, 제2 반도체 구조는 제1 접합 층 위의 제2 접합 층, 제2 접합 층 위의 메모리 스택, 메모리 스택을 수직으로 관통하여 연장되는 3D NAND 메모리 스트링들의 어레이, 및 3D NAND 메모리 스트링들의 어레이 위의 그리고 그와 접촉하는 반도체 층을 포함한다. 일부 실시예들에서, 3D 메모리 디바이스는 반도체 층 위에 패드-아웃 상호 접속 층을 더 포함한다.
- [0080] 일부 실시예들에서, 반도체 층은 폴리실리콘을 포함한다. 일부 실시예들에서, 반도체 층은 단결정 실리콘을 포함한다.
- [0081] 일부 실시예들에서, 제2 반도체 구조는 기판, 기판 위의 메모리 스택, 메모리 스택을 수직으로 관통하여 연장되는 3D NAND 메모리 스트링들의 어레이, 및 메모리 스택과 3D NAND 메모리 스트링들의 어레이 위의 제2 접합 층을 포함한다.
- [0082] 일부 실시예들에서, 제1 반도체 구조는 제2 접합 층 위의 제1 접합 층, 제1 접합 층 위의 3D PCM 셀들의 어레이, 3D PCM 셀들의 어레이 위의 주변 회로, 및 주변 회로 위의 그리고 주변 회로와 접촉하는 반도체 층을 포함한다. 일부 실시예들에서, 3D 메모리 디바이스는 반도체 층 위에 패드-아웃 상호 접속 층을 더 포함한다.
- [0083] 일부 실시예들에서, 주변 회로는 NAND 메모리 스트링들의 어레이의 주변 회로 및 3D PCM 셀들의 어레이의 주변 회로를 포함한다.
- [0084] 일부 실시예들에서, 각각의 3D PCM 셀은 3D XPoint 메모리 셀을 포함한다.
- [0085] 일부 실시예들에서, 제1 반도체 구조는 제1 접합 층과 3D PCM 셀들의 어레이 사이에 수직으로 제1 상호 접속 층을 포함하고, 제2 반도체 구조는 제2 접합 층과 3D NAND 메모리 스트링들의 어레이 사이에 수직으로 제2 상호 접속 층을 포함한다.
- [0086] 일부 실시예들에서, 3D PCM 셀들의 어레이는 제1 상호 접속 층 및 제2 상호 접속 층 그리고 제1 접합 접촉부 및 제2 접합 접촉부를 통해 3D NAND 메모리 스트링들의 어레이에 전기적으로 접속된다.
- [0087] 본 개시내용의 다른 양상에 따르면, 3D 메모리 디바이스를 형성하기 위한 방법이 개시된다. 제1 반도체 구조가 형성된다. 제1 반도체 구조는 주변 회로, 3D PCM 셀들의 어레이, 및 복수의 제1 접합 접촉부들을 포함하는 제1 접합 층을 포함한다. 제2 반도체 구조가 형성된다. 제2 반도체 구조는 3D NAND 메모리 스트링들의 어레이, 및 복수의 제2 접합 접촉부들을 포함하는 제2 접합 층을 포함한다. 제1 반도체 구조와 제2 반도체 구조는, 제1 접합 접촉부들이 접합 계면에서 제2 접합 접촉부들과 접촉하도록 대면 방식으로 접합된다.
- [0088] 일부 실시예들에서, 제1 반도체 구조를 형성하기 위해, 주변 회로가 제1 기판 상에 형성되고, 3D PCM 셀들의 어레이가 주변 회로 위에 형성되고, 제1 상호 접속 층이 3D PCM 셀들의 어레이 위에 형성되고, 제1 접합 층이 제1 상호 접속 층 위에 형성된다.
- [0089] 일부 실시예들에서, 3D PCM 셀들의 어레이를 형성하기 위해, 3D XPoint 메모리 셀들의 어레이가 형성된다.
- [0090] 일부 실시예들에서, 제2 반도체 구조를 형성하기 위해, 메모리 스택이 제2 기판 위에 형성되고, 메모리 스택을 수직으로 관통하여 연장되는 3D NAND 메모리 스트링들의 어레이가 형성되고, 3D NAND 메모리의 어레이 위에 제2 상호 접속 층이 형성되며, 제2 접합 층이 제2 상호 접속 층 위에 형성된다.
- [0091] 일부 실시예들에서, 제2 반도체 구조는 접합 후에 제1 반도체 구조 위에 있다. 일부 실시예들에서, 제2 기판은 접합 후에 반도체 층을 형성하도록 박형화되고, 패드-아웃 상호 접속 층이 반도체 층 위에 형성된다.
- [0092] 일부 실시예들에서, 제1 반도체 구조는 접합 후에 제2 반도체 구조 위에 있다. 일부 실시예들에서, 제1 기판은 접합 후에 반도체 층을 형성하도록 박형화되고, 패드-아웃 상호 접속 층이 반도체 층 위에 형성된다.
- [0093] 일부 실시예들에서, 접합은 하이브리드 접합을 포함한다.
- [0094] 본 개시내용의 또 다른 양상에 따르면, 3D 메모리 디바이스를 동작시키기 위한 방법이 개시된다. 3D 메모리 디

바이스는 동일한 칩에 입력/출력 회로, 3D PCM 셀들의 어레이, 및 3D NAND 메모리 스트링들의 어레이를 포함한다. 데이터가 입력/출력 회로를 통해 3D PCM 셀들의 어레이로 전송된다. 데이터는 3D PCM 셀들의 어레이에 버퍼링된다. 데이터는 3D PCM 셀들의 어레이로부터 3D NAND 메모리 스트링들의 어레이에 저장된다.

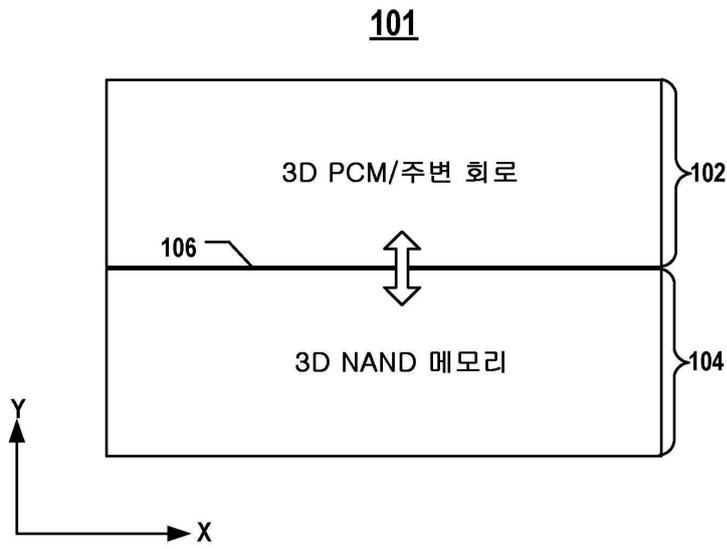
- [0095] 일부 실시예들에서, 복수의 접합 접촉부들을 통해 3D NAND 메모리 스트링들의 어레이와 3D PCM 셀들의 어레이 사이에서 데이터가 전송된다.
- [0096] 일부 실시예들에서, 전송은 3D 메모리 디바이스의 전원 인가 또는 전원 차단에 대한 응답으로 트리거된다.
- [0097] 일부 실시예들에서, 3D PCM 셀들의 어레이는 3D XPoint 메모리 셀들의 어레이를 포함한다.
- [0098] 특정 실시예들의 진술한 설명은, 다른 사람들이 본 기술분야의 기술 내에서 지식을 적용함으로써, 본 개시내용의 일반적인 개념을 벗어나지 않으면서, 과도한 실험 없이, 다양한 애플리케이션들에 대해 쉽게 그러한 실시예들을 수정 및/또는 적응시킬 수 있는 본 개시내용의 일반적인 성질을 드러낼 것이다. 따라서 그러한 적응들 및 수정들은 본 명세서에서 제시되는 교시 및 안내에 기반하여, 개시된 실시예들의 등가물들의 의미 및 범위 내에 있는 것으로 의도된다. 본 명세서의 어구 또는 용어는 제한이 아니라 설명을 위한 것이며, 그에 따라 본 명세서의 용어 또는 어구는 교시들 및 안내의 관점에서 당해 기술분야에서 통상의 지식을 가진 자에 의해 해석되어야 한다고 이해되어야 한다.
- [0099] 본 개시내용의 실시예들은, 특정된 기능들 및 이들의 관계들의 구현을 예시하는 기능 구축 블록들의 도움으로 위에서 설명되었다. 이러한 기능 구축 블록들의 경계들은 설명의 편의를 위해 본 명세서에서 임의로 정의되었다. 특정된 기능들 및 이들의 관계들이 적절하게 수행되는 한, 대안적인 경계들이 정의될 수 있다.
- [0100] 발명의 내용 섹션 및 요약 섹션은 본 발명자(들)에 의해 고려되는 바와 같이 본 개시내용의 모든 예시적인 실시예들이 아닌 하나 이상의 실시예들을 제시할 수 있고, 따라서 본 개시내용 및 첨부된 청구항들을 어떤 식으로도 제한하는 것으로 의도되지 않는다.
- [0101] 본 개시내용의 폭 및 범위는 위에서 설명된 예시적인 실시예들 중 어떠한 실시예에 의해서도 제한되어야 하는 것이 아니라, 다음의 청구항들 및 이들의 등가물들에 따라서만 정의되어야 한다.

도면

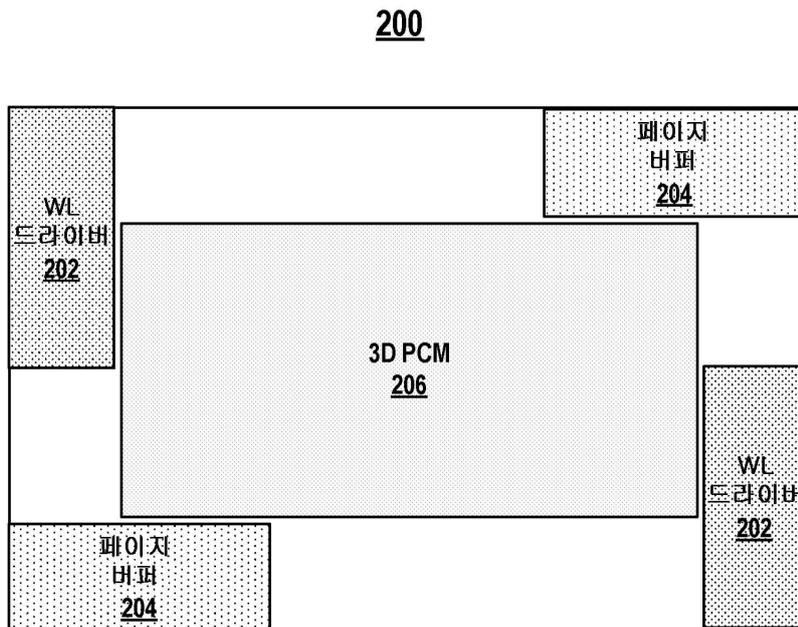
도면1a



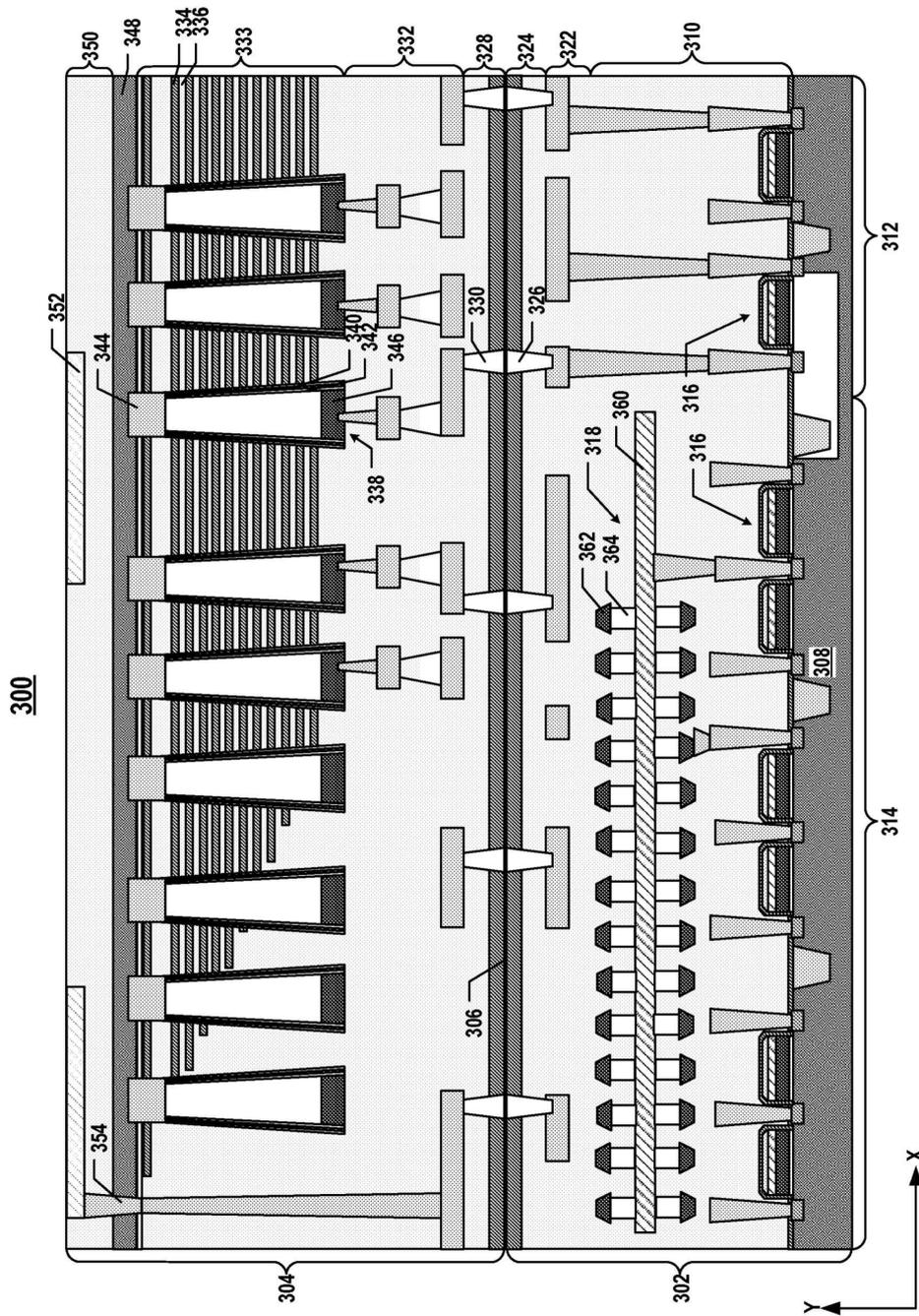
도면1b



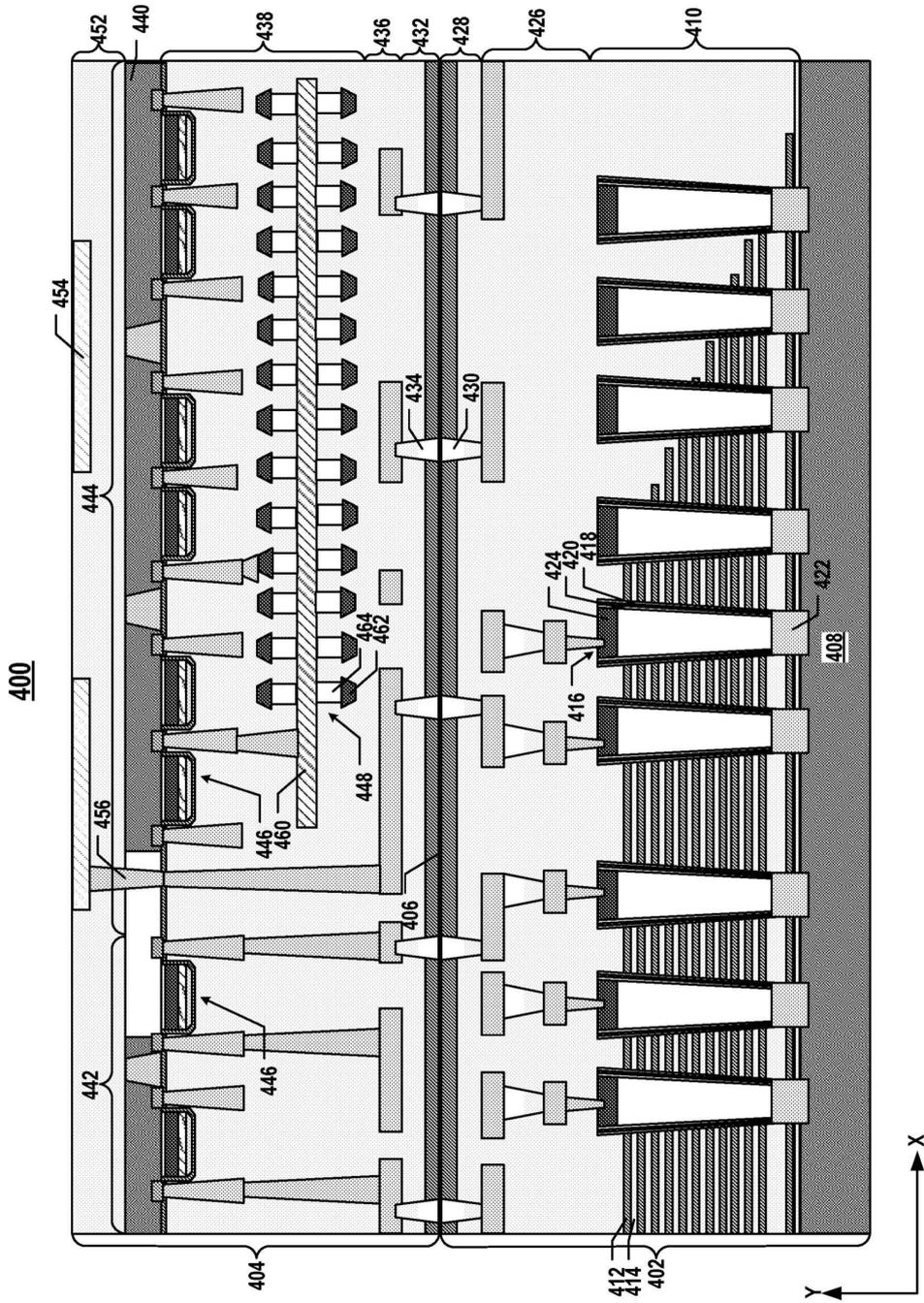
도면2



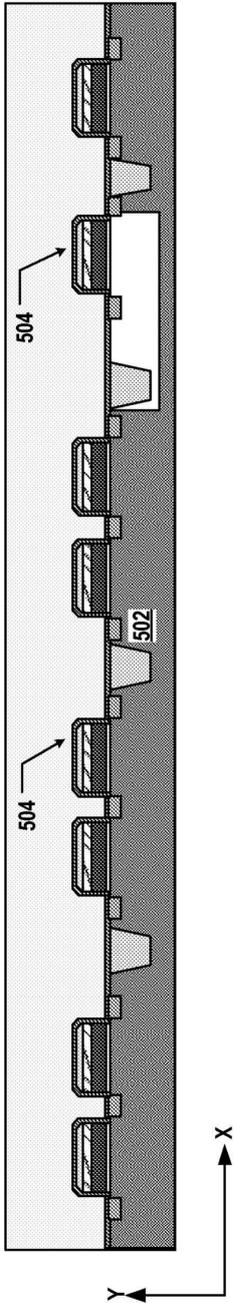
도면3



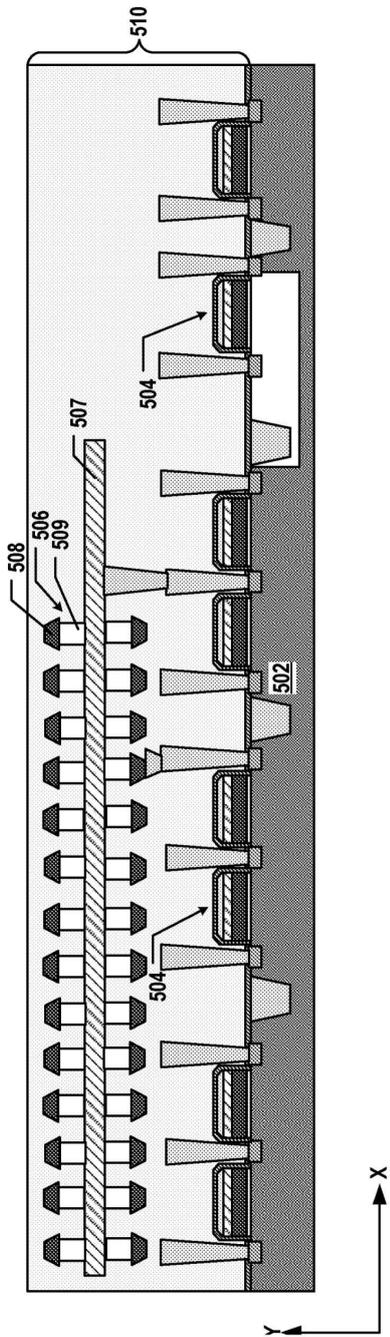
도면4



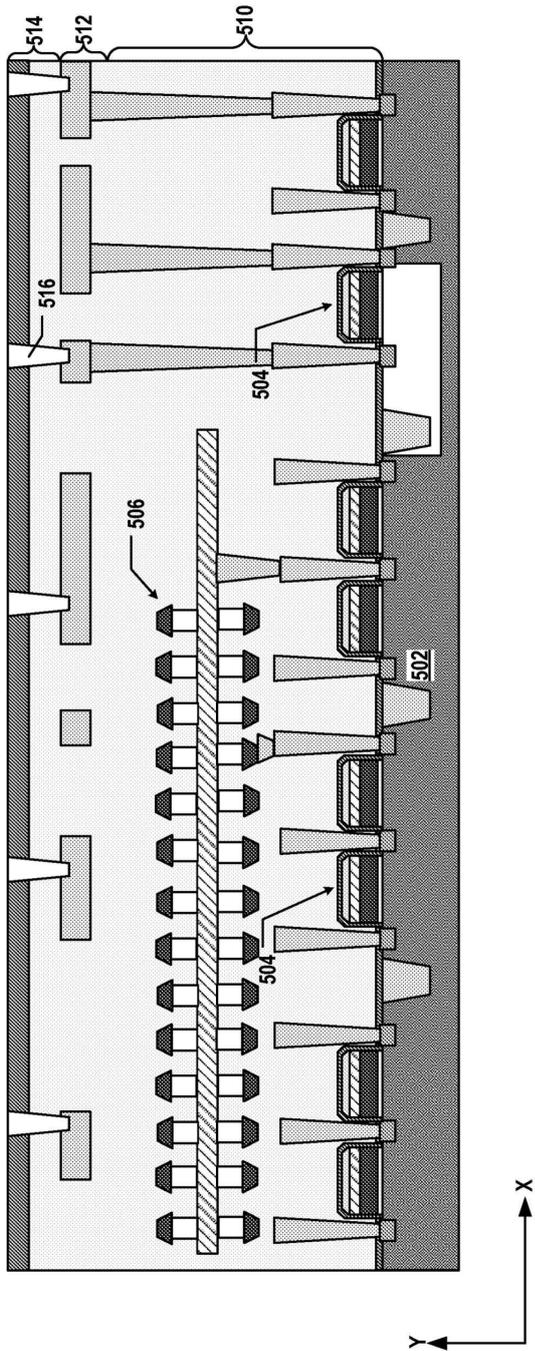
도면5a



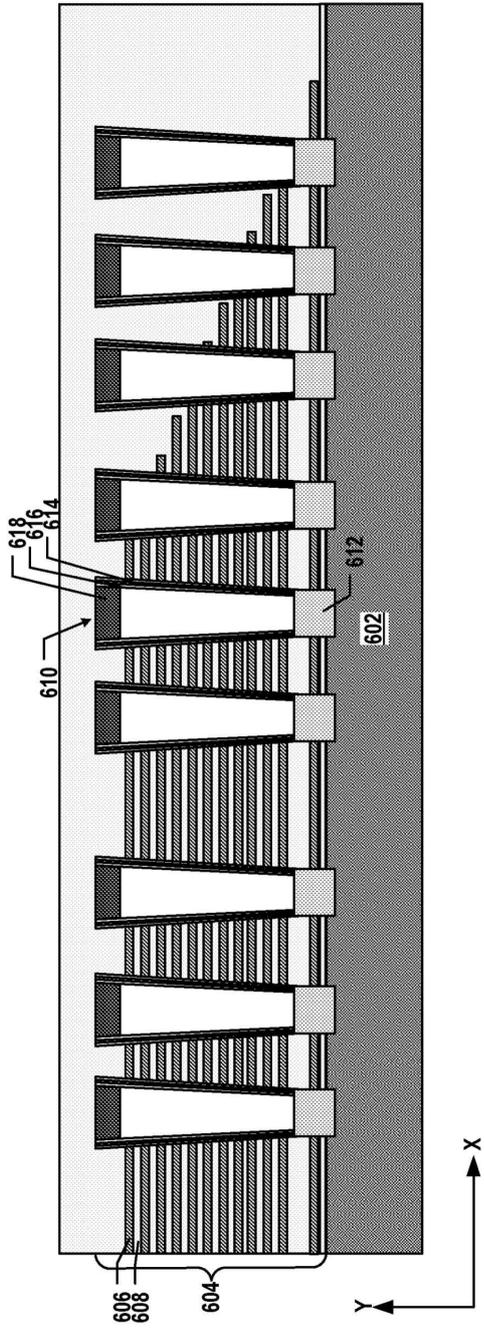
도면5b



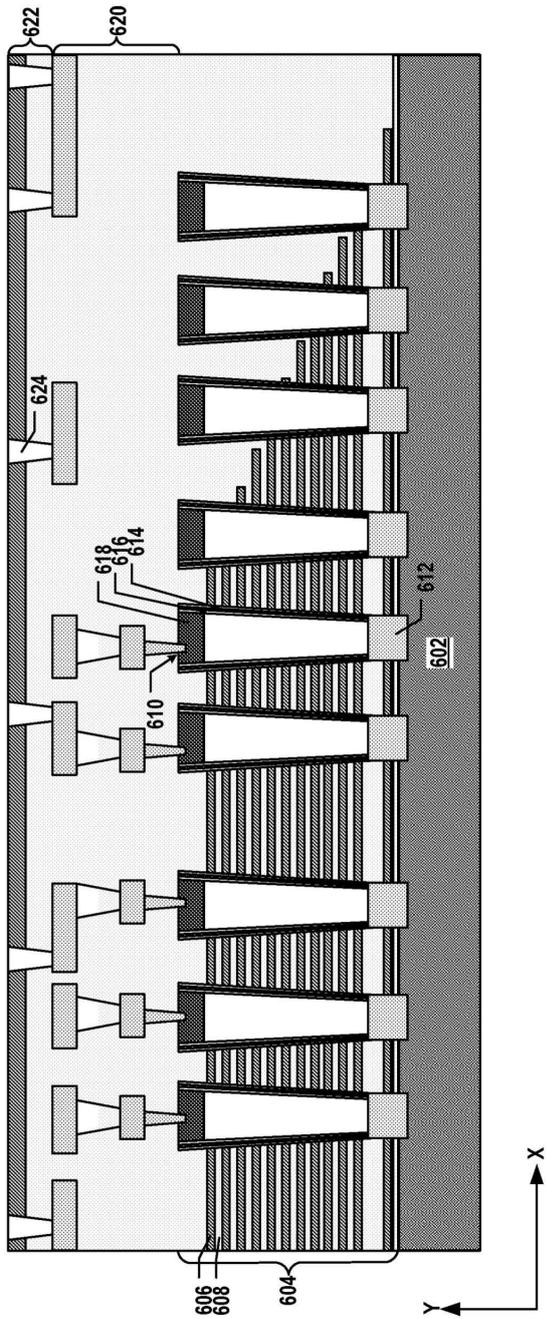
도면5c



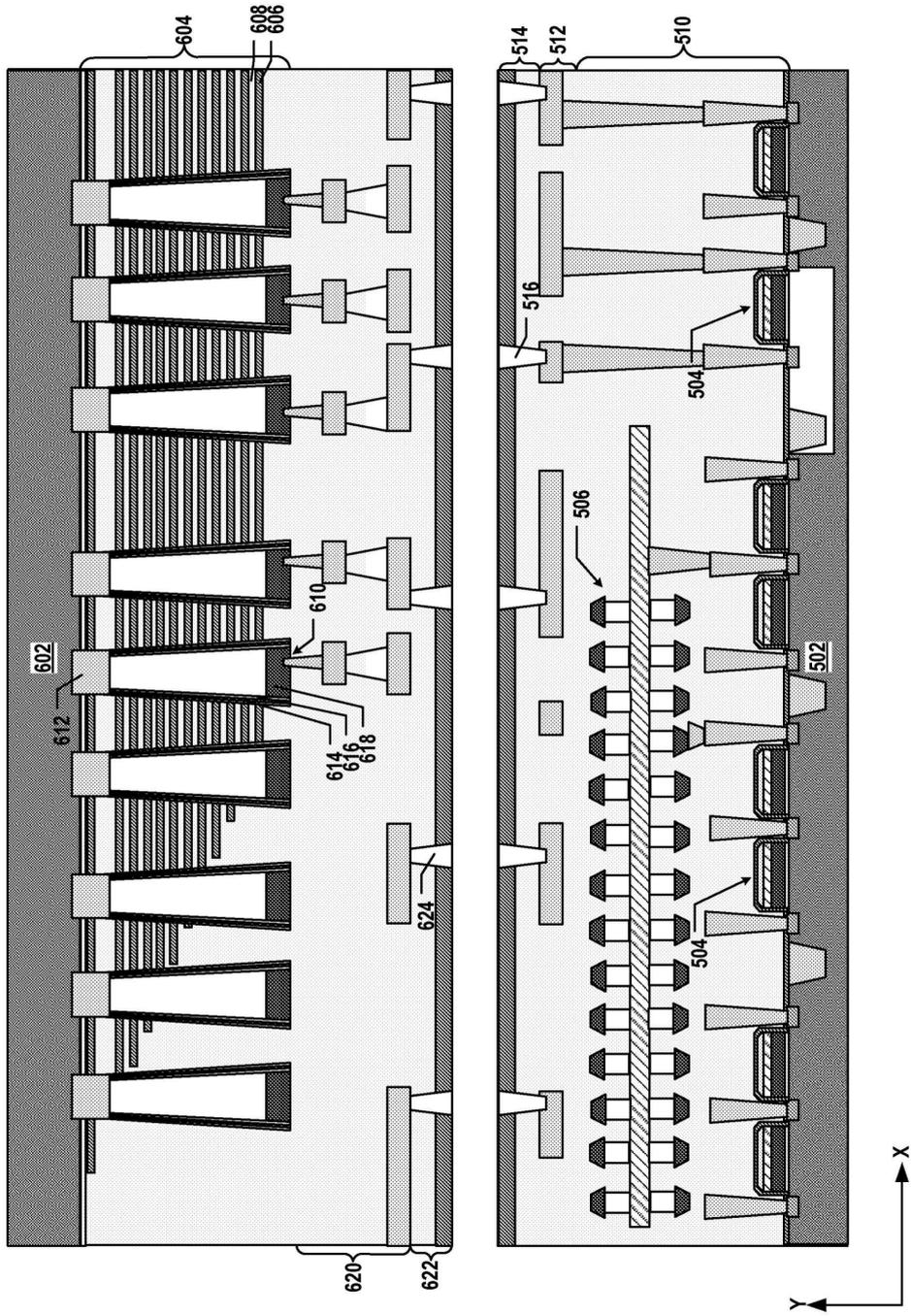
도면6a



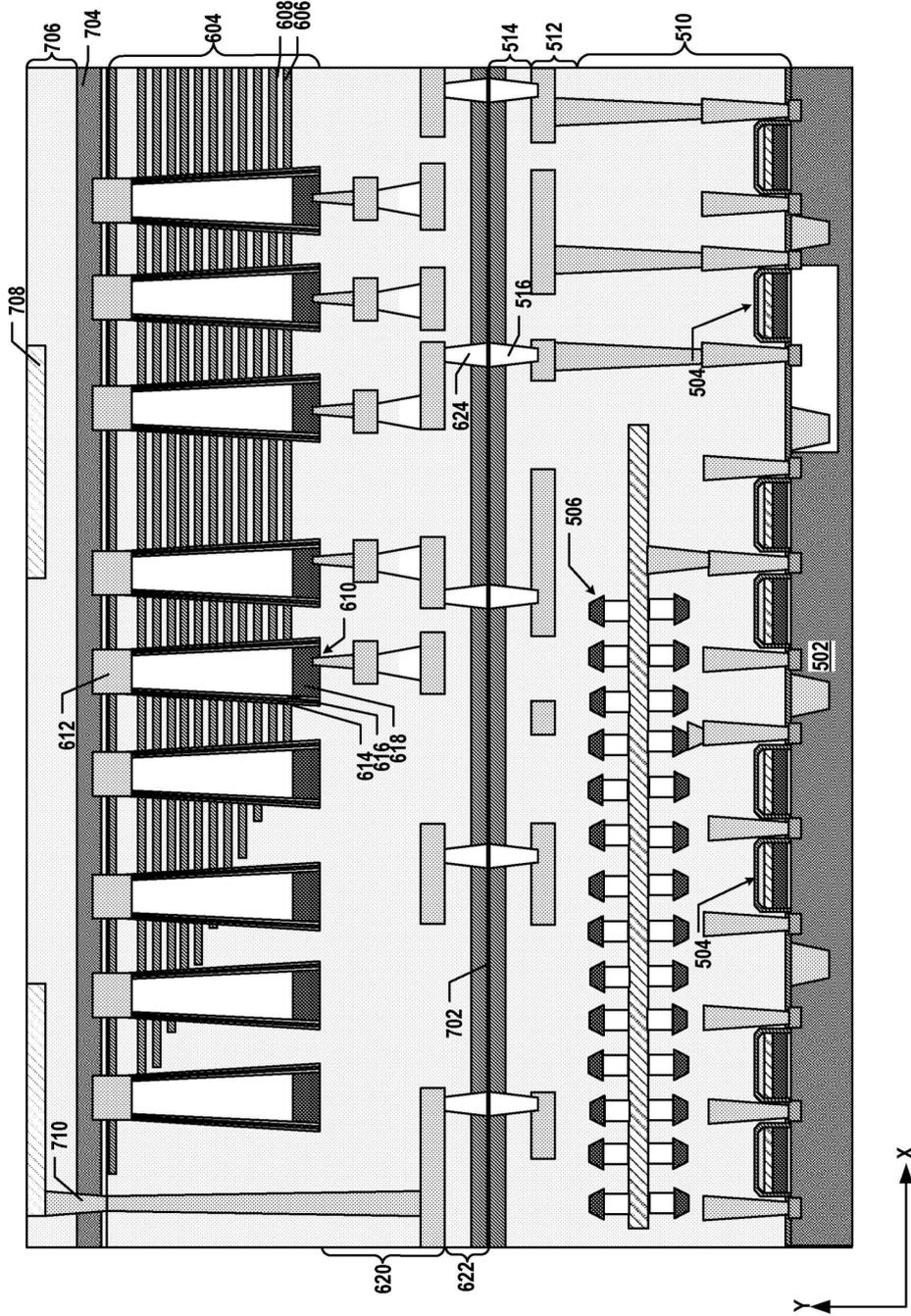
도면6b



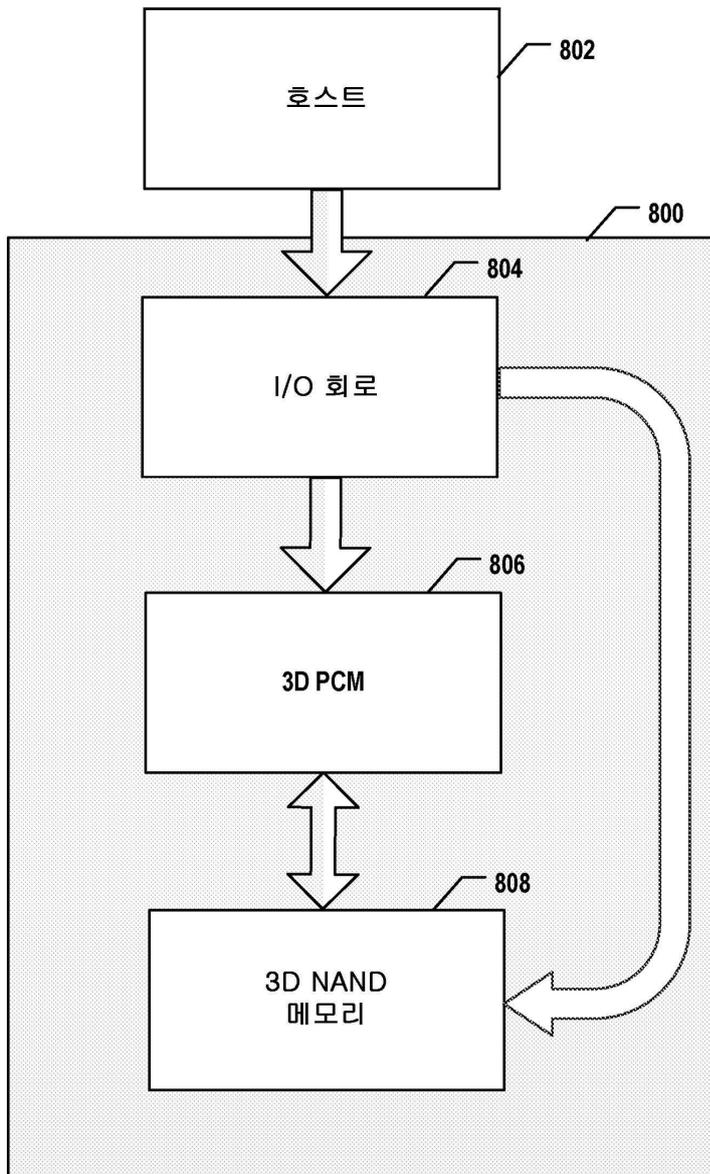
도면7a



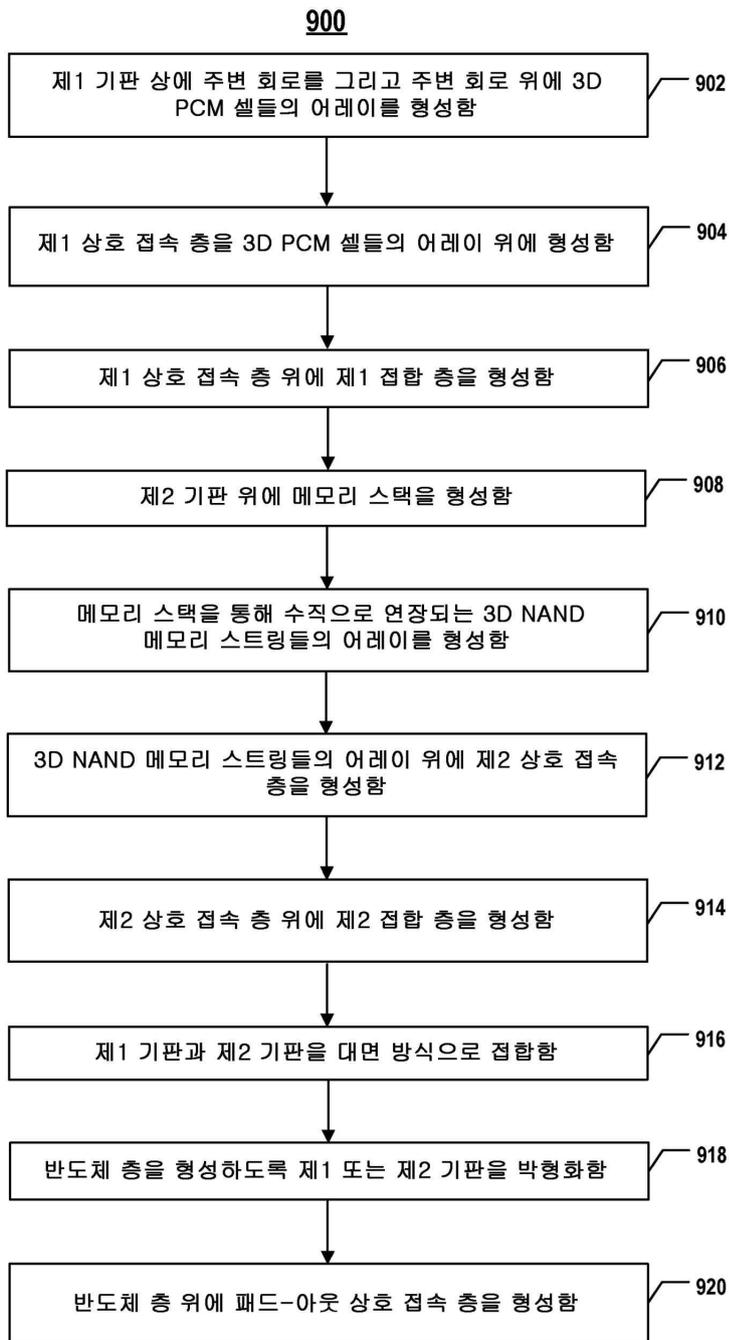
도면7b



도면8



도면9



도면10

