



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0077737
(43) 공개일자 2022년06월09일

(51) 국제특허분류(Int. Cl.)
H01L 21/8238 (2006.01) H01L 27/092 (2006.01)
H01L 29/06 (2006.01) H01L 29/423 (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 21/823878 (2013.01)
H01L 21/823807 (2013.01)
(21) 출원번호 10-2020-0166965
(22) 출원일자 2020년12월02일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
양정길
경기도 화성시 동탄대로12길 64, 1822동 403호(오산동, 동탄2신도시 금강펜테리움 센트럴파크 I)
김민주
경기도 화성시 동탄반석로 160(반송동)
고동휘
경기도 화성시 동탄순환대로25길 21(영천동, 경남아너스빌)
(74) 대리인
리엔목특허법인

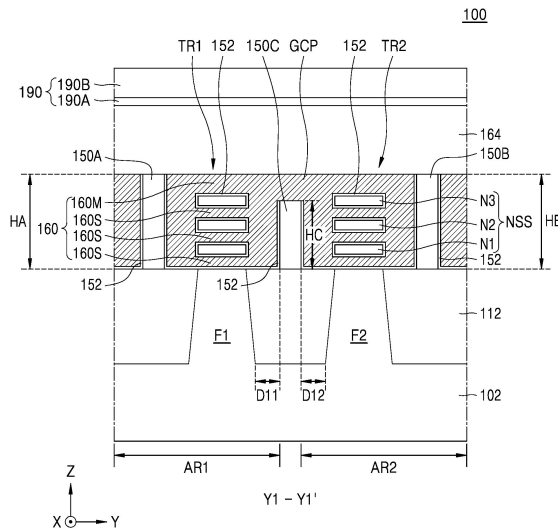
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 집적회로 소자

(57) 요약

집적회로 소자는 기관의 제1 소자 영역에서 제1 수평 방향으로 연장된 제1 핀형 활성 영역과, 상기 기관의 제2 소자 영역에서 상기 제1 수평 방향으로 연장된 제2 핀형 활성 영역과, 상기 제1 핀형 활성 영역 및 상기 제2 핀형 활성 영역 각각의 양 측벽을 덮는 소자분리막과, 상기 제1 핀형 활성 영역 및 상기 제2 핀형 활성 영역 상에 상기 제1 수평 방향에 교차하는 제2 수평 방향으로 길게 연장되는 게이트 라인과, 상기 제1 핀형 활성 영역 및 상기 제2 핀형 활성 영역과의 사이에서 상기 소자분리막 위에 배치되고, 상기 게이트 라인의 적어도 일부를 수직 방향으로 관통하는 영역간 절연 패턴을 포함하고, 상기 영역간 절연 패턴은 상기 기관에 가장 가까운 저면과 상기 기관으로부터 가장 먼 상면과, 상기 저면으로부터 상기 상면까지 선형적으로 연장되는 측벽을 가진다.

대표도 - 도2c



(52) CPC특허분류

H01L 21/823828 (2013.01)

H01L 21/823857 (2013.01)

H01L 27/092 (2013.01)

H01L 29/0673 (2013.01)

H01L 29/42392 (2013.01)

H01L 29/78696 (2013.01)

명세서

청구범위

청구항 1

제1 소자 영역 및 제2 소자 영역을 가지는 기관과,
 상기 제1 소자 영역에서 제1 수평 방향으로 연장된 제1 핀형 활성화 영역과,
 상기 제2 소자 영역에서 상기 제1 수평 방향으로 연장된 제2 핀형 활성화 영역과,
 상기 제1 핀형 활성화 영역 및 상기 제2 핀형 활성화 영역 각각의 양 측벽을 덮는 소자분리막과,
 상기 제1 소자 영역 및 상기 제2 소자 영역에서 상기 소자분리막 위에 배치된 복수의 게이트 컷 절연 패턴과,
 상기 제1 핀형 활성화 영역 및 상기 제2 핀형 활성화 영역 상에서 상기 제1 수평 방향에 교차하는 제2 수평 방향으로 길게 연장되고, 상기 복수의 게이트 컷 절연 패턴에 의해 상기 제2 수평 방향의 길이가 한정되는 게이트 라인과,
 상기 제1 핀형 활성화 영역 및 상기 제2 핀형 활성화 영역과의 사이에서 상기 소자분리막 위에 배치되고, 상기 게이트 라인의 적어도 일부를 수직 방향으로 관통하는 영역간 절연 패턴을 포함하고,
 상기 영역간 절연 패턴은 상기 기관에 가장 가까운 저면과 상기 기관으로부터 가장 먼 상면과, 상기 저면으로부터 상기 상면까지 선형적으로 연장되는 측벽을 가지는 집적회로 소자.

청구항 2

제1항에 있어서,
 상기 수직 방향에서, 상기 영역간 절연 패턴의 높이는 상기 복수의 게이트 컷 절연 패턴 각각의 높이보다 작은 집적회로 소자.

청구항 3

제1항에 있어서,
 상기 제1 핀형 활성화 영역 상에 배치되고 상기 게이트 라인에 의해 포위되는 적어도 하나의 제1 나노시트와, 상기 제2 핀형 활성화 영역 상에 배치되고 상기 게이트 라인에 의해 포위되는 적어도 하나의 제2 나노시트를 더 포함하고,
 상기 영역간 절연 패턴의 상기 상면의 레벨은 상기 적어도 하나의 제1 나노시트 및 상기 적어도 하나의 제2 나노시트 각각의 최상면의 레벨보다 더 낮은 집적회로 소자.

청구항 4

제1항에 있어서,
 상기 제2 수평 방향에서, 상기 영역간 절연 패턴과 상기 제1 핀형 활성화 영역과의 사이의 제1 최단 거리와, 상기 영역간 절연 패턴과 상기 제2 핀형 활성화 영역과의 사이의 제2 최단 거리는 서로 다른 집적회로 소자.

청구항 5

제1항에 있어서,
 상기 제1 핀형 활성화 영역 상에 배치되고 상기 게이트 라인에 의해 포위되는 적어도 하나의 제1 나노시트와, 상기 제2 핀형 활성화 영역 상에 배치되고 상기 게이트 라인에 의해 포위되는 적어도 하나의 제2 나노시트를 더 포함하고,
 상기 적어도 하나의 제1 나노시트 및 상기 적어도 하나의 제2 나노시트 중 적어도 하나는 상기 영역간 절연 패턴의 상기 상면의 레벨보다 더 높은 레벨에 배치되는 나노시트를 포함하는 집적회로 소자.

청구항 6

제1항에 있어서,

상기 영역간 절연 패턴의 상기 상면은 상기 제2 수평 방향을 따라 비선형으로 연장되는 집적회로 소자.

청구항 7

서로 이격된 제1 소자 영역 및 제2 소자 영역을 포함하는 기판과,

상기 제1 소자 영역에서 제1 수평 방향으로 연장된 제1 핀형 활성 영역과,

상기 제2 소자 영역에서 상기 제1 수평 방향으로 연장된 제2 핀형 활성 영역과,

상기 제1 핀형 활성 영역 및 상기 제2 핀형 활성 영역 각각의 양 측벽을 덮는 소자분리막과,

상기 제1 핀형 활성 영역 및 상기 제2 핀형 활성 영역 상에서 상기 제1 수평 방향에 교차하는 제2 수평 방향으로 길게 연장된 게이트 라인과,

상기 제1 핀형 활성 영역의 제1 핀 상면으로부터 수직 방향으로 이격된 위치에서 상기 제1 핀 상면과 대면하고 상기 게이트 라인으로 포위되는 적어도 하나의 나노시트를 포함하는 제1 나노시트 스택과,

상기 제2 핀형 활성 영역의 제2 핀 상면으로부터 상기 수직 방향으로 이격된 위치에서 상기 제2 핀 상면과 대면하고 상기 게이트 라인으로 포위되는 적어도 하나의 나노시트를 포함하는 제2 나노시트 스택과,

상기 제1 핀형 활성 영역 및 상기 제2 핀형 활성 영역과의 사이에서 상기 소자분리막 위에 배치되고, 상기 게이트 라인의 일부를 상기 수직 방향으로 관통하는 영역간 절연 패턴을 포함하고,

상기 영역간 절연 패턴은 상기 소자분리막에 접하는 저면과 상기 게이트 라인에 접하는 상면과, 상기 저면으로부터 상기 상면까지 선형적으로 연장되는 측벽을 가지는 집적회로 소자.

청구항 8

제7항에 있어서,

상기 영역간 절연 패턴의 상기 상면은 상기 제2 수평 방향을 따라 비선형으로 연장되고,

상기 게이트 라인은 상기 영역간 절연 패턴의 상기 상면에 접하는 비선형 표면을 가지는 게이트 연결부를 포함하는 집적회로 소자.

청구항 9

서로 이격된 NMOS 트랜지스터 영역 및 PMOS 트랜지스터 영역을 포함하는 기판과,

상기 NMOS 트랜지스터 영역에서 제1 수평 방향으로 연장된 제1 핀형 활성 영역과,

상기 PMOS 트랜지스터 영역에서 상기 제1 수평 방향으로 연장된 제2 핀형 활성 영역과,

상기 제1 핀형 활성 영역 및 상기 제2 핀형 활성 영역 각각의 양 측벽을 덮는 소자분리막과,

상기 NMOS 트랜지스터 영역 및 상기 PMOS 트랜지스터 영역에서 상기 소자분리막 위에 배치되고 수직 방향에서 제1 높이를 가지는 복수의 게이트 컷 절연 패턴과,

상기 NMOS 트랜지스터 영역 및 상기 PMOS 트랜지스터 영역에서 상기 제1 수평 방향에 교차하는 제2 수평 방향으로 길게 연장된 게이트 라인과,

상기 제1 핀형 활성 영역 위에 배치되고 상기 게이트 라인으로 포위되는 적어도 하나의 나노시트를 포함하는 제1 나노시트 스택과,

상기 제2 핀형 활성 영역 위에 배치되고 상기 게이트 라인으로 포위되는 적어도 하나의 나노시트를 포함하는 제2 나노시트 스택과,

상기 NMOS 트랜지스터 영역과 상기 PMOS 트랜지스터 영역과의 사이에서 상기 게이트 라인의 일부를 상기 수직 방향으로 관통하고, 상기 수직 방향에서 상기 제1 높이보다 작은 제2 높이를 가지는 영역간 절연 패턴을 포함하

고,

상기 영역간 절연 패턴은 상기 소자분리막에 접하는 저면과 상기 게이트 라인에 접하는 상면과, 상기 저면으로부터 상기 상면까지 선형적으로 연장되는 측벽을 가지는 집적회로 소자.

청구항 10

제9항에 있어서,

상기 제2 수평 방향에서, 상기 영역간 절연 패턴과 상기 제1 나노시트 스택과의 사이의 제1 최단 거리와, 상기 영역간 절연 패턴과 상기 제2 나노시트 스택과의 사이의 제2 최단 거리는 서로 다른 집적회로 소자.

발명의 설명

기술 분야

[0001] 본 발명의 기술적 사상은 집적회로 소자에 관한 것으로, 특히 전계효과 트랜지스터(field-effect transistor)를 구비한 집적회로 소자에 관한 것이다.

배경 기술

[0002] 집적 회로 소자의 크기가 감소함에 따라, 기판 상에 전계효과 트랜지스터의 집적도를 증가시킬 필요가 있으며, 이에 따라 동일한 레이아웃 영역 상에 적층된 복수의 수평 나노시트를 포함하는 수평 나노시트 전계효과 트랜지스터(hNSFET)가 개발되었다. 반도체 소자의 집적도가 높아지고 소자의 사이즈가 축소됨에 따라 나노시트 전계효과 트랜지스터의 성능 및 신뢰성을 향상시킬 수 있는 새로운 구조의 개발이 필요하다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제는 집적회로 소자의 제조 과정에서 공정 불량 발생 가능성을 제거하고 나노시트 전계효과 트랜지스터에서 안정된 성능 및 향상된 신뢰성을 제공할 수 있는 집적회로 소자를 제공하는 것이다.

과제의 해결 수단

[0004] 본 발명의 기술적 사상에 의한 일 양태에 따른 집적회로 소자는 제1 소자 영역 및 제2 소자 영역을 가지는 기판과, 상기 제1 소자 영역에서 제1 수평 방향으로 연장된 제1 핀형 활성 영역과, 상기 제2 소자 영역에서 상기 제1 수평 방향으로 연장된 제2 핀형 활성 영역과, 상기 제1 핀형 활성 영역 및 상기 제2 핀형 활성 영역 각각의 양 측벽을 덮는 소자분리막과, 상기 제1 소자 영역 및 상기 제2 소자 영역에서 상기 소자분리막 위에 배치된 복수의 게이트 컷 절연 패턴과, 상기 제1 핀형 활성 영역 및 상기 제2 핀형 활성 영역 상에서 상기 제1 수평 방향에 교차하는 제2 수평 방향으로 길게 연장되고, 상기 복수의 게이트 컷 절연 패턴에 의해 상기 제2 수평 방향의 길이가 한정되는 게이트 라인과, 상기 제1 핀형 활성 영역 및 상기 제2 핀형 활성 영역과의 사이에서 상기 소자분리막 위에 배치되고, 상기 게이트 라인의 적어도 일부를 수직 방향으로 관통하는 영역간 절연 패턴을 포함하고, 상기 영역간 절연 패턴은 상기 기판에 가장 가까운 저면과 상기 기판으로부터 가장 먼 상면과, 상기 저면으로부터 상기 상면까지 선형적으로 연장되는 측벽을 가진다.

[0005] 본 발명의 기술적 사상에 의한 다른 양태에 따른 집적회로 소자는 서로 이격된 제1 소자 영역 및 제2 소자 영역을 포함하는 기판과, 상기 제1 소자 영역에서 제1 수평 방향으로 연장된 제1 핀형 활성 영역과, 상기 제2 소자 영역에서 상기 제1 수평 방향으로 연장된 제2 핀형 활성 영역과, 상기 제1 핀형 활성 영역 및 상기 제2 핀형 활성 영역 각각의 양 측벽을 덮는 소자분리막과, 상기 제1 핀형 활성 영역 및 상기 제2 핀형 활성 영역 상에서 상기 제1 수평 방향에 교차하는 제2 수평 방향으로 길게 연장된 게이트 라인과, 상기 제1 핀형 활성 영역의 제1 핀 상면으로부터 수직 방향으로 이격된 위치에서 상기 제1 핀 상면과 대면하고 상기 게이트 라인으로 포위되는 적어도 하나의 나노시트를 포함하는 제1 나노시트 스택과, 상기 제2 핀형 활성 영역의 제2 핀 상면으로부터 상기 수직 방향으로 이격된 위치에서 상기 제2 핀 상면과 대면하고 상기 게이트 라인으로 포위되는 적어도 하나의 나노시트를 포함하는 제2 나노시트 스택과, 상기 제1 핀형 활성 영역 및 상기 제2 핀형 활성 영역과의 사이에서 상기 소자분리막 위에 배치되고, 상기 게이트 라인의 일부를 상기 수직 방향으로 관통하는 영역간 절연 패턴을

포함하고, 상기 영역간 절연 패턴은 상기 소자분리막에 접하는 저면과 상기 게이트 라인에 접하는 상면과, 상기 저면으로부터 상기 상면까지 선형적으로 연장되는 측벽을 가진다.

[0006] 본 발명의 기술적 사상에 의한 또 다른 양태에 따른 집적회로 소자는 서로 이격된 NMOS 트랜지스터 영역 및 PMOS 트랜지스터 영역을 포함하는 기판과, 상기 NMOS 트랜지스터 영역에서 제1 수평 방향으로 연장된 제1 핀형 활성 영역과, 상기 PMOS 트랜지스터 영역에서 상기 제1 수평 방향으로 연장된 제2 핀형 활성 영역과, 상기 제1 핀형 활성 영역 및 상기 제2 핀형 활성 영역 각각의 양 측벽을 덮는 소자분리막과, 상기 NMOS 트랜지스터 영역 및 상기 PMOS 트랜지스터 영역에서 상기 소자분리막 위에 배치되고 수직 방향에서 제1 높이를 가지는 복수의 게이트 컷 절연 패턴과, 상기 NMOS 트랜지스터 영역 및 상기 PMOS 트랜지스터 영역에서 상기 제1 수평 방향에 교차하는 제2 수평 방향으로 길게 연장된 게이트 라인과, 상기 제1 핀형 활성 영역 위에 배치되고 상기 게이트 라인으로 포위되는 적어도 하나의 나노시트를 포함하는 제1 나노시트 스택과, 상기 제2 핀형 활성 영역 위에 배치되고 상기 게이트 라인으로 포위되는 적어도 하나의 나노시트를 포함하는 제2 나노시트 스택과, 상기 NMOS 트랜지스터 영역과 상기 PMOS 트랜지스터 영역과의 사이에서 상기 게이트 라인의 일부를 상기 수직 방향으로 관통하고, 상기 수직 방향에서 상기 제1 높이보다 작은 제2 높이를 가지는 영역간 절연 패턴을 포함하고, 상기 영역간 절연 패턴은 상기 소자분리막에 접하는 저면과 상기 게이트 라인에 접하는 상면과, 상기 저면으로부터 상기 상면까지 선형적으로 연장되는 측벽을 가진다.

발명의 효과

[0007] 본 발명의 기술적 사상에 의한 집적회로 소자는 제1 소자 영역과 제2 소자 영역과의 사이에서 소자분리막 위에 배치된 영역간 절연 패턴을 포함한다. 상기 영역간 절연 패턴에 의해 상기 집적회로 소자의 제조 과정에서 공정 불량이 발생할 가능성을 제거할 수 있으며, 상기 제1 소자 영역 및 상기 제2 소자 영역에 형성되는 서로 다른 채널 타입의 트랜지스터들 각각의 성능 및 신뢰성을 향상시키는 데 기여할 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 일부 구성들의 평면 레이아웃 다이어그램이다.

도 2a는 도 1의 X1 - X1' 선 단면의 일부 구성을 보여주는 단면도이고, 도 2b는 도 1의 X2 - X2' 선 단면의 일부 구성을 보여주는 단면도이고, 도 2c는 도 1의 Y1 - Y1' 선 단면의 일부 구성을 보여주는 단면도이다.

도 3은 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 집적회로 소자를 설명하기 위한 단면도이다.

도 4는 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 집적회로 소자를 설명하기 위한 단면도이다.

도 5는 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 집적회로 소자를 설명하기 위한 단면도이다.

도 6은 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 집적회로 소자를 설명하기 위한 단면도이다.

도 7은 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 집적회로 소자를 설명하기 위한 단면도이다.

도 8은 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 집적회로 소자의 일부 구성들의 평면 레이아웃 다이어그램이다.

도 9는 도 8의 Y1 - Y1' 선 단면의 일부 구성을 보여주는 단면도이다.

도 10은 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 집적회로 소자를 설명하기 위한 단면도이다.

도 11a 내지 도 25는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들로서, 도 11a, 도 12a, ..., 및 도 17a는 도 1의 X1 - X1' 선 단면에 대응하는 부분의 공정 순서에 따른 일부 구성을 도시한 단면도들이고, 도 11b, 도 12b, ..., 및 도 17b는 도 1의 X2 - X2' 선 단면에 대응하는 부분의 공정 순서에 따른 일부 구성을 도시한 단면도들이고, 도 11c, 도 12c, ..., 및 도 17c와 도 18 내지 도 25는 도 1의 Y1 - Y1' 선 단면에 대응하는 부분의 공정 순서에 따른 일부 구성을 도시한 단면도들이다.

도 26은 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 집적회로 소자의 제조 방법을 설명하기 위한 단면도이다.

도 27a 내지 도 27f는 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 집적회로 소자의 제조 방법을 설

명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 이하, 첨부 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고, 이들에 대한 중복된 설명은 생략한다.
- [0010] 도 1은 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자(100)의 일부 구성들의 평면 레이아웃 다이어그램이다. 도 2a는 도 1의 X1 - X1' 선 단면의 일부 구성을 보여주는 단면도이고, 도 2b는 도 1의 X2 - X2' 선 단면의 일부 구성을 보여주는 단면도이고, 도 2c는 도 1의 Y1 - Y1' 선 단면의 일부 구성을 보여주는 단면도이다.
- [0011] 도 1과 도 2a 내지 도 2c를 참조하면, 집적회로 소자(100)는 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)을 포함하는 기판(102)과, 기판(102)의 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)으로부터 수직 방향(Z 방향)으로 돌출된 복수의 핀형(fin-type) 활성 영역(F1, F2)을 포함할 수 있다. 복수의 핀형 활성 영역(F1, F2)은 제1 수평 방향(X 방향)을 따라 상호 평행하게 연장될 수 있다. 복수의 핀형 활성 영역(F1, F2)은 기판(102)의 제1 소자 영역(AR1)으로부터 수직 방향(Z 방향)으로 돌출된 제1 핀형 활성 영역(F1)과, 기판(102)의 제2 소자 영역(AR2)으로부터 수직 방향(Z 방향)으로 돌출된 제2 핀형 활성 영역(F2)을 포함할 수 있다. 도 1에는 제1 소자 영역(AR1)에 배치된 1 개의 제1 핀형 활성 영역(F1)과, 제2 소자 영역(AR2)에 배치된 1 개의 제2 핀형 활성 영역(F2)을 예시하였으나, 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에는 각각 복수의 핀형 활성 영역이 배치될 수도 있다.
- [0012] 기판(102)은 Si 또는 Ge와 같은 반도체, 또는 SiGe, SiC, GaAs, InAs, InGaAs, 또는 InP와 같은 화합물 반도체를 포함할 수 있다. 본 명세서에서 사용되는 용어 "SiGe", "SiC", "GaAs", "InAs", "InGaAs", 및 "InP"는 각각의 용어에 포함된 원소들로 이루어지는 재료를 의미하는 것으로서, 화학양론적 관계를 나타내는 화학식은 아니다. 기판(102)은 도전 영역, 예를 들면 불순물이 도핑된 웰(well), 또는 불순물이 도핑된 구조물을 포함할 수 있다.
- [0013] 기판(102) 상에는 복수의 핀형 활성 영역(F1, F2) 각각의 양 측면을 덮는 소자분리막(112)이 배치될 수 있다. 소자분리막(112)은 산화막, 질화막, 또는 이들의 조합으로 이루어질 수 있다. 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 복수의 핀형 활성 영역(F1, F2)이 소자분리막(112) 위로 핀(fin) 형상으로 돌출될 수 있다.
- [0014] 복수의 핀형 활성 영역(F1, F2) 상에는 복수의 게이트 라인(160)이 제1 수평 방향(X 방향)과 교차하는 제2 수평 방향(Y 방향)으로 길게 연장되어 있다. 복수의 핀형 활성 영역(F1, F2)과 복수의 게이트 라인(160)이 교차하는 영역들에서 복수의 핀형 활성 영역(F1, F2) 각각의 핀 상면(FT) 위에 복수의 나노시트 스택(NSS)이 배치될 수 있다. 복수의 나노시트 스택(NSS)은 복수의 핀형 활성 영역(F1, F2)으로부터 수직 방향(Z 방향)으로 이격된 위치에서 핀 상면(FT)과 대면할 수 있다. 본 명세서에서 사용되는 용어 "나노시트"는 전류가 흐르는 방향과 실질적으로 수직인 단면을 갖는 전도성 구조체를 의미한다. 상기 나노시트는 나노와이어를 포함하는 것으로 이해되어야 한다.
- [0015] 복수의 나노시트 스택(NSS)은 각각 핀형 활성 영역(F1, F2)의 핀 상면(FT) 위에서 상호 수직 방향(Z 방향)으로 오버랩되어 있는 복수의 나노시트(N1, N2, N3)를 포함할 수 있다. 복수의 나노시트(N1, N2, N3)는 핀 상면(FT)으로부터의 수직 거리(Z 방향 거리)가 서로 다를 수 있다. 복수의 나노시트(N1, N2, N3)는 핀형 활성 영역(F1, F2)의 핀 상면(FT) 위에 차례로 적층된 제1 나노시트(N1), 제2 나노시트(N2), 및 제3 나노시트(N3)를 포함할 수 있다.
- [0016] 1 개의 핀형 활성 영역(F1 또는 F2) 위에 배치되는 나노시트 스택(NSS) 및 게이트 라인(160) 각각의 개수는 특별히 제한되지 않는다. 예를 들면, 1 개의 핀형 활성 영역(F1 또는 F2) 위에는 1 개 또는 복수의 나노시트 스택(NSS)과, 1 개 또는 복수의 게이트 라인(160)이 배치될 수 있다.
- [0017] 도 2a 내지 도 2c에는 복수의 나노시트 스택(NSS)이 각각 3 개의 나노시트(N1, N2, N3)를 포함하는 경우를 예시하였으나, 본 발명의 기술적 사상은 이에 한정되지 않는다. 나노시트 스택(NSS)을 구성하는 나노시트의 개수는 특별히 제한되지 않는다. 예를 들면, 복수의 나노시트 스택(NSS)은 각각 1 개, 2 개 또는 4 개 이상의 나노시트를 포함할 수도 있다. 복수의 나노시트(N1, N2, N3)는 각각 채널 영역을 가질 수 있다. 예를 들면, 복수의 나노시트(N1, N2, N3)는 각각 약 4 nm 내지 약 6 nm의 범위 내에서 선택되는 두께를 가질 수 있으나, 이에 한정되는 것은 아니다. 여기서, 복수의 나노시트(N1, N2, N3)의 두께는 수직 방향(Z 방향)을 따르는 크기를 의미한다. 예

시적인 실시예들에서, 복수의 나노시트(N1, N2, N3)는 수직 방향(Z 방향)을 따라 실질적으로 동일한 두께를 가질 수 있다. 다른 예시적인 실시예들에서, 복수의 나노시트(N1, N2, N3) 중 적어도 일부는 수직 방향(Z 방향)을 따라 서로 다른 두께를 가질 수 있다.

- [0018] 도 2a 및 도 2b에 예시한 바와 같이, 1 개의 나노시트 스택(NSS)에 포함된 복수의 나노시트(N1, N2, N3)는 각각 제1 수평 방향(X 방향)에서 서로 동일한 크기를 가질 수 있다. 다른 일부 실시예들에서, 1 개의 나노시트 스택(NSS)에 포함된 복수의 나노시트(N1, N2, N3) 중 적어도 일부는 제1 수평 방향(X 방향)에서 서로 다른 크기를 가질 수 있다. 예를 들면, 제1 수평 방향(X 방향)에서 복수의 나노시트(N1, N2, N3) 중 핀 상면(FT)에 비교적 가까운 제1 나노시트(N1) 및 제2 나노시트(N2) 각각의 길이는 핀 상면(FT)으로부터 가장 먼 제3 나노시트(N3)의 길이보다 더 작을 수 있다.
- [0019] 제1 소자 영역(AR1)에서 제1 핀형 활성 영역(F1)의 상면에 복수의 제1 리세스(R1)가 형성되고, 제2 소자 영역(AR2)에서 제2 핀형 활성 영역(F2)의 상면에 복수의 제2 리세스(R2)가 형성될 수 있다. 도 2a 및 도 2b에는 복수의 제1 리세스(R1) 및 복수의 제2 리세스(R2) 각각의 최저면의 레벨이 복수의 핀형 활성 영역(F1, F2)의 핀 상면(FT)의 레벨보다 더 낮은 경우를 예시하였으나, 본 발명의 기술적 사상은 이에 한정되지 않는다. 복수의 제1 리세스(R1) 및 복수의 제2 리세스(R2) 각각의 최저면의 레벨은 핀형 활성 영역(F1, F2)의 핀 상면(FT)의 레벨과 동일하거나 유사할 수도 있다.
- [0020] 제1 소자 영역(AR1)에서 복수의 제1 리세스(R1) 위에는 복수의 제1 소스/드레인 영역(SD1)이 형성되고, 제2 소자 영역(AR2)에서 복수의 제2 리세스(R2) 위에는 복수의 제2 소스/드레인 영역(SD2)이 형성될 수 있다.
- [0021] 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 복수의 게이트 라인(160)이 복수의 핀형 활성 영역(F1, F2) 및 소자분리막(112) 위에서 제2 수평 방향(Y 방향)으로 길게 연장될 수 있다. 복수의 게이트 라인(160)은 복수의 핀형 활성 영역(F1, F2) 위에서 복수의 나노시트 스택(NSS)을 덮으면서 복수의 나노시트(N1, N2, N3) 각각을 포위할 수 있다. 기판(102) 상에서 복수의 핀형 활성 영역(F1, F2)과 복수의 게이트 라인(160)이 교차하는 부분들에 복수의 트랜지스터(TR1, TR2)가 형성될 수 있다. 예시적인 실시예들에서, 제1 소자 영역(AR1)은 NMOS 트랜지스터 영역이고, 제2 소자 영역(AR2)은 PMOS 트랜지스터 영역일 수 있다. 제1 소자 영역(AR1)에서 제1 핀형 활성 영역(F1)과 복수의 게이트 라인(160)이 교차하는 부분들에는 복수의 NMOS 트랜지스터(TR1)가 형성되고, 제2 소자 영역(AR2)에서 제2 핀형 활성 영역(F2)과 복수의 게이트 라인(160)이 교차하는 부분들에는 복수의 PMOS 트랜지스터(TR2)가 형성될 수 있다.
- [0022] 복수의 게이트 라인(160)은 각각 메인 게이트 부분(160M)과 복수의 서브 게이트 부분(160S)을 포함할 수 있다. 메인 게이트 부분(160M)은 나노시트 스택(NSS)의 상면을 덮으며 제2 수평 방향(Y 방향)으로 길게 연장될 수 있다. 복수의 서브 게이트 부분(160S)은 메인 게이트 부분(160M)에 일체로 연결되고 복수의 나노시트(N1, N2, N3) 각각의 사이, 및 핀형 활성 영역(F1, F2)과 제1 나노시트(N1)와의 사이에 각각 하나씩 배치될 수 있다.
- [0023] 복수의 게이트 라인(160)은 각각 금속, 금속 질화물, 금속 탄화물, 또는 이들의 조합으로 이루어질 수 있다. 상기 금속은 Ti, W, Ru, Nb, Mo, Hf, Ni, Co, Pt, Yb, Tb, Dy, Er, 및 Pd 중에서 선택될 수 있다. 상기 금속 질화물은 TiN 및 TaN 중에서 선택될 수 있다. 상기 금속 탄화물은 TiAlC일 수 있다.
- [0024] 기판(102) 상의 소자분리막(112) 위에는 복수의 게이트 컷 절연 패턴(150A, 150B)과 영역간 절연 패턴(inter-region insulating pattern)(150C)이 배치될 수 있다.
- [0025] 복수의 게이트 컷 절연 패턴(150A, 150B)은 제1 소자 영역(AR1)에 배치된 제1 게이트 컷 절연 패턴(150A)과, 제2 소자 영역(AR2)에 배치된 제2 게이트 컷 절연 패턴(150B)을 포함할 수 있다. 영역간 절연 패턴(150C)은 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이의 경계 부분에 배치될 수 있다.
- [0026] 복수의 게이트 컷 절연 패턴(150A, 150B) 및 영역간 절연 패턴(150C)은 각각 복수의 게이트 라인(160)과 교차하도록 제1 수평 방향(X 방향)으로 길게 연장될 수 있다.
- [0027] 복수의 게이트 컷 절연 패턴(150A, 150B) 각각의 수직 방향(Z 방향) 높이(HA, HB)는 서로 동일하거나 유사할 수 있다. 복수의 게이트 컷 절연 패턴(150A, 150B) 각각의 최상면 레벨은 복수의 게이트 라인(160)의 최상면 레벨과 동일 또는 유사할 수 있다. 제2 수평 방향(Y 방향)에서, 복수의 게이트 컷 절연 패턴(150A, 150B) 각각을 사이에 두고 양 측에 인접하게 배치된 한 쌍의 게이트 라인(160)은 서로 연결되지 않고 이격되어 있을 수 있다.
- [0028] 영역간 절연 패턴(150C)의 수직 방향(Z 방향) 높이(HC)는 복수의 게이트 컷 절연 패턴(150A, 150B) 각각의 수직 방향(Z 방향) 높이(HA, HB)보다 더 작을 수 있다.

- [0029] 복수의 게이트 라인(160) 중 제2 수평 방향(Y 방향)을 따라 일렬로 배치된 복수의 게이트 라인(160)은 복수의 게이트 컷 절연 패턴(150A, 150B)에 의해 서로 이격되어 배치될 수 있다. 복수의 게이트 라인(160) 중 적어도 하나의 게이트 라인(160)은 복수의 게이트 컷 절연 패턴(150A, 150B)에 의해 제2 수평 방향(Y 방향)의 길이가 한정되고, 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 제2 수평 방향(Y 방향)을 따라 길게 연장될 수 있다.
- [0030] 영역간 절연 패턴(150C)은 상기 적어도 1 개의 게이트 라인(160)을 수직 방향(Z 방향)으로 일부만 관통할 수 있다. 상기 적어도 1 개의 게이트 라인(160)은 제1 핀형 활성 영역(F1)과 제2 핀형 활성 영역(F2)과의 사이에 있는 소자분리막(112) 위에 배치된 영역간 절연 패턴(150C)에 의해 하측 일부만 컷팅된 구조를 가질 수 있다. 상기 적어도 1 개의 게이트 라인(160)은 영역간 절연 패턴(150C)을 덮는 게이트 연결부(GCP)를 포함할 수 있다. 상기 적어도 1 개의 게이트 라인(160) 중 제1 소자 영역(AR1)에 있는 부분과 제2 소자 영역(AR2)에 있는 부분은 게이트 연결부(GCP)를 통해 상호 일체로 연결될 수 있다. 영역간 절연 패턴(150C)은 소자분리막(112)에 접하고 기판(102)에 가장 가까운 저면과, 게이트 라인(160)에 접하고 기판(102)으로부터 가장 먼 상면과, 상기 저면으로부터 상기 상면까지 선형적으로 연장되는 측벽들을 가질 수 있다. 영역간 절연 패턴(150C)의 상면은 게이트 라인(160)과 접할 수 있다.
- [0031] 수직 방향(Z 방향)에서 게이트 연결부(GCP)의 길이는 영역간 절연 패턴(150C)의 길이보다 더 작을 수 있다. 그러나, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들면, 수직 방향(Z 방향)에서 게이트 연결부(GCP)의 길이는 영역간 절연 패턴(150C)의 길이와 같거나 더 클 수도 있다.
- [0032] 예시적인 실시예들에서, 복수의 게이트 컷 절연 패턴(150A, 150B)과 영역간 절연 패턴(150C)은 각각 질소 함유 절연막으로 이루어질 수 있다. 예를 들면, 복수의 게이트 컷 절연 패턴(150A, 150B)과 영역간 절연 패턴(150C)은 각각 실리콘 질화막으로 이루어질 수 있다.
- [0033] 도 2c에 예시한 바와 같이, 제2 수평 방향(Y 방향)에서, 영역간 절연 패턴(150C)과 제1 핀형 활성 영역(F1)과의 사이의 최단 거리(D11)와, 영역간 절연 패턴(150C)과 제2 핀형 활성 영역(F2)과의 사이의 최단 거리(D12)는 서로 동일하거나 유사할 수 있다. 그러나, 본 발명의 기술적 사상은 이에 한정되지 않는다. 제1 핀형 활성 영역(F1)과 제2 핀형 활성 영역(F2)과의 사이에 배치되는 영역간 절연 패턴(150C)의 상대적인 위치는 제1 소자 영역(AR1)에 형성되는 NMOS 트랜지스터(TR1)와 제2 소자 영역(AR2)에 형성되는 PMOS 트랜지스터(TR2) 각각의 성능을 고려하여 결정될 수 있다.
- [0034] 영역간 절연 패턴(150C)의 최상면 레벨은 복수의 게이트 컷 절연 패턴(150A, 150B) 각각의 최상면 레벨보다 더 낮을 수 있다. 예시적인 실시예들에서, 영역간 절연 패턴(150C)의 최상면 레벨은 복수의 나노시트 스택(NSS)의 최상면 레벨과 같거나 더 낮을 수 있다. 다른 예시적인 실시예들에서, 영역간 절연 패턴(150C)의 최상면 레벨은 복수의 게이트 컷 절연 패턴(150A, 150B) 각각의 최상면 레벨보다 더 낮고, 복수의 나노시트 스택(NSS)의 최상면 레벨보다 더 높을 수도 있다. 본 명세서에서 사용되는 용어 "레벨"은 기판(102)의 상면으로부터 수직 방향(Z 방향 또는 -Z 방향)을 따르는 높이를 의미한다.
- [0035] 나노시트 스택(NSS)을 구성하는 복수의 나노시트(N1, N2, N3)와 게이트 라인(160)과의 사이에는 게이트 유전막(152)이 개재될 수 있다. 게이트 유전막(152)은 복수의 나노시트(N1, N2, N3) 각각의 표면을 덮는 부분들과, 메인 게이트 부분(160M)의 측벽들을 덮는 부분들과, 복수의 게이트 컷 절연 패턴(150A, 150B) 및 영역간 절연 패턴(150C) 각각의 측벽들을 덮는 부분들을 포함할 수 있다.
- [0036] 예시적인 실시예들에서, 게이트 유전막(152)은 인터페이스막과 고유전막의 적층 구조로 이루어질 수 있다. 상기 인터페이스막은 유전율이 약 9 이하인 저유전 물질막, 예를 들면 실리콘 산화막, 실리콘 산화질화막, 또는 이들의 조합으로 이루어질 수 있다. 예시적인 실시예들에서, 상기 인터페이스막은 생략될 수 있다. 상기 고유전막은 실리콘 산화막보다 유전 상수가 더 큰 물질로 이루어질 수 있다. 예를 들면, 상기 고유전막은 약 10 내지 25의 유전 상수를 가질 수 있다. 상기 고유전막은 하프늄 산화물로 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- [0037] 예시적인 실시예들에서, 복수의 나노시트(N1, N2, N3)는 서로 동일한 원소로 이루어지는 반도체층으로 이루어질 수 있다. 일 예에서, 복수의 나노시트(N1, N2, N3)는 각각 Si 층으로 이루어질 수 있다. 제1 소자 영역(AR1)에서 복수의 나노시트(N1, N2, N3)는 제1 소스/드레인 영역(SD1)의 도전형과 동일한 도전형의 도판트로 도핑될 수 있다. 제2 소자 영역(AR2)에서 복수의 나노시트(N1, N2, N3)는 제2 소스/드레인 영역(SD2)의 도전형과 동일한 도전형의 도판트로 도핑될 수 있다. 예를 들면, 제1 소자 영역(AR1)에서 복수의 나노시트(N1, N2, N3)는 n 형 도판트로 도핑된 Si 층으로 이루어지고, 제2 소자 영역(AR2)에서 복수의 나노시트(N1, N2, N3)는 p 형 도판트로 도핑된 Si 층으로 이루어질 수 있다.

- [0038] 복수의 편형 활성 영역(F1, F2) 및 소자분리막(112) 위에서 복수의 게이트 라인(160) 각각의 양 측벽은 복수의 외측 절연 스페이서(118)로 덮일 수 있다. 복수의 외측 절연 스페이서(118)는 복수의 나노시트 스택(NSS)의 상면 위에서 메인 게이트 부분(160M)의 양 측벽을 덮을 수 있다. 복수의 외측 절연 스페이서(118)는 각각 게이트 유전막(152)을 사이에 두고 게이트 라인(160)과 이격될 수 있다. 복수의 외측 절연 스페이서(118)는 실리콘 질화물, 실리콘 산화물, SiCN, SiBN, SiON, SiOCN, SiBCN, SiOC, 또는 이들의 조합으로 이루어질 수 있다. 본 명세서에서 사용되는 용어 "SiCN", "SiBN", "SiON", "SiOCN", "SiBCN", 및 "SiOC"는 각각 용어에 포함된 원소들로 이루어지는 재료를 의미하는 것으로서, 화학양론적 관계를 나타내는 화학식은 아니다.
- [0039] 도 2a에 예시한 바와 같이, 제1 소자 영역(AR1)에서 복수의 나노시트(N1, N2, N3) 각각의 사이, 및 제1 편형 활성 영역(F1)과 제1 나노시트(N1)와의 사이에서, 복수의 서브 게이트 부분(160S)과 제1 소스/드레인 영역(SD1)과의 사이에 복수의 내측 절연 스페이서(120)가 개재될 수 있다. 제1 소자 영역(AR1)에서 복수의 서브 게이트 부분(160S) 각각의 양 측벽은 게이트 유전막(152)을 사이에 두고 내측 절연 스페이서(120)로 덮일 수 있다. 제1 소자 영역(AR1)에서 복수의 서브 게이트 부분(160S)은 각각 게이트 유전막(152) 및 내측 절연 스페이서(120)를 사이에 두고 제1 소스/드레인 영역(SD1)으로부터 이격될 수 있다. 복수의 내측 절연 스페이서(120)는 각각 제1 소스/드레인 영역(SD1)에 접할 수 있다. 복수의 내측 절연 스페이서(120)의 적어도 일부는 외측 절연 스페이서(118)와 수직 방향(Z 방향)으로 오버랩될 수 있다. 내측 절연 스페이서(120)는 실리콘 질화물, 실리콘 산화물, SiCN, SiBN, SiON, SiOCN, SiBCN, SiOC, 또는 이들의 조합으로 이루어질 수 있다. 내측 절연 스페이서(120)는 에어 갭을 더 포함할 수 있다. 예시적인 실시예들에서, 내측 절연 스페이서(120)는 외측 절연 스페이서(118)와 동일한 물질로 이루어질 수 있다. 다른 예시적인 실시예들에서, 외측 절연 스페이서(118) 및 내측 절연 스페이서(120)는 서로 다른 물질로 이루어질 수 있다.
- [0040] 제1 소자 영역(AR1)에서 복수의 제1 소스/드레인 영역(SD1)은 각각 제1 수평 방향(X 방향)에서 내측 절연 스페이서(120)를 사이에 두고 복수의 서브 게이트 부분(160S)과 대면할 수 있다. 복수의 제1 소스/드레인 영역(SD1)은 게이트 유전막(152)에 접하는 부분을 포함하지 않을 수 있다.
- [0041] 도 2b에 예시한 바와 같이, 제2 소자 영역(AR2)에서 복수의 나노시트(N1, N2, N3) 각각의 사이, 및 제2 편형 활성 영역(F2)과 제1 나노시트(N1)와의 사이에서 복수의 서브 게이트 부분(160S) 각각의 양 측벽은 게이트 유전막(152)을 사이에 두고 제2 소스/드레인 영역(SD2)으로부터 이격될 수 있다. 게이트 유전막(152)은 제2 소스/드레인 영역(SD2)에 접하는 부분을 포함할 수 있다. 복수의 제2 소스/드레인 영역(SD2)은 각각 제1 수평 방향(X 방향)에서 나노시트 스택(NSS)과 복수의 서브 게이트 부분(160S)에 대면할 수 있다.
- [0042] 예시적인 실시예들에서, 복수의 게이트 라인(160)은 각각 금속 질화막, 금속막, 도전성 캡핑막, 및 갭필(gap-fill) 금속막이 차례로 적층된 구조를 가질 수 있다. 상기 금속 질화막 및 상기 금속막은 Ti, Ta, W, Ru, Nb, Mo, 및 Hf 중에서 선택되는 적어도 하나의 금속을 포함할 수 있다. 상기 갭필 금속막은 W 막 또는 Al 막으로 이루어질 수 있다. 복수의 게이트 라인(160)은 각각 적어도 하나의 일함수 금속 함유막을 포함할 수 있다. 상기 적어도 하나의 일함수 금속 함유막은 Ti, W, Ru, Nb, Mo, Hf, Ni, Co, Pt, Yb, Tb, Dy, Er, 및 Pd 중에서 선택되는 적어도 하나의 금속을 포함할 수 있다. 일부 실시예들에서, 복수의 게이트 라인(160)은 각각 TiAlC/TiN/W의 적층 구조, TiN/TaN/TiAlC/TiN/W의 적층 구조, 또는 TiN/TaN/TiN/TiAlC/TiN/W의 적층 구조를 포함할 수 있으나, 상기 예시한 바에 한정되는 것은 아니다.
- [0043] 도 2a 내지 도 2c에 예시한 바와 같이, 게이트 라인(160)과 게이트 라인(160)의 측벽을 덮는 게이트 유전막(152)은 캡핑 절연 패턴(164)으로 덮일 수 있다. 캡핑 절연 패턴(164)은 실리콘 질화막으로 이루어질 수 있다.
- [0044] 제1 소자 영역(AR1)에서, 게이트 라인(160)의 메인 게이트 부분(160M)은 외측 절연 스페이서(118)를 사이에 두고 제1 소스/드레인 영역(SD1)으로부터 이격될 수 있다. 제2 소자 영역(AR2)에서, 게이트 라인(160)의 메인 게이트 부분(160M)은 외측 절연 스페이서(118)를 사이에 두고 제2 소스/드레인 영역(SD2)으로부터 이격될 수 있다.
- [0045] 예시적인 실시예들에서, 제1 소자 영역(AR1)은 NMOS 트랜지스터 영역이고, 제2 소자 영역(AR2)은 PMOS 트랜지스터 영역일 수 있다. 이 경우, 제1 소자 영역(AR1)에 있는 복수의 제1 소스/드레인 영역(SD1)은 n 형 도판트로 도핑된 Si 층, 또는 n 형 도판트로 도핑된 SiC 층으로 이루어지고, 제2 소자 영역(AR2)에 있는 복수의 제2 소스/드레인 영역(SD2)은 p 형 도판트로 도핑된 SiGe 층으로 이루어질 수 있다. 상기 n 형 도판트는 P(phosphorus), As(arsenic), 및 Sb(antimony) 중에서 선택될 수 있다. 상기 p 형 도판트는 B(boron) 및 Ga(gallium) 중에서 선택될 수 있다.

- [0046] 제1 소자 영역(AR1)에 있는 복수의 제1 소스/드레인 영역(SD1)과 제2 소자 영역(AR2)에 있는 복수의 제2 소스/드레인 영역(SD2)은 서로 다른 형상 및 크기를 가질 수 있다. 그러나, 본 발명의 기술적 사상은 이에 한정되지 않으며, 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 다양한 형상 및 크기를 가지는 복수의 제1 및 제2 소스/드레인 영역(SD1, SD2)이 형성될 수 있다.
- [0047] 도 2a 및 도 2b에 예시한 바와 같이, 복수의 제1 및 제2 소스/드레인 영역(SD1, SD2)은 절연 라이너(142)로 덮일 수 있다. 절연 라이너(142)는 복수의 제1 및 제2 소스/드레인 영역(SD1, SD2) 각각의 표면과 외측 절연 스페이서(118)를 컨포멀하게 덮을 수 있다. 절연 라이너(142)는 SiN, SiCN, SiBN, SiON, SiOCN, SiBCN, SiOC, SiO₂, 또는 이들의 조합으로 이루어질 수 있다.
- [0048] 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 절연 라이너(142)는 게이트간 절연막(144)으로 덮일 수 있다. 게이트간 절연막(144)은 실리콘 질화막, 실리콘 산화막, SiON, SiOCN, 또는 이들의 조합으로 이루어질 수 있다. 복수의 캡핑 절연 패턴(164)과, 복수의 캡핑 절연 패턴(164) 각각의 사이에 있는 게이트간 절연막(144)은 절연 구조물(190)로 덮일 수 있다. 절연 구조물(190)은 식각 정지막(190A) 및 층간절연막(190B)을 포함할 수 있다. 식각 정지막(190A)은 실리콘 탄화물(SiC), SiN, 질소-도핑된 실리콘 탄화물(SiC:N), SiOC, AlN, AlON, AlO, AlOC, 또는 이들의 조합으로 이루어질 수 있다. 층간절연막(190B)은 산화막, 질화막, 약 2.2 ~ 2.4의 초저유전 상수(ultra low dielectric constant K)를 가지는 ULK(ultra low-k) 막, 또는 이들의 조합으로 이루어질 수 있다. 예를 들면, 층간절연막(190B)은 TEOS(tetraethylorthosilicate) 막, HDP(high density plasma) 막, BPSG(boro-phospho-silicate glass) 막, FCVD(flowable chemical vapor deposition) 산화막, SiON 막, SiN 막, SiOC 막, SiCOH 막, 또는 이들의 조합으로 이루어질 수 있다.
- [0049] 도 2a 및 도 2b에 예시한 바와 같이, 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 복수의 제1 및 제2 소스/드레인 영역(SD1, SD2) 상에는 복수의 소스/드레인 콘택(174) 및 복수의 소스/드레인 비아 콘택(192)이 형성될 수 있다. 복수의 제1 및 제2 소스/드레인 영역(SD1, SD2)은 복수의 소스/드레인 콘택(174) 및 복수의 소스/드레인 비아 콘택(192)을 통해 상부의 도전 라인(도시 생략)에 연결될 수 있다.
- [0050] 제1 및 제2 소스/드레인 영역(SD1, SD2)과 소스/드레인 콘택(174)과의 사이에는 금속 실리사이드막(172)이 형성될 수 있다. 예시적인 실시예들에서, 금속 실리사이드막(172)은 Ti, W, Ru, Nb, Mo, Hf, Ni, Co, Pt, Yb, Tb, Dy, Er, 또는 Pd를 포함할 수 있다. 예를 들면, 금속 실리사이드막(172)은 티타늄 실리사이드로 이루어질 수 있다. 복수의 소스/드레인 콘택(174)은 게이트간 절연막(144) 및 절연 라이너(142)를 수직 방향(Z 방향)으로 관통하여 금속 실리사이드막(172)에 접할 수 있다. 복수의 소스/드레인 비아 콘택(192)은 절연 구조물(190)을 수직 방향(Z 방향)으로 관통하여 소스/드레인 콘택(174)의 상면에 접할 수 있다.
- [0051] 복수의 소스/드레인 콘택(174)은 도전성 배리어막(174A) 및 금속 플러그(174B)를 포함할 수 있다. 복수의 소스/드레인 비아 콘택(192)은 도전성 배리어막(192A) 및 금속 플러그(192B)를 포함할 수 있다. 도전성 배리어막(174A, 192A)은 Ti, Ta, TiN, TaN, 또는 이들의 조합으로 이루어지고, 금속 플러그(174B, 192B)는 W, Co, Cu, Ru, Mn, 또는 이들의 조합으로 이루어질 수 있으나, 이들에 한정되는 것은 아니다. 예시적인 실시예들에서, 복수의 소스/드레인 콘택(174) 및 복수의 소스/드레인 비아 콘택(192) 각각의 측벽은 콘택 절연 스페이서(도시 생략)로 포위될 수 있다. 상기 콘택 절연 스페이서는 SiCN, SiCON, 실리콘 질화물(SiN), 또는 이들의 조합으로 이루어질 수 있으나, 이들에 한정되는 것은 아니다.
- [0052] 복수의 게이트 라인(160) 각각의 상부에는 게이트 콘택(도시 생략)이 형성될 수 있다. 복수의 게이트 라인(160)은 각각 상기 게이트 콘택을 통해 상부의 도전 라인(도시 생략)에 연결될 수 있다. 상기 게이트 콘택은 소스/드레인 콘택(174) 및 소스/드레인 비아 콘택(192)에 대하여 설명한 바와 유사한 구조를 가질 수 있다.
- [0053] 도 1과 도 2a 내지 도 2c 예시한 집적회로 소자(100)는 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이에서 소자분리막(112) 위에 배치된 영역간 절연 패턴(150C)을 포함한다. 영역간 절연 패턴(150C)은 집적회로 소자(100)의 제조 과정에서 공정 불량 발생 가능성을 제거할 수 있으며, 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에 형성되는 복수의 트랜지스터(TR1, TR2) 각각의 성능 및 신뢰성을 향상시키는 데 기여할 수 있다.
- [0054] 도 3은 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 집적회로 소자(100A)를 설명하기 위한 단면도이다. 도 3에는 도 1의 Y1 - Y1' 선 단면에 대응하는 부분의 일부 구성이 예시되어 있다.
- [0055] 도 3을 참조하면, 집적회로 소자(100A)는 도 1과 도 2a 내지 도 2c를 참조하여 설명한 집적회로 소자(100)와 대체로 동일한 구성을 가질 수 있다. 단, 집적회로 소자(100A)는 복수의 게이트 라인(160A)을 포함한다. 복수의 게이트 라인(160A)은 도 1과 도 2a 내지 도 2c를 참조하여 설명한 복수의 게이트 라인(160)과 대체로 동일한 구

성을 가질 수 있다. 단, 복수의 게이트 라인(160A)은 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 서로 다른 적층 구조를 가질 수 있다.

- [0056] 복수의 게이트 라인(160A)은 제1 일함수 금속 함유막(ML1), 제2 일함수 금속 함유막(ML2), 및 갭필 금속막(ML3) 중에서 선택되는 적어도 2 개의 층을 포함하는 적층 구조로 이루어질 수 있다. 예시적인 실시예들에서, 제1 일함수 금속 함유막(ML1)은 TiN 막으로 이루어질 수 있다. 제2 일함수 금속 함유막(ML2)은 제1 TiN 막, TiAlC 막, 및 제2 TiN 막의 조합으로 이루어질 수 있다. 갭필 금속막(ML3)은 W, Al, 또는 이들의 조합으로 이루어질 수 있다.
- [0057] 제2 소자 영역(AR2)의 일부 영역에서, 게이트 라인(160A)은 게이트 유전막(152)에 접하는 제1 일함수 금속 함유막(ML1)과, 제1 일함수 금속 함유막(ML1)에 접하는 제2 일함수 금속 함유막(ML2)을 포함할 수 있다. 제2 소자 영역(AR2)의 다른 일부 영역에서, 게이트 라인(160A)은 게이트 유전막(152)에 접하는 제1 일함수 금속 함유막(ML1)과, 제1 일함수 금속 함유막(ML1)에 접하는 제2 일함수 금속 함유막(ML2)과, 제2 일함수 금속 함유막(ML2)에 접하는 갭필 금속막(ML3)을 포함할 수 있다.
- [0058] 제1 소자 영역(AR1)에서 게이트 라인(160A)은 제1 일함수 금속 함유막(ML1)을 포함하지 않을 수 있다. 예를 들면, 제1 소자 영역(AR1)에서 게이트 라인(160A)은 게이트 유전막(152)에 접하는 제2 일함수 금속 함유막(ML2)과, 제2 일함수 금속 함유막(ML2)에 접하는 갭필 금속막(ML3)을 포함할 수 있다.
- [0059] 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이에 배치된 영역간 절연 패턴(150C)은 평탄한 상면(TA)을 가질 수 있다. 영역간 절연 패턴(150C)의 평탄한 상면(TA)은 갭필 금속막(ML3)으로 덮일 수 있다. 도 2c를 참조하여 게이트 연결부(GCP)에 대하여 설명한 바와 유사하게, 영역간 절연 패턴(150C)의 평탄한 상면(TA)을 덮는 갭필 금속막(ML3)을 통해 게이트 라인(160A) 중 제1 소자 영역(AR1)에 있는 부분과 제2 소자 영역(AR2)에 있는 부분이 상호 일체로 연결될 수 있다.
- [0060] 예시적인 실시예들에서, 영역간 절연 패턴(150C)의 평탄한 상면(TA)을 덮는 갭필 금속막(ML3)은 단일 금속막으로 이루어질 수 있다. 예를 들면, 영역간 절연 패턴(150C)의 평탄한 상면(TA)을 덮는 갭필 금속막(ML3)은 W 막 또는 Al 막으로 이루어질 수 있다.
- [0061] 도 4는 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 집적회로 소자(100B)를 설명하기 위한 단면도이다. 도 4에는 도 1의 Y1 - Y1' 선 단면에 대응하는 부분의 일부 구성이 예시되어 있다.
- [0062] 도 4를 참조하면, 집적회로 소자(100B)는 도 3을 참조하여 설명한 집적회로 소자(100A)와 대체로 동일한 구성을 가질 수 있다. 집적회로 소자(100B)의 영역간 절연 패턴(150C)은 비선형 상면(TB)을 가질 수 있다. 또한, 집적회로 소자(100B)는 영역간 절연 패턴(150C)의 비선형 상면(TB)을 덮는 갭필 금속막(ML3)을 포함하는 게이트 라인(160B)을 포함할 수 있다. 게이트 라인(160B)에 포함된 갭필 금속막(ML3) 중 비선형 상면(TB)에 접하는 부분은 비선형 상면(TB)에 대응하는 비선형 표면을 가질 수 있다. 게이트 라인(160B)에 대한 보다 상세한 구성은 도 3을 참조하여 설명한 게이트 라인(160A)에 대하여 설명한 바와 대체로 동일하다.
- [0063] 도 2c를 참조하여 게이트 연결부(GCP)에 대하여 설명한 바와 유사하게, 게이트 라인(160B) 중 제1 소자 영역(AR1)에 있는 부분과 제2 소자 영역(AR2)에 있는 부분은 갭필 금속막(ML3) 중 영역간 절연 패턴(150C)의 비선형 상면(TB)을 덮는 부분을 통해 상호 일체로 연결될 수 있다.
- [0064] 도 5는 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 집적회로 소자(200)를 설명하기 위한 단면도이다. 도 5에는 도 1의 Y1 - Y1' 선 단면에 대응하는 부분의 일부 구성이 예시되어 있다.
- [0065] 도 5를 참조하면, 집적회로 소자(200)는 도 1과 도 2a 내지 도 2c를 참조하여 설명한 집적회로 소자(100)와 대체로 동일한 구성을 가질 수 있다. 단, 집적회로 소자(200)는 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 제2 수평 방향(Y 방향)을 따라 길게 연장된 게이트 라인(260)과, 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이에 있는 소자분리막(112) 위에 배치된 영역간 절연 패턴(250C)을 포함할 수 있다.
- [0066] 게이트 라인(260)은, 도 1과 도 2a 내지 도 2c를 참조하여 게이트 라인(160)에 대하여 설명한 바와 유사하게, 메인 게이트 부분(160M)과 복수의 서브 게이트 부분(160S)을 포함할 수 있고, 복수의 게이트 컷 절연 패턴(150A, 150B)에 의해 제2 수평 방향(Y 방향)의 길이가 한정될 수 있다. 게이트 라인(260)은 소자분리막(112) 위에서 영역간 절연 패턴(250C)에 의해 하측 일부만 컷팅된 구조를 가질 수 있다. 게이트 라인(260)은 영역간 절연 패턴(250C)의 상면을 덮는 게이트 연결부(GCP2)를 포함할 수 있다. 게이트 라인(260) 중 제1 소자 영역(AR1)에 있는 부분과 제2 소자 영역(AR2)에 있는 부분은 게이트 연결부(GCP2)를 통해 상호 일체로 연결될 수 있다.

- [0067] 영역간 절연 패턴(250C)은 도 1과 도 2a 내지 도 2c를 참조하여 영역간 절연 패턴(150C)에 대하여 설명한 바와 대체로 동일한 구성을 가질 수 있다. 단, 영역간 절연 패턴(250C)은 제1 소자 영역(AR1)에 있는 제1 핀형 활성 영역(F1)과 제2 소자 영역(AR2)에 있는 제2 핀형 활성 영역(F2) 중 제1 핀형 활성 영역(F1)에 더 인접하게 배치될 수 있다. 제2 수평 방향(Y 방향)에서, 영역간 절연 패턴(250C)과 제1 핀형 활성 영역(F1)과의 사이의 최단 거리(D21)는 영역간 절연 패턴(250C)과 제2 핀형 활성 영역(F2)과의 사이의 최단 거리(D22)보다 더 작을 수 있다. 따라서, 게이트 라인(260) 중 제1 소자 영역(AR1)에 있는 나노시트 스택(NSS)과 영역간 절연 패턴(250C)과의 사이에 개재되는 부분의 체적은, 게이트 라인(260) 중 제2 소자 영역(AR2)에 있는 나노시트 스택(NSS)과 영역간 절연 패턴(250C)과의 사이에 개재되는 부분의 체적보다 더 작을 수 있다. 게이트 라인(260)에 대한 보다 상세한 구성은 도 1과 도 2a 내지 도 2c를 참조하여 게이트 라인(160)에 대하여 설명한 바와 대체로 동일하다.
- [0068] 예시적인 실시예들에서, 게이트 라인(260)은 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 서로 다른 적층 구조를 가질 수 있다. 예를 들면, 도 3을 참조하여 게이트 라인(160A)에 대하여 설명한 바와 유사하게, 제1 소자 영역(AR1)에서 게이트 라인(260)은 게이트 유전막(152)에 접하는 제2 일함수 금속 함유막(ML2)과, 제2 일함수 금속 함유막(ML2)에 접하는 갭필 금속막(ML3)을 포함할 수 있다. 제2 소자 영역(AR2)의 일부 영역에서 게이트 라인(260)은 게이트 유전막(152)에 접하는 제1 일함수 금속 함유막(ML1)과, 제1 일함수 금속 함유막(ML1)에 접하는 제2 일함수 금속 함유막(ML2)을 포함할 수 있다. 제2 소자 영역(AR2)의 다른 일부 영역에서 게이트 라인(260)은 게이트 유전막(152)에 접하는 제1 일함수 금속 함유막(ML1)과, 제1 일함수 금속 함유막(ML1)에 접하는 제2 일함수 금속 함유막(ML2)과, 제2 일함수 금속 함유막(ML2)에 접하는 갭필 금속막(ML3)을 포함할 수 있다. 제1 일함수 금속 함유막(ML1), 제2 일함수 금속 함유막(ML2), 및 갭필 금속막(ML3)에 대한 상세한 구성은 도 3을 참조하여 설명한 바와 같다.
- [0069] 도 6은 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 집적회로 소자(300)를 설명하기 위한 단면도이다. 도 6에는 도 1의 Y1 - Y1' 선 단면에 대응하는 부분의 일부 구성이 예시되어 있다.
- [0070] 도 6을 참조하면, 집적회로 소자(300)는 도 1과 도 2a 내지 도 2c를 참조하여 설명한 집적회로 소자(100)와 대체로 동일한 구성을 가질 수 있다. 단, 집적회로 소자(300)는 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 제2 수평 방향(Y 방향)을 따라 길게 연장된 게이트 라인(360)과, 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이에 있는 소자분리막(112) 위에 배치된 영역간 절연 패턴(350C)을 포함할 수 있다.
- [0071] 게이트 라인(360)은, 도 1과 도 2a 내지 도 2c를 참조하여 게이트 라인(160)에 대하여 설명한 바와 유사하게, 메인 게이트 부분(160M)과 복수의 서브 게이트 부분(160S)을 포함할 수 있고, 복수의 게이트 컷 절연 패턴(150A, 150B)에 의해 제2 수평 방향(Y 방향)의 길이가 한정될 수 있다. 게이트 라인(360)은 소자분리막(112) 위에서 영역간 절연 패턴(350C)에 의해 하측 일부만 컷팅된 구조를 가질 수 있다. 게이트 라인(360)은 영역간 절연 패턴(350C)의 상면을 덮는 게이트 연결부(GCP3)를 포함할 수 있다. 게이트 라인(360) 중 제1 소자 영역(AR1)에 있는 부분과 제2 소자 영역(AR2)에 있는 부분은 게이트 연결부(GCP3)를 통해 상호 일체로 연결될 수 있다.
- [0072] 영역간 절연 패턴(350C)은 도 1과 도 2a 내지 도 2c를 참조하여 영역간 절연 패턴(150C)에 대하여 설명한 바와 대체로 동일한 구성을 가질 수 있다. 단, 영역간 절연 패턴(350C)은 제1 소자 영역(AR1)에 있는 제1 핀형 활성 영역(F1)과 제2 소자 영역(AR2)에 있는 제2 핀형 활성 영역(F2) 중 제2 핀형 활성 영역(F2)에 더 인접하게 배치될 수 있다. 제2 수평 방향(Y 방향)에서, 영역간 절연 패턴(350C)과 제1 핀형 활성 영역(F1)과의 사이의 최단 거리(D31)는 영역간 절연 패턴(350C)과 제2 핀형 활성 영역(F2)과의 사이의 최단 거리(D32)보다 더 클 수 있다. 따라서, 게이트 라인(360) 중 제1 소자 영역(AR1)에 있는 나노시트 스택(NSS)과 영역간 절연 패턴(350C)과의 사이에 개재되는 부분의 체적은, 게이트 라인(360) 중 제2 소자 영역(AR2)에 있는 나노시트 스택(NSS)과 영역간 절연 패턴(350C)과의 사이에 개재되는 부분의 체적보다 더 클 수 있다. 게이트 라인(360)에 대한 보다 상세한 구성은 도 1과 도 2a 내지 도 2c를 참조하여 게이트 라인(160)에 대하여 설명한 바와 대체로 동일하다.
- [0073] 예시적인 실시예들에서, 게이트 라인(360)은 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 서로 다른 적층 구조를 가질 수 있다. 예를 들면, 도 3을 참조하여 게이트 라인(160A)에 대하여 설명한 바와 유사하게, 제1 소자 영역(AR1)에서 게이트 라인(360)은 게이트 유전막(152)에 접하는 제2 일함수 금속 함유막(ML2)과, 제2 일함수 금속 함유막(ML2)에 접하는 갭필 금속막(ML3)을 포함할 수 있다. 제2 소자 영역(AR2)의 일부 영역에서 게이트 라인(360)은 게이트 유전막(152)에 접하는 제1 일함수 금속 함유막(ML1)과, 제1 일함수 금속 함유막(ML1)에 접하는 제2 일함수 금속 함유막(ML2)을 포함할 수 있다. 제2 소자 영역(AR2)의 다른 일부 영역에서 게이트 라인(360)은 게이트 유전막(152)에 접하는 제1 일함수 금속 함유막(ML1)과, 제1 일함수 금속 함유막(ML1)에 접하는 제2 일함수 금속 함유막(ML2)과, 제2 일함수 금속 함유막(ML2)에 접하는 갭필 금속막(ML3)을 포함할 수 있다.

제1 일함수 금속 함유막(ML1), 제2 일함수 금속 함유막(ML2), 및 갭필 금속막(ML3)에 대한 상세한 구성은 도 3을 참조하여 설명한 바와 같다.

- [0074] 도 7은 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 집적회로 소자(400)를 설명하기 위한 단면도이다. 도 7에는 도 1의 Y1 - Y1' 선 단면에 대응하는 부분의 일부 구성이 예시되어 있다.
- [0075] 도 7을 참조하면, 집적회로 소자(400)는 도 1과 도 2a 내지 도 2c를 참조하여 설명한 집적회로 소자(100)와 대체로 동일한 구성을 가질 수 있다. 단, 집적회로 소자(200)는 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 제2 수평 방향(Y 방향)을 따라 길게 연장된 게이트 라인(460)과, 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이에 있는 소자분리막(112) 위에 배치된 영역간 절연 패턴(450C)을 포함할 수 있다. 영역간 절연 패턴(450C)의 수직 방향(Z 방향) 높이(H4C)는 복수의 게이트 컷 절연 패턴(150A, 150B) 각각의 수직 방향(Z 방향) 높이(HA, HB)보다 더 작을 수 있다.
- [0076] 게이트 라인(460)은, 도 1과 도 2a 내지 도 2c를 참조하여 게이트 라인(160)에 대하여 설명한 바와 유사하게, 메인 게이트 부분(160M)과 복수의 서브 게이트 부분(160S)을 포함할 수 있고, 복수의 게이트 컷 절연 패턴(150A, 150B)에 의해 제2 수평 방향(Y 방향)의 길이가 한정될 수 있다. 게이트 라인(460)은 소자분리막(112) 위에서 영역간 절연 패턴(450C)에 의해 하측 일부만 컷팅된 구조를 가질 수 있다. 게이트 라인(460)은 영역간 절연 패턴(450C)의 상면을 덮는 게이트 연결부(GCP4)를 포함할 수 있다. 게이트 라인(460) 중 제1 소자 영역(AR1)에 있는 부분과 제2 소자 영역(AR2)에 있는 부분은 게이트 연결부(GCP4)를 통해 상호 일체로 연결될 수 있다.
- [0077] 수직 방향(Z 방향)에서 게이트 연결부(GCP7)의 길이는 영역간 절연 패턴(450C)의 길이보다 더 클 수 있다. 예시적인 실시예들에서, 영역간 절연 패턴(450C)의 최상면 레벨은 복수의 나노시트 스택(NSS)의 최상면 레벨보다 더 낮을 수 있다. 예를 들면, 나노시트 스택(NSS)을 구성하는 복수의 나노시트(N1, N2, N3) 중 적어도 하나는 영역간 절연 패턴(450C)의 최상면 레벨보다 더 높은 레벨에 배치될 수 있다.
- [0078] 게이트 라인(460)에 대한 보다 상세한 구성은 도 1과 도 2a 내지 도 2c를 참조하여 게이트 라인(160)에 대하여 설명한 바와 대체로 동일하다. 예시적인 실시예들에서, 게이트 라인(460)은 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 서로 다른 적층 구조를 가질 수 있다. 예를 들면, 도 3을 참조하여 게이트 라인(160A)에 대하여 설명한 바와 유사하게, 제1 소자 영역(AR1)에서 게이트 라인(460)은 게이트 유전막(152)에 접하는 제2 일함수 금속 함유막(ML2)과, 제2 일함수 금속 함유막(ML2)에 접하는 갭필 금속막(ML3)을 포함할 수 있다. 제2 소자 영역(AR2)의 일부 영역에서 게이트 라인(460)은 게이트 유전막(152)에 접하는 제1 일함수 금속 함유막(ML1)과, 제1 일함수 금속 함유막(ML1)에 접하는 제2 일함수 금속 함유막(ML2)을 포함할 수 있다. 제2 소자 영역(AR2)의 다른 일부 영역에서 게이트 라인(460)은 게이트 유전막(152)에 접하는 제1 일함수 금속 함유막(ML1)과, 제1 일함수 금속 함유막(ML1)에 접하는 제2 일함수 금속 함유막(ML2)과, 제2 일함수 금속 함유막(ML2)에 접하는 갭필 금속막(ML3)을 포함할 수 있다. 제1 일함수 금속 함유막(ML1), 제2 일함수 금속 함유막(ML2), 및 갭필 금속막(ML3)에 대한 상세한 구성은 도 3을 참조하여 설명한 바와 같다.
- [0079] 도 8은 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 집적회로 소자(500)의 일부 구성들의 평면 레이아웃 다이어그램이다. 도 9는 도 8의 Y1 - Y1' 선 단면의 일부 구성을 보여주는 단면도이다.
- [0080] 도 8 및 도 9를 참조하면, 집적회로 소자(500)는 도 1과 도 2a 내지 도 2c를 참조하여 집적회로 소자(100)에 대하여 설명한 바와 대체로 동일한 구성을 가질 수 있다. 단, 집적회로 소자(500)는 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 복수의 핀형 활성 영역(F1, F2) 상에 배치된 복수의 게이트 라인(560)과, 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이에 있는 소자분리막(112) 위에 배치된 영역간 절연 패턴(550C)을 포함할 수 있다. 영역간 절연 패턴(550C)의 수직 방향(Z 방향) 높이(H5C)는 복수의 게이트 컷 절연 패턴(150A, 150B) 각각의 수직 방향(Z 방향) 높이(HA, HB)와 동일하거나 유사할 수 있다. 영역간 절연 패턴(550C)은 실리콘 질화막으로 이루어질 수 있다.
- [0081] 복수의 게이트 라인(560)은 각각 도 1과 도 2a 내지 도 2c를 참조하여 게이트 라인(160)에 대하여 설명한 바와 유사하게, 메인 게이트 부분(160M)과 복수의 서브 게이트 부분(160S)을 포함할 수 있다. 단, 복수의 게이트 라인(560) 중 제1 소자 영역(AR1)에 있는 게이트 라인(560)의 제2 수평 방향(Y 방향) 길이는 제1 게이트 컷 절연 패턴(150A)과 영역간 절연 패턴(550C)에 의해 한정될 수 있다. 복수의 게이트 라인(560) 중 제2 소자 영역(AR2)에 있는 게이트 라인(560)의 제2 수평 방향(Y 방향) 길이는 제2 게이트 컷 절연 패턴(150B)과 영역간 절연 패턴(550C)에 의해 한정될 수 있다.
- [0082] 복수의 게이트 라인(560) 중 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 제2 수평 방향(Y 방향)을 따라 일

렬로 배치된 한 쌍의 게이트 라인(560)은 영역간 절연 패턴(550C)을 사이에 두고 제2 수평 방향(Y 방향)으로 서로 이격되어 있을 수 있다. 상기 한 쌍의 게이트 라인(560)은 각각 영역간 절연 패턴(550C)의 상면을 덮는 부분을 포함하지 않을 수 있다. 예시적인 실시예들에서, 영역간 절연 패턴(450C)의 최상면 레벨은 복수의 게이트 라인(560) 각각의 최상면 레벨과 동일하거나 유사할 수 있다.

- [0083] 게이트 라인(560)에 대한 보다 상세한 구성은 도 1과 도 2a 내지 도 2c를 참조하여 게이트 라인(160)에 대하여 설명한 바와 대체로 동일하다.
- [0084] 집적회로 소자(500)에서, 복수의 게이트 라인(560) 중 제2 수평 방향(Y 방향)을 따라 일렬로 배치되고 영역간 절연 패턴(550C)을 사이에 두고 제2 수평 방향(Y 방향)으로 서로 이격된 한 쌍의 게이트 라인(560)은 전기적으로 상호 연결 가능하게 구성될 수 있다. 이를 위하여, 집적회로 소자(500)는 상기 한 쌍의 게이트 라인(560)에 각각 하나씩 연결된 한 쌍의 게이트 콘택(582)과, 상기 한 쌍의 게이트 콘택(582) 각각에 연결되도록 구성된 도전 라인(586)을 포함할 수 있다. 상기 한 쌍의 게이트 라인(560)은 한 쌍의 게이트 콘택(582)과 도전 라인(586)을 통해 상호 전기적으로 연결 가능하게 구성될 수 있다.
- [0085] 한 쌍의 게이트 콘택(582)은 각각 도전성 배리어막(582A) 및 금속 플러그(582B)를 포함할 수 있다. 도전성 배리어막(582A)은 Ti, Ta, TiN, TaN, 또는 이들의 조합으로 이루어지고, 금속 플러그(582B)는 W, Co, Cu, Ru, Mn, 또는 이들의 조합으로 이루어질 수 있다. 도전 라인(586)은 Ti, Ta, TiN, TaN, W, Co, Cu, Ru, Mn, 또는 이들의 조합으로 이루어질 수 있다. 그러나, 한 쌍의 게이트 콘택(582) 및 도전 라인(586) 각각의 구성 물질 및 형상은 도 8 및 도 9를 참조하여 설명한 바에 한정되지 않으며, 본 발명의 기술적 사상의 범위 내에서 다양한 변형 및 변경이 가능하다.
- [0086] 도 10은 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 집적회로 소자(500A)를 설명하기 위한 단면도이다. 도 10에는 도 8의 Y1 - Y1' 선 단면에 대응하는 부분의 일부 구성이 예시되어 있다.
- [0087] 도 10을 참조하면, 집적회로 소자(500A)는 도 8 및 도 9를 참조하여 설명한 집적회로 소자(500)와 대체로 동일한 구성을 가질 수 있다. 단, 집적회로 소자(500A)는 복수의 게이트 라인(560A)을 포함할 수 있다. 복수의 게이트 라인(560A)은 각각 도 8 및 도 9를 참조하여 설명한 게이트 라인(560)과 대체로 동일한 구성을 가질 수 있다. 단, 복수의 게이트 라인(560A) 중 제1 소자 영역(AR1)에 배치된 게이트 라인(560A)과 제2 소자 영역(AR2)에 배치된 게이트 라인(560A)은 서로 다른 적층 구조를 가질 수 있다.
- [0088] 복수의 게이트 라인(560A)은 각각 제1 일함수 금속 함유막(ML1), 제2 일함수 금속 함유막(ML2), 및 갭필 금속막(ML3) 중에서 선택되는 적어도 2 개의 층을 포함하는 적층 구조로 이루어질 수 있다. 제1 소자 영역(AR1)에 배치된 게이트 라인(560A)은 제1 일함수 금속 함유막(ML1)을 포함하지 않을 수 있다. 예를 들면, 제1 소자 영역(AR1)에 배치된 게이트 라인(560A)은 게이트 유전막(152)에 접하는 제2 일함수 금속 함유막(ML2)과, 제2 일함수 금속 함유막(ML2)에 접하는 갭필 금속막(ML3)을 포함할 수 있다. 제2 소자 영역(AR2)에 배치된 게이트 라인(560A) 중 일부는 게이트 유전막(152)에 접하는 제1 일함수 금속 함유막(ML1)과, 제1 일함수 금속 함유막(ML1)에 접하는 제2 일함수 금속 함유막(ML2)을 포함할 수 있다. 제2 소자 영역(AR2)에 배치된 게이트 라인(560A)의 다른 일부는 게이트 유전막(152)에 접하는 제1 일함수 금속 함유막(ML1)과, 제1 일함수 금속 함유막(ML1)에 접하는 제2 일함수 금속 함유막(ML2)과, 제2 일함수 금속 함유막(ML2)에 접하는 갭필 금속막(ML3)을 포함할 수 있다. 제1 일함수 금속 함유막(ML1), 제2 일함수 금속 함유막(ML2), 및 갭필 금속막(ML3)에 대한 상세한 구성은 도 3을 참조하여 설명한 바와 같다.
- [0089] 도 1 내지 도 10을 참조하여 설명한 집적회로 소자(100, 100A, 100B, 200, 300, 400, 500, 500A)는 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이에서 소자분리막(112) 위에 배치된 영역간 절연 패턴(150C, 250C, 350C, 450C, 550C)을 포함한다. 영역간 절연 패턴(150C, 250C, 350C, 450C, 550C)은 각각 집적회로 소자(100, 100A, 100B, 200, 300, 400, 500, 500A)의 제조 과정에서 공정 불량 가능성이 발생할 가능성을 제거할 수 있으며, 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에 형성되는 복수의 트랜지스터(TR1, TR2) 각각의 성능 및 신뢰성을 향상시키는 데 기여할 수 있다.
- [0090] 도 11a 내지 도 25는 본 발명의 기술적 사상에 의한 실시예들에 따른 집적회로 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들로서, 도 11a, 도 12a, ..., 및 도 17a는 도 1의 X1 - X1' 선 단면에 대응하는 부분의 공정 순서에 따른 일부 구성을 도시한 단면도들이고, 도 11b, 도 12b, ..., 및 도 17b는 도 1의 X2 - X2' 선 단면에 대응하는 부분의 공정 순서에 따른 일부 구성을 도시한 단면도들이고, 도 11c, 도 12c, ..., 및 도 17c와 도 18 내지 도 25는 도 1의 Y1 - Y1' 선 단면에 대응하는 부분의 공정 순서에 따른 일부 구성

을 도시한 단면도들이다. 도 11a 내지 도 25를 참조하여 도 1, 도 2a 내지 도 2c, 및 도 3에 예시한 집적회로 소자(100, 100B)의 예시적인 제조 방법들을 설명한다. 도 11a 내지 도 25에서, 도 1, 도 2a 내지 도 2c, 및 도 3에서와 동일한 참조 부호는 동일 부재를 나타내며, 여기서는 이들에 대한 상세한 설명을 생략한다.

[0091] 도 11a 내지 도 11c를 참조하면, 기판(102) 상에 복수의 희생 반도체층(104)과 복수의 나노시트 반도체층(NS)을 한 층씩 교대로 적층한 후, 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 복수의 희생 반도체층(104), 복수의 나노시트 반도체층(NS), 및 기판(102) 각각의 일부를 식각하여 기판(102)으로부터 수직 방향(Z 방향) 상측으로 돌출되고 제1 수평 방향(X 방향)으로 상호 평행하게 연장되는 복수의 핀형 활성 영역(F1, F2)을 형성하고, 복수의 핀형 활성 영역(F1, F2) 각각의 하부 양 측벽을 덮는 소자분리막(112)을 형성할 수 있다. 소자분리막(112)의 상면 레벨은 복수의 핀형 활성 영역(F1, F2) 각각의 핀 상면(FT) 레벨과 동일하거나 유사할 수 있다.

[0092] 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 복수의 핀형 활성 영역(F1, F2) 각각의 핀 상면(FT) 위에는 복수의 희생 반도체층(104) 및 복수의 나노시트 반도체층(NS)의 적층 구조가 남을 수 있다.

[0093] 복수의 희생 반도체층(104) 및 복수의 나노시트 반도체층(NS)은 식각 선택비가 서로 다른 반도체 재료로 이루어질 수 있다. 예시적인 실시예들에서, 복수의 나노시트 반도체층(NS)은 Si 층으로 이루어지고, 복수의 희생 반도체층(104)은 SiGe 층으로 이루어질 수 있다. 예시적인 실시예들에서, 복수의 희생 반도체층(104) 내에서 Ge 함량은 일정할 수 있다. 복수의 희생 반도체층(104)을 구성하는 SiGe 층은 약 5 원자% 내지 약 60 원자%, 예를 들면 약 10 원자% 내지 약 40 원자%의 범위 내에서 선택되는 일정한 Ge 함량을 가질 수 있다. 복수의 희생 반도체층(104)을 구성하는 SiGe 층 내에서의 Ge 함량은 필요에 따라 다양하게 선택될 수 있다.

[0094] 도 12a 내지 도 12c를 참조하면, 복수의 희생 반도체층(104) 및 복수의 나노시트 반도체층(NS)의 적층 구조 위에 복수의 더미 게이트 구조물(DGS)과, 복수의 더미 게이트 구조물(DGS) 각각의 양 측벽을 덮는 외측 절연 스페이서(118)를 형성할 수 있다. 복수의 더미 게이트 구조물(DGS)은 도 1에 예시한 복수의 게이트 라인(160)에 대응하는 위치에서 제2 수평 방향(Y 방향)을 따라 연속적으로 길게 연장되도록 형성될 수 있다.

[0095] 복수의 더미 게이트 구조물(DGS)은 각각 산화막(D112), 더미 게이트층(D114), 및 캡핑층(D116)이 차례로 적층된 구조를 가질 수 있다. 예시적인 실시예들에서, 더미 게이트층(D114)은 폴리실리콘 막으로 이루어지고, 캡핑층(D116)은 실리콘 질화막으로 이루어질 수 있다.

[0096] 그 후, 더미 게이트 구조물(DGS) 및 외측 절연 스페이서(118)가 형성된 결과물 상에 제1 소자 영역(AR1)을 노출시키는 제1 개구(MH1)를 가지는 제1 마스크 패턴(MP1)을 형성하고, 제2 소자 영역(RX2)이 제1 마스크 패턴(MP1)으로 덮여 있는 상태에서, 제1 소자 영역(AR1)에서 더미 게이트 구조물(DGS) 및 외측 절연 스페이서(118)를 식각 마스크로 이용하여 복수의 희생 반도체층(104) 및 복수의 나노시트 반도체층(NS) 각각의 일부를 제거하여, 제1 소자 영역(AR1)에서 복수의 나노시트 반도체층(NS)으로부터 복수의 나노시트 스택(NSS)을 형성할 수 있다. 복수의 나노시트 스택(NSS)은 각각 제1 내지 제3 나노시트(N1, N2, N3)를 포함할 수 있다. 제1 소자 영역(AR1)에서 복수의 나노시트 스택(NSS) 각각의 사이에서 노출되는 제1 핀형 활성 영역(F1)의 일부 영역을 식각하여 제1 핀형 활성 영역(F1)의 상부에 복수의 제1 리세스(R1)를 형성할 수 있다. 복수의 제1 리세스(R1)를 형성하기 위하여 제1 핀형 활성 영역(F1)을 건식, 습식, 또는 이들의 조합을 이용하여 식각할 수 있다.

[0097] 그 후, 복수의 제1 리세스(R1)를 통해 나노시트 스택(NSS)의 양 측에서 노출되는 복수의 희생 반도체층(104)의 일부를 선택적으로 제거하여, 제1 내지 제3 나노시트(N1, N2, N3) 각각의 사이, 및 제1 나노시트(N1)와 제1 핀형 활성 영역(F1)과의 사이에 복수의 인텐트 영역(104D)을 형성한 후, 복수의 인텐트 영역(104D)을 채우는 복수의 내측 절연 스페이서(120)를 형성할 수 있다. 복수의 인텐트 영역(104D)을 형성하기 위하여 복수의 희생 반도체층(104)과 제1 내지 제3 복수의 나노시트(N1, N2, N3)와의 사이의 식각 선택비 차이를 이용하여 복수의 희생 반도체층(104)의 일부를 선택적으로 식각할 수 있다. 복수의 내측 절연 스페이서(120)를 형성하기 위하여 ALD(atomic layer deposition) 공정, CVD(chemical vapor deposition) 공정, 산화 공정, 또는 이들의 조합을 이용할 수 있다.

[0098] 그 후, 복수의 나노시트 스택(NSS) 각각의 양측에서 제1 핀형 활성 영역(F1) 위에 복수의 제1 소스/드레인 영역(SD1)을 형성할 수 있다. 복수의 제1 소스/드레인 영역(SD1)을 형성하기 위하여 복수의 제1 리세스(R1)의 저면에서 노출되는 제1 핀형 활성 영역(F1)의 표면과, 제1 내지 제3 나노시트(N1, N2, N3) 각각의 측벽으로부터 반도체 물질을 에피택셜 성장시킬 수 있다. 예시적인 실시예들에서, 복수의 제1 소스/드레인 영역(SD1)을 형성하기 위하여, 원소 반도체 전구체를 포함하는 원료 물질들을 사용하여 LPCVD(Low-pressure chemical vapor deposition) 공정, SEG(selective epitaxial growth) 공정, 또는 CDE(cyclic deposition and etching) 공정을

수행할 수 있다. 예시적인 실시예들에서, 복수의 제1 소스/드레인 영역(SD1)은 n 형 도판트로 도핑된 Si 층으로 이루어질 수 있다. 복수의 제1 소스/드레인 영역(SD1)을 형성하기 위하여 Si 소스로서 실란(SiH₄), 디실란(Si₂H₆), 트리실란(Si₃H₈), 디클로로실란(SiH₂Cl₂) 등을 사용할 수 있다. 상기 n 형 도판트는 P(phosphorus), As(arsenic), 및 Sb(antimony) 중에서 선택될 수 있다.

[0099] 도 13a 내지 도 13c를 참조하면, 도 12a 내지 도 12c의 결과물에서 제1 마스크 패턴(MP1)을 제거한 후, 제2 소자 영역(AR2)을 노출시키는 제2 개구(MH2)를 가지는 제2 마스크 패턴(MP2)을 형성할 수 있다. 제1 소자 영역(AR1)이 제2 마스크 패턴(MP2)으로 덮여 있는 상태에서, 제2 소자 영역(AR2)에서 더미 게이트 구조물(DGS) 및 외측 절연 스페이서(118)를 식각 마스크로 이용하여 복수의 희생 반도체층(104) 및 복수의 나노시트 반도체층(NS) 각각의 일부를 제거하여, 제2 소자 영역(AR2)에서 복수의 나노시트 반도체층(NS)으로부터 복수의 나노시트 스택(NSS)을 형성할 수 있다. 복수의 나노시트 스택(NSS)은 각각 제1 내지 제3 나노시트(N1, N2, N3)를 포함할 수 있다.

[0100] 제2 소자 영역(AR2)에서 복수의 나노시트 스택(NSS) 각각의 사이에서 노출되는 제2 핀형 활성 영역(F2)을 식각하여 제2 핀형 활성 영역(F2)의 상부에 복수의 제2 리세스(R2)를 형성할 수 있다. 복수의 제2 리세스(R2)를 형성하는 방법은 도 12a 내지 도 12c를 참조하여 설명한 복수의 제1 리세스(R1)의 형성 방법에 대하여 설명한 바와 같다.

[0101] 그 후, 나노시트 스택(NSS)의 양측에서 제2 핀형 활성 영역(F2) 위에 복수의 제2 소스/드레인 영역(SD2)을 형성할 수 있다. 도 12a 내지 도 12c를 참조하여 복수의 제1 소스/드레인 영역(SD1)에 대하여 설명한 바와 유사하게, 복수의 제2 소스/드레인 영역(SD2)을 형성하기 위하여 복수의 제2 리세스(R2)의 저면에서 노출되는 제2 핀형 활성 영역(F2)의 표면과, 제1 내지 제3 나노시트(N1, N2, N3) 각각의 측벽으로부터 반도체 물질을 에피택셜 성장시킬 수 있다. 예시적인 실시예들에서, 복수의 제2 소스/드레인 영역(SD2)은 p 형 도판트로 도핑된 SiGe 층으로 이루어질 수 있다. 복수의 제2 소스/드레인 영역(SD2)을 형성하기 위하여 Si 소스 및 Ge 소스를 사용할 수 있다. 상기 Si 소스로서 실란(SiH₄), 디실란(Si₂H₆), 트리실란(Si₃H₈), 디클로로실란(SiH₂Cl₂) 등을 사용할 수 있다. 상기 Ge 소스로서 저메인(GeH₄), 디저메인(Ge₂H₆), 트리저메인(Ge₃H₈), 테트라저메인(Ge₄H₁₀), 디클로로저메인(Ge₂H₂Cl₂) 등을 사용할 수 있다. 상기 p 형 도판트는 B(boron) 및 Ga(gallium) 중에서 선택될 수 있다.

[0102] 도 14a 내지 도 14c를 참조하면, 도 13a 내지 도 13c의 결과물에서 제2 마스크 패턴(MP2)을 제거한 후, 복수의 제1 및 제2 소스/드레인 영역(SD1, SD2) 각각의 표면과 복수의 외측 절연 스페이서(118) 각각의 표면을 덮는 절연 라이너(142)를 형성하고, 절연 라이너(142) 위에 게이트간 절연막(144)을 형성할 수 있다. 그 후, 캡핑층(D116)을 제거하고 복수의 외측 절연 스페이서(118), 절연 라이너(142), 및 게이트간 절연막(144)을 평탄화하여 더미 게이트층(D114)의 상면을 노출시킬 수 있다.

[0103] 그 후, 더미 게이트층(D114), 절연 라이너(142), 및 게이트간 절연막(144)을 덮는 제3 마스크 패턴(MP3)을 형성할 수 있다. 제3 마스크 패턴(MP3)은 더미 게이트층(D114)의 일부 영역과, 그 주변의 외측 절연 스페이서(118), 절연 라이너(142), 및 게이트간 절연막(144) 각각의 일부 영역을 노출시키는 복수의 제3 개구(MH3)를 가질 수 있다. 제3 마스크 패턴(MP3)에 형성된 복수의 제3 개구(MH3)의 각각의 위치는 도 1에 예시한 복수의 게이트 컷 절연 패턴(150A, 150B) 및 영역간 절연 패턴(150C) 각각의 위치에 대응할 수 있다.

[0104] 제3 마스크 패턴(MP3)에 형성된 복수의 제3 개구(MH3)를 통해 노출되는 더미 게이트층(D114)의 일부 영역을 선택적으로 이방성 식각하고, 더미 게이트층(D114)의 일부 영역이 식각된 결과 복수의 제3 개구(MH3)를 통해 노출되는 산화막(D112)을 식각하여 복수의 제3 개구(MH3)를 통해 소자분리막(112)이 노출되도록 할 수 있다. 그 결과, 더미 게이트층(D114)에는 복수의 제3 개구(MH3)와 연통되는 복수의 게이트 컷 공간(CTS)이 형성될 수 있다.

[0105] 도 15a 내지 도 15c를 참조하면, 도 14a 내지 도 14c의 결과물에서 제3 마스크 패턴(MP3)을 제거한 후, 복수의 게이트 컷 공간(CTS)을 채우는 복수의 게이트 컷 절연막(150)을 형성하고, 복수의 게이트 컷 공간(CTS) 중에서 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이의 경계 부분에 배치된 게이트 컷 절연막(150)의 상측 일부를 희생막(SCT)으로 치환할 수 있다. 복수의 게이트 컷 절연막(150) 및 희생막(SCT)은 각각 더미 게이트층(D114)을 구성하는 물질과 식각 선택비가 있는 물질로 이루어질 수 있다. 예를 들면, 더미 게이트층(D114)이 폴리실리콘 막으로 이루어지는 경우, 복수의 게이트 컷 절연막(150)은 실리콘 질화물로 이루어지고, 희생막(SCT)은 실리콘 산화물로 이루어질 수 있다.

[0106] 그 후, 더미 게이트층(D114) 및 그 하부의 산화막(D112)을 제거하여 나노시트 스택(NSS) 상부에 복수의 게이트

공간(GS)을 형성할 수 있다. 복수의 게이트 공간(GS)은 각각 복수의 게이트 컷 절연막(150) 및 희생막(SCT)에 의해 제2 수평 방향(Y 방향) 길이가 한정될 수 있다.

- [0107] 도 16a 내지 도 16c를 참조하면, 도 15a 내지 도 15c의 결과물에서 나노시트 스택(NSS) 상부의 게이트 공간(GS)을 통해 복수의 핀형 활성 영역(F1, F2) 상에 남아 있는 복수의 희생 반도체층(104)을 제거하여, 게이트 공간(GS)을 복수의 나노시트(N1, N2, N3) 각각의 사이의 공간과, 제1 나노시트(N1)와 핀 상면(FT)과의 사이의 공간까지 확장할 수 있다.
- [0108] 예시적인 실시예들에서, 복수의 희생 반도체층(104)을 선택적으로 제거하기 위하여, 복수의 나노시트(N1, N2, N3)와 복수의 희생 반도체층(104)의 식각 선택비 차이를 이용할 수 있다. 복수의 희생 반도체층(104)을 선택적으로 제거하기 위하여 액상 또는 기상 에천트를 사용할 수 있다. 예시적인 실시예들에서, 복수의 희생 반도체층(104)을 선택적으로 제거하기 위하여 CH_3COOH 기반 식각액, 예를 들면 CH_3COOH , HNO_3 , 및 HF의 혼합물로 이루어지는 식각액, 또는 CH_3COOH , H_2O_2 , 및 HF의 혼합물로 이루어지는 식각액을 이용할 수 있으나, 상기 예시한 바에 한정되는 것은 아니다.
- [0109] 도 17a 내지 도 17c를 참조하면, 도 16a 내지 도 16c의 결과물에서 복수의 나노시트(N1, N2, N3) 및 복수의 핀형 활성 영역(F1, F2)의 노출된 표면들을 덮는 게이트 유전막(152)을 형성할 수 있다. 게이트 유전막(152)은 게이트 공간(GS)을 통해 노출되는 복수의 외측 절연 스페이서(118)의 표면들과, 복수의 게이트 컷 절연막(150) 및 희생막(SCT) 각각의 표면들을 컨포멀하게 덮도록 형성될 수 있다.
- [0110] 도 18을 참조하면, 도 17a 내지 도 17c의 결과물에서 노출된 표면들을 덮는 제1 일함수 금속 함유막(ML1)을 형성할 수 있다. 제1 일함수 금속 함유막(ML1)은 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 복수의 나노시트(N1, N2, N3) 각각의 사이의 공간과, 제1 나노시트(N1)와 핀형 활성 영역(F1, F2)과 핀 상면(FT)과의 사이의 공간을 채우도록 형성될 수 있다.
- [0111] 도 19를 참조하면, 도 18의 결과물에서 제2 소자 영역(AR2)은 덮고 제1 소자 영역(AR1)은 노출시키는 제4 마스크 패턴(MP4)을 형성하고, 제4 마스크 패턴(MP4)의 주위의 제1 소자 영역(AR1)에서 노출되는 제1 일함수 금속 함유막(ML1)을 선택적으로 제거하여 제1 소자 영역(AR1)에서 게이트 유전막(152)을 다시 노출시킬 수 있다.
- [0112] 예시적인 실시예들에서, 제1 소자 영역(AR1)에서 노출되는 제1 일함수 금속 함유막(ML1)을 선택적으로 제거하기 위하여 습식 식각 공정을 수행할 수 있다. 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이에는 소자분리막(112) 위에 게이트 컷 절연막(150) 및 희생막(SCT)의 적층 구조가 배치되어 있으므로, 제1 소자 영역(AR1)에서 제1 일함수 금속 함유막(ML1)을 제거하는 과정에서 제1 일함수 금속 함유막(ML1) 중 복수의 나노시트(N1, N2, N3) 각각의 사이의 공간과 제1 나노시트(N1)와 핀형 활성 영역(F1, F2)과 핀 상면(FT)과의 사이의 공간을 채우는 부분들까지 완전히 제거되도록 습식 식각 공정을 충분한 시간 동안 진행할 수 있다. 또한, 상기 습식 식각 공정이 이루어지는 동안 제2 소자 영역(AR2)에 있는 제1 일함수 금속 함유막(ML1) 및 그 주변 구조물들은 제4 마스크 패턴(MP4)과, 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이에서 소자분리막(112) 위에 형성된 게이트 컷 절연막(150) 및 희생막(SCT)의 적층 구조에 의해 상기 습식 식각 공정시의 식각 분위기로부터 보호될 수 있다.
- [0113] 제1 소자 영역(AR1)에서 제1 일함수 금속 함유막(ML1)이 제거된 후, 제1 소자 영역(AR1)에서 복수의 나노시트(N1, N2, N3) 각각의 사이와 제1 나노시트(N1)와 핀 상면(FT)과의 사이에 있는 게이트 공간(GS)이 다시 비워질 수 있다.
- [0114] 도 20을 참조하면, 도 19의 결과물에서 제4 마스크 패턴(MP4)을 제거한 후, 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 게이트 공간(GS)의 노출된 표면들을 덮는 제2 일함수 금속 함유막(ML2)을 형성할 수 있다. 제1 소자 영역(AR1)의 게이트 공간(GS)에서 제2 일함수 금속 함유막(ML2)은 게이트 유전막(152)에 접할 수 있다. 제2 소자 영역(AR2)의 게이트 공간(GS)에서 제2 일함수 금속 함유막(ML2)은 제1 일함수 금속 함유막(ML1)에 접할 수 있다.
- [0115] 도 21을 참조하면, 도 20의 결과물을 덮는 제5 마스크 패턴(MP5)을 형성할 수 있다. 제5 마스크 패턴(MP5)은 희생막(SCT)에 대응하는 위치에 형성된 개구(MH5)를 가질 수 있다. 예시적인 실시예들에서, 제5 마스크 패턴(MP5)은 SOH(spin-on hardmask) 재료를 포함하는 탄소 함유막으로 이루어질 수 있다. 상기 탄소 함유막은 그 총 중량을 기준으로 약 85 내지 99 중량%의 비교적 높은 탄소 함량을 가지는 유기 화합물로 이루어질 수 있다. 상기 유기 화합물은 방향족 환을 포함하는 탄화수소 화합물 또는 그 유도체로 이루어질 수 있다.

- [0116] 제5 마스크 패턴(MP5)의 개구(MH5)를 통해 노출되는 제2 일함수 금속 함유막(ML2), 제1 일함수 금속 함유막(ML1), 및 게이트 유전막(152) 각각의 일부를 제거하여 희생막(SCT)의 상면을 노출시킬 수 있다.
- [0117] 도 22를 참조하면, 도 21의 결과물에서 희생막(SCT)을 제거하여, 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이의 경계 부분에 배치된 게이트 컷 절연막(150)의 상면을 개구(MH5)를 통해 노출시킬 수 있다. 희생막(SCT)을 제거하기 위하여 습식 식각, 건식 식각, 또는 이들의 조합을 이용할 수 있다.
- [0118] 도 23을 참조하면, 도 22의 결과물에서 개구(MH5)를 통해 노출되는 게이트 유전막(152), 제2 일함수 금속 함유막(ML2), 및 제1 일함수 금속 함유막(ML1) 각각의 일부를 제거하여, 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이의 경계 부분에 배치된 게이트 컷 절연막(150)의 주변에서 게이트 유전막(152), 제2 일함수 금속 함유막(ML2), 및 제1 일함수 금속 함유막(ML1) 각각의 높이를 낮출 수 있다. 게이트 유전막(152), 제2 일함수 금속 함유막(ML2), 및 제1 일함수 금속 함유막(ML1) 각각의 일부를 제거하기 위하여 습식 식각, 건식 식각, 또는 이들의 조합을 이용할 수 있다.
- [0119] 도 24를 참조하면, 도 23의 결과물에서 제5 마스크 패턴(MP5)을 제거한 후, 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 게이트 공간(GS)의 남은 부분들을 채우는 갭필 금속막(ML3)을 형성하고, 복수의 게이트 컷 절연막(150)의 최상면이 노출될 때까지 갭필 금속막(ML3)을 평탄화할 수 있다. 그 결과, 제1 일함수 금속 함유막(ML1), 제2 일함수 금속 함유막(ML2), 및 갭필 금속막(ML3)은 게이트 공간(GS)(도 17c 참조)과, 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이의 경계 부분에 배치된 게이트 컷 절연막(150)의 상부 공간만 채우게 될 수 있다.
- [0120] 도 25를 참조하면, 도 24의 결과물의 상면으로부터 게이트 공간(GS)(도 17c 참조)을 채우는 제1 일함수 금속 함유막(ML1), 제2 일함수 금속 함유막(ML2), 및 갭필 금속막(ML3) 각각의 일부와, 복수의 게이트 컷 절연막(150) 각각의 일부를 제거하여, 제1 일함수 금속 함유막(ML1), 제2 일함수 금속 함유막(ML2), 갭필 금속막(ML3), 및 복수의 게이트 컷 절연막(150) 각각의 높이를 낮출 수 있다. 이 때, 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이의 경계 부분에 배치된 게이트 컷 절연막(150)은 갭필 금속막(ML3)에 의해 보호되어 그 높이가 변하지 않을 수 있다. 그 결과, 복수의 게이트 컷 절연막(150)으로부터 복수의 게이트 컷 절연 패턴(150A, 150B) 및 영역간 절연 패턴(150C)이 얻어질 수 있다.
- [0121] 그 후, 제1 일함수 금속 함유막(ML1), 제2 일함수 금속 함유막(ML2), 갭필 금속막(ML3), 및 복수의 게이트 컷 절연 패턴(150A, 150B) 각각의 위에서 게이트 공간(GS)(도 17c 참조)의 남은 영역을 채우는 캡핑 절연 패턴(164)을 형성할 수 있다.
- [0122] 예시적인 실시예들에서, 도 25의 결과물에서 제1 일함수 금속 함유막(ML1), 제2 일함수 금속 함유막(ML2), 및 갭필 금속막(ML3)은 도 2a 내지 도 2c에 예시한 집적회로 소자(100)의 게이트 라인(160)을 구성할 수 있다. 다른 예시적인 실시예들에서, 도 25의 결과물에서 제1 일함수 금속 함유막(ML1), 제2 일함수 금속 함유막(ML2), 및 갭필 금속막(ML3)은 도 3에 예시한 집적회로 소자(100A)의 게이트 라인(160A)을 구성할 수 있다.
- [0123] 그 후, 도 2a 및 도 2b에 예시한 바와 같이, 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 각각 게이트간 절연막(144) 및 절연 라이너(142)를 관통하여 복수의 제1 및 제2 소스/드레인 영역(SD1, SD2)에 연결되는 복수의 소스/드레인 콘택(174)과, 제1 및 제2 소스/드레인 영역(SD1, SD2)과 복수의 소스/드레인 콘택(174)과의 사이에 개재되는 금속 실리사이드막(172)을 형성할 수 있다. 또한, 도 2a 내지 도 2c에 예시한 바와 같이, 금속 실리사이드막(172) 및 복수의 소스/드레인 콘택(174)이 형성된 결과물의 상면을 덮는 절연 구조물(190)을 형성하고, 절연 구조물(190)을 관통하여 복수의 소스/드레인 콘택(174)에 연결되는 복수의 소스/드레인 비아 콘택(192)을 형성할 수 있다. 예시적인 실시예들에서, 캡핑 절연 패턴(164)을 관통하여 게이트 라인(160)에 연결되는 복수의 게이트 콘택(도시 생략)과, 절연 구조물(190)을 관통하여 상기 복수의 게이트 콘택에 연결되는 복수의 게이트 비아 콘택(도시 생략)을 형성하는 공정을 더 수행할 수 있다.
- [0124] 이상, 도 11a 내지 도 25를 참조하여 도 1, 도 2a 내지 도 2c, 및 도 3에 예시한 집적회로 소자(100, 100B)의 예시적인 제조 방법들을 설명하였으나, 도 11a 내지 도 25를 참조하여 설명한 바를 참조하여 본 발명의 기술적 사상의 범위 내에서 다양한 변형 및 변경을 가하여, 도 4 내지 도 10을 참조하여 설명한 집적회로 소자(100B, 200, 300, 400, 500, 500A), 및 이들과 유사한 구조를 가지는 다양한 집적회로 소자들을 제조할 수 있음을 당업자들은 잘 알 수 있을 것이다.
- [0125] 예를 들면, 도 4에 예시한 집적회로 소자(100B)를 제조하기 위하여, 도 22를 참조하여 설명한 바와 같이 희생막(SCT)을 제거하는 공정과, 도 23을 참조하여 설명한 바와 같이 개구(MH5)를 통해 노출되는 게이트 유전막(152),

제2 일함수 금속 함유막(ML2), 및 제1 일함수 금속 함유막(ML1) 각각의 일부를 제거하는 공정들에서 각각 식각 분위기를 제어함으로써, 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이의 경계 부분에 배치된 게이트 컷 절연막(150)으로부터 얻어지는 영역간 절연 패턴(150C)이 비선형 상면(TB)을 가지도록 할 수 있다.

- [0126] 도 5에 예시한 집적회로 소자(200) 또는 도 6에 예시한 집적회로 소자(300)를 제조하기 위하여, 도 14a 내지 도 14c를 참조하여 설명한 바와 같이 제3 마스크 패턴(MP3)을 형성할 때, 제3 마스크 패턴(MP3)에 포함된 복수의 제3 개구(MH3) 중 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이의 경계 부분에 대응하는 위치에 있는 제3 개구(MH3)의 위치를 변경할 수 있다.
- [0127] 일 예에서, 도 14a 내지 도 14c를 참조하여 설명한 바와 같이 제3 마스크 패턴(MP3)을 형성할 때, 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이의 경계 부분에 대응하는 위치에 있는 제3 개구(MH3)의 위치가 제1 소자 영역(AR1)에 있는 제1 핀형 활성 영역(F1)과 제2 소자 영역(AR2)에 있는 제2 핀형 활성 영역(F2) 중 제1 핀형 활성 영역(F1)에 더 인접하게 배치되도록 제3 마스크 패턴(MP3)을 형성한 후, 도 14a 내지 도 25를 참조하여 설명한 후속 공정들을 수행함으로써 도 5에 예시한 집적회로 소자(200)를 제조할 수 있다.
- [0128] 다른 예에서, 도 14a 내지 도 14c를 참조하여 설명한 바와 같이 제3 마스크 패턴(MP3)을 형성할 때, 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이의 경계 부분에 대응하는 위치에 있는 제3 개구(MH3)의 위치가 제1 소자 영역(AR1)에 있는 제1 핀형 활성 영역(F1)과 제2 소자 영역(AR2)에 있는 제2 핀형 활성 영역(F2) 중 제2 핀형 활성 영역(F2)에 더 인접하게 배치되도록 제3 마스크 패턴(MP3)을 형성한 후, 도 14a 내지 도 25를 참조하여 설명한 후속 공정들을 수행함으로써 도 6에 예시한 집적회로 소자(300)를 제조할 수 있다.
- [0129] 도 7에 예시한 집적회로 소자(400)를 제조하기 위하여, 도 15a 내지 도 15c를 참조하여 설명한 바와 같이 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이의 경계 부분에 배치된 게이트 컷 절연막(150)의 상측 일부를 희생막(SCT)으로 치환하는 공정에서, 희생막(SCT)의 수직 방향(Z 방향) 길이를 도 15c에 예시한 것보다 더 길게 하여 희생막(SCT)과 그 하부에 있는 게이트 컷 절연막(150)과의 접촉면의 레벨이 도 15c에 예시한 레벨보다 더 낮아지도록 할 수 있다. 그 후, 도 16a 내지 도 25를 참조하여 설명한 후속 공정들을 수행함으로써 도 7에 예시한 집적회로 소자(400)를 제조할 수 있다.
- [0130] 도 26은 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 집적회로 소자의 제조 방법을 설명하기 위한 단면도이다. 도 26을 참조하여 도 1, 도 2a 내지 도 2c, 및 도 3에 예시한 집적회로 소자(100, 100B)의 다른 예시적인 제조 방법을 설명한다.
- [0131] 도 26을 참조하면, 도 11a 내지 도 21을 참조하여 설명한 공정들을 수행하여 제5 마스크 패턴(MP5)의 개구(MH5)를 통해 희생막(SCT)의 상면을 노출시킨 후, 도 22를 참조하여 설명한 바와 같은 방법으로 개구(MH5)를 통해 희생막(SCT)을 제거할 수 있다.
- [0132] 그 후, 도 23을 참조하여 설명한 바와 유사한 방법으로 개구(MH5)를 통해 노출되는 게이트 유전막(152)의 일부를 제거하여 개구(MH5)를 통해 제2 일함수 금속 함유막(ML2) 및 제1 일함수 금속 함유막(ML1) 각각의 측벽을 노출시킬 수 있다. 단, 본 예에서는 도 23을 참조하여 설명한 바와 달리, 개구(MH5)를 통해 제2 일함수 금속 함유막(ML2) 및 제1 일함수 금속 함유막(ML1) 각각의 일부를 제거하는 공정은 생략할 수 있다.
- [0133] 그 후, 도 24를 참조하여 설명한 바와 유사한 방법으로, 제5 마스크 패턴(MP5)을 제거한 후, 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 게이트 공간(GS)의 남은 부분들을 채우는 갭필 금속막(ML3)을 형성하고, 얻어진 결과물을 평탄화하여 복수의 게이트 컷 절연막(150)의 최상면을 노출시킬 수 있다. 그 결과, 제1 일함수 금속 함유막(ML1), 제2 일함수 금속 함유막(ML2), 및 갭필 금속막(ML3)은 게이트 공간(GS)(도 17c 참조)과, 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이의 경계 부분에 배치된 게이트 컷 절연막(150)의 상부 공간에만 남게 될 수 있다. 그 후, 도 25를 참조하여 설명한 공정들을 수행하여, 도 2a 내지 도 2c에 예시한 집적회로 소자(100) 또는 도 3에 예시한 집적회로 소자(100A)를 제조할 수 있다.
- [0134] 도 27a 내지 도 27f는 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 집적회로 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다. 도 27a 내지 도 27f에는 도 8의 Y1 - Y1' 선 단면에 대응하는 부분의 공정 순서에 따른 일부 구성이 예시되어 있다. 도 27a 내지 도 27f를 참조하여, 도 8 내지 도 10에 예시한 집적회로 소자(500, 500B)의 예시적인 제조 방법들을 설명한다. 도 27a 내지 도 27f에서, 도 1 내지 도 10에서와 동일한 참조 부호는 동일 부재를 나타내며, 여기서는 이들에 대한 상세한 설명을 생략한다.
- [0135] 도 27a를 참조하면, 도 11a 내지 도 15c를 참조하여 설명한 공정들을 수행할 수 있다. 단, 도 15a 내지 도 15c를 참조하여 설명한 공정들에서, 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이의 경계 부분에 배치된 게

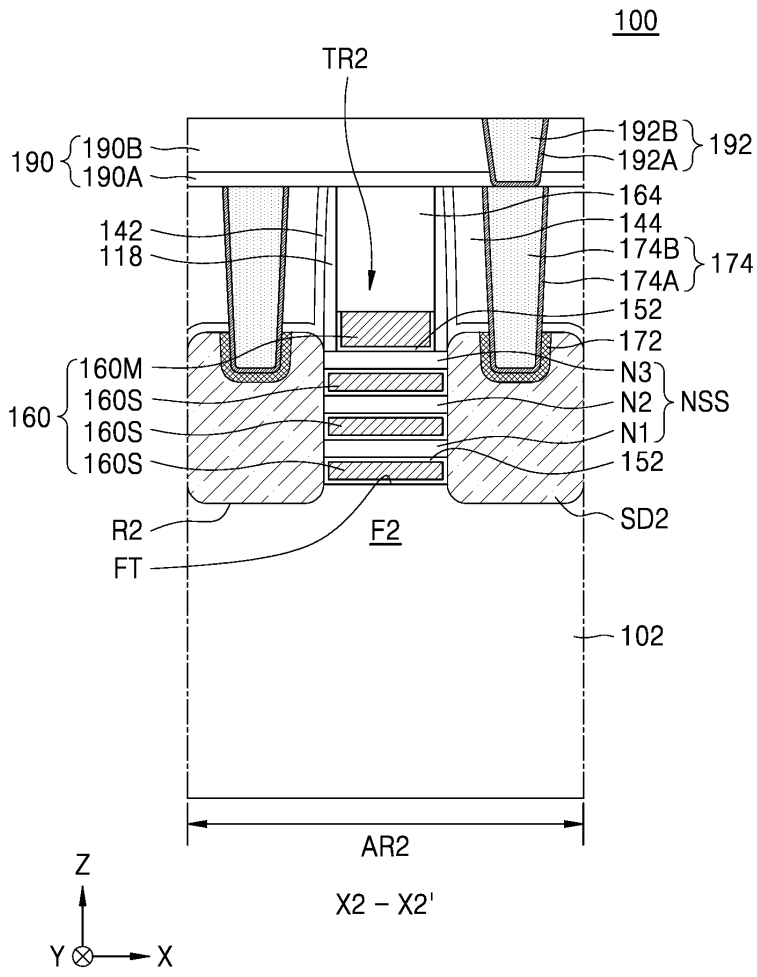
이트 컷 절연막(150)의 상측 일부를 희생막(SCT)으로 치환하는 공정은 생략할 수 있다. 그 결과, 기판(102) 상에 형성된 복수의 게이트 컷 절연막(150)은 수직 방향(Z 방향)으로 동일하거나 유사한 높이를 가질 수 있다.

- [0136] 도 27b를 참조하면, 도 16a 내지 도 17c를 참조하여 설명한 바와 유사한 방법으로, 도 27a의 결과물에서 복수의 핀형 활성 영역(F1, F2) 상에 남아 있는 복수의 희생 반도체층(104)을 제거하여 게이트 공간(GS)을 복수의 나노시트(N1, N2, N3) 각각의 사이의 공간과, 제1 나노시트(N1)와 핀 상면(FT)과의 사이의 공간까지 확장하고, 복수의 나노시트(N1, N2, N3) 및 복수의 핀형 활성 영역(F1, F2)의 노출된 표면들을 덮는 게이트 유전막(152)을 형성할 수 있다.
- [0137] 도 27c를 참조하면, 도 18 및 도 19를 참조하여 설명한 바와 유사한 방법으로, 도 27b의 결과물의 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 노출된 표면들을 덮는 제1 일함수 금속 함유막(ML1)을 형성한 후, 제1 소자 영역(AR1)에서만 제1 일함수 금속 함유막(ML1)을 선택적으로 제거하여 제1 소자 영역(AR1)에서 게이트 유전막(152)을 다시 노출시킬 수 있다.
- [0138] 제1 소자 영역(AR1)에서 노출되는 제1 일함수 금속 함유막(ML1)을 선택적으로 제거하기 위하여 습식 식각 공정을 수행할 수 있다. 이 때, 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이에는 소자분리막(112) 위에 게이트 컷 절연막(150)이 배치되어 있으므로, 제1 소자 영역(AR1)에서 제1 일함수 금속 함유막(ML1)을 제거하는 과정에서 제1 일함수 금속 함유막(ML1) 중 복수의 나노시트(N1, N2, N3) 각각의 사이의 공간과, 제1 나노시트(N1)와 핀형 활성 영역(F1, F2)과 핀 상면(FT)과의 사이의 공간을 채우는 부분들까지 완전히 제거되도록 상기 습식 식각 공정을 충분한 시간 동안 진행할 수 있다. 또한, 상기 습식 식각 공정이 이루어지는 동안, 제2 소자 영역(AR2)에 있는 제1 일함수 금속 함유막(ML1) 및 그 주변 구조물들은 제4 마스크 패턴(MP4)과, 제1 소자 영역(AR1)과 제2 소자 영역(AR2)과의 사이에서 소자분리막(112) 위에 형성된 게이트 컷 절연막(150)에 의해 상기 습식 식각 공정시의 식각 분위기로부터 보호될 수 있다.
- [0139] 도 27d를 참조하면, 도 20을 참조하여 설명한 바와 유사한 방법으로, 도 27c의 결과물에서 게이트 공간(GS)의 노출된 표면들을 덮는 제2 일함수 금속 함유막(ML2)을 형성할 수 있다.
- [0140] 도 27e를 참조하면, 도 24를 참조하여 설명한 바와 유사한 방법으로, 도 27d의 결과물의 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에서 게이트 공간(GS)의 남은 부분들을 채우는 캡핑 금속막(ML3)을 형성하고, 얻어진 결과물을 평탄화하여 복수의 게이트 컷 절연막(150) 각각의 상면을 노출시킬 수 있다.
- [0141] 도 27f를 참조하면, 도 25를 참조하여 설명한 바와 유사한 방법으로, 도 27e의 결과물의 상면으로부터 제1 일함수 금속 함유막(ML1), 제2 일함수 금속 함유막(ML2), 및 캡핑 금속막(ML3) 각각의 일부와, 복수의 게이트 컷 절연막(150) 각각의 일부를 제거하여 이들 각각의 높이를 낮출 수 있다. 그 결과, 복수의 게이트 컷 절연막(150) 으로부터 복수의 게이트 컷 절연 패턴(150A, 150B) 및 영역간 절연 패턴(550C)이 얻어질 수 있다. 그 후, 제1 일함수 금속 함유막(ML1), 제2 일함수 금속 함유막(ML2), 캡핑 금속막(ML3), 복수의 게이트 컷 절연 패턴(150A, 150B), 및 영역간 절연 패턴(550C)을 덮는 캡핑 절연 패턴(164)을 형성할 수 있다.
- [0142] 예시적인 실시예들에서, 도 27f의 결과물에서 제1 일함수 금속 함유막(ML1), 제2 일함수 금속 함유막(ML2), 및 캡핑 금속막(ML3)은 도 8 및 도 9에 예시한 집적회로 소자(500)의 게이트 라인(560)을 구성할 수 있다. 다른 예시적인 실시예들에서, 도 27f의 결과물에서 제1 일함수 금속 함유막(ML1), 제2 일함수 금속 함유막(ML2), 및 캡핑 금속막(ML3)은 도 10에 예시한 집적회로 소자(500A)의 게이트 라인(560A)을 구성할 수 있다.
- [0143] 그 후, 도 9 및 도 10에 예시한 바와 같이, 캡핑 절연 패턴(164) 위에 절연 구조물(190)을 형성하고, 절연 구조물(190) 및 캡핑 절연 패턴(164)을 관통하여 제1 소자 영역(AR1) 및 제2 소자 영역(AR2)에 배치된 한 쌍의 게이트 라인(560)(도 9 참조) 또는 한 쌍의 게이트 라인(560A)(도 10 참조)에 연결되는 한 쌍의 게이트 콘택(582)을 형성하고, 절연 구조물(190) 위에 한 쌍의 게이트 콘택(582)에 연결되는 도전 라인(586)을 형성하여, 도 8 및 도 9에 예시한 집적회로 소자(500) 또는 도 10에 예시한 집적회로 소자(500A)를 제조할 수 있다.
- [0144] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

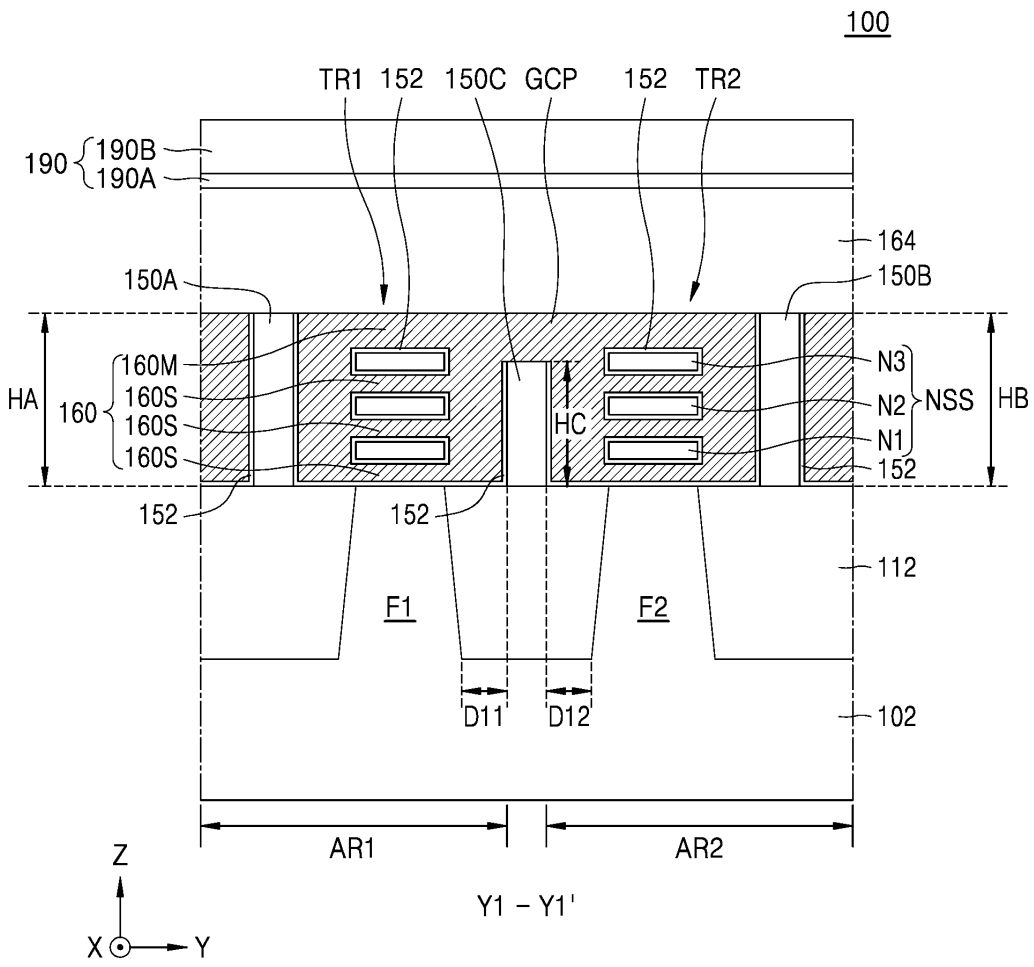
부호의 설명

- [0145] 112: 소자분리막, 150A, 150B: 게이트 컷 절연 패턴, 150C: 영역간 절연 패턴, 160: 게이트 라인, AR1: 제1 소자 영역, AR2: 제2 소자 영역, F1: 제1 핀형 활성 영역, F2: 제2 핀형 활성 영역.

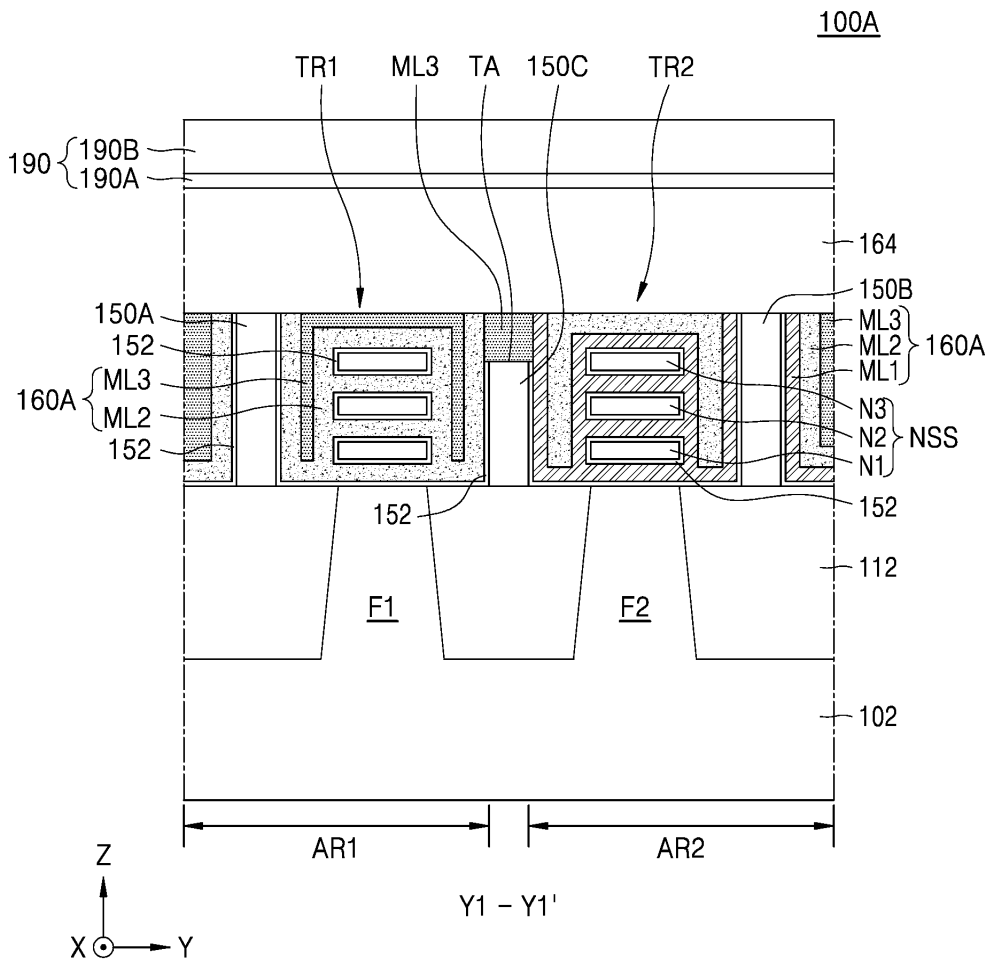
도면2b



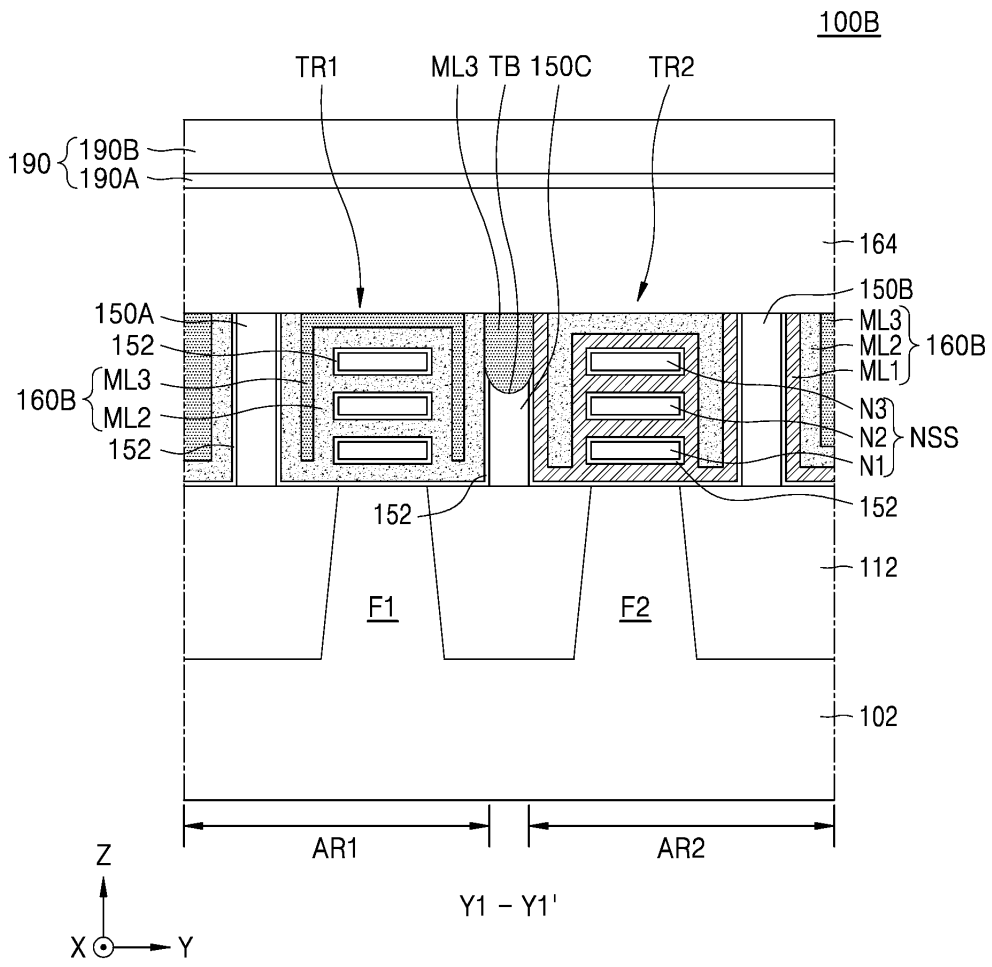
도면2c



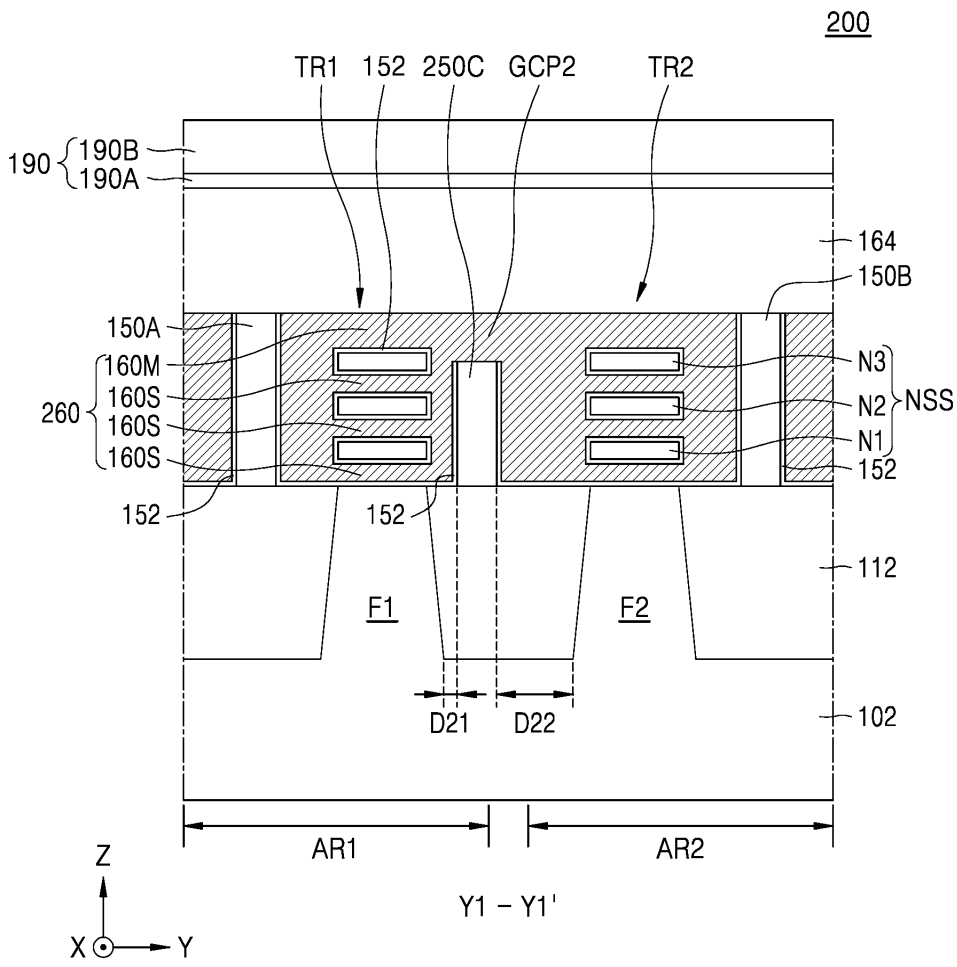
도면3



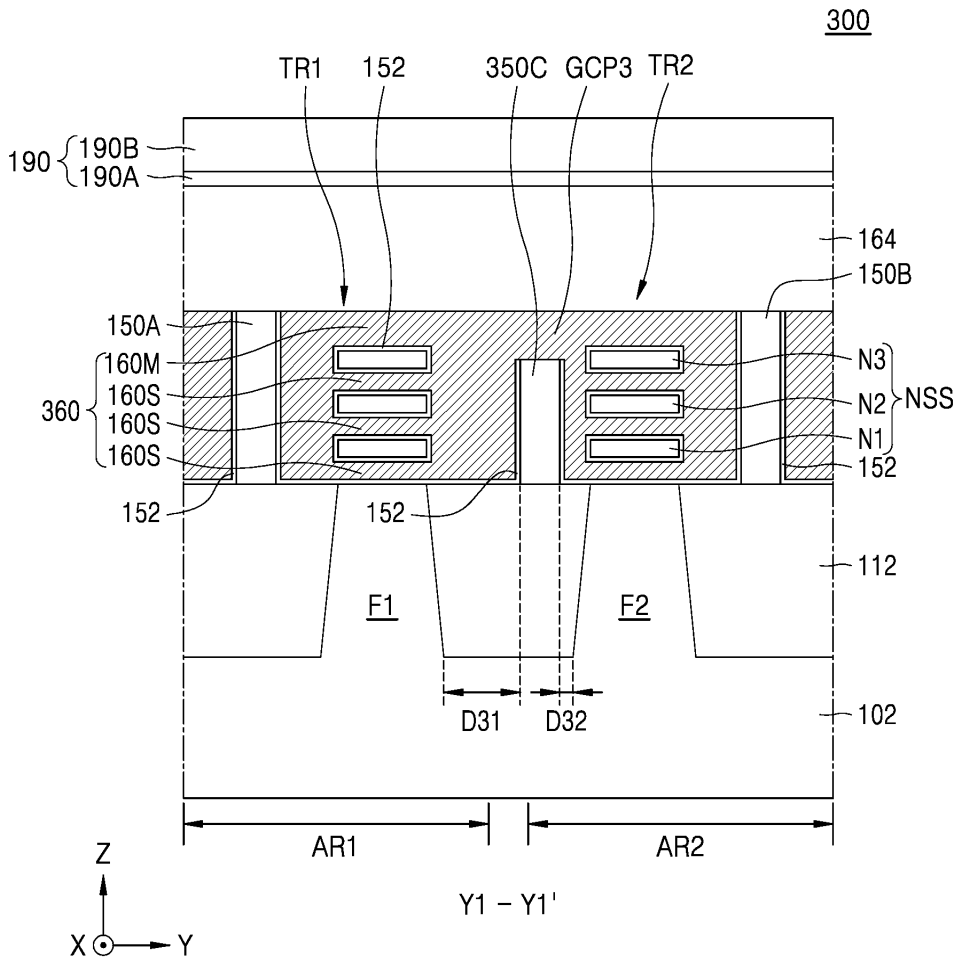
도면4



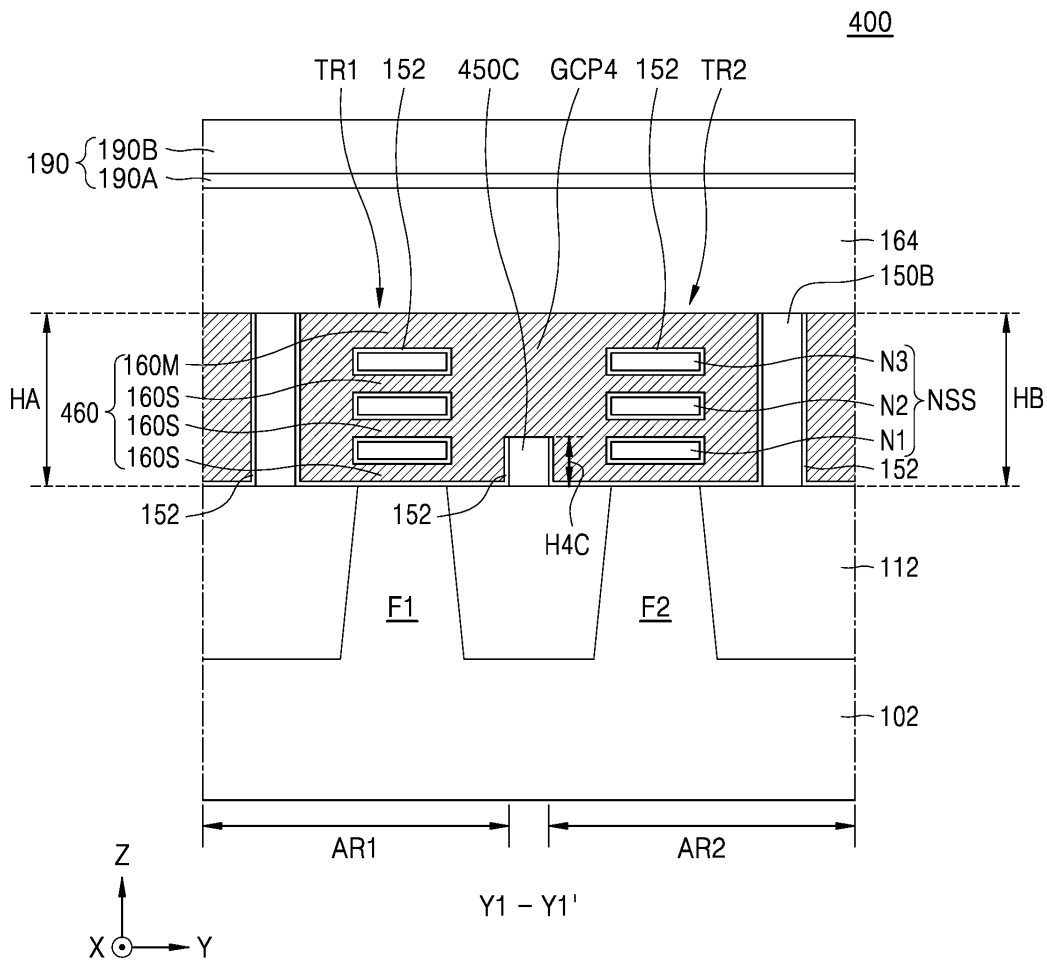
도면5



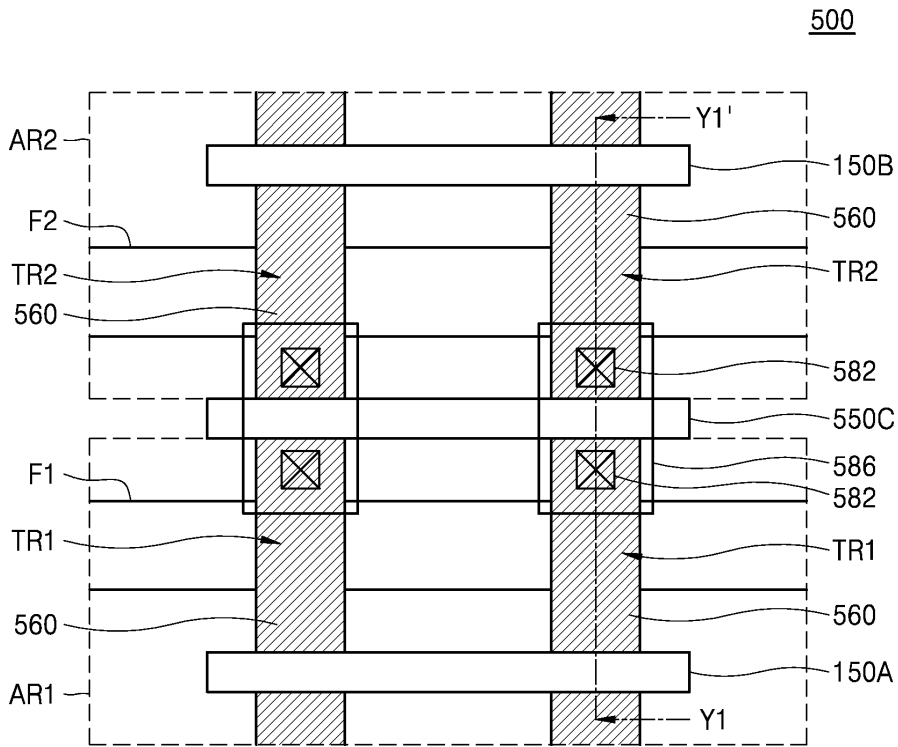
도면6



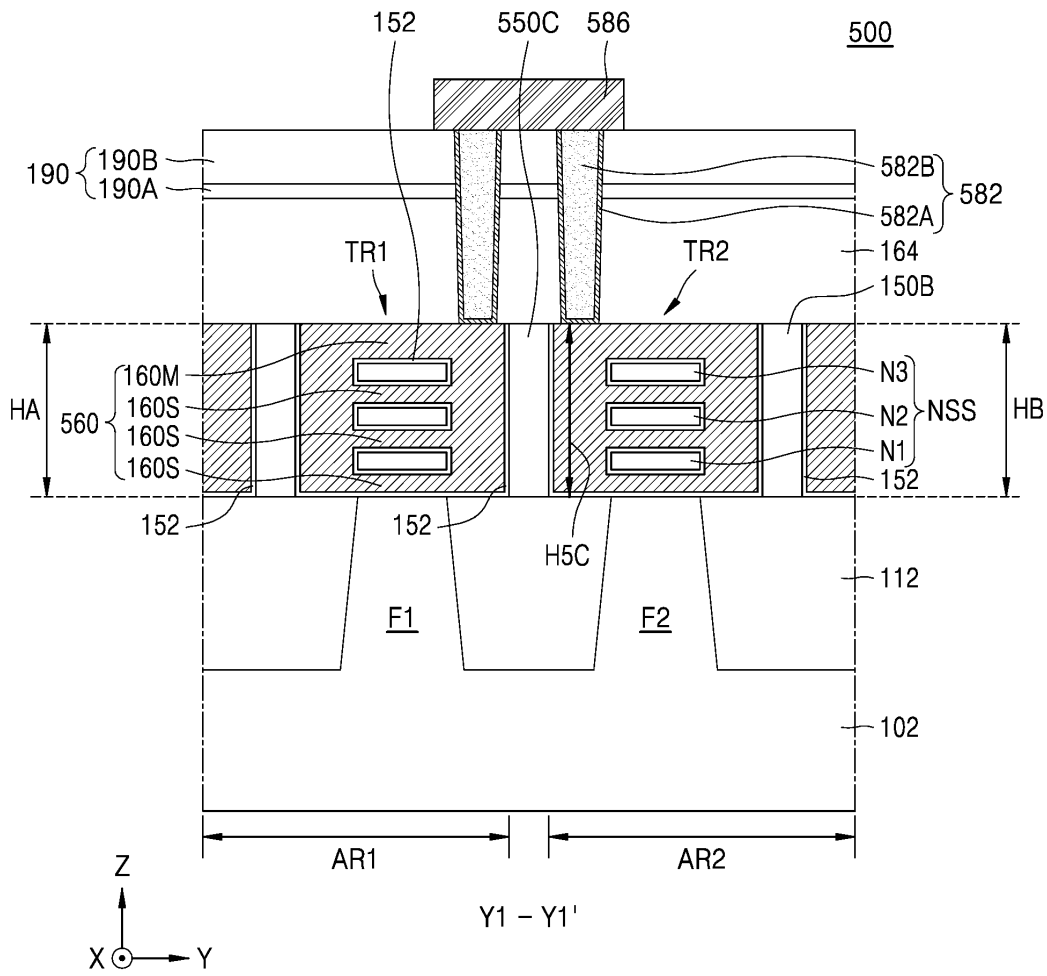
도면7



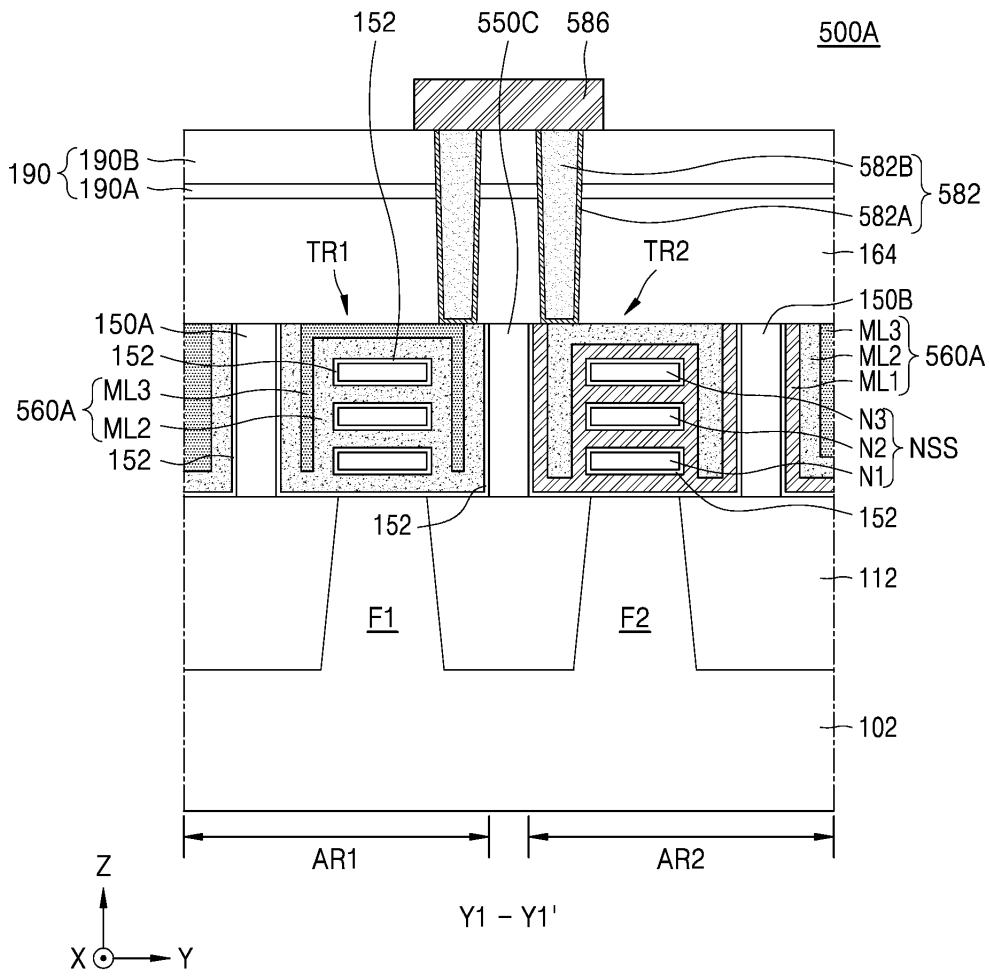
도면8



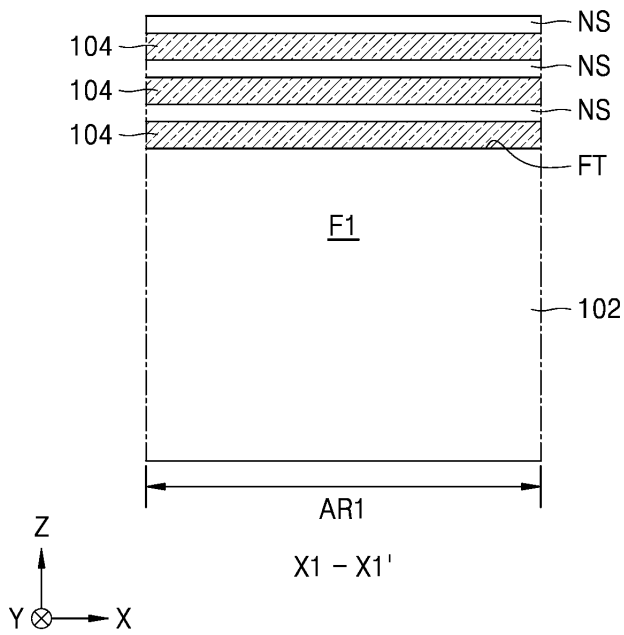
도면9



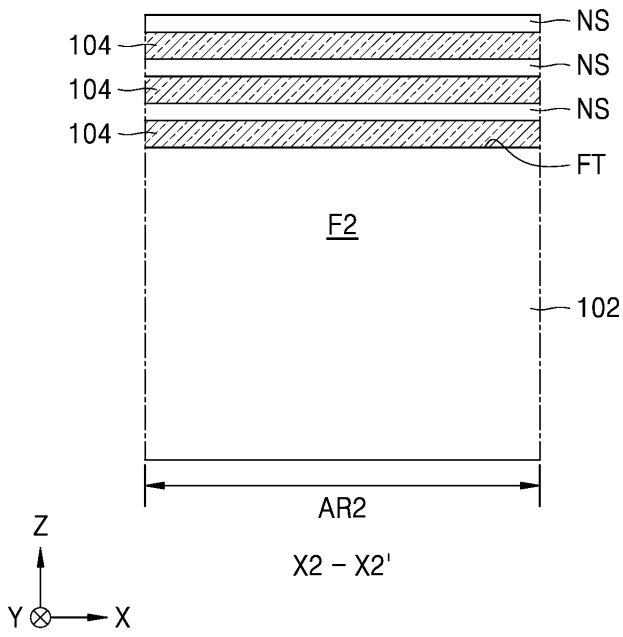
도면10



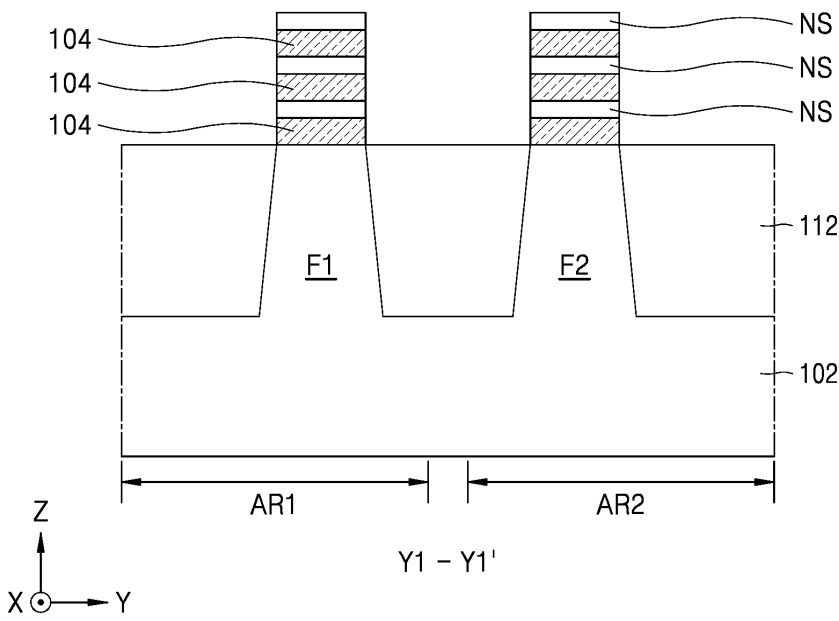
도면11a



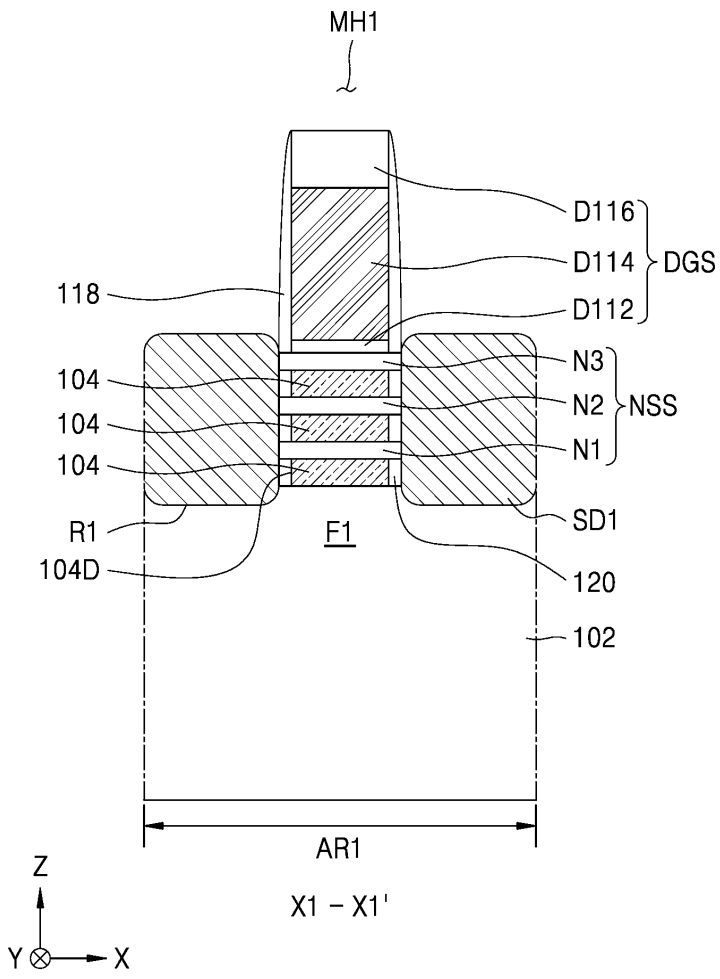
도면11b



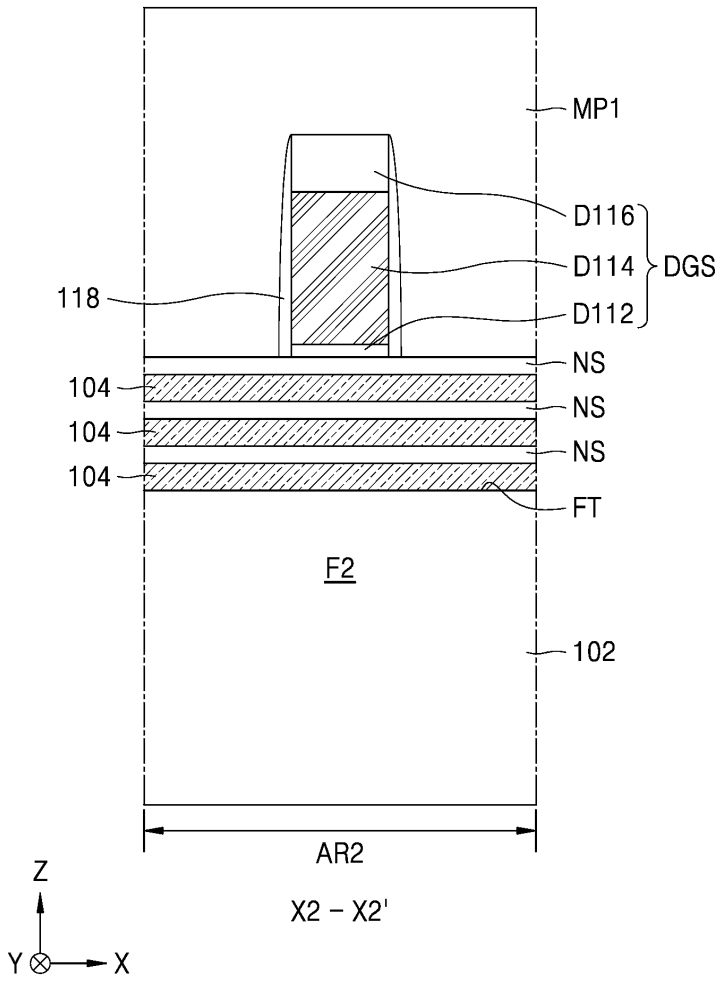
도면11c



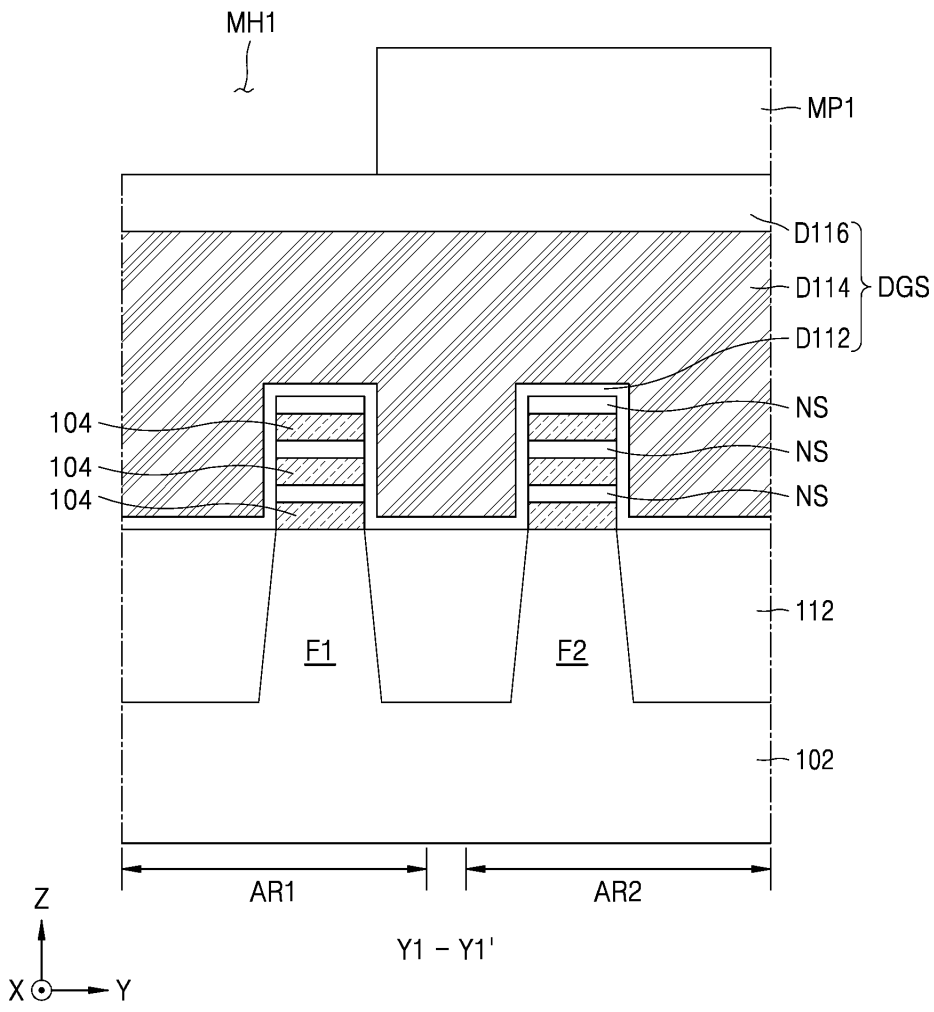
도면12a



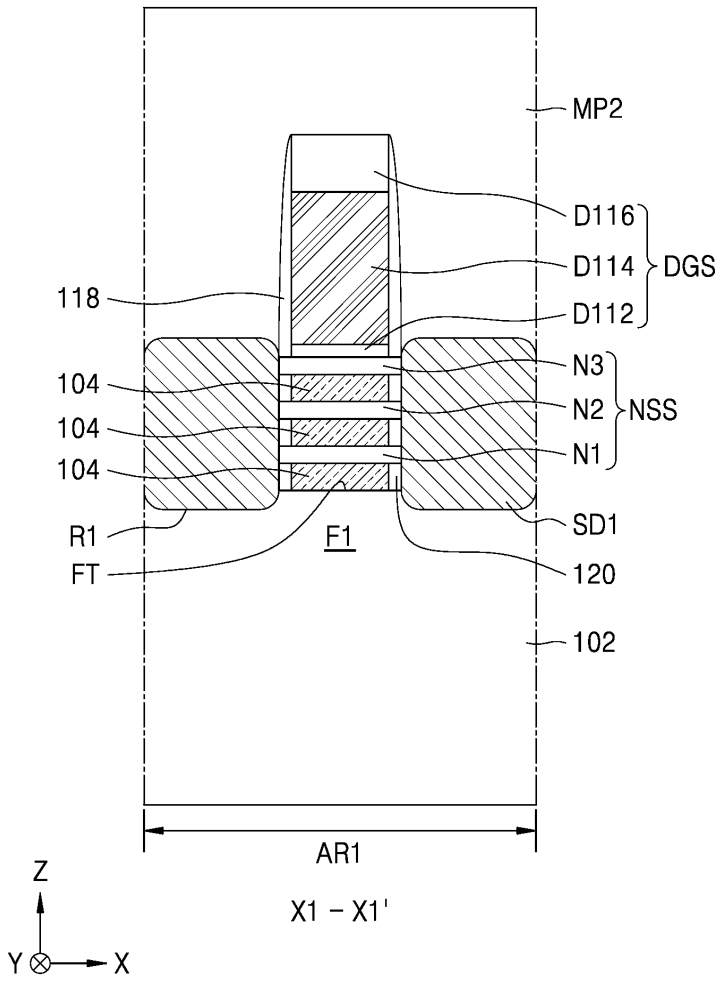
도면 12b



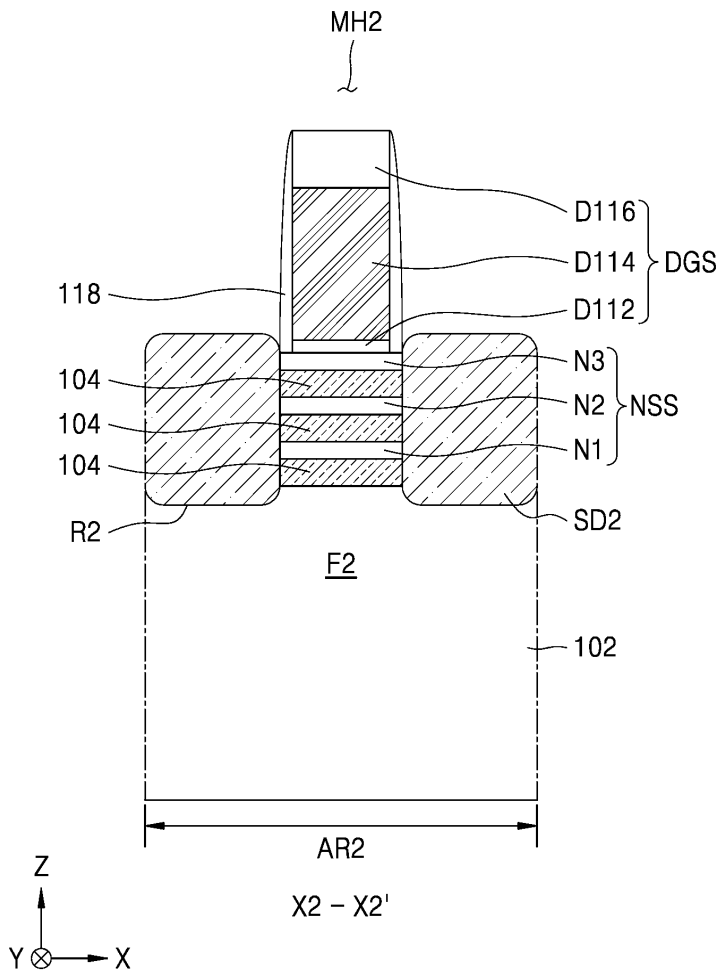
도면12c



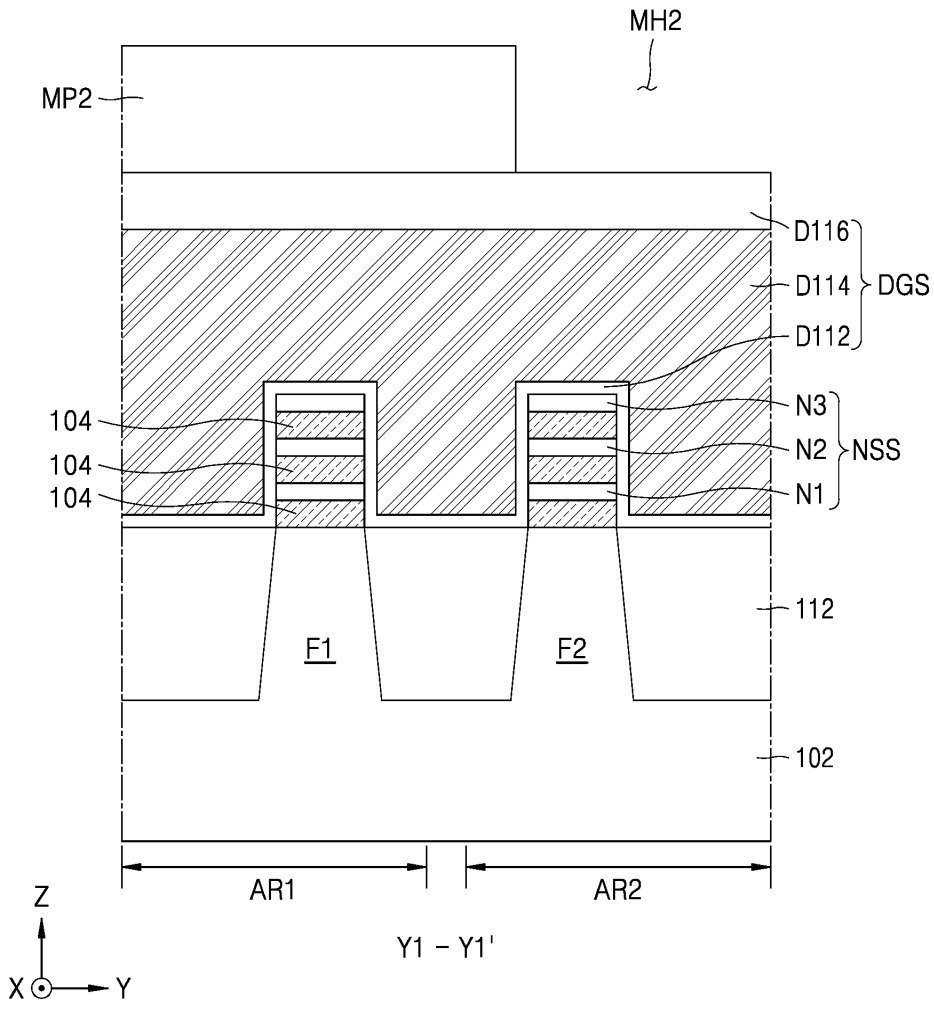
도면13a



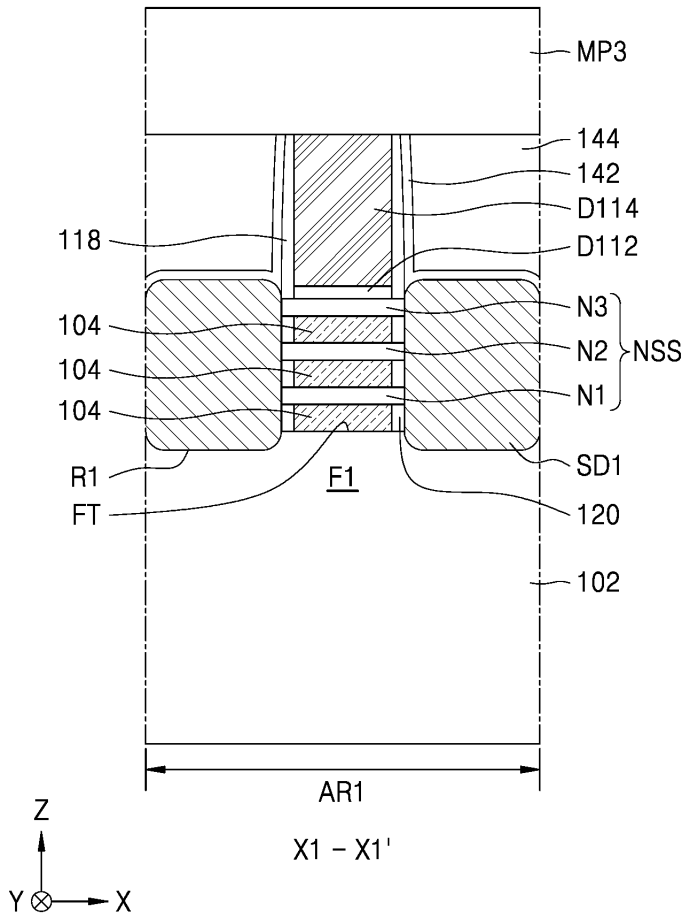
도면13b



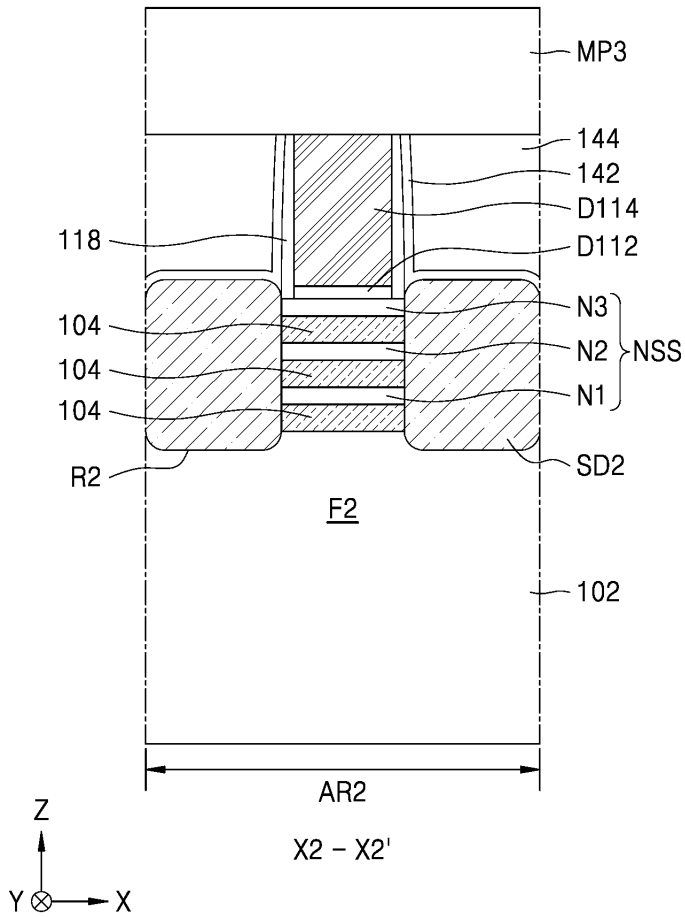
도면13c



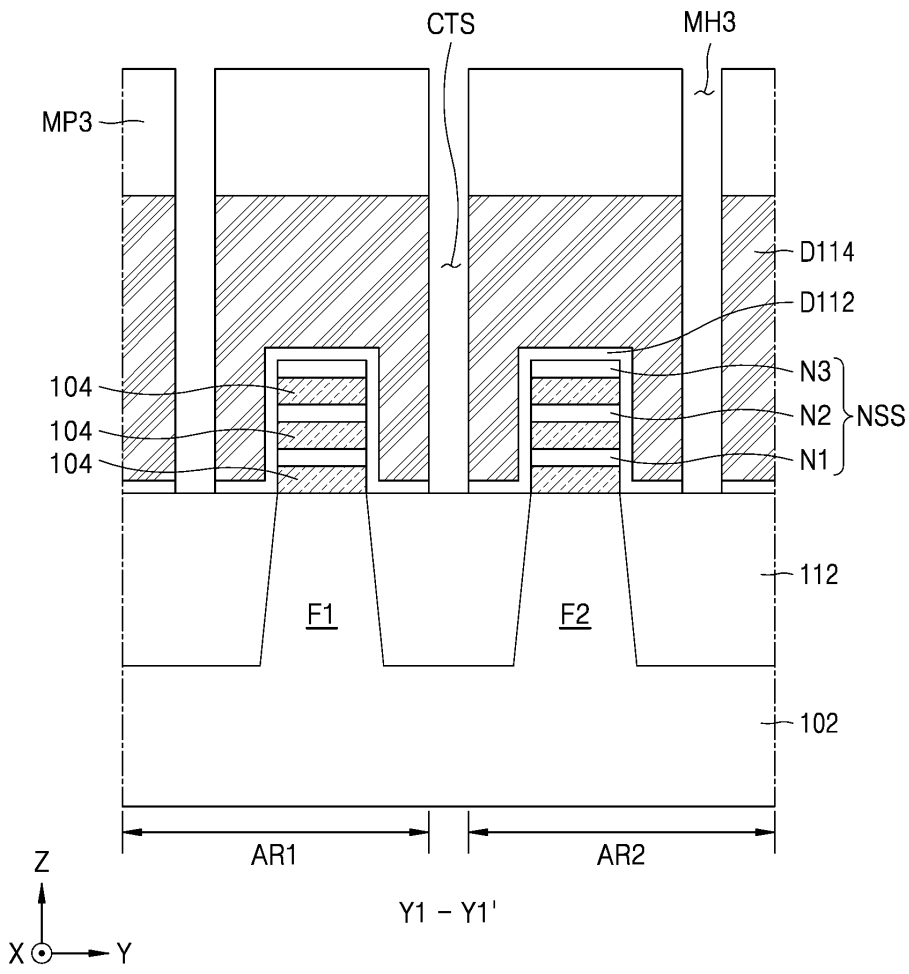
도면14a



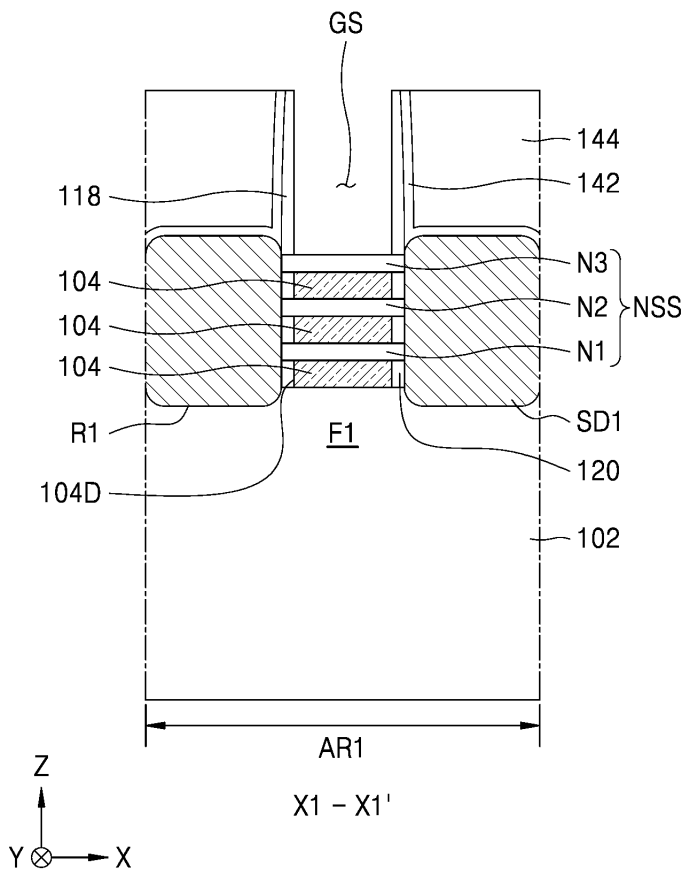
도면14b



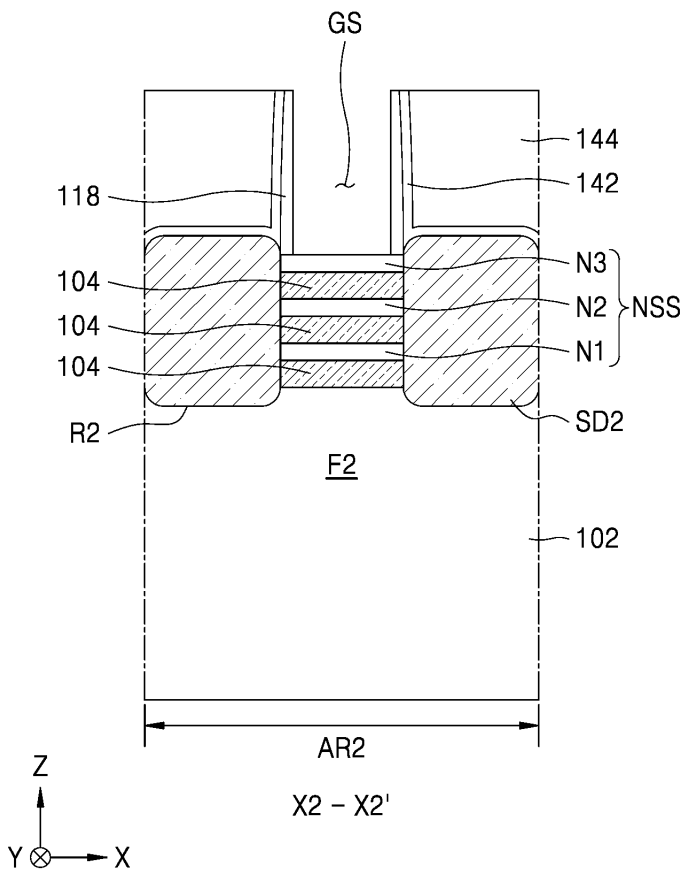
도면14c



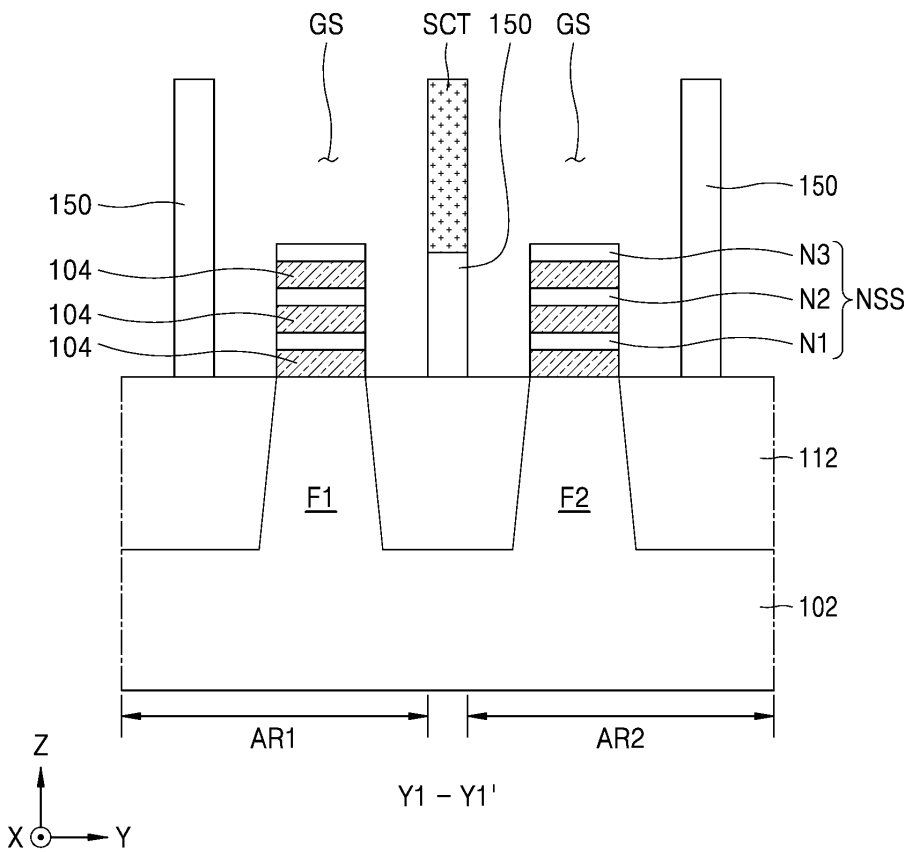
도면15a



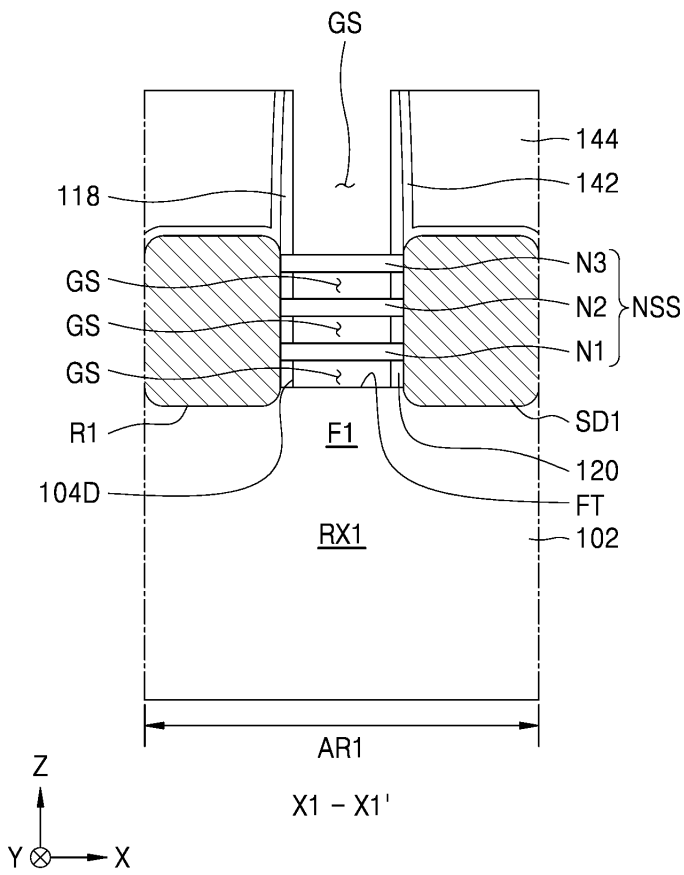
도면15b



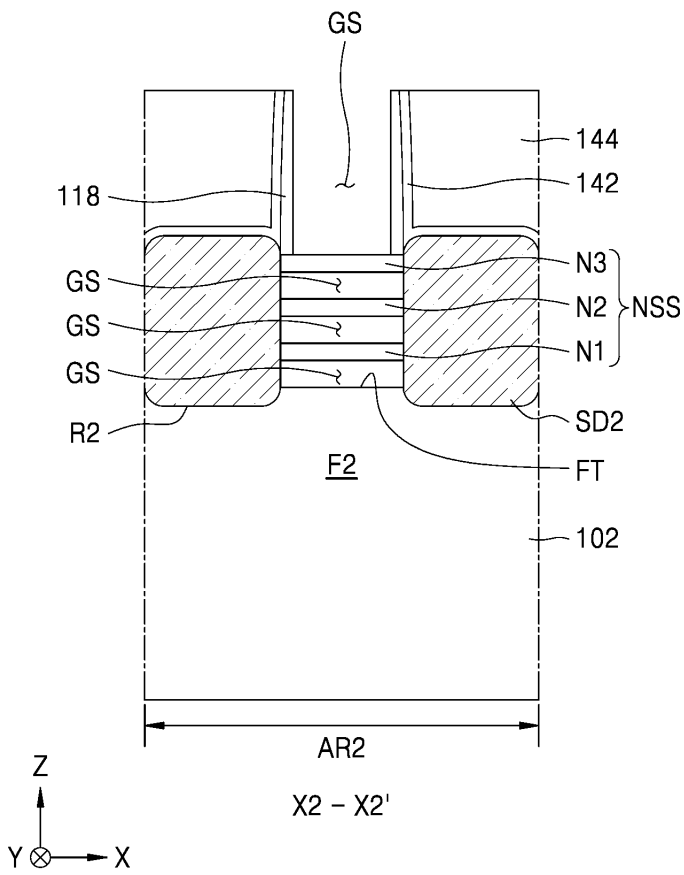
도면15c



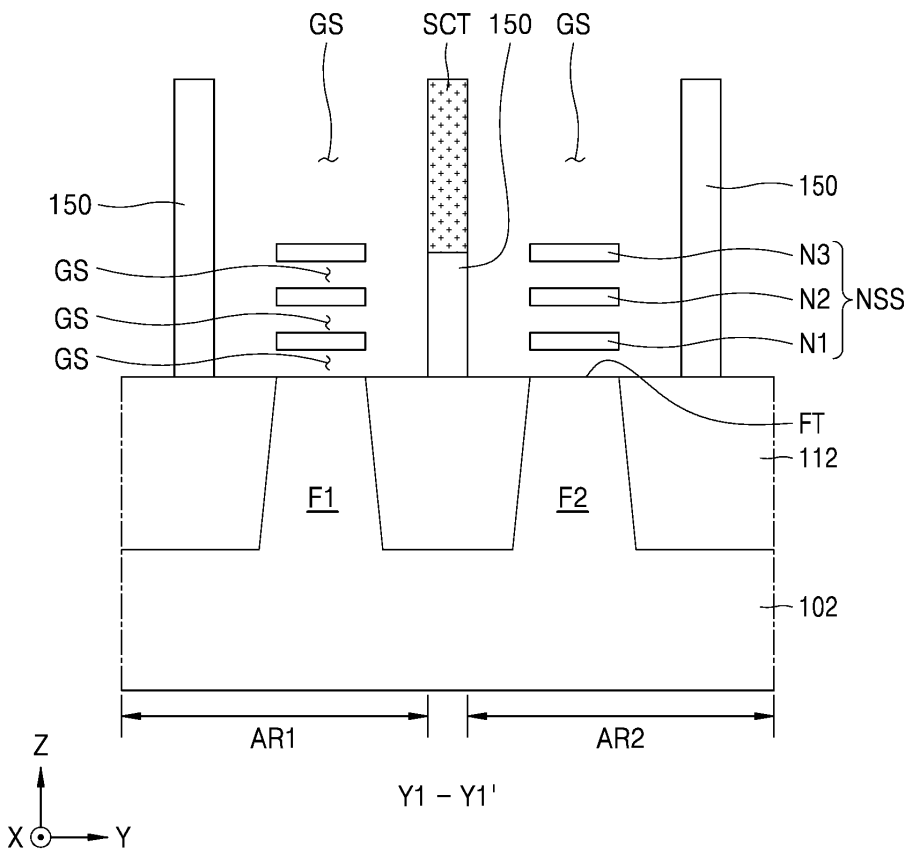
도면16a



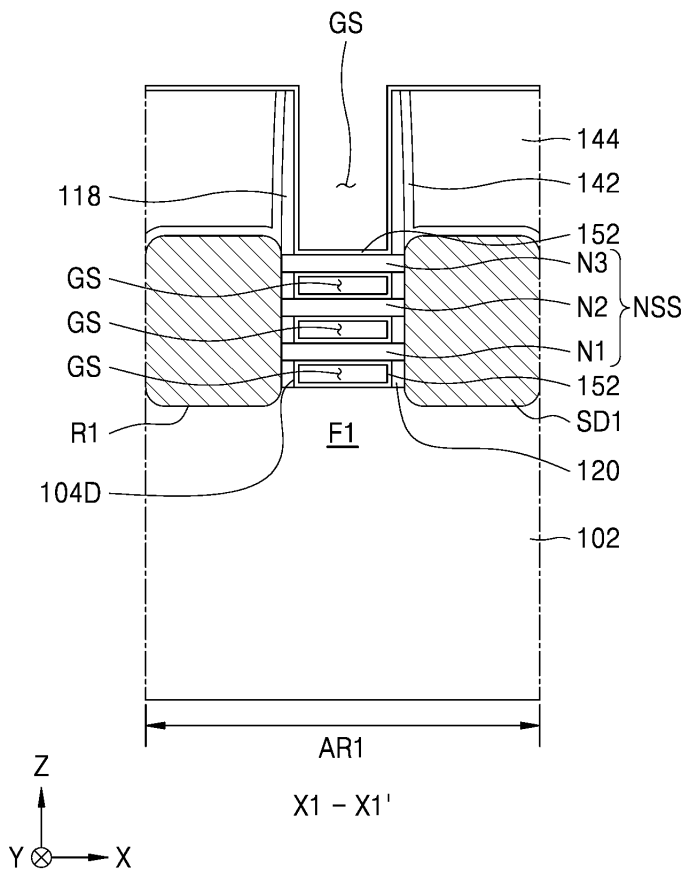
도면16b



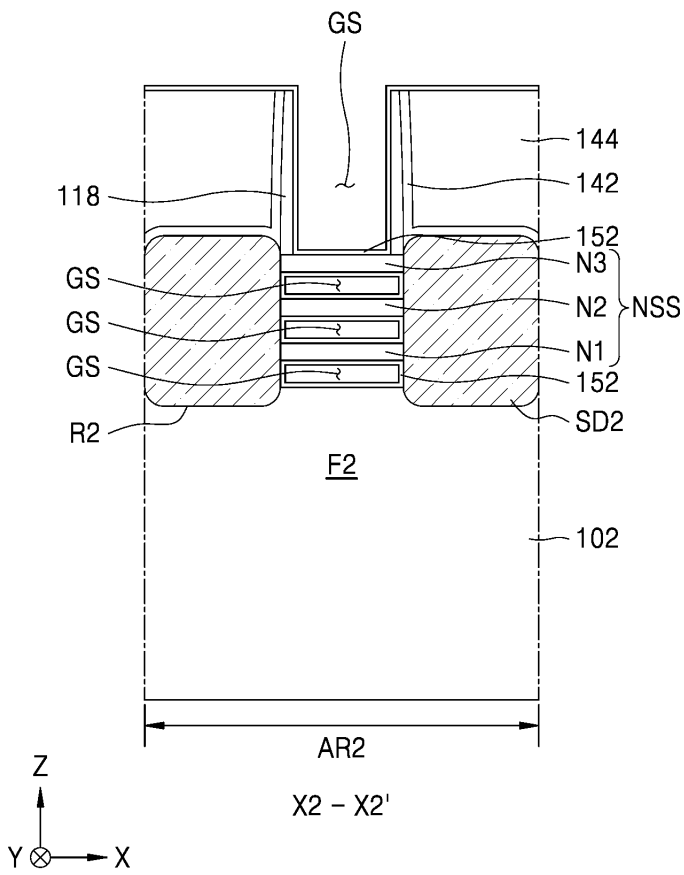
도면16c



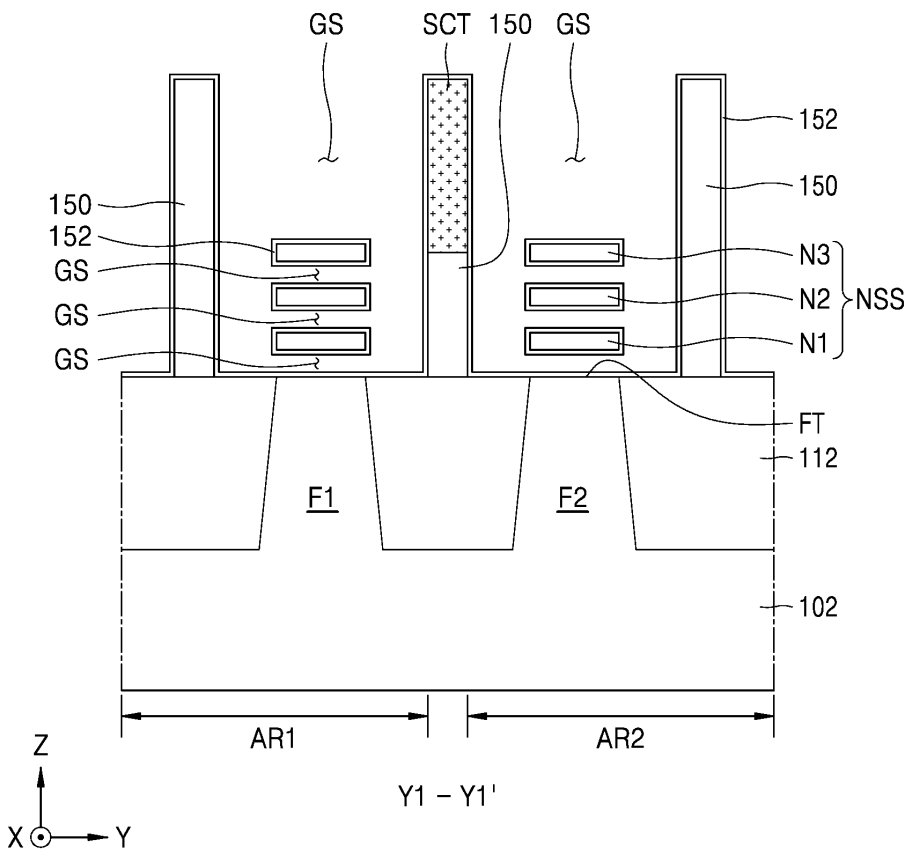
도면17a



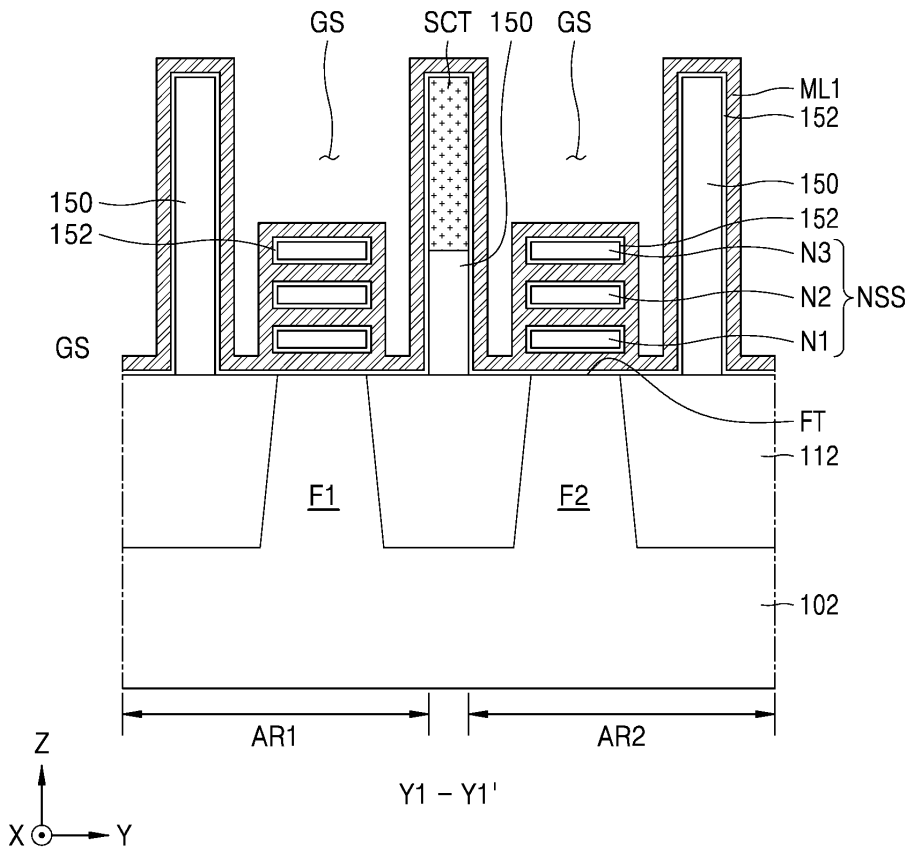
도면17b



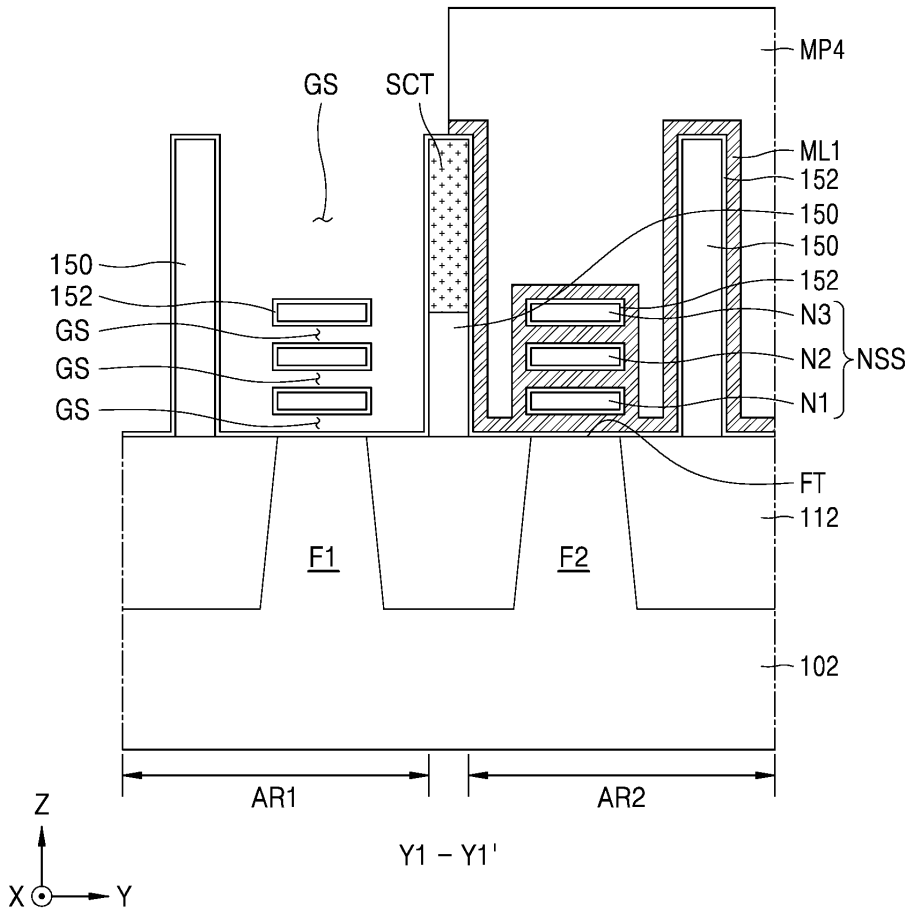
도면17c



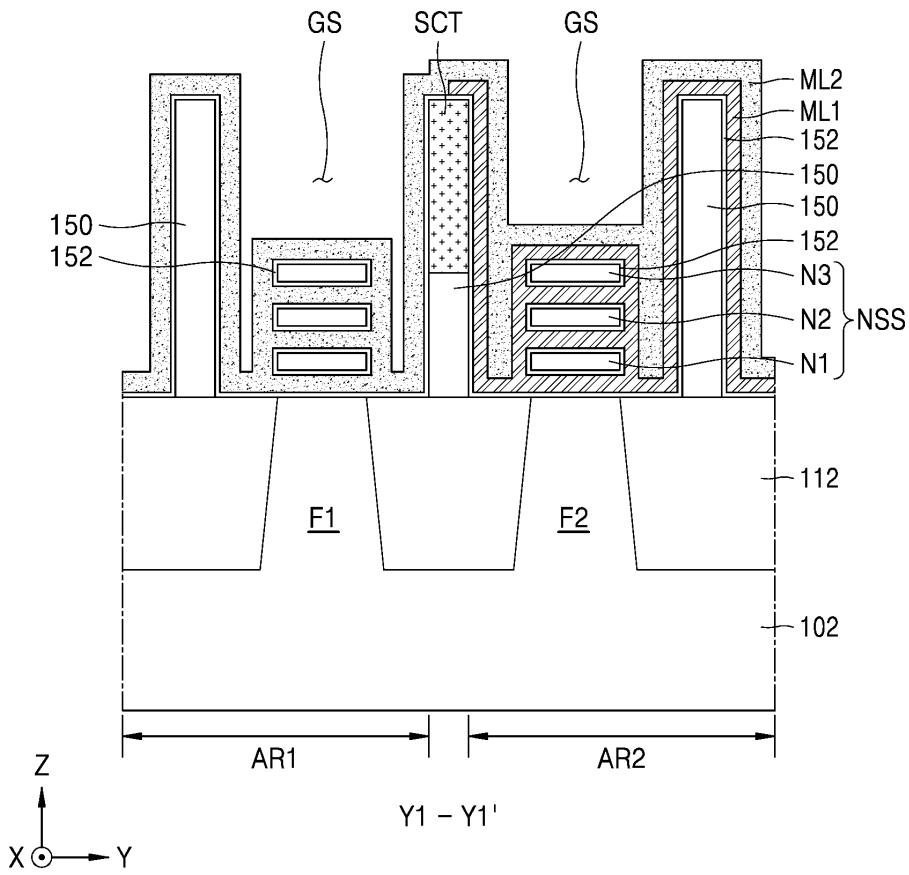
도면18



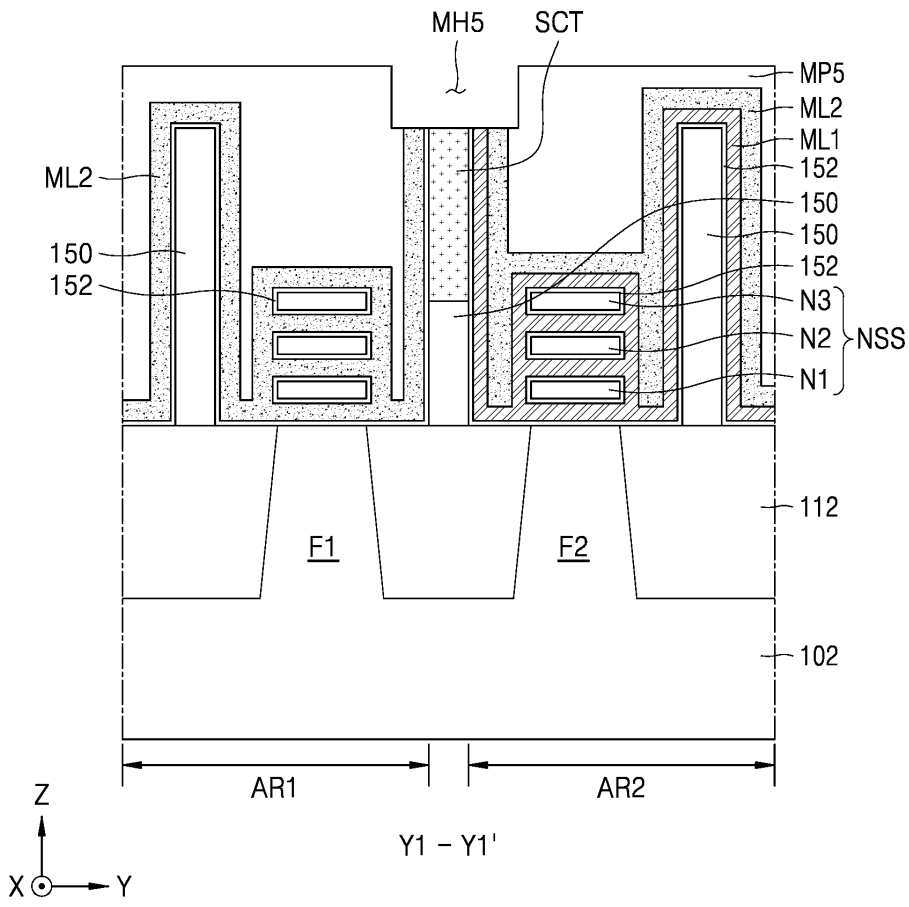
도면19



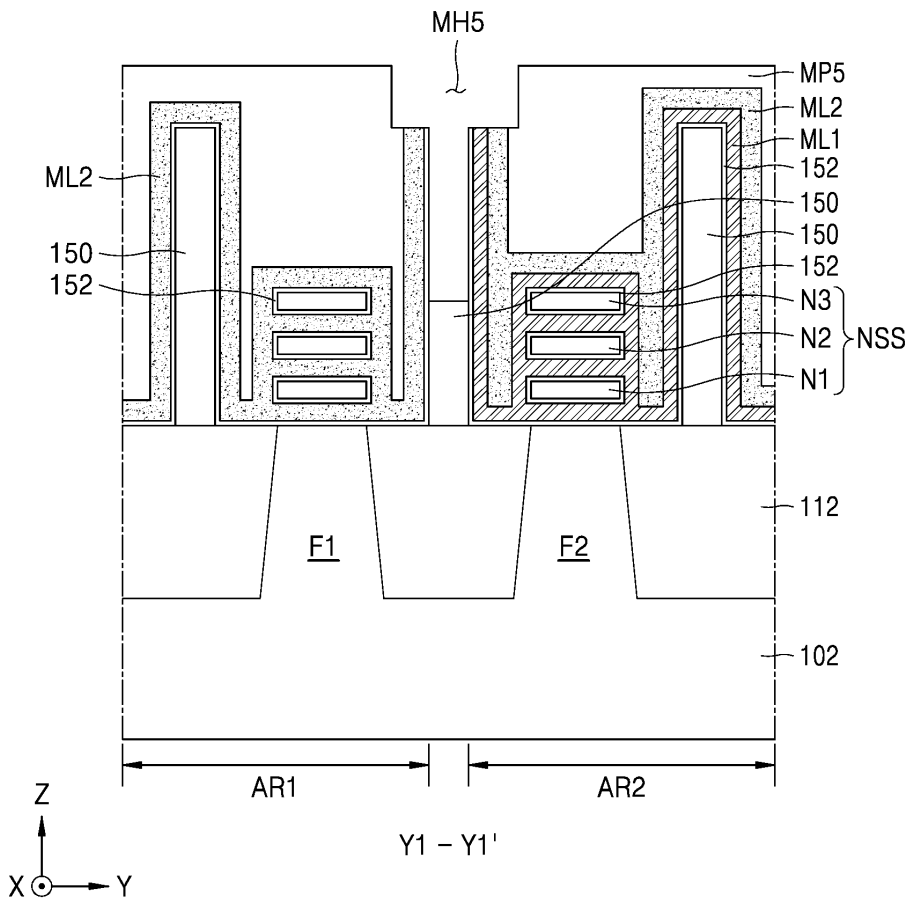
도면20



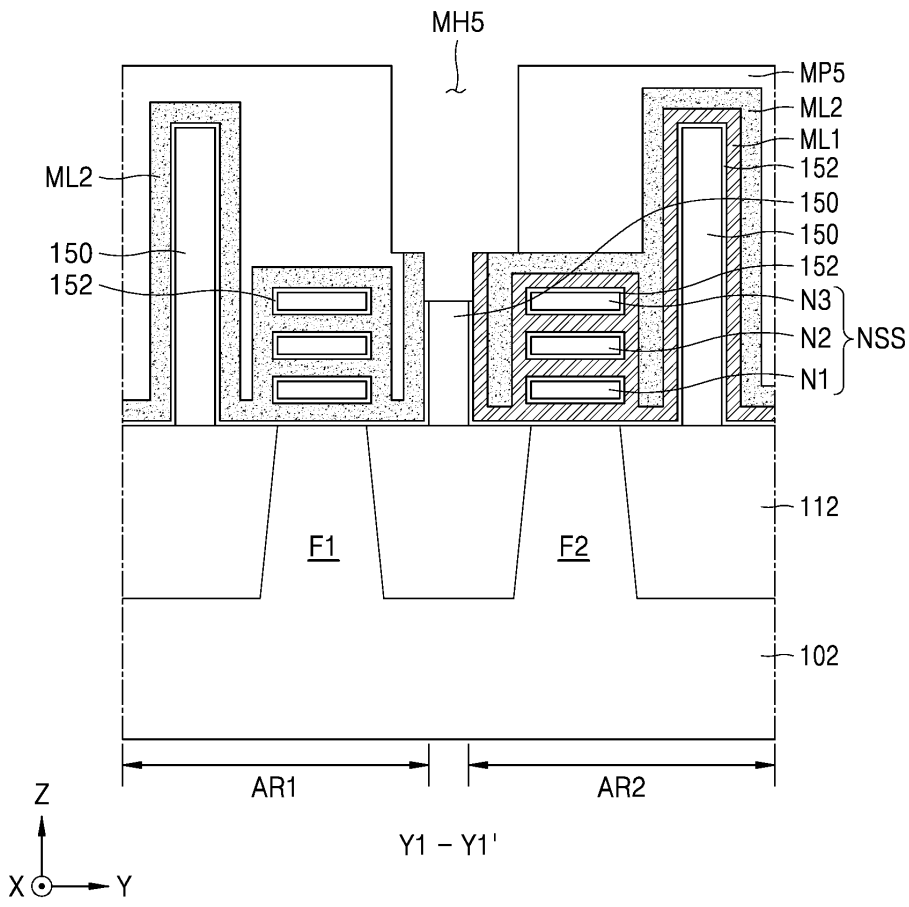
도면21



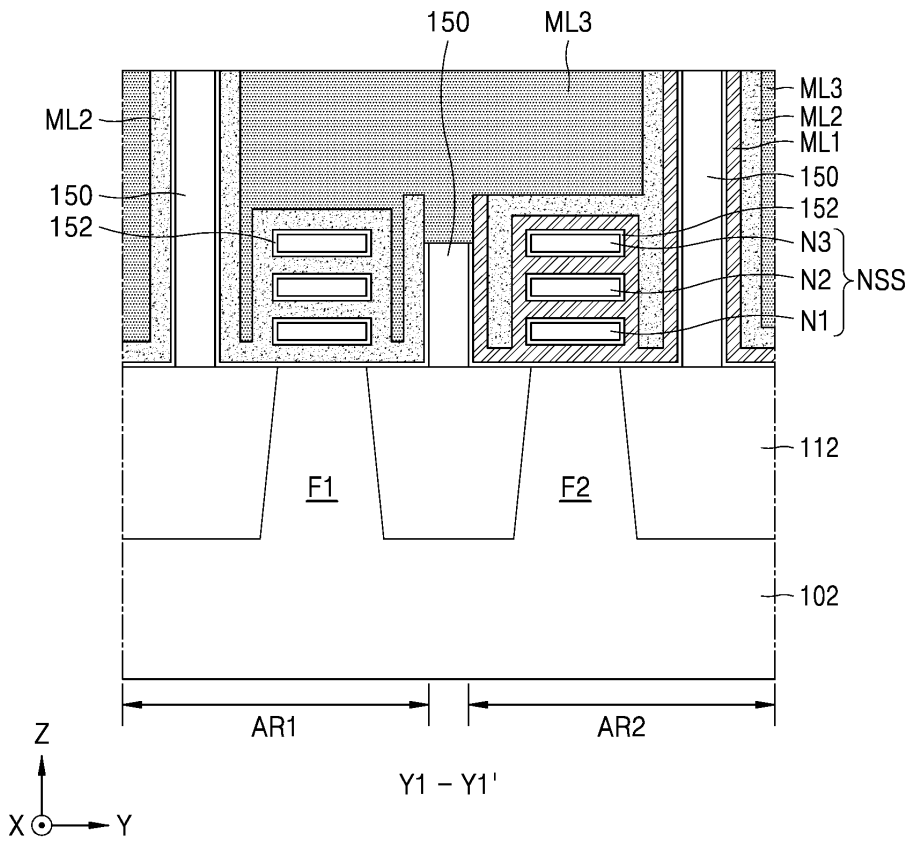
도면22



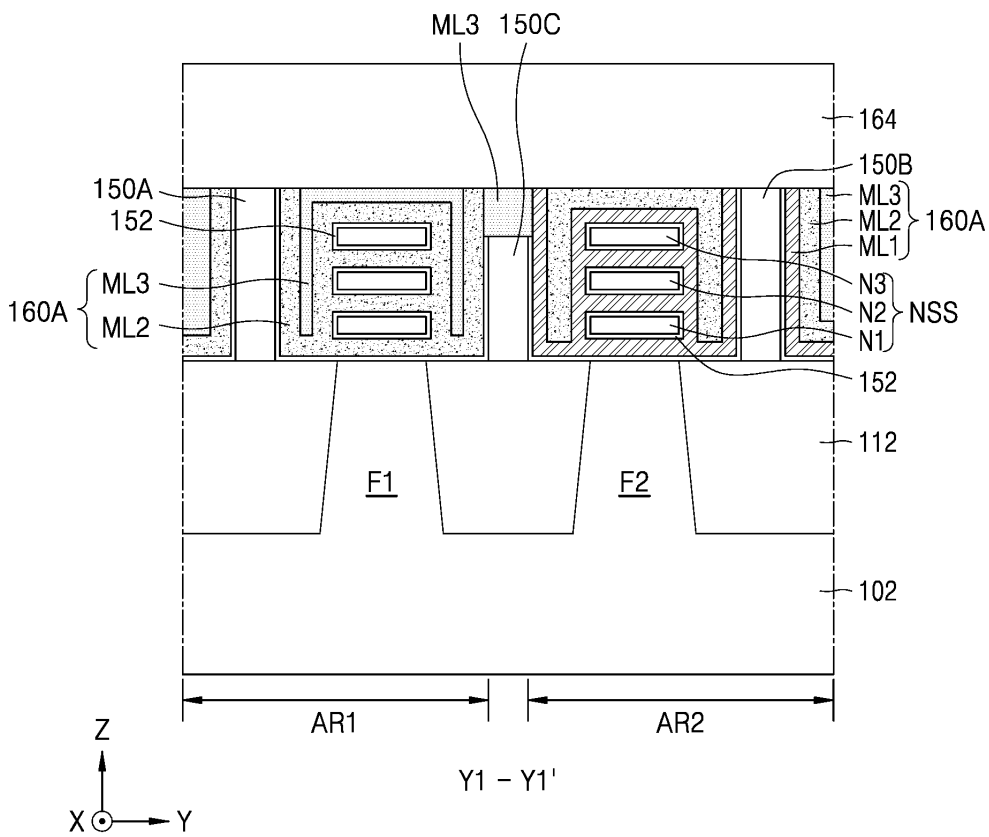
도면23



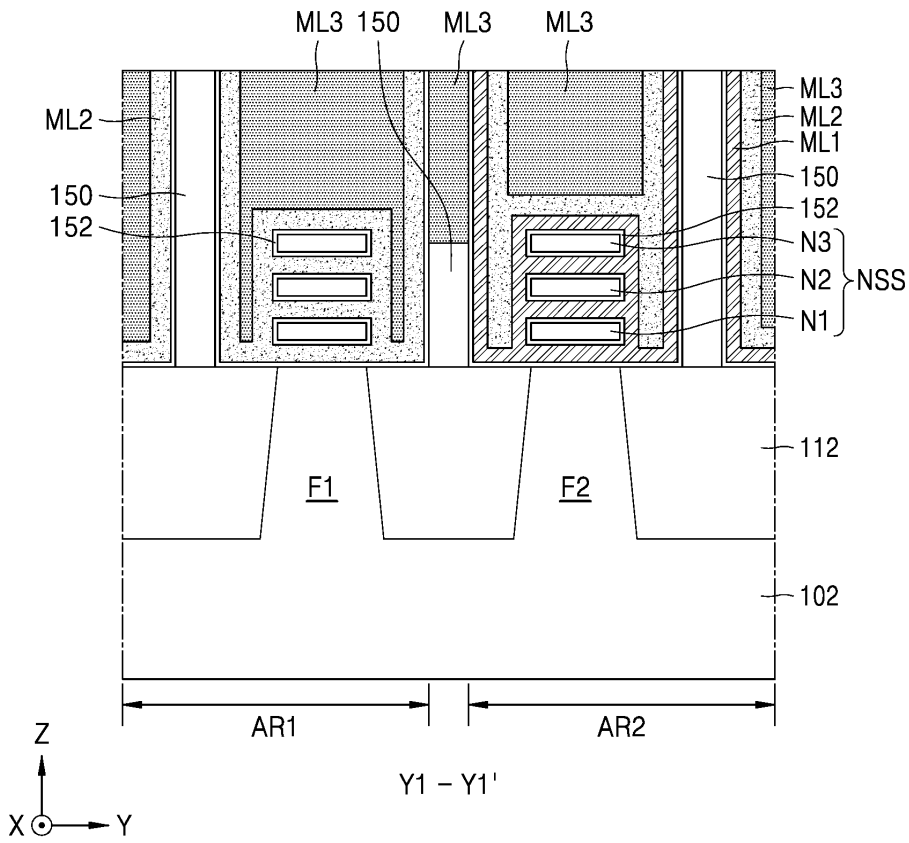
도면24



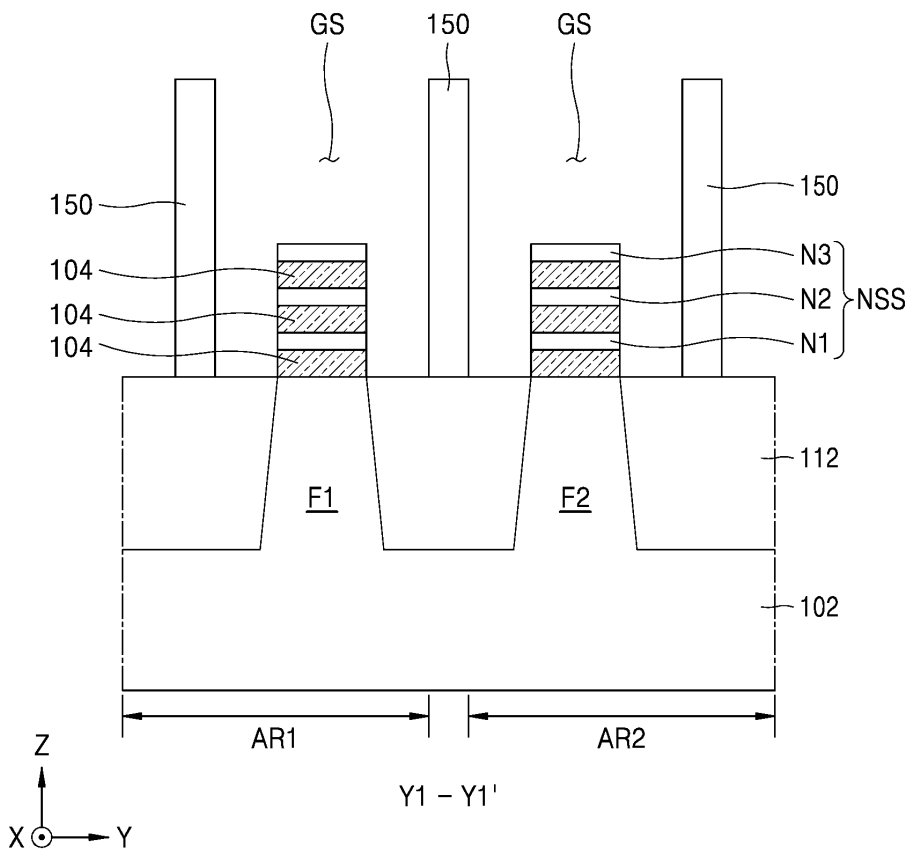
도면25



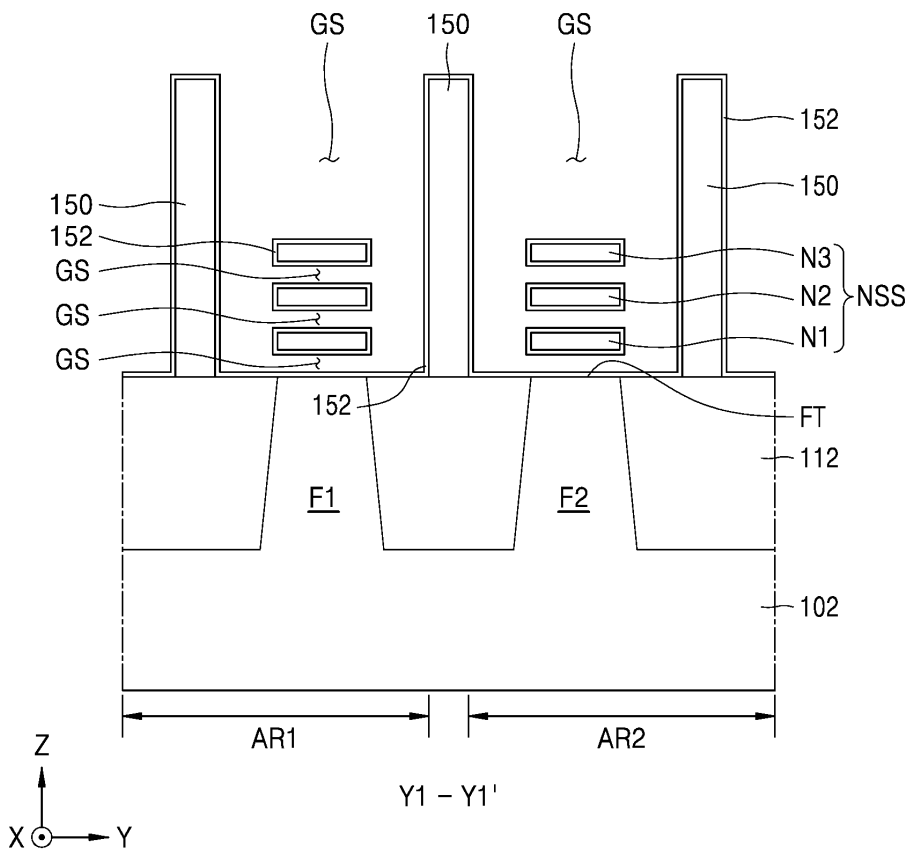
도면26



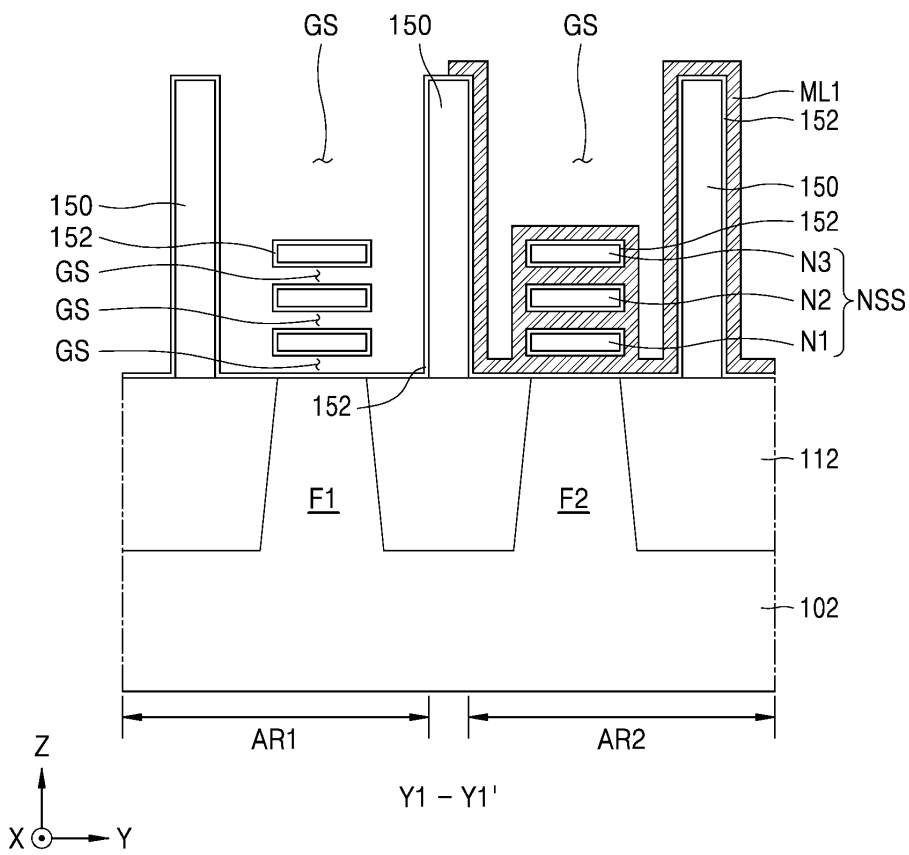
도면27a



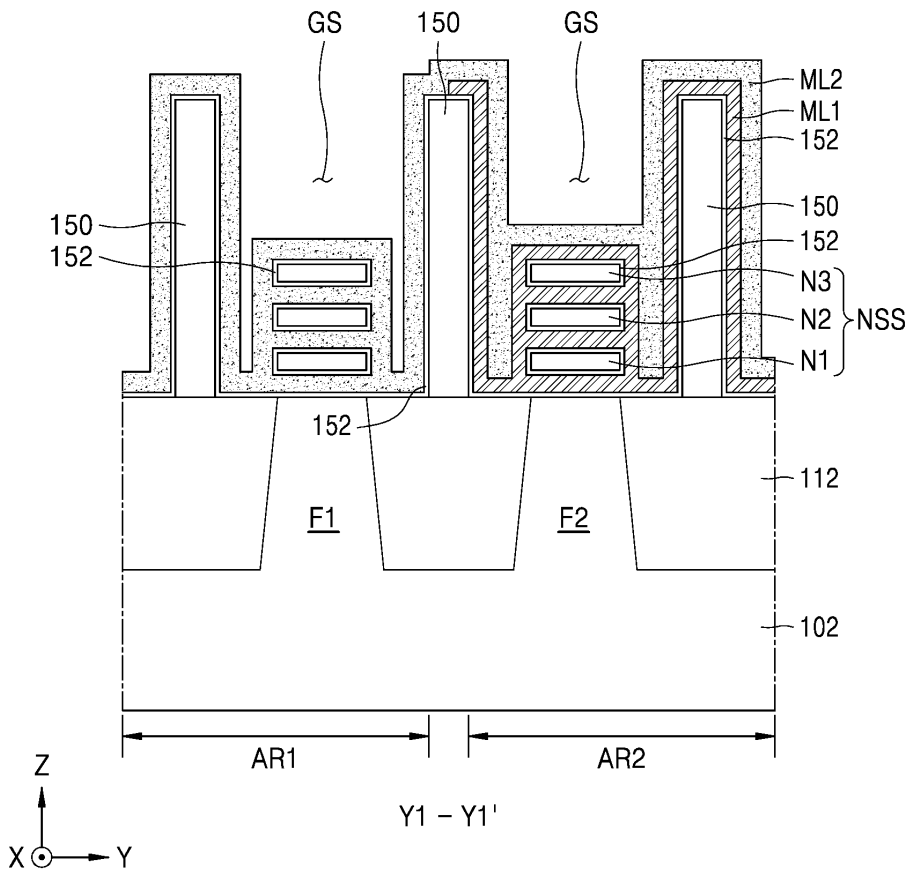
도면27b



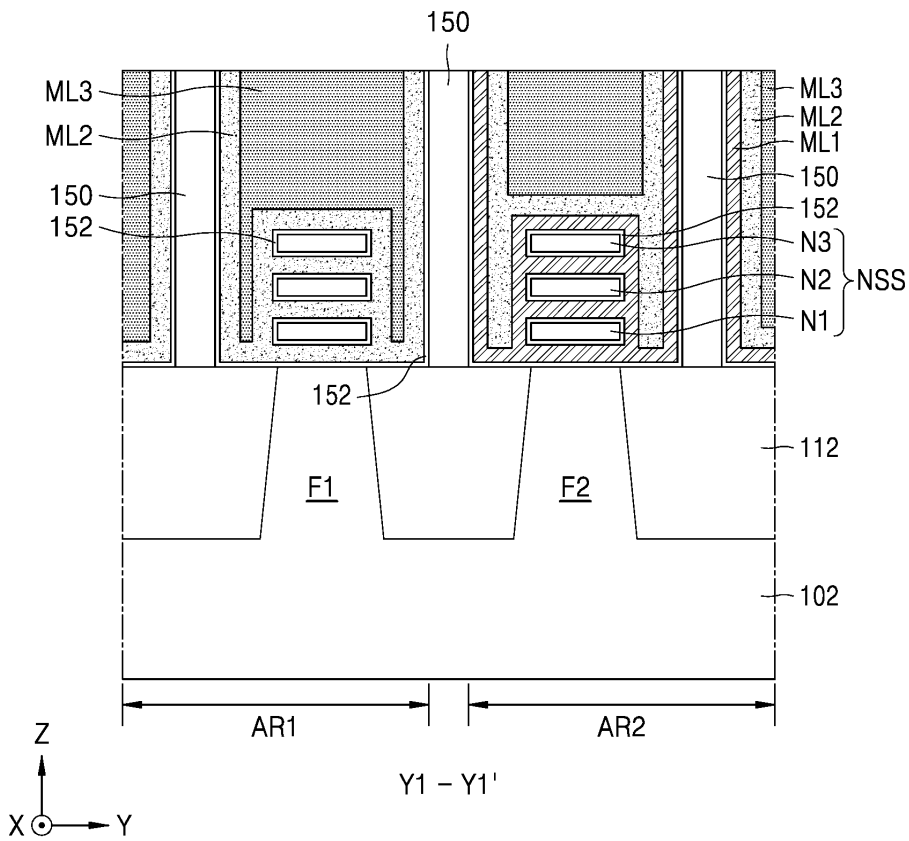
도면27c



도면27d



도면27e



도면27f

