



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2019년03월18일  
 (11) 등록번호 10-1959395  
 (24) 등록일자 2019년03월12일

(51) 국제특허분류(Int. Cl.)  
 H01L 23/48 (2006.01) H01L 23/12 (2006.01)  
 (21) 출원번호 10-2012-0073960  
 (22) 출원일자 2012년07월06일  
 심사청구일자 2017년06월08일  
 (65) 공개번호 10-2014-0006589  
 (43) 공개일자 2014년01월16일  
 (56) 선행기술조사문헌  
 KR1020100050976 A\*  
 KR1020100048610 A\*  
 US20080030313 A1  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 삼성전자주식회사  
 경기도 수원시 영통구 삼성로 129 (매탄동)  
 (72) 발명자  
 이석현  
 경기 화성시 병점1로 82, 110동 906호 (병점동, 한신아파트)  
 박진우  
 서울 서초구 서운로 11, 1901호 (서초동, 서초대우디오빌)  
 박태성  
 충남 천안시 서북구 불당11로 82, 606동 1301호 (불당동, 대원칸타빌)  
 (74) 대리인  
 특허법인 고려

전체 청구항 수 : 총 7 항

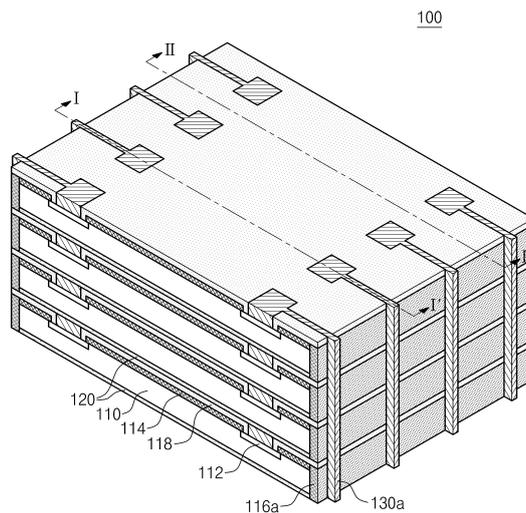
심사관 : 정구원

(54) 발명의 명칭 **반도체 장치 및 그 제조 방법**

**(57) 요약**

반도체 칩들의 적층 구조가 제공된다. 이 적층 구조는 일 방향으로 적층된 반도체 칩들 및 일 방향으로 반도체 칩들을 전기적으로 연결하는 배선 부재를 포함한다. 반도체 칩들 각각은 제 1 면에 구비된 본딩 패드, 제 1 면 상에 구비되며, 본딩 패드를 노출하는 보호막, 제 1 면 및 제 1 면에 대향하는 제 2 면을 연결하는 측면 상에 구비된 측면 절연막, 및 보호막 및 측면 절연막 상에 구비되며, 본딩 패드 및 본딩 패드로부터 측면 절연막으로 향하는 방향의 보호막의 일부 및 측면 절연막의 일부를 노출하는 제 1 접착막을 포함하고, 그리고 배선 부재는 노출된 본딩 패드, 노출된 보호막의 일부, 노출된 측면 절연막의 일부 및 일 방향으로 측면 절연막 상에 구비되어 반도체 칩들을 전기적으로 연결한다.

**대표도 - 도1**



**명세서**

**청구범위**

**청구항 1**

일 방향으로 적층된 반도체 칩들; 및

상기 일 방향으로 상기 반도체 칩들을 전기적으로 연결하는 배선 부재를 포함하되,

상기 반도체 칩들 각각은:

제 1 면에 구비된 본딩 패드;

상기 제 1 면 상에 구비되되, 상기 본딩 패드를 노출하는 보호막;

상기 제 1 면 및 상기 제 1 면에 대향하는 제 2 면을 연결하는 측면 상에 구비된 측면 절연막;

상기 보호막 및 상기 측면 절연막 상에 구비되되, 상기 본딩 패드 및 상기 본딩 패드로부터 상기 측면 절연막으로 향하는 방향의 상기 보호막의 일부 및 상기 측면 절연막의 일부를 노출하는 제 1 접착막; 및

상기 제 2 면 상에 제공된 제 2 접착막; 을 포함하고, 그리고

상기 배선 부재는 노출된 상기 본딩 패드, 노출된 상기 보호막의 일부, 노출된 상기 측면 절연막의 일부 및 상기 측면 절연막 상에 구비되어 상기 반도체 칩들을 전기적으로 연결하며,

상기 측면 절연막은 상기 제 2 접착막 및 상기 보호막을 측면에서 감싸는 반도체 칩들의 적층 구조.

**청구항 2**

제 1항에 있어서,

상기 반도체 칩들은 동일한 반도체 칩을 포함하는 반도체 칩들의 적층 구조.

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

제 1항에 있어서,

상기 측면 절연막은 에폭시 또는 에폭시 몰딩 컴파운드를 포함하는 반도체 칩들의 적층 구조.

**청구항 6**

본딩 패드 및 상기 본딩 패드를 노출하는 보호막을 갖는 반도체 칩들이 형성된 웨이퍼를 준비하는 것;

상기 웨이퍼를 절단하여 상기 반도체 칩들을 각각 분리한 후, 캐리어 기판 상에 서로 이격되도록 상기 반도체 칩들을 실장하는 것;

이격된 상기 반도체 칩들 사이를 절연막으로 채우는 것;

상기 반도체 칩들 각각의 상기 보호막 상에 상기 본딩 패드 및 상기 본딩 패드로부터 상기 절연막으로 향하는 방향의 상기 보호막의 일부 및 상기 절연막의 일부를 노출하는 제 1 접착막을 형성하는 것;

상기 절연막을 절단하여 측면 절연막을 갖는 각각의 반도체 칩으로 분리하는 것;

분리된 상기 반도체 칩들을 일 방향으로 적층하는 것; 및

노출된 상기 본딩 패드, 노출된 상기 보호막의 일부, 노출된 상기 측면 절연막의 일부 및 상기 일 방향의 상기 측면 절연막 상에 배선 부재를 형성하는 것을 포함하며,

상기 배선 부재를 형성하는 것은:

도금 공정으로 금속막을 형성하는 것; 및

상기 측면 절연막 상의 상기 금속막을 패터닝하는 것을 포함하는 반도체 칩들의 적층 구조 형성 방법.

### 청구항 7

삭제

### 청구항 8

제 6항에 있어서,

상기 웨이퍼를 절단하기 전에 상기 웨이퍼의 배면에 제 1 접착막을 형성하는 것을 더 포함하는 반도체 칩들의 적층 구조 형성 방법.

### 청구항 9

제 6항에 있어서,

상기 반도체 칩들은 동일한 반도체 칩을 포함하는 반도체 칩들의 적층 구조 형성 방법.

### 청구항 10

제 6항에 있어서,

상기 절연막은 상기 보호막과 동일한 레벨로 채워지는 반도체 칩들의 적층 구조 형성 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 더 구체적으로 반도체 칩들의 적층 구조를 포함하는 반도체 장치 및 그 제조 방법에 관한 것이다.

### 배경 기술

[0002] 오늘날 전자산업의 추세는 경량화, 소형화, 고속화, 다기능화, 및 고성능화된 제품을 저렴한 가격으로 제조하는 것이다. 이러한 목표를 달성하기 위하여 멀티 칩 적층 패키지(multi-chip stacked package) 기술 또는 시스템 인 패키지(system in package) 기술이 사용된다.

[0003] 멀티 칩 적층 패키지 또는 시스템 인 패키지는 복수의 단위 반도체 장치들의 기능을 하나의 반도체 패키지에서 수행할 수 있다. 멀티 칩 적층 패키지 또는 시스템 인 패키지는 통상적인 단일 칩 패키지에 비하여 다소 두꺼울 수 있지만, 평면적으로는 단일 칩 패키지와 크기가 거의 유사하므로, 휴대전화기, 노트북 컴퓨터, 메모리 카드, 휴대용 캠코더 등과 같은 고기능이면서 동시에 소형 내지 이동성이 요구되는 제품들에 주로 사용된다.

## 발명의 내용

### 해결하려는 과제

[0004] 본 발명이 해결하고자 하는 과제는 동작 신뢰성이 향상된 반도체 장치를 제공하는 데 있다.

[0005] 본 발명이 해결하고자 하는 다른 과제는 동작 신뢰성이 향상된 반도체 장치의 제조 방법을 제공하는 데 있다.

[0006] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제들에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

- [0007] 상기한 과제를 달성하기 위하여, 본 발명은 반도체 칩들의 적층 구조를 제공한다. 이 적층 구조는 일 방향으로 적층된 반도체 칩들 및 일 방향으로 반도체 칩들을 전기적으로 연결하는 배선 부재를 포함할 수 있다. 반도체 칩들 각각은 제 1 면에 구비된 본딩 패드, 제 1 면 상에 구비되며, 본딩 패드를 노출하는 보호막, 제 1 면 및 제 1 면에 대향하는 제 2 면을 연결하는 측면 상에 구비된 측면 절연막, 및 보호막 및 측면 절연막 상에 구비되며, 본딩 패드 및 본딩 패드로부터 측면 절연막으로 향하는 방향의 보호막의 일부 및 측면 절연막의 일부를 노출하는 제 2 접착막을 포함할 수 있으며, 그리고 배선 부재는 노출된 본딩 패드, 노출된 보호막의 일부, 노출된 측면 절연막의 일부 및 일 방향으로 측면 절연막 상에 구비되어 반도체 칩들을 전기적으로 연결할 수 있다.
- [0008] 반도체 칩들은 동일한 반도체 칩을 포함할 수 있다.
- [0009] 제 2 면 상에 구비된 제 2 접착막을 더 포함할 수 있다.
- [0010] 측면 절연막은 제 2 접착막 및 보호막을 덮을 수 있다.
- [0011] 측면 절연막은 에폭시 수지 또는 에폭시 몰딩 컴파운드를 포함할 수 있다.
- [0012] 배선 부재는 구리를 포함할 수 있다.
- [0013] 제 1 접착막 및 제 2 접착막은 접착성 수지를 포함할 수 있다.
- [0014] 또한, 상기한 과제를 달성하기 위하여 반도체 장치를 제공한다. 이 반도체 장치는 앞서 서술된 반도체 칩들의 적층 구조 및 반도체 칩들의 적층 구조가 실장되는 배선 기판을 포함할 수 있다.
- [0015] 반도체 칩들의 적층 구조는 플립 칩 형태로 실장될 수 있다.
- [0016] 이에 더하여, 상기한 다른 과제를 달성하기 위하여, 본 발명의 반도체 칩들의 적층 방법을 제공한다. 이 방법은 본딩 패드 및 상기 본딩 패드를 노출하는 보호막을 갖는 반도체 칩들이 형성된 웨이퍼를 준비하는 것, 웨이퍼를 절단하여 반도체 칩들을 각각 분리한 후, 캐리어 기판 상에 서로 이격되도록 반도체 칩들을 실장하는 것, 이격된 반도체 칩들 사이를 절연막으로 채우는 것, 반도체 칩들 각각의 보호막 상에 본딩 패드 및 본딩 패드로부터 절연막으로 향하는 방향의 보호막의 일부 및 절연막의 일부를 노출하는 제 1 접착막을 형성하는 것, 절연막을 절단하여 측면 절연막을 갖는 각각의 반도체 칩으로 분리하는 것, 분리된 반도체 칩들을 일 방향으로 적층하는 것, 및 노출된 본딩 패드, 노출된 보호막의 일부, 노출된 측면 절연막의 일부 및 일 방향의 측면 절연막 상에 배선 부재를 형성하는 것을 포함할 수 있다.
- [0017] 배선 부재를 형성하는 것은 도금 공정으로 노출된 본딩 패드, 노출된 보호막의 일부, 노출된 측면 절연막의 일부 및 일 방향의 측면 절연막 상에 금속막을 형성하는 것, 및 측면 절연막 상의 금속막을 패터닝하는 것을 포함할 수 있다. 금속막은 구리를 포함할 수 있다. 금속막을 패터닝하는 것은 레이저 식각 공정 또는 습식 식각 공정을 이용할 수 있다.
- [0018] 웨이퍼를 절단하기 전에 웨이퍼의 배면에 제 1 접착막을 형성하는 것을 더 포함할 수 있다.
- [0019] 반도체 칩들은 동일한 반도체 칩을 포함할 수 있다.
- [0020] 절연막은 보호막과 동일한 레벨로 채워질 수 있다.
- [0021] 게다가, 상기한 다른 과제를 달성하기 위하여, 본 발명은 반도체 장치의 제조 방법을 제공한다. 이 방법은 앞서 서술된 방법으로 형성된 반도체 칩들의 적층 구조를 배선 기판 상에 실장하는 것을 포함할 수 있다.
- [0022] 반도체 칩들의 적층 구조는 배선 기판 상에 플립 칩 형태로 실장될 수 있다.

**발명의 효과**

- [0023] 상술한 바와 같이, 본 발명의 과제 해결 수단에 따르면 반도체 칩들이 본딩 와이어 없이 전기적으로 연결된 적층 구조를 가짐으로써, 와이어 본딩 공정에 의해 발생할 수 있는 많은 문제점이 해소될 수 있다. 이에 따라, 동작 신뢰성이 향상된 반도체 장치가 제공될 수 있다.
- [0024] 또한, 본 발명의 과제 해결 수단에 따르면 반도체 칩들이 본딩 와이어 없이 전기적으로 연결되도록 적층됨으로써, 와이어 본딩 공정에 의해 발생할 수 있는 많은 문제점이 해소될 수 있다. 이에 따라, 동작 신뢰성이 향상된 반도체 장치의 제조 방법이 제공될 수 있다. 또한, 적층된 반도체 칩들을 도금 공정을 이용하여 전기적으로 연

결함으로써, 형성 공정이 단순해지는 동시에 저비용 및 고효율로 반도체 장치가 제조될 수 있다.

**도면의 간단한 설명**

- [0025] 도 1은 본 발명의 실시예에 따른 반도체 칩들의 적층 구조를 설명하기 위한 입체도이다.
- 도 2a 내지 도 8a 및 도 2b 내지 도 8b는 본 발명의 실시예에 따른 반도체 칩들의 적층 구조의 형성 방법을 설명하기 위해 각각 도 1의 I-I' 선 및 II-II' 선을 따라 절단한 공정 단면도들이다.
- 도 9는 본 발명의 실시예에 따른 반도체 칩들의 적층 구조를 포함하는 반도체 장치 및 그 제조 방법을 설명하기 위한 단면도이다.
- 도 10은 본 발명의 실시예들에 따른 패키지 모듈을 보여주는 평면도이다.
- 도 11은 본 발명의 실시예들에 따른 메모리 카드를 보여주는 블록도이다.
- 도 12는 본 발명의 실시예들에 따른 전자 시스템을 보여주는 블록도이다.
- 도 13은 본 발명의 실시예들에 따른 전자 장치의 입체도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0026] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면들과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 여기서 설명되는 실시예에 한정되는 것이 아니라 서로 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0027] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 또한, 바람직한 실시예에 따른 것이기 때문에, 설명의 순서에 따라 제시되는 참조 부호는 그 순서에 반드시 한정되지는 않는다. 이에 더하여, 본 명세서에서, 어떤 막이 다른 막 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막이 개재될 수도 있다는 것을 의미한다.
- [0028] 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.
- [0029] 도 1은 본 발명의 실시예에 따른 반도체 칩들의 적층 구조를 설명하기 위한 입체도이다.
- [0030] 도 1을 참조하면, 반도체 칩들의 적층 구조(100)는 일 방향으로 적층된 반도체 칩들(110) 및 일 방향으로 반도체 칩들(110)을 전기적으로 연결하는 금속 배선(130a)을 포함할 수 있다.
- [0031] 반도체 칩들(110) 각각은 활성면에 구비된 본딩 패드(112), 활성면에 대향하는 배면 상에 구비된 배면 접촉막(120), 활성면 상에 구비된 본딩 패드(bonding pad, 112)를 노출하는 보호막(passivation layer, 114), 활성면 및 배면을 연결하는 측면 상에 구비된 측면 절연막(116a), 및 보호막(114) 및 측면 절연막(116a) 상에 구비된 본딩 패드(112) 및 본딩 패드(112)로부터 측면 절연막(116a)으로 향하는 방향의 보호막(114)의 일부 및 측면 절연막(116a)의 일부를 노출하는 적층용 접촉막(118)을 포함할 수 있다. 적층된 반도체 칩들(110)은 동일한 반도체 칩을 포함할 수 있다.
- [0032] 배면 접촉막(120) 및 적층용 접촉막(118)은 절연성을 갖는 접착성 수지(resin)를 포함할 수 있다. 배면 접촉막(120) 및 적층용 접촉막(118)은 테이프(tape) 형태이거나, 또는 액상(liquid)에서 경화된 형태일 수 있다. 배면

접착막(120) 및 적층용 접착막(118)은 패터닝(patterning) 가능한 감광성 접착성 수지를 포함할 수 있다.

- [0033] 보호막(114)은 질화물(nitride)을 포함할 수 있다. 바람직하게는, 본 발명의 실시예에 따른 보호막(114)은 실리콘 질화물(SiN) 또는 실리콘 산화 질화물(SiON)을 포함할 있다.
- [0034] 측면 절연막(116a)은 에폭시(epoxy) 수지 또는 에폭시 몰딩 컴파운드(Epoxy Molding Compound : EMC)를 포함할 수 있다. 측면 절연막(116a)은 반도체 칩들(110)의 측면을 절연하기 위한 것일 수 있다. 측면 절연막(116a)은 배면 접착막(120) 및 보호막(114)을 덮을 수 있다.
- [0035] 금속 배선(130a)은 노출된 본딩 패드(112), 노출된 보호막(114)의 일부, 노출된 측면 절연막(116a)의 일부 및 일 방향으로 측면 절연막(116a) 상에 구비되어 반도체 칩들(110)을 전기적으로 연결할 수 있다. 금속 배선(130a)은 구리(Cu)를 포함할 수 있다.
- [0036] 본 발명의 실시예에 따른 반도체 칩들의 적층 구조(100)는 본딩 와이어(bonding wire) 없이 적층된 반도체 칩들(110)을 서로 전기적으로 연결함으로써, 적층된 반도체 칩들(110)에 대한 와이어 본딩(wire bonding) 공정에 의해 발생할 수 있는 많은 문제점이 해소될 수 있다. 이에 따라, 신뢰성이 향상된 반도체 장치를 위한 반도체 칩들의 적층 구조(100)가 제공될 수 있다.
- [0037] 도 2a 내지 도 8a 및 도 2b 내지 도 8b는 본 발명의 실시예에 따른 반도체 칩들의 적층 구조의 형성 방법을 설명하기 위해 각각 도 1의 I-I' 선 및 II-II' 선을 따라 절단한 공정 단면도들이다.
- [0038] 도 2a 및 도 2b를 참조하면, 본딩 패드(112) 및 본딩 패드(112)를 노출하는 보호막(114)을 갖는 반도체 칩들(110)이 형성된 웨이퍼(wafer)가 준비된다. 보호막(114)은 질화물을 포함할 수 있다. 바람직하게는, 본 발명의 실시예에 따른 보호막(114)은 실리콘 질화물 또는 실리콘 산화 질화물을 포함할 있다.
- [0039] 반도체 칩들(110)의 박형화를 위해 연마된 상태인 웨이퍼의 배면에 배면 접착막(120)이 형성될 수 있다. 배면 접착막(120)은 절연성은 갖는 접착성 수지를 포함할 수 있다. 배면 접착막(120)은 테이프 형태이거나, 또는 액상에서 경화된 형태일 수 있다. 배면 접착막(120)은 패터닝 가능한 감광성 접착성 수지를 포함할 수 있다.
- [0040] 이와는 달리, 배면 접착막(120)은 접착 후에 분리가 용이한 재가공 접착제(reworkable adhesive)가 사용될 수 있다. 이는 배면 접착층(120)을 매개로 웨이퍼를 핸들링 웨이퍼(handling wafer)에 부착한 뒤, 각각의 반도체 칩들(110)로 분리하기 위해 칩 절단 영역(125)을 따라 웨이퍼를 절단한 다음, 제거될 수 있기 때문이다. 이러한 배면 접착막(120)은 자외선 경화 수지(UltraViolet curable resin : UV resin)나 열가소성 수지(thermoplastic)를 포함하는 접착제가 사용될 수 있다.
- [0041] 핸들링 웨이퍼는 웨이퍼의 배면을 연마하는 공정에서 웨이퍼에 가해지는 기계적인 응력(stress)을 완화하고, 연마 공정 이후에 박형화된 웨이퍼에서 발생하는 휨을 억제하기 위해 사용될 수 있다.
- [0042] 핸들링 웨이퍼는 웨이퍼의 열 팽창 계수(Coefficient of Thermal Expansion : CTE)와 동일하거나 비슷한 물질로 이루어진 기판, 예컨대, 실리콘(silicon) 기판 또는 유리(glass) 기판을 사용할 수 있다. 또한, 웨이퍼와 동일한 원판 형태의 핸들링 웨이퍼가 사용될 수 있다.
- [0043] 도 3a 및 도 3b를 참조하면, 절단 장치로 칩 절단 영역(도 2a 또는 도 2b의 125 참조)을 따라 웨이퍼를 절단하여 반도체 칩들(110)을 각각 분리한 후, 캐리어(carrier) 기판(210) 상에 서로 이격되도록 반도체 칩들(110)이 실장될 수 있다. 분리된 반도체 칩들(110)은 배면 접착막(120)을 매개로 캐리어 기판(210)에 부착되어 실장될 수 있다.
- [0044] 이와는 달리, 배면 접착막(120)이 웨이퍼를 절단한 다음, 제거될 경우, 반도체 칩들(110) 각각의 배면 상에 추가적으로 접착막(미도시)이 형성될 수 있다. 추가적으로 형성된 접착막은 절연성은 갖는 접착성 수지를 포함할 수 있다. 추가적으로 형성된 접착막은 테이프 형태이거나, 또는 액상에서 경화된 형태일 수 있다. 추가적으로 형성된 접착막은 패터닝 가능한 감광성 접착성 수지를 포함할 수 있다.
- [0045] 분리된 반도체 칩들(110) 중 동작 가능한 반도체 칩들(110)을 선별하여 캐리어 기판(210) 상에 재배치할 수 있다.
- [0046] 도 4a 및 도 4b를 참조하면, 이격된 반도체 칩들(110) 사이에 절연막(116)이 채워질 수 있다. 절연막(116)은 보호막(114)과 동일한 레벨(level)로 채워질 수 있다. 절연막(116)은 에폭시 수지 또는 에폭시 몰딩 컴파운드를 포함할 수 있다.

- [0047] 도 5a 및 도 5b를 참조하면, 반도체 칩들(110) 각각의 보호막(114) 상에 본딩 패드(112), 본딩 패드(112)로부터 절연막(116)으로 향하는 방향의 보호막(114)의 일부 및 절연막(116)의 일부를 노출하는 적층용 접착막(118)이 형성될 수 있다. 즉, 적층용 접착막(118)은 본딩 패드(112) 및 본딩 패드(112)로부터 반도체 칩(110)의 가장자리로 향하는 방향의 보호막(113)의 일부 및 절연막(116)의 일부를 노출하는 개구부(opening, 119)를 가질 수 있다.
- [0048] 적층용 접착막(118)은 절연성을 갖는 접착성 수지를 포함할 수 있다. 적층용 접착막(118)은 테이프 형태이거나, 또는 액상에서 경화된 형태일 수 있다. 적층용 접착막(118)은 패터닝 가능한 감광성 접착성 수지를 포함할 수 있다.
- [0049] 도 6a 및 도 6b를 참조하면, 측면 절연막(116a)을 갖는 각각의 반도체 칩(110)으로 분리되도록 절연막(116)이 절단될 수 있다. 절연막(116)은 레이저 등과 같은 절단 장치에 의해 절단될 수 있다. 이에 따라, 반도체 칩들(110) 각각의 측면들은 전기적으로 절연될 수 있다.
- [0050] 도 7a 및 도 7b를 참조하면, 분리된 반도체 칩들(110)이 캐리어 기판(210)으로부터 탈착된 후, 일 방향으로 적층될 수 있다. 반도체 칩들(110)은 동일한 반도체 칩을 포함할 수 있다.
- [0051] 적층된 반도체 칩들(110) 사이에는 적층용 접착막(118)의 개구부(도 5a 또는 도 6a의 119 참조)에 의해 발생하는 비어있는 공간들이 존재한다. 이러한 비어있는 공간들은 본딩 패드(112) 및 본딩 패드(112)로부터 반도체 칩(110)의 가장자리로 향하는 방향의 보호막(113)의 일부 및 측면 절연막(116a)의 일부가 외부로 노출된 형태이다.
- [0052] 도 8a 및 도 8b를 참조하면, 노출된 본딩 패드(112), 노출된 보호막(114)의 일부, 노출된 측면 절연막(116a)의 일부 및 일 방향의 측면 절연막(116a) 상에 금속막(130)이 형성될 수 있다.
- [0053] 금속막(130)은 도금 공정으로 노출된 본딩 패드(112), 노출된 보호막(114)의 일부, 노출된 측면 절연막(116a)의 일부 및 일 방향의 측면 절연막(116a) 상에 형성될 수 있다. 금속막(130)은 구리를 포함할 수 있다.
- [0054] 금속막(130)을 형성하는 것은 먼저 씨드막(미도시)을 형성한 후, 그 위에 전해 도금 공정을 수행하는 것일 수 있다. 씨드막을 팔라듐(Pd) 처리 또는/및 무전해 도금 공정을 이용하여 형성한 후, 그 위에 구리 전해 도금 공정을 수행함으로써, 금속막(130)이 형성될 수 있다.
- [0055] 측면 절연막(116a) 상의 금속막(130)을 패터닝하여 금속 배선(130a)이 형성될 수 있다. 금속막(130)을 패터닝하는 것은 레이저(laser) 식각 공정 또는 습식 식각 공정을 이용할 수 있다.
- [0056] 본 발명의 실시예에 따라 형성된 반도체 칩들의 적층 구조(100)는 본딩 와이어 없이 적층된 반도체 칩들(110)을 서로 전기적으로 연결함으로써, 적층된 반도체 칩들(110)에 대한 와이어 본딩 공정에 의해 발생할 수 있는 많은 문제점이 해소될 수 있다. 이에 따라, 신뢰성이 향상된 반도체 장치를 위한 반도체 칩들의 적층 구조(100)가 형성될 수 있다. 또한, 적층된 반도체 칩들(110)을 도금 공정을 이용하여 전기적으로 연결함으로써, 형성 공정이 단순해지는 동시에 저비용 및 고효율로 반도체 칩들의 적층 구조가 형성될 수 있다.
- [0057] 도 9는 본 발명의 실시예에 따른 반도체 칩들의 적층 구조를 포함하는 반도체 장치 및 그 제조 방법을 설명하기 위한 단면도이다.
- [0058] 도 9를 참조하면, 반도체 장치는 반도체 칩들의 적층 구조(100) 및 반도체 칩들의 적층 구조(100)가 실장되는 배선 기판(310)을 포함할 수 있다.
- [0059] 배선 기판(310)은 내부에 복수의 배선들(미도시)을 포함할 수 있다. 배선 기판(310)은 인쇄 회로 기판(Printed Circuit Board : PCB)일 수 있다. 배선 기판(310)은 반도체 기판으로, 실리콘 기판, 실리콘-게르마늄(Si-Ge) 기판 또는 SOI(Silicon-On-Insulator) 기판일 수 있다. 복수의 배선들은 도전성 물질을 포함할 수 있다.
- [0060] 반도체 칩들의 적층 구조(100)는 배선 기판(310)에 플립 칩(Flip Chip : F/C) 방식 또는/및 와이어 본딩 방식에 의해 실장되어 이들에 전기적으로 연결될 수 있다. 반도체 칩들의 적층 구조(100)는 배선 기판(310)에 실장용 솔더 볼들(312)을 이용하여 플립 칩 방식으로 실장되어 배선 기판(310)과 전기적으로 연결되는 것이 도시되어 있지만, 본 발명의 실시예는 이에 한정되는 것은 아니다. 도시되지 않았지만, 반도체 칩들의 적층 구조(100)는 도 1의 상태로 배선 기판(310)에 최하부 반도체 칩(110)의 제 1 접착막(120) 및 접속용 본딩 와이어들을 이용하여 와이어 본딩 방식으로 실장되어 전기적으로 연결될 수 있다.
- [0061] 반도체 장치는 배선 기판(310)의 하부면에 제공된 적어도 하나의 외부 접속용 솔더 볼(314)을 포함할 수 있다.

외부 접속용 솔더 볼(314)은 반도체 장치를 모 기판(mother board)에 실장하고 이와 전기적으로 연결하기 위한 것일 수 있다.

[0062] 본 발명의 실시예에 따른 반도체 장치는 본딩 와이어 없이 적층된 반도체 칩들(110)을 서로 전기적으로 연결할 수 있는 반도체 칩들의 적층 구조(100)를 포함함으로써, 적층된 반도체 칩들(110)에 대한 와이어 본딩 공정에 의해 발생할 수 있는 많은 문제점이 해소될 수 있다. 이에 따라, 신뢰성이 향상된 반도체 장치가 제공될 수 있다. 또한, 적층된 반도체 칩들(110)을 도금 공정을 이용하여 전기적으로 연결함으로써, 형성 공정이 단순해지는 동시에 저비용 및 고효율로 반도체 장치가 제조될 수 있다.

[0063] 도 10은 본 발명의 실시예들에 따른 패키지 모듈을 보여주는 평면도이다.

[0064] 도 10을 참조하면, 패키지 모듈(700)은 외부 연결 단자(708)가 구비된 모듈 기판(702)과, 모듈 기판(702)에 실장된 반도체 칩(704) 및 QFP(Quad Flat Package)된 반도체 패키지(706)를 포함할 수 있다. 반도체 패키지(706)는 본 발명의 실시예들에 따른 반도체 장치를 포함할 수 있다. 패키지 모듈(700)은 외부 연결 단자(708)를 통해 외부 전자 장치와 연결될 수 있다.

[0065] 도 11은 본 발명의 실시예들에 따른 메모리 카드를 보여주는 블록도이다.

[0066] 도 11을 참조하면, 메모리 카드(800)는 하우징(housing, 810) 내에 제어기(820)와 메모리(830)를 포함할 수 있다. 제어기(820)와 메모리(830)는 전기적인 신호를 교환할 수 있다. 예를 들어, 제어기(820)의 명령에 따라서, 메모리(830)와 제어기(820)는 데이터를 주고받을 수 있다. 이에 따라, 메모리 카드(800)는 메모리(830)에 데이터를 저장하거나 또는 메모리(830)로부터 데이터를 외부로 출력할 수 있다.

[0067] 제어기(820) 및/또는 메모리(830)는 본 발명의 실시예에 따른 반도체 장치들 중 적어도 하나를 포함할 수 있다. 예를 들어, 제어기(820)는 시스템 인 패키지를 포함하고, 메모리(830)는 멀티 칩 패키지(multi-chip package)를 포함할 수 있다. 또는 제어기(820) 및/또는 메모리(830)가 적층형 패키지로 제공될 수 있다. 이러한 메모리 카드(800)는 다양한 휴대용 기기의 데이터 저장 매체로 이용될 수 있다. 예를 들어, 카드(800)는 멀티미디어 카드(Multi Media Card : MMC) 또는 보안 디지털(Secure Digital : SD) 카드를 포함할 수 있다.

[0068] 도 12는 본 발명의 실시예들에 따른 전자 시스템을 보여주는 블록도이다.

[0069] 도 12를 참조하면, 전자 시스템(900)은 본 발명의 실시예들에 따른 반도체 장치들 중 적어도 하나를 포함할 수 있다. 전자 시스템(900)은 모바일 기기나 컴퓨터 등을 포함할 수 있다. 예를 들어, 전자 시스템(900)은 메모리 시스템(912), 프로세서(processor, 914), 램(RAM, 916), 및 사용자 인터페이스(user interface, 918)를 포함할 수 있고, 이들은 버스(bus, 920)를 이용하여 서로 데이터 통신을 할 수 있다. 프로세서(914)는 프로그램을 실행하고 전자 시스템(900)을 제어하는 역할을 할 수 있다. 램(916)은 프로세서(914)의 동작 메모리로서 사용될 수 있다. 예를 들어, 프로세서(914) 및 램(916)은 각각 본 발명의 실시예들에 따른 반도체 장치를 포함할 수 있다. 또는 프로세서(914)와 램(916)이 하나의 패키지에 포함될 수 있다. 유저 인터페이스(918)는 전자 시스템(900)에 데이터를 입력 또는 출력하는데 이용될 수 있다. 메모리 시스템(912)은 프로세서(914)의 동작을 위한 코드, 프로세서(914)에 의해 처리된 데이터 또는 외부에서 입력된 데이터를 저장할 수 있다. 메모리 시스템(912)은 제어기 및 메모리를 포함할 수 있으며, 도 11의 메모리 카드(800)와 실질적으로 동일하게 구성될 수 있다.

[0070] 전자 시스템(도 12의 900 참조)은 다양한 전자기기들의 전자 제어 장치에 적용될 수 있다. 도 13은 전자 시스템(도 12의 900 참조)이 모바일 폰(1000)에 적용되는 예를 도시한다. 그 밖에, 전자 시스템(도 12의 900 참조)은 휴대용 노트북, MP3 플레이어, 네비게이션(navigation), 고상 디스크(Solid State Disk : SSD), 자동차 또는 가전제품(household appliances)에 적용될 수 있다.

[0071] 이상, 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

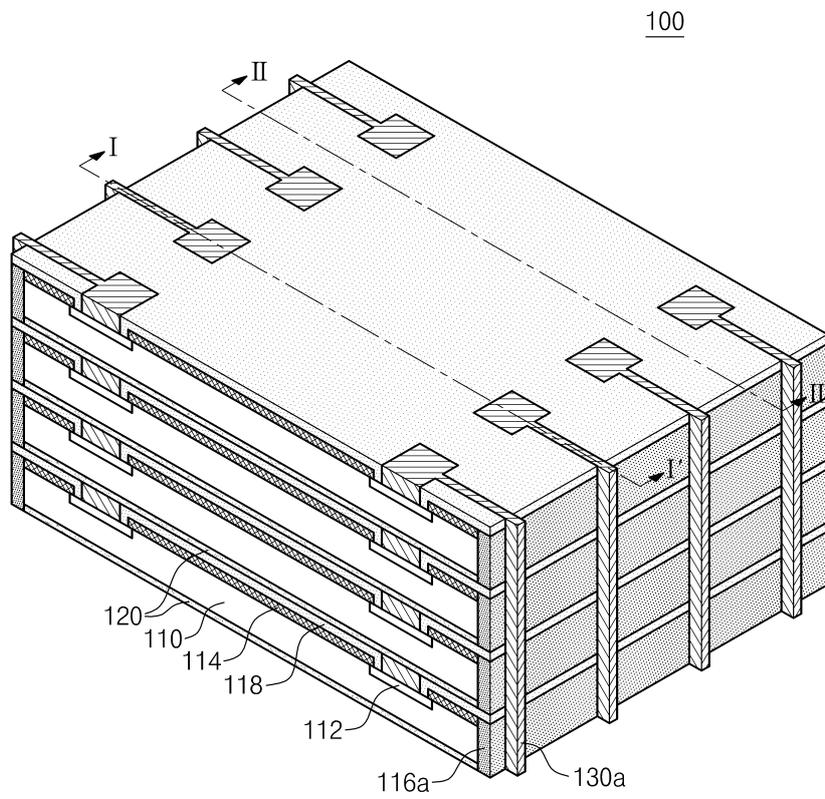
**부호의 설명**

- [0072] 110 : 반도체 칩
- 112 : 본딩 패드

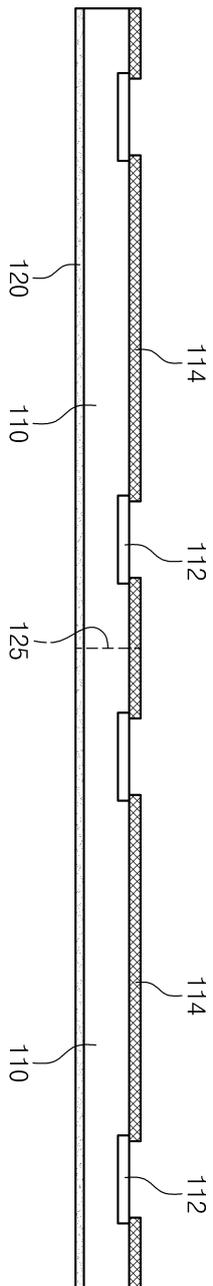
- 114 : 보호막
- 116 : 절연막
- 116a : 측면 절연막
- 118 : 적층용 접착막
- 119 : 개구부
- 120 : 배면 접착막
- 125 : 칩 절단 영역
- 130 : 금속막
- 130a : 금속 배선
- 210 : 캐리어 기관
- 310 : 배선 기관
- 312 : 실장용 솔더 볼
- 314 : 외부 접속용 솔더 볼
- 700 : 패키지 모듈
- 702 : 모듈 기관
- 704 : 반도체 칩
- 708 : 외부 연결 단자
- 800 : 메모리 카드
- 810 : 하우징
- 820 : 제어기
- 830 : 메모리
- 900 : 전자 시스템
- 912 : 메모리 시스템
- 914 : 프로세서
- 916 : 램
- 918 : 유저 인터페이스
- 920 : 버스
- 1000 : 모바일 폰

도면

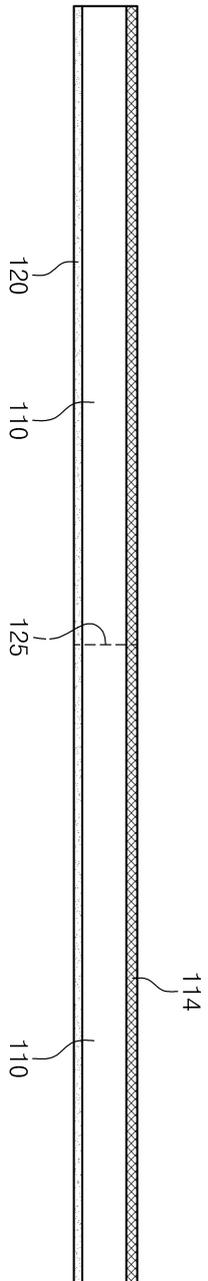
도면1



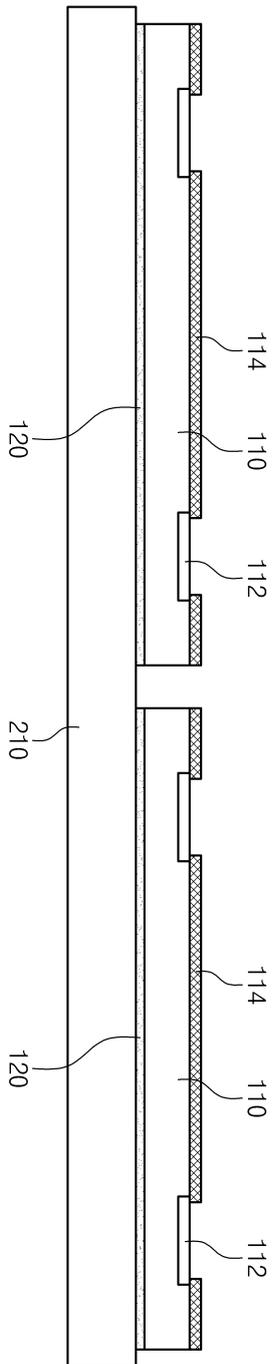
도면2a



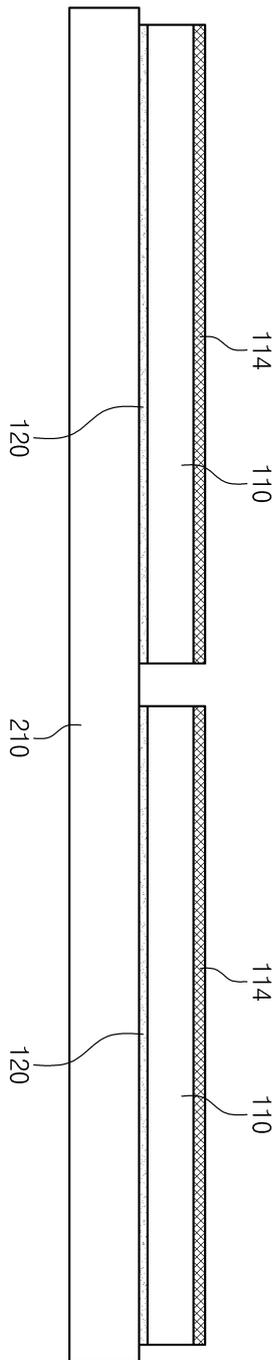
도면2b



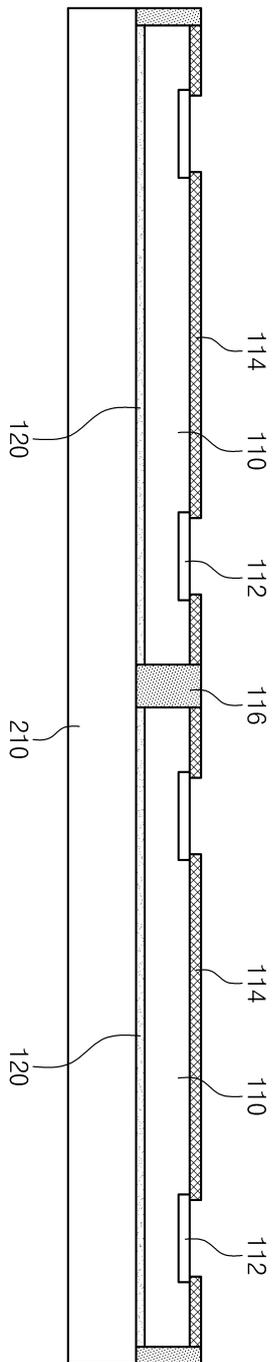
도면3a



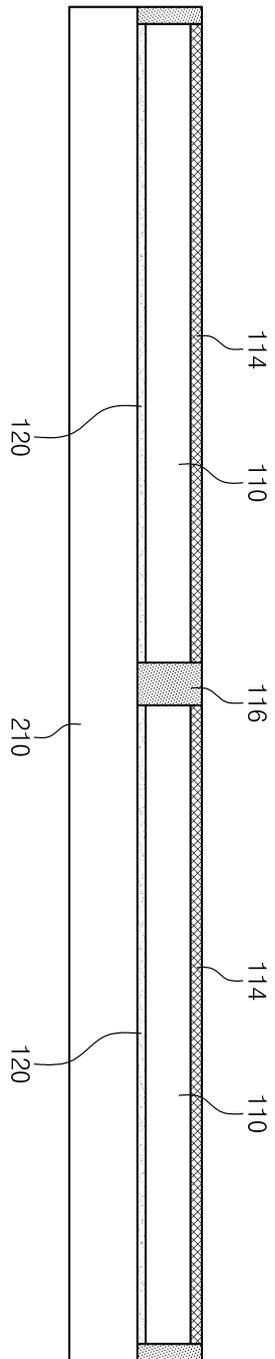
도면3b



도면4a

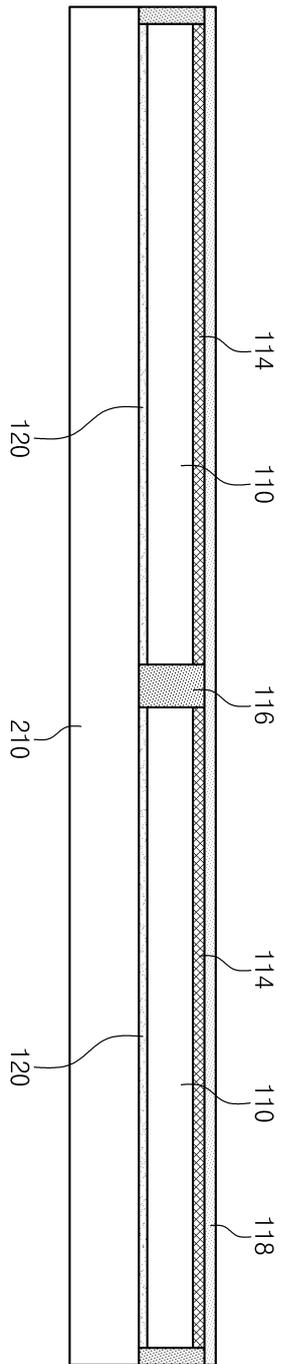


도면4b

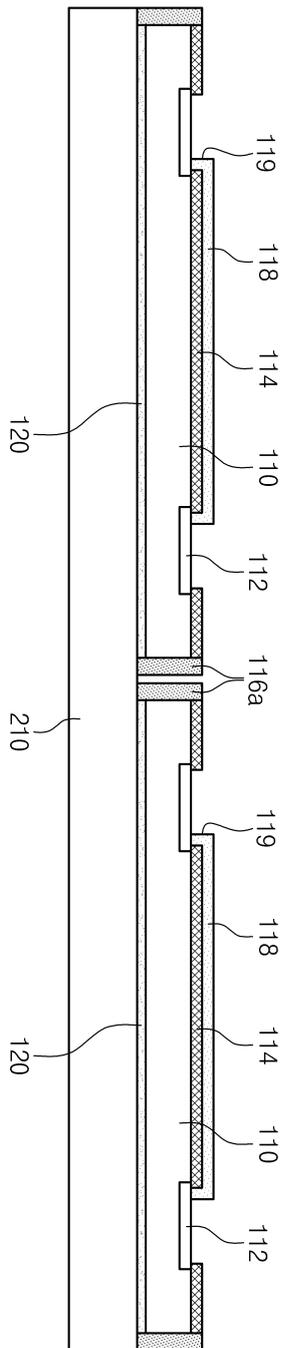




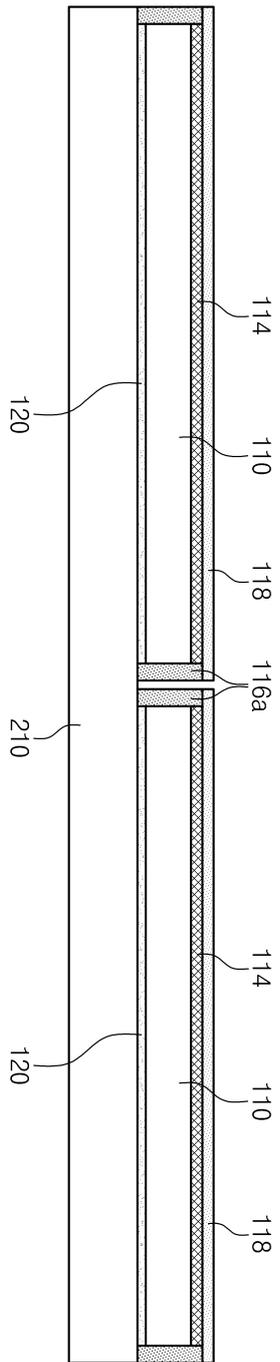
도면5b



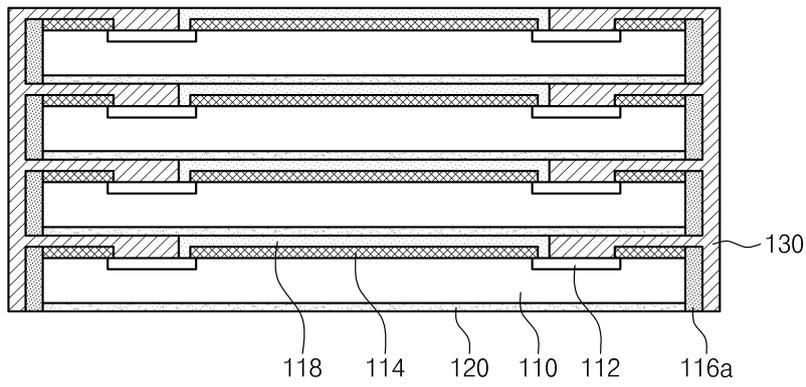
도면6a



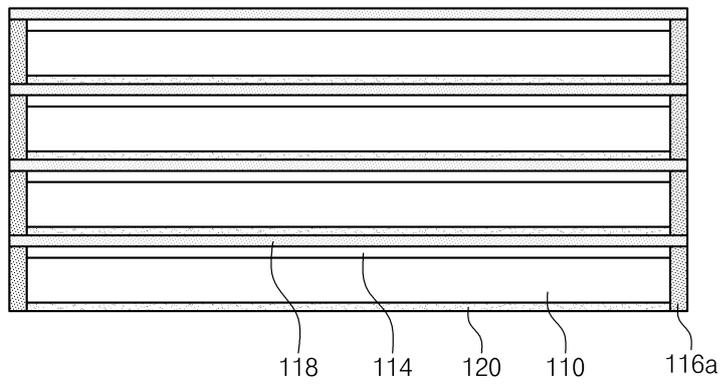
도면6b



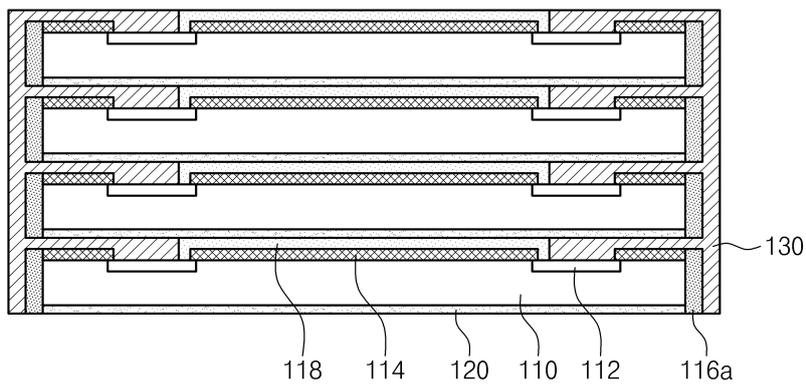
도면7a



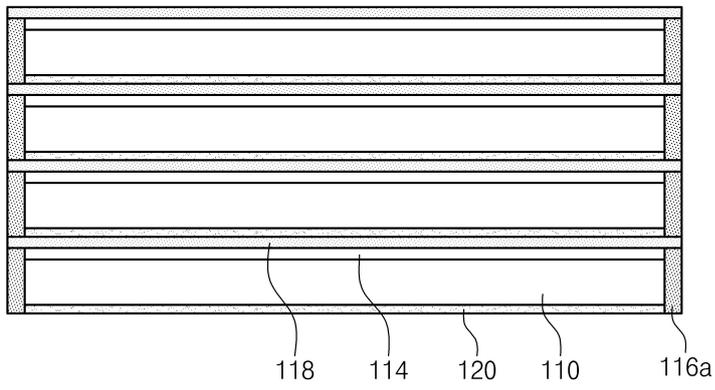
도면7b



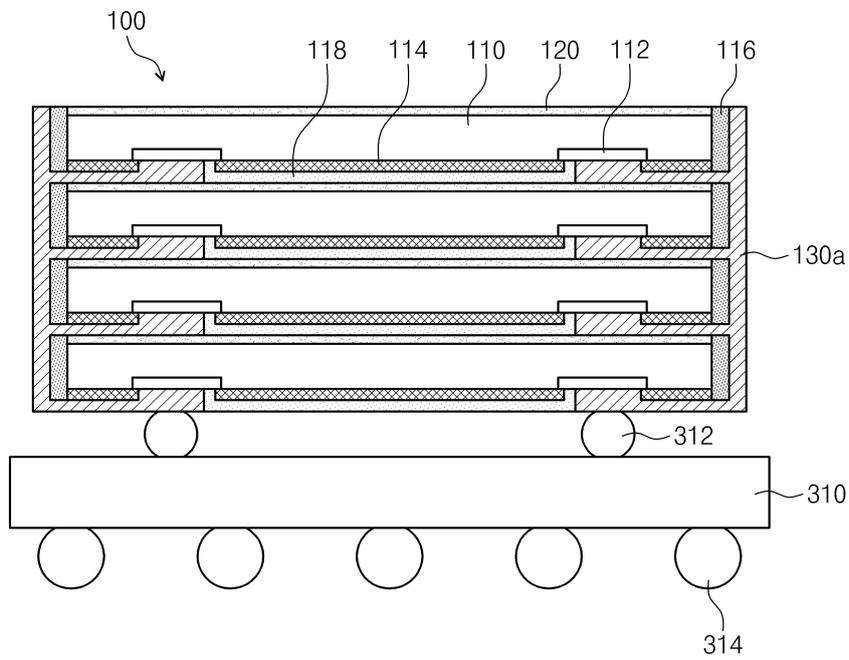
도면8a



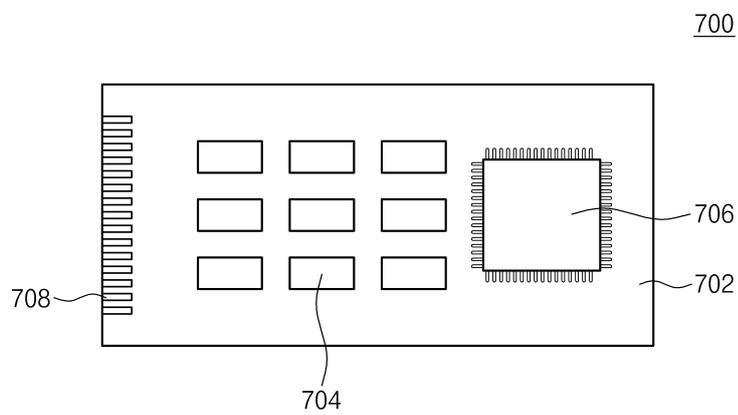
도면8b



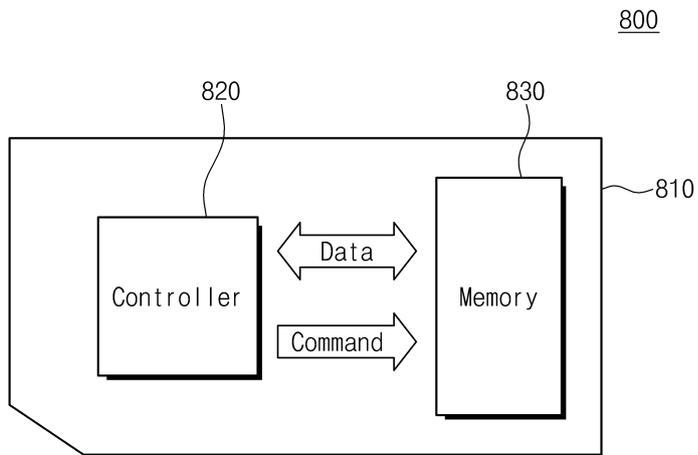
도면9



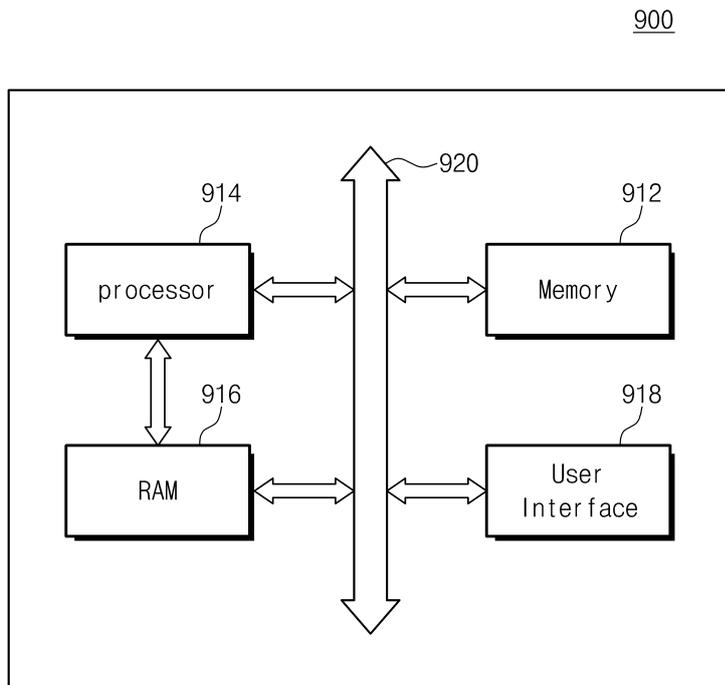
도면10



도면11



도면12



도면13

1000

