

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4149129号
(P4149129)

(45) 発行日 平成20年9月10日(2008.9.10)

(24) 登録日 平成20年7月4日(2008.7.4)

(51) Int.Cl. F I
 H03K 17/687 (2006.01) H03K 17/687 G
 H03K 17/10 (2006.01) H03K 17/10

請求項の数 12 (全 9 頁)

(21) 出願番号	特願2000-503601 (P2000-503601)	(73) 特許権者	501209070
(86) (22) 出願日	平成10年7月13日 (1998.7.13)		インフィネオン テクノロジーズ アクチ エンゲゼルシャフト
(65) 公表番号	特表2001-510951 (P2001-510951A)		ドイツ連邦共和国 85579 ノイビー ベルク アム カンペオン 1-12
(43) 公表日	平成13年8月7日 (2001.8.7)	(74) 代理人	100066692
(86) 国際出願番号	PCT/EP1998/004352		弁理士 浅村 皓
(87) 国際公開番号	W01999/004493	(74) 代理人	100072040
(87) 国際公開日	平成11年1月28日 (1999.1.28)		弁理士 浅村 肇
審査請求日	平成17年6月13日 (2005.6.13)	(74) 代理人	100091339
(31) 優先権主張番号	9714986.8		弁理士 清水 邦明
(32) 優先日	平成9年7月16日 (1997.7.16)	(74) 代理人	100094673
(33) 優先権主張国	英国 (GB)		弁理士 林 拓三

最終頁に続く

(54) 【発明の名称】 電子アナログ・スイッチ

(57) 【特許請求の範囲】

【請求項1】

半導体基板(50)上に形成されたアナログ・スイッチであって、
 入力(204)および出力(205)ポートと、

第1のエンハンスメント・モードMOSトランジスタ(201)であって、前記基板材料内の絶縁されたウエル内に形成され、そのゲート(G)は制御信号(207)を受け、その導電チャンネルの一端(S)とそのウエルとは前記入力ポート(204)に接続する第1のエンハンスメント・モードMOSトランジスタと、

第2のエンハンスメント・モードMOSトランジスタ(202)であって、前記基板(50)内の絶縁されたウエル内に形成され、その導電チャンネルの一端(S)とそのウエルとは前記入力ポート(204)に接続し、そのゲート(G)は前記第1のトランジスタ(201)の導電チャンネルの他端(D)に接続する第2のエンハンスメント・モードMOSトランジスタと、

第3のエンハンスメント・モードMOSトランジスタ(203)であって、前記基板(50)内の絶縁されたウエル内に形成され、そのゲート(G)は前記制御信号のコンプリメント(208)を受け、その導電チャンネルは前記出力ポート(205)と前記第2のトランジスタ(202)の導電チャンネルの他端(D)との間に接続し、そのウエルは前記スイッチの電源線の1つに接続する第3のエンハンスメント・モードMOSトランジスタと、

前記第2のトランジスタ(202)のゲート(G)に接続して前記第2のトランジスタ

10

20

(202)を前記第1のトランジスタ(201)と逆の状態に保持する制御手段(210)と、

を含むアナログ・スイッチ。

【請求項2】

各MOSトランジスタ(201、202、203)は前記基板(50)と同じ型の材料の導電チャンネルを有し、前記基板と逆の型の半導体材料のウエルの中に形成される、請求項1に記載のアナログ・スイッチ。

【請求項3】

前記基板材料(50)はn型の半導体材料、前記ウエル材料はp型の半導体材料、前記トランジスタ(201、202、203)はNMOSトランジスタであり、前記第3のトランジスタのウエルは前記スイッチの最も負の電源線に接続する、請求項2に記載のアナログ・スイッチ。

10

【請求項4】

前記基板材料(50)はp型の半導体材料、前記ウエルはn型の半導体材料、前記トランジスタ(201、202、203)はPMOSトランジスタであり、前記第3のトランジスタ(203)のウエル(W)は前記デバイスの最も正の電源線に接続する、請求項2に記載のアナログ・スイッチ。

【請求項5】

電氣的に絶縁された酸化物材料(51)が各トランジスタ(201、202、203)のウエル(52)を基板材料(50)から絶縁するように、各トランジスタ(201、202、203)のウエル(52)は前記基板材料(50)内に形成された前記電氣的に絶縁された酸化物材料(51)の溝内に形成される、請求項1に記載のアナログ・スイッチ。

20

【請求項6】

各MOSトランジスタ(201、202、203)はNMOSデバイスであり、前記第3のMOSトランジスタのウエル(W)は前記スイッチの最も負の電源線に接続する、請求項5に記載のアナログ・スイッチ。

【請求項7】

各MOSトランジスタ(201、202、203)はPMOSデバイスであり、前記第3のMOSトランジスタ(203)のウエル(W)は前記スイッチの最も正の電源線に接続する、請求項5に記載のアナログ・スイッチ。

30

【請求項8】

前記制御手段(210)は前記第2のMOSトランジスタをオンにするデバイスを含む、請求項1から請求項7までのいずれかに記載のアナログ・スイッチ。

【請求項9】

前記制御手段(210)はエンハンスメント・モードMOSトランジスタ(211)を含み、そのゲート(G)は制御信号を受け、その導電チャンネルは前記電源線と前記第2のトランジスタ(202)のゲート(G)との間に接続する、請求項8に記載のアナログ・スイッチ。

【請求項10】

前記エンハンスメント・モード・トランジスタはPMOSトランジスタであり、その導電チャンネルは前記デバイスの正の電源線に接続する、請求項3に付随するときの請求項9に記載のアナログ・スイッチ。

40

【請求項11】

前記エンハンスメント・モード・トランジスタはNMOSトランジスタであり、その導電チャンネルは前記デバイスの負の電源線に接続する、請求項4に付随するときの請求項9に記載のアナログ・スイッチ。

【請求項12】

前記制御手段(210)は切替え抵抗器を含む、請求項8に記載のアナログ・スイッチ。

50

【発明の詳細な説明】

【0001】

(発明の技術分野)

本発明は電子アナログ・スイッチに関するもので、特にMOSトランジスタを用いたアナログ・スイッチに関する。

【0002】

(関連技術の説明)

金属酸化物半導体(MOS)トランジスタを含む従来のアナログ・スイッチはpチャンネルおよびnチャンネルMOSトランジスタを含む。通常、nチャンネル・トランジスタの本体はデバイスの最も負の電源線に接続する。しかし、NMOSデバイスのソースが負電源より更に負の場合は、NMOSデバイスのソースと本体の間のPN接合ダイオードは順方向にバイアスされる。したがって、負電源からアナログ・スイッチが接続するノードに向かって電流が流れる。この電流によりスイッチの望ましい高オフ抵抗は悪化する。

10

【0003】

例えば代表的なCMOSトランジスタ・スイッチは、「電子工学の技術(The Art of Electronics)」, Horowitz and Hill, 2nd Ed. Cambridge University Press の図3.36とページ142および143に図示され説明されている。PMOSトランジスタがNMOSトランジスタに並列に接続し、2つのトランジスタは論理的に逆の制御信号を受ける。この配置によりスイッチのオン抵抗は十分低くなる。しかし上に述べたように、入力電圧が0Vより下がるとオフ抵抗は小さくなる。なぜなら、この電圧が下がるためにNMOSトランジスタ内のpn接合は順方向にバイアスされるからである。

20

国際特許出願公開第WO97/24807号は、2つのMOSトランジスタを含み、第1のトランジスタを入力ポートと第2のトランジスタのゲートとの間に接続するアナログ・スイッチを開示している。第1のトランジスタは比較器として動作し、通常の範囲外の電圧を入力にかけるとオンになる。

【0004】

(本発明の概要)

本発明は、アナログ・スイッチがオフ位置にあるときのスイッチの最大許容動作電圧を改善するものである。

【0005】

本発明は半導体基板上に形成されたアナログ・スイッチを提供するもので、その構成は、入力および出力ポートと、第1のエンハンスメント・モードMOSトランジスタであって、基板材料内の抵抗絶縁されたウエル内に形成され、そのゲートは制御信号を受け、その導電チャンネルの一端とそのウエルとは入力ポートに接続する第1のエンハンスメント・モードMOSトランジスタと、第2のエンハンスメント・モードMOSトランジスタであって、基板材料内の絶縁されたウエル内に形成され、その導電チャンネルの一端とそのウエルとは入力ポートに接続し、そのゲートは第1のトランジスタの導電チャンネルの他端に接続する第2のエンハンスメント・モードMOSトランジスタと、第3のエンハンスメント・モードMOSトランジスタであって、基板材料内の絶縁されたウエル内に形成され、そのゲートは前記制御信号のコンプリメントを受け、その導電チャンネルは出力ポートと第2のトランジスタの導電チャンネルの他端との間に接続し、そのウエルはスイッチの電源線の1つに接続する第3のエンハンスメント・モードMOSトランジスタと、第2のトランジスタのゲートに接続して第2のトランジスタを第1のトランジスタと逆の状態に保持する制御手段とを含む。

30

40

【0006】

1つの実施の形態では、各MOSトランジスタは基板と同じ型の半導体材料の導電チャンネルを有し、基板と逆の型の半導体材料のウエル内に形成される。

【0007】

基板材料はn型の半導体材料、ウエルはp型の半導体材料、トランジスタはNMOSトランジスタで良い。この場合は第3のトランジスタのウエルはスイッチの最も負の電源線に

50

接続する。この構成により、スイッチがオフ位置のときの最大負動作電圧が改善される。

【0008】

または、基板材料はp型の半導体材料、ウエルはn型の半導体材料、トランジスタはPMOSトランジスタで良い。この場合は第3のトランジスタのウエルはデバイスの最も正の電源線に接続する。この構成により、スイッチがオフ位置のときの最大正動作電圧が改善される。

【0009】

別の実施の形態では、電氣的に絶縁された酸化物材料の溝の中に各トランジスタを形成する。各MOSトランジスタはNMOSデバイスであり、第3のMOSトランジスタのウエルはスイッチの最も負の電源線に接続する。または各MOSトランジスタはPMOSデバイスであり、第3のMOSトランジスタのウエルはスイッチの最も正の電源線に接続する。

10

【0010】

制御手段は好ましくは第2のMOSトランジスタをオンにするデバイスを含む。この制御手段はエンハンスメント・モードMOSトランジスタを含み、そのゲートは制御信号を受け、その導電チャンネルは電源線と第2のトランジスタのゲートとの間に接続する。

【0011】

回路トランジスタがNMOSの場合はエンハンスメント・モード・トランジスタはPMOSトランジスタであり、その導電チャンネルはデバイスの正の電源線に接続する。または、制御手段は切替え抵抗器を含んで良い。

20

【0012】

(図面の詳細な説明)

図1は、NMOSトランジスタ101とPMOSトランジスタ102を含む従来のアナログMOSトランジスタ・スイッチ100を示す。このスイッチは入力ポート104と出力ポート105を有する。切り替えられる信号は入力ポート104に接続し、スイッチがオン状態のときに出力ポート105に送られる。NMOSトランジスタ101のゲートGは制御信号入力107に接続し、PMOSトランジスタ102のゲートGは制御信号入力108に接続する。

【0013】

NMOSトランジスタの本体はデバイスの最も負の電源線に接続し、PMOSトランジスタの本体は最も正の電源線に接続する。図1に示す例では、これらの電源線はそれぞれ0Vと5Vである。

30

【0014】

制御入力107がロー(すなわち、0V)で制御入力108がハイ(すなわち、5V)のときはスイッチはオフ条件にあり、入力ポート104と出力ポート105との間に電流が流れない。

【0015】

しかし、入力ポート104の信号が、NMOSトランジスタの本体に接続する電圧(0V)より低くなった場合は、NMOSトランジスタ101の本体とソースとの間に形成されるPN接合は順方向にバイアスされるので、電流が負の電源から入力ノードに流れる。この電流によりスイッチの望ましい高いオフ抵抗は悪化する。

40

【0016】

図2は本発明の第1の実施の形態200を示す図であって、第1、第2、第3のNMOSトランジスタ201、202、203を含む。第1のNMOSトランジスタ201のゲートGは制御入力207に接続する。第1のMOSトランジスタ201のソースSとウエルWはデバイスの入力ポート204に接続する。このように、トランジスタ201はエンハンスメント・モードで動作する。

【0017】

第2のMOSトランジスタ202と第3のMOSトランジスタ203の導電チャンネルとはデバイスの入力ポート204と出力ポート205との間に直列に接続する。すなわち、

50

トランジスタ 202 のソース S は入力ポートに接続し、トランジスタ 202 のドレイン D はトランジスタ 203 のソース S に接続し、トランジスタ 203 のドレイン D は出力ポート 205 に接続する。第 2 の MOS トランジスタ 202 のゲート G は第 1 の MOS トランジスタ 201 のドレイン D と制御デバイス 210 とに接続する。

【0018】

第 3 のトランジスタ 203 のゲート G は第 2 の制御入力 208 に接続して第 1 の制御入力 207 に与えられる信号のコンプリメントを受け、このデバイスのウエル W はスイッチの最も負の電源線に接続する。

【0019】

制御デバイス 210 は第 2 のトランジスタ 202 のゲート G に接続して、第 1 の MOS トランジスタ 201 とは逆にトランジスタ 202 をオンの状態に切り替えるように動作する。

10

【0020】

スイッチをオフ条件にするには、ハイ (5 v) 制御信号を制御入力 207 に与え、ロー (0 v) 制御信号を制御入力 208 に与える。制御信号がハイになるとトランジスタ 201 はオンになり、トランジスタ 202 のゲート G は入力ポート 204 の電圧レベルまでプルダウンされる。したがってトランジスタ 202 のゲート・ソース電圧 V_{gs} は 0 v に保持されて、トランジスタ 202 はオフ条件に留まる。

【0021】

このオフ条件では第 3 のトランジスタ 203 のゲート G は 0 v になっているので、第 3 のトランジスタ 203 もオフ条件に留まる。

20

【0022】

制御デバイス 210 は、スイッチをオンにするときに第 2 の MOS トランジスタを確実にオンにするよう動作する。このデバイスは PMOS トランジスタ、切替え抵抗器、非切替え抵抗器、または MOS またはバイポーラ・デバイスの電流源で実現することができる。

【0023】

スイッチをオンにするには、ロー (0 v) 信号を制御入力 207 に与え、ハイ (5 v) 信号を制御入力 208 に与える。これらの信号により第 1 のトランジスタ 201 はオフになるので、デバイス 210 により第 2 のトランジスタをオンにすることができる。第 3 のトランジスタもオンになるので、スイッチはオン状態になる。

30

【0024】

図 1 の従来回路とは異なり、制御入力 204 の電圧が負の電源電圧よりトランジスタ 201 のしきい値電圧だけ更に負になっても、トランジスタ 201 とトランジスタ 202 のソースと本体との間の PN 接合はオフ状態にバイアスされていないままである。その結果、スイッチの入力ポート 204 と出力ポート 205 との間に漏れ電流が流れない。

【0025】

このように、入力ポート 204 に与えられるオフ状態負電圧範囲は従来回路設計に比べて大幅に改善される。この場合、可能な最大負電圧は主として各トランジスタのウエル W とドレイン D との間の逆バイアスされた PN 接合の逆バイアス降伏電圧に基づき、その限度はトランジスタ 201 のしきい値である。

40

【0026】

理解されるように、図 2 は NMOS デバイスだけを示しているが、本発明を実現する回路のトランジスタは PMOS デバイスでも良い。

【0027】

図 3 は図 2 の回路の修正を示すもので、デバイス 210 は PMOS トランジスタ 211 で構成する。インバータ 212 を制御入力 207 と第 3 のトランジスタ 203 のゲートとの間に接続して、入力 207 に入る制御信号のコンプリメントをこのトランジスタに与える。

【0028】

更に、第 2 の PMOS トランジスタ 213 を、第 2 の NMOS トランジスタ 202 と第 3

50

のNMOSトランジスタ203とに並列に接続し、また制御信号214を受けるように接続する。図1に示す従来の回路と同様に、PMOSトランジスタ213はスイッチのオン抵抗を減らすためのものであって、入力制御信号がローのときオンになる。

【0029】

図3の回路は図2の回路の全ての利点を有する。特に、スイッチがオフ位置にあるときの入力ポート204の最大許容負電圧が従来のデバイスに比べて改善される。

【0030】

PMOSトランジスタ211は制御入力207から制御信号を受けるので、第1のNMOSトランジスタ201がオンのときはPMOSトランジスタ211はオフになる。またはその逆になる。このPMOSトランジスタ211は、スイッチをオンにするときに第2のNMOSトランジスタ202をオン状態にするためのものである。PMOSトランジスタ211または他のデバイスがないと、トランジスタ201がオフのとき第2のNMOSトランジスタ202のゲート電圧はフロートになり、スイッチ全体の条件が不確定になる。

【0031】

図4は図3を改善した設計を示すもので、第1のNMOSトランジスタ201のソースおよびウエルWと入力ポート204との間に追加のダイオード215を挿入する。

【0032】

ダイオード215は、スイッチがオンのときにポート204にかかる負電圧の大きさをダイオードの順方向電圧降下の値だけ大きくするためのものである。特定して述べると、スイッチがオンのときに、本来なら入力ポート204からデバイス201のチャンネルを通して流れる望ましくない電流を、ポート204にかかる負電圧がトランジスタ201のしきい値電圧とダイオード215の順方向電圧降下との和に等しい電圧になるまで流さない。

【0033】

このような設計では、トランジスタ201がオンのときにトランジスタ202をオフ条件に保持するため、第2のMOSトランジスタ202のゲート・ソースしきい値電圧 V_t はダイオードの順方向電圧降下より大きくなければならない。

【0034】

理解されるように、本発明の実施の形態についてMOSトランジスタの特定の型を参照して説明したが、その代わりに逆の型のMOSトランジスタを容易に用いることもできる。

【0035】

例えば、第3のMOSトランジスタはPMOSトランジスタでも良い。この場合は、そのウエルはデバイスの最も正の電源線に接続する。

また容易に理解されるように、上に述べた回路内の各トランジスタの代わりに複数の並列または直列のデバイスを用いても良い。

【0036】

または、第2および/または第3のトランジスタの代わりに、チャンネルを互いに直列に接続しゲートを共通にした複数のデバイスを用いても良い。このような直列デバイスのウエル接続は互いに共通である。

【0037】

第1のMOSトランジスタの代わりに、チャンネルを直列に接続しゲートを共通にした複数のデバイスを用いても良い。ウエルを共通に入力ポートに接続するか、または各ウエルを別個に、入力ポートに最も近いチャンネルの端に接続しても良い。

【0038】

図2、図3および図4で説明した本発明の実施の形態は溝絶縁の特性を利用することができる。

この溝絶縁では、MOSデバイスを別個の抵抗絶縁された溝の中に置く。図5はこのようなMOSデバイスの一例の略図を示す。

【0039】

このデバイスは基板50の上に形成され、そのウエル52は酸化物層51により基板材料

10

20

30

40

50

から絶縁されている。基板材料はp型またはn型であり、またウエル材料もどちらかの型の材料（PMOSトランジスタではn型、NMOSトランジスタではp型）が良い。導電チャンネル53はデバイスのドレイン接続54とソース接続55の間にできる。導電は従来の方法によりゲート末端56で制御する。

【0040】

または、基板半導体材料とは逆の型の半導体材料のウエルを形成することにより、MOSトランジスタを基板材料から「接合絶縁」して良い。

【図面の簡単な説明】

【図1】 図1は従来のアナログ・スイッチの回路図を示す。

【図2】 図2は本発明の第1の実施の形態の一般的な回路図を示す。

【図3】 図3は図2の実施の形態の修正を示す。

【図4】 図4は図3の実施の形態の修正の回路図を示す。

【図5】 図5は本発明の実施の形態に用いられるMOSトランジスタの製造の略図を示す。

【図1】

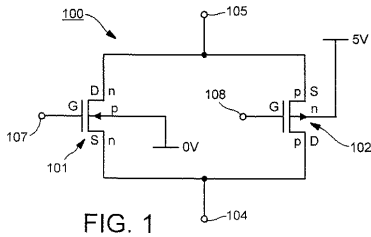


FIG. 1

【図2】

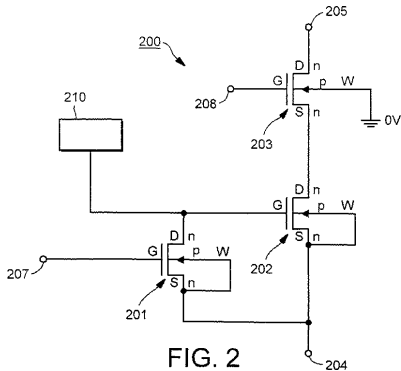


FIG. 2

【図3】

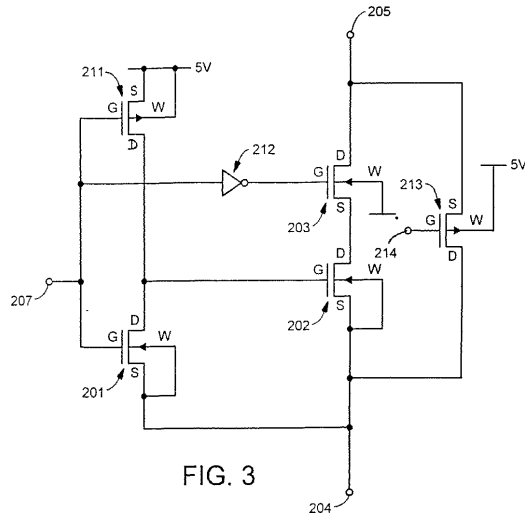


FIG. 3

【 図 4 】

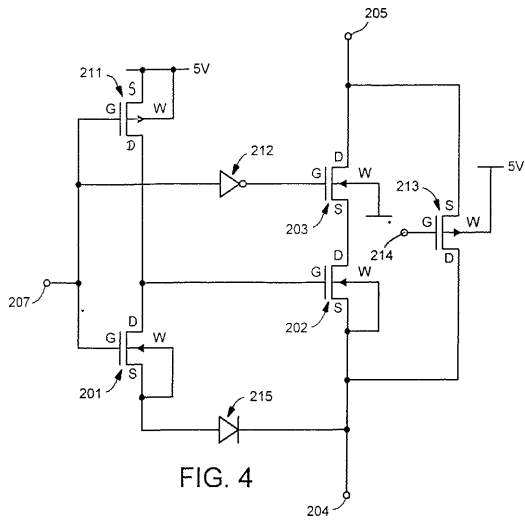


FIG. 4

【 図 5 】

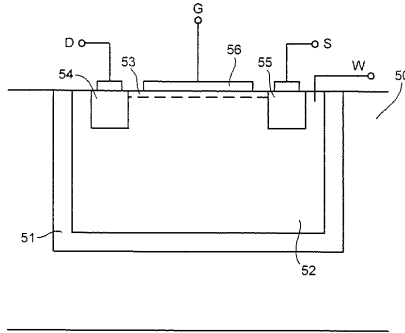


FIG. 5

フロントページの続き

(72)発明者 ミルズ、デビッド、ジョン
イギリス国 グルセスターシャー、サイレンセスター、サマーフォード ケインズ、" ダールスト
ン "

審査官 白井 亮

(56)参考文献 特開平09 - 167950 (JP, A)
特開平02 - 161769 (JP, A)
特開平04 - 273716 (JP, A)
特開平02 - 188028 (JP, A)
特開平07 - 046108 (JP, A)
特開平08 - 065124 (JP, A)
米国特許第04857984 (US, A)

(58)調査した分野(Int.Cl., DB名)
H03K 17/00-17/70