(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년05월02일
(11) 등록번호 10-1140534
(24) 등록일자 2012년04월19일

(51) 국제특허분류(Int. Cl.)
G03F 7/00 (2006.01)
(21) 출원번호 10-2008-0105268
(22) 출원일자 2008년10월27일
심사청구일자 2008년10월31일
(65) 공개번호 10-2009-0042748
(43) 공개일자 2009년04월30일
(30) 우선권주장
60/983,058 2007년10월26일 미국(US)
(56) 선행기술조사문헌
KR1020050072877 A*
KR1020050021980 A
KR1020080100690 A
KR1020050075066 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
어플라이드 머티어리얼스, 인코포레이티드
미국 95054 캘리포니아 산타 클라라 바우어스 애브뉴 3050
(72) 발명자
벤처, 크리스토퍼 디.
미국 95131 캘리포니아 샌어제이 해즐렛 코트 1251
다이, 후이씨옹
미국 95120 캘리포니아 샌어제이 엘름스데일 드라이브 7040
(뒷면에 계속)
(74) 대리인
남상선

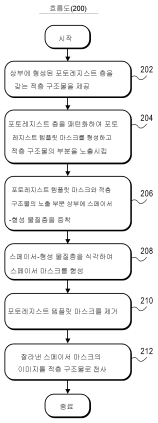
전체 청구항 수 : 총 14 항 심사관 : 소재현

(54) 발명의 명칭 **포토레지스트 템플릿 마스크를 이용한 빈도 증배**

(57) 요 약

포토레지스트 템플릿 마스크를 이용하여 리소그래픽 프로세스의 빈도를 증배시키기 위한 방법이 기술된다. 상부에 형성된 포토레지스트 층을 갖는 소자 층이 먼저 제공된다. 포토레지스트 층은 포토레지스트 템플릿 마스크를 형성하기 위해 패터닝된다. 포토레지스트 템플릿 마스크 상부에 스페이서-형성 물질층이 증착된다. 스페이서 마스크를 형성하고 포토레지스트 템플릿 마스크를 노출시키기 위해, 스페이서-형성 물질층이 식각된다. 그 다음, 포토레지스트 템플릿 마스크가 제거되고, 마지막으로 스페이서 마스크의 이미지가 소자 층으로 전사(transfer)된다.

대 표 도 - 도2



(72) 발명자

미아오, 리 얀

미국 94134 캘리포니아 샌프란시스코 브루셀 스트리트 430

첸, 하오 디.

미국 95051 캘리포니아 산타클라라 플로라 비스타 애브뉴 3770 아파트먼트 106

특허청구의 범위

청구항 1

막의 패터닝 방법으로서,

소자 층 상부에 포토레지스트 층을 형성하는 단계;

포토레지스트 템플릿 마스크를 형성하기 위해 상기 포토레지스트 층을 패터닝하는 단계;

상기 포토레지스트 템플릿 마스크 상부에 스페이서-형성 물질층을 증착하는 단계;

스페이서 마스크를 형성하고 상기 포토레지스트 템플릿 마스크를 노출시키기 위해, 상기 스페이서-형성 물질층을 식각하는 단계;

상기 포토레지스트 템플릿 마스크를 제거하는 단계; 및

상기 스페이서 마스크의 이미지를 상기 소자 층으로 전사(transfer)하는 단계

를 포함하며, 상기 스페이서-형성 물질층은 응축(condensation) 프로세스에 의해 형성되고, 상기 포토레지스트 템플릿 마스크는 승화(sublimation) 프로세스에 의해 제거되는,

막의 패터닝 방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 소자 층 상부 및 상기 포토레지스트 층 아래에 비정질 탄소 하드마스크 층이 배치되고, 상기 스페이서 마스크의 상기 이미지는 상기 이미지를 상기 소자 층으로 전사하기 이전에 상기 비정질 탄소 하드마스크 층으로 전사되는, 막의 패터닝 방법.

청구항 4

제 3 항에 있어서,

상기 비정질 탄소 하드마스크 층 상부 및 상기 포토레지스트 층 아래에 최상부 하드마스크 층이 배치되고, 상기 스페이서 마스크의 상기 이미지는 상기 이미지를 상기 비정질 탄소 하드마스크 층으로 전사하기 이전에 상기 최상부 하드마스크 층으로 전사되며, 상기 최상부 하드마스크 층은 실리콘 질화물, 비정질 실리콘 및 다결정 실리콘으로 이루어진 그룹에서 선택된 물질로 이루어지고, 상기 포토레지스트 템플릿 마스크를 제거하는 단계는 O_2를 이용하여 식각하는 단계를 포함하는, 막의 패터닝 방법.

청구항 5

제 1 항에 있어서,

상기 스페이서-형성 물질층은 실리콘 산화물 또는 탄소-도핑된 실리콘 산화물로 이루어지고, 상기 스페이서 마스크를 형성하기 위해 상기 스페이서-형성 물질층을 식각하는 단계는 C_4F_8, CH_2F_2 및 CHF_3로 이루어진 그룹에서 선택된 가스를 통한 건식 식각 프로세스를 이용하는 단계를 포함하는, 막의 패터닝 방법.

청구항 6

막의 패터닝 방법으로서,

소자 층 상부에 포토레지스트 층을 형성하는 단계;

포토레지스트 템플릿 마스크를 형성하기 위해 상기 포토레지스트 층을 패터닝하는 단계;

상기 포토레지스트 템플릿 마스크 상부에 스페이서-형성 물질층을 증착하는 단계;

스페이서 마스크를 형성하고 상기 포토레지스트 템플릿 마스크를 노출시키기 위해, 상기 스페이서-형성 물질층을 식각하는 단계;

상기 소자 층 또는 상기 스페이서 마스크를 용융시킴 없이 승화에 의해 상기 포토레지스트 템플릿 마스크를 제거하기에 충분한 온도로 상기 포토레지스트 템플릿 마스크를 가열하는 단계; 및

상기 스페이서 마스크의 이미지를 상기 소자 층으로 전사하는 단계

를 포함하는 막의 패터닝 방법.

청구항 7

제 6 항에 있어서,

상기 포토레지스트 템플릿 마스크를 가열하는 단계는 550℃의 온도로 가열하는 단계로 이루어지는, 막의 패터닝 방법.

청구항 8

제 6 항에 있어서,

상기 스페이서-형성 물질층은 실리콘 산화물 또는 탄소-도핑된 실리콘 산화물로 이루어지고, 상기 스페이서 마스크를 형성하기 위해 상기 스페이서-형성 물질층을 식각하는 단계는 C_4F_8, CH_2F_2 및 CHF_3으로 이루어진 그룹에서 선택된 가스를 통한 건식 식각 프로세스를 이용하는 단계를 포함하는, 막의 패터닝 방법.

청구항 9

막의 패터닝 방법으로서,

소자 층 상부에 포토레지스트 층을 형성하는 단계;

포토레지스트 템플릿 마스크를 형성하기 위해 상기 포토레지스트 층을 패터닝하는 단계;

상기 포토레지스트 템플릿 마스크 상에 직접 스페이서-형성 물질층을 응축하는 단계 ? 상기 포토레지스트 템플릿 마스크와 상기 소자 층은 상기 스페이서-형성 물질층의 균일한 및 등각의(conformal) 층을 제공하기에 충분히 낮은 온도에서 유지됨 ?;

스페이서 마스크를 형성하고 상기 포토레지스트 템플릿 마스크를 노출시키기 위해, 상기 스페이서-형성 물질층을 식각하는 단계;

상기 포토레지스트 템플릿 마스크를 제거하는 단계; 및

상기 스페이서 마스크의 이미지를 상기 소자 층으로 전사하는 단계

를 포함하는 막의 패터닝 방법.

청구항 10

제 9 항에 있어서,

상기 포토레지스트 템플릿 마스크와 상기 소자 층은 상기 스페이서-형성 물질층의 응축 동안 0-100℃ 범위의 온도에서 유지되는, 막의 패터닝 방법.

청구항 11

제 9 항에 있어서,

상기 스페이서-형성 물질층은 5-15% 범위의 탄소 원자들의 원자 농도를 갖는 탄소-도핑된 실리콘 산화물로 이루어지는, 막의 패터닝 방법.

청구항 12

제 11 항에 있어서,

상기 스페이서 마스크를 형성하기 위해 상기 스페이서-형성 물질층을 식각하는 단계는 C_4F_8, CH_2F_2 및 CHF_3로 이루어진 그룹에서 선택된 가스를 통한 건식 식각 프로세스를 이용하는 단계를 포함하는, 막의 패터닝 방법.

청구항 13

제 9 항에 있어서,

상기 포토레지스트 템플릿 마스크를 제거하는 단계는 상기 소자 층 또는 상기 스페이서 마스크를 용융시킴 없이 승화에 의해 상기 포토레지스트 템플릿 마스크를 제거하기에 충분한 온도로 상기 포토레지스트 템플릿 마스크를 가열하는 단계를 포함하는, 막의 패터닝 방법.

청구항 14

제 13 항에 있어서,

상기 포토레지스트 템플릿 마스크를 가열하는 단계는 550℃의 온도로 가열하는 단계로 이루어지는, 막의 패터닝 방법.

청구항 15

제 9 항에 있어서,

상기 포토레지스트 템플릿 마스크를 제거하는 단계는 O_2를 이용하여 식각하는 단계를 포함하는, 막의 패터닝 방법.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 출원은 2007년 10월 26일자로 출원된 미국 가출원 제60/983,058호에 우선권을 주장하며, 그 모든 내용은 본 명세서에 참조로서 통합된다.

[0002] 본 발명은 반도체 프로세싱 분야에 관한 것이다.

배 경 기 술

[0003] 과거 수십년 동안, 집적 회로들의 피쳐들의 스케일링(scaling)은 지금까지 성장해온 반도체 산업보다 뒤떨어진 구동력을 가져왔다. 점점 더 작은 피쳐들에 대한 스케일링은 제한된 반도체 칩의 면적상에 기능 유닛들의 밀도 증가를 가능하게 한다. 예를 들어, 트랜지스터 크기를 줄이는 것은 마이크로프로세서상에 증가된 개수의 로직 및 메모리 디바이스들의 통합을 허용하여, 복잡성이 증가된 제품들의 제조를 제공한다.

[0004] 스케일링은 그러나 중요시되지 않았다. 마이크로 전자공학 회로의 기본적인 형성 블럭들의 치수들이 감소하고, 주어진 영역에서 제조된 기본적인 형성 블럭들의 수가 증가됨에 따라, 이러한 형성 블럭들을 패터닝하는데 사용되는 리소그래픽 프로세스들에 대한 제한들이 가해졌다. 특히, 반도체 적층물에서 패터닝된 피쳐의 가장 작은 치수(임계 치수)와 그러한 치수들간의 간격 사이의 교환 조건이 존재할 수 있다. 도 1a-c는 종래 기술에 따른 종래의 반도체 리소그래픽 프로세스를 나타내는 횡단면도들을 도시한다.

[0005] 도 1a를 참조하여, 포토레지스트층(104)이 반도체 적층물(102) 위에 제공된다. 마스크 또는 레티클(106)이 포토레지스트층(104) 위에 위치된다. 리소그래픽 프로세스는 도 1a의 화살표들에 의해 나타난 바와 같이 특정 파장을 갖는 광(hν)에 대한 포토레지스트층(104)의 노출을 포함한다. 도 1b를 참조하여, 포토레지스트층(104)은 반도체 적층물(102) 위에 패터닝된 포토레지스트층(108)을 제공하기 위하여 후속하여 현상된다. 즉, 광에 노출된 포토레지스트층(104)의 부분들이 이제 제거된다. 패터닝된 포토레지스트층(108)의 각각의 피쳐는 폭 'x'로 표시된다. 각각의 피쳐 사이의 간격은 간격 'y'로 표시된다. 통상적으로, 특정 리소그래피 프로세스에 대한 제한은 도 1b에 나타난 바와 같이, 피쳐들간의 간격과 동일한 임계치수, 즉, x=y인 피쳐들을 제공하는 것이다.

[0006] 도 1c를 참조하여, 피쳐의 임계치수(즉, 폭 'x')는 반도체 적층물(102) 위에 패터닝된 포토레지스트층(110)을 형성하기 위하여 감소될 수 있다. 임계 치수는 도 1a에 도시된 리소그래픽 단계 동안에 포토레지스트층(104)을

과도 노출시킴으로써, 또는 도 1b로부터 패터닝된 포토레지스트층(108)을 후속하여 트리밍함으로써 줄어들 수 있다. 그러나, 임계치수의 이러한 감소는 도 1c에서 간격 'y'으로 표시되는 바와 같이, 피처들 사이의 간격 증가를 초래한다. 즉, 패터닝된 포토레지스트층(110)으로부터의 피처들 각각의 가장 작은 달성가능한 치수와 각각의 피처 사이의 간격 사이의 교환 조건이 존재할 수 있다.

[0007] 따라서, 반도체 리소그래픽 프로세스의 빈도(frequency)의 증배 방법이 본 명세서에 개시된다.

발명의 내용

[0008] 반도체 리소그래픽 프로세스의 빈도를 증배하기 위한 방법이 개시된다. 하기의 설명에서, 본 발명의 완전한 이해를 제공하기 위하여 제조 조건 및 물질 제도와 같은 다수의 특정한 세부 사항들이 진술된다. 본 기술 분야의 당업자들은 이러한 특정한 세부 사항들 없이도 본 발명이 실행될 수 있다는 것을 알 수 있을 것이다. 다른 실시예들에서, 집적 회로 설계 레이아웃들 또는 포토레지스트 현상 프로세스들과 같은 공지된 피처들은 본 발명을 불필요하게 애매하게 하지 않도록 상세히 설명되지 않는다. 추가로, 도면들에 도시된 다양한 실시예들은 도식적인 표시이며, 반드시 실제 비율로 그려지지는 않는다는 것을 이해해야 한다.

[0009] 본 명세서에는 포토레지스트 템플릿(template) 마스크를 사용하여 리소그래픽 프로세스의 빈도를 증배시키기 위한 방법이 개시된다. 적층 구조물이 제공될 수 있으며, 여기서 적층 구조물의 상부에는 포토레지스트층이 형성된다. 일실시예에서, 포토레지스트층은 포토레지스트 템플릿 마스크를 형성하고, 적층 구조물의 일부분을 노출시키기 위하여 패터닝된다. 스페이서(spacer)-형성 물질층은 그 후 포토레지스트 템플릿 마스크 위에, 그리고 적층 구조물의 노출된 부분 위에 증착될 수 있다. 일실시예에서, 스페이서-형성 물질층은 그 후 스페이서 마스크를 형성하고, 포토레지스트 템플릿 마스크를 노출시키기 위하여 식각된다. 그 다음 포토레지스트 템플릿 마스크는 그 후 제거될 수 있다. 특정 실시예에서, 스페이서 마스크의 이미지는 최종적으로 적층 구조물로 전사된다.

[0010] 빈도 증배 설계에서 포토레지스트 템플릿 마스크의 사용은 그러한 통합 설계에서 요구되는 프로세스 단계들의 개수를 최소화할 수 있다. 예를 들어, 본 발명의 일실시예에 따라, 포토레지스트 템플릿 마스크는 스페이서 마스크의 형성을 위한 토대로서 사용된다. 따라서, 먼저 포토레지스트층을 패터닝한 후 템플릿 마스크를 형성하기 위하여 마스크층으로 패터닝된 포토레지스트층의 이미지를 전사하는 대신, 패터닝된 포토레지스트층 자신이 템플릿 마스크로서 직접 사용될 수 있다. 일실시예에서, 포토레지스트 템플릿 마스크의 패턴에서 피처들의 빈도는 이어서 스페이서 마스크를 제조함으로써 증배된다. 예를 들어, 본 발명의 일실시예에 따라, 포토레지스트 템플릿 마스크의 측벽들에 인접하게 형성된 스페이서 라인들을 갖는 스페이서 마스크가 제조된다. 즉, 포토레지스트 템플릿 마스크의 모든 라인들에 대하여, 스페이서 마스크의 두 개의 스페이서 라인들이 발생된다. 각각의 라인에 대하여 실질적으로 동일한 임계 치수(즉, 동일한 피처 폭)를 제공하지만 특정 영역에서 라인들의 밀도가 두 배인 스페이서 마스크가 따라서 포토레지스트 템플릿 마스크의 제거시 제조될 수 있다. 예를 들어, 일실시예에서, 포토레지스트 템플릿 마스크의 피치(pitch)가 마침내 2의 피치를 갖는 스페이서 마스크를 제공하기 위하여 4인 것으로 선택된다.

[0011] 포토레지스트 템플릿 마스크의 직접 사용이 포토레지스트층으로부터 구분되는 층에 템플릿 마스크를 제조할 필요성을 제거할 수 있음에도 불구하고, 포토레지스트 템플릿 마스크에 다양한 프로세스 조건들을 가할 때 주의가 요구될 수 있다. 예를 들어, 본 발명의 일실시예에 따라, 포토레지스트 템플릿 마스크는 민감한데, 즉, 고온 프로세스 단계들에 노출될 때 열화된다. 따라서, 스페이서-형성 물질층(마침내 스페이서 마스크를 형성하는데 사용되는 물질)을 포토레지스트 템플릿 마스크상에 증착할 때, 저온 증착 기술을 사용하는 것이 바람직할 수 있다. 일실시예에서, 저온 응축 프로세스는 포토레지스트 템플릿 마스크상에 스페이서-형성 물질층을 증착하는데 사용된다. 본 발명의 다른 실시예에 따라, 포토레지스트 템플릿 마스크가 비정질 탄소 하드-마스크층상에 직접 형성된다. 포토레지스트 템플릿 마스크가 비정질 탄소 하드-마스크층의 식각 특성들과 유사한 식각 특성들을 가질 수 있기 때문에, 식각 프로세스에 의하여 포토레지스트 템플릿 마스크를 제거하는 것은 비현실적일 수 있다. 그러나, 일실시예에서, 포토레지스트 템플릿 마스크의 열 특성들은 실질적으로 비정질 탄소 하드-마스크층의 열 특성들과 상이하다. 이러한 열 특성의 상이함은 비정질 탄소 하드-마스크층으로부터 포토레지스트 템플릿 마스크를 선택적으로 제거하기 위하여 이용될 수 있다. 특정 실시예에서, 포토레지스트 템플릿 마스크는 승화 프로세스에 의하여 비정질 탄소 하드-마스크층에 대한 높은 선택도로 제거된다.

발명의 실시를 위한 구체적인 내용

[0012] 반도체 리소그래픽 프로세스의 빈도는 포토레지스트 템플릿 마스크를 사용하여 증배될 수 있다. 도 2는 본 발

명의 일실시예에 따른 빈도 증배 제조 프로세스의 일련의 동작들을 나타내는 흐름도(200)이다. 도 3a-g는 본 발명의 일실시예에 따른 적층(layered) 구조물에 적용된 바와 같은 도 2의 흐름도(200)로부터의 일련의 동작들을 나타내는 횡단면도들을 도시한다.

[0013] 흐름도(200)의 작동(202) 및 대응하는 도 3a를 참조하여, 상부에 포토레지스트층(302)이 형성되는 구조물(300)이 제공된다. 본 발명의 일실시예에 따라, 구조물(300)의 적어도 일부분이 마침내 포토레지스트 템플릿 마스크를 통합하는 프로세스를 사용함으로써 패터닝될 것이다. 일실시예에서, 구조물(300)은 도 3a에 도시된 것과 같은 적층 구조물이다. 소자층은 상부에 직접 포토레지스트 템플릿 마스크가 형성됨으로써 패터닝될 수 있다. 대안적으로, 소자층 위에 존재하는 하드-마스크 구조물은 먼저 패터닝되고, 후속하여 패턴이 하드-마스크 구조물로부터 소자층으로 전사될 수 있다. 따라서, 특정 실시예에서, 구조물(300)은 도 3a에 도시된 바와 같이 제1 하드-마스크층(304), 제2 하드-마스크층(306), 및 소자층(308)을 포함한다. 특정 실시예에서, 소자층(308)이 패터닝되어 결국 유지되는 동안, 제1 하드-마스크층(304) 및 제2 하드-마스크층(306)은 패터닝 프로세스에 뒤따라 제거된다.

[0014] 포토레지스트층(302)은 리소그래픽 프로세스에서 사용하기에 적합한 임의의 물질로 구성될 수 있다. 즉, 포토레지스트층(302)은 마침내 광원에 노출되고, 후속하여 현상될 것이다. 일실시예에서, 광원에 노출될 포토레지스트층(302)의 부분들은 포토레지스트층(302)의 현상시 제거될 것인데, 즉, 포토레지스트층(302)은 포지티브 포토레지스트 물질로 구성된다. 특정 실시예에서, 포토레지스트층(302)은 248㎚ 레지스트, 193nm 레지스트, 157nm 레지스트, 초자외선(EUV) 레지스트 및 디아존아프토퀴논(diazonaphthoquinone) 감광제를 갖는 페놀 수지 매트릭스로 구성되는 그룹으로부터 선택된 포지티브 포토레지스트 물질로 구성된다. 다른 실시예에서, 광원에 노출될 포토레지스트층(302)의 부분들은 포토레지스트층(302)의 현상시 유지될 것인데, 즉, 포토레지스트층(302)은 네거티브 포토레지스트 물질로 구성된다. 특정 실시예에서, 포토레지스트층(302)은 폴리-시스-이소프렌 및 폴리-비닐-신나메이트로 구성된 그룹으로부터 선택된 네거티브 포토레지스트 물질로 구성된다. 포토레지스트층(302)의 두께는 상부에 형성된 후속하여 형성된 스페이서 마스크의 스페이서 마스크 라인-붕괴를 방지하기에 충분히 얇으며, 스페이서 마스크 라인들의 임계 치수 제어를 가능하게 하도록 충분히 두꺼울 수 있다. 일실시예에서, 포토레지스트층(302)의 두께는 후속하여 형성된 스페이서 마스크의 목표된 라인 폭의 4.06-5.625배의 범위이다.

[0015] 제1 하드-마스크층(304)은 포토레지스트 템플릿 마스크에 기초하여 스페이서 마스크를 형성하기 위하여 사용된 식각 프로세스를 견디기에 적합한, 즉, 포토레지스트 템플릿 마스크에 기초하여 스페이서 마스크의 형성 동안에 제2 하드-마스크층(306)을 보호하기에 적합한 임의의 물질로 구성될 수 있다. 본 발명의 일실시예에 따라, 후속하여 형성된 스페이서 마스크는 실리콘 산화물로 구성되며, 제1 하드-마스크층(304)은 실리콘 질화물, 비정질 실리콘, 및 폴리-결정 실리콘으로 구성된 그룹으로부터 선택된 물질로 구성된다. 제1 하드-마스크층(304)의 두께는 바람직하지 않게도 스페이서 마스크를 형성하는데 사용된 식각 프로세스에 제2 하드-마스크층(306)을 노출시킬 수 있는 핀홀들을 방지하기에 충분히 두꺼울 수 있다. 일실시예에서, 제1 하드-마스크층(304)의 두께는 15-40 나노미터 범위이다.

[0016] 제2 하드-마스크층(306)은 스페이서 마스크의 전사된 이미지에 기초하여 패터닝 마스크를 형성하는데 적합한 임의의 물질로 구성될 수 있다. 본 발명의 일실시예에 따라, 제2 하드-마스크층(306)은 포토레지스트층(302)의 식각 특성들과 유사한 식각 특성들을 갖는다. 따라서, 일실시예에서, 제2 하드-마스크층(306)은 도 3b 및 3e와 함께 하기에 개시된 바와 같이, 포토레지스트층(302) 트리밍 또는 제거 프로세스 동안에 제1 하드-마스크층(304)에 의해 보호된다. 예를 들어, 특정 실시예에서, 포토레지스트층(302) 및 제2 하드-마스크층(306)은 실질적으로 탄소 원자들로 구성된다. 일실시예에서, 제2 하드-마스크층(306)은 본질적으로 하이드로카본 전구체 분자들을 사용하는 화학적 기상 증착 프로세스로부터 형성된 sp^3(다이아몬드-유사)-, sp^2(흑연)- 및 sp^1(열분해)-수소화 탄소 원자들의 혼합물로 구성된다. 그러한 막은 비정질 탄소막으로서 본 기술분야에서 공지될 수 있으며, 그 일실시예는 어플라이드 머티리얼스로부터 제공되는 Advanced Patterning Film™(APF™)이다. 본 발명의 일실시예에 따라, 제2 하드-마스크층(306)은 비정질 탄소막이며, 포토레지스트층(302)의 열 특성들과 상이한 열 특성들을 갖는다. 일실시예에서, 열 특성들의 이러한 상이함은 비정질 탄소막으로 구성된 제2 하드-마스크층(306)으로부터 포토레지스트층(302)을 선택적으로 제거하기 위하여 이용된다. 제2 하드-마스크층(306)의 두께는 후속하여 형성된 패터닝 마스크에서의 사용을 위해 실질적인 종횡비를 제공하기에 적합한 임의의 두께일 수 있다. 특정 실시예에서, 제2 하드-마스크층(306)의 두께는 후속하여 형성된 패터닝 마스크의 라인들 각각의 목표된 폭의 3.125-6.875배의 범위이다.

[0017] 소자층(308)은 디바이스 제조를 위해 바람직한 임의의 층 제조 또는 두배의 빈도수의 마스크를 요구하는 임의의 다른 구조물(예를 들어, 반도체 구조물들, MEMS 구조물들 및 금속 라인 구조물들)일 수 있다. 예를 들어, 본 발명의 일실시예에 따라, 소자층(308)은 뚜렷하게 형성된 반도체 구조물들의 어레이로 적절히 패터닝될 수 있는 임의의 두께를 갖는 임의의 물질로 구성될 수 있다. 일실시예에서, 소자층(308)은 Ⅳ 족-기반 물질 또는 Ⅲ-Ⅴ 물질로 구성된다. 또한, 소자층(308)은 뚜렷하게 형성된 반도체 구조물들의 어레이로 적절히 패터닝될 수 있는 임의의 형태를 포함할 수 있다. 일실시예에서, 소자층(308)의 구조는 비정질, 단결정 및 다결정으로 구성되는 그룹으로부터 선택된다. 일실시예에서, 소자층(308)은 전하-캐리어 도펀트 불순물 원자들을 포함한다. 특정 실시예에서, 소자층(308)은 50-1000 나노미터 범위의 두께를 갖는다. 소자층(308)은 금속으로 구성될 수 있다. 일실시예에서, 소자층(308)은 이에 제한되지는 않으나, 금속 질화물들, 금속 탄화물들, 금속 규화물들, 하프늄, 지르코늄, 티타늄, 탄탈룸, 알루미늄, 루테늄, 팔라듐, 백금, 코발트, 구리 및 니켈을 포함하는 금속 종들로 구성될 수 있다. 소자층(308)은 추가로 기판(310) 위에 존재할 수 있다. 기판(310)은 제조 프로세스를 견디기에 적합한 임의의 물질로 구성될 수 있다. 일 실시예에서, 기판(310)은 플랙시블한 플라스틱 시트로 구성될 수 있다. 또한, 기판(310)은 제조 프로세스를 견디기에 적합한 물질로 구성되며 그 위에 반도체층들이 적절히 상주할 수 있도록 구성된다. 일 실시예에서, 기판(310)은 결정성 실리콘, 게르마늄 또는 실리콘/게르마늄과 같은 IV족-기반 물질들로 구성된다. 또 다른 실시예에서, 기판(310)은 III-V 물질로 구성된다. 또한, 기판(310)은 절연층을 포함할 수 있다. 일 실시예에서, 절연층은 실리콘 산화물, 실리콘 질화물, 실리콘 산-질화물 및 하이-k 유전체층으로 이루어진 그룹에서 선택된 물질로 구성된다.

[0018] 도 3b에 대응하는 흐름도(200)의 동작(204)을 참조로, 포토레지스트층(302)은 포토레지스트 템플릿(template) 마스크(312)를 형성하도록 패터닝된다. 기판(300)의 일부, 특히 제 1 하드-마스크층(304)의 상부 표면의 일부는 도 3b에 도시된 것처럼, 포토레지스트층(302)의 패터닝에 따라 노출된다.

[0019] 포토레지스트층(302)은 제 1 하드-마스크층(302)의 원하는 부분들을 노출시키면서 포토레지스트 템플릿 마스크(312)에 대해 고선명(well-defined) 피처들을 제공하기에 적합한 임의의 방법에 의해 포토레지스트 템플릿 마스크(312)를 형성하도록 패터닝될 수 있다. 본 발명의 일 실시예에 따라, 포토레지스트층(302)은 248nm 리소그래피/현상(development), 193nm 리소그래피/현상, 157nm 리소그래피/현상, 초자외선(EUV) 리소그래피/현상 및 직접-기록 리소그래피/현상으로 이루어진 그룹에서 선택된 리소그래피/현상 프로세스에 의해 포토레지스트 템플릿 마스크(312)을 형성하도록 패터닝된다.

[0020] 포토레지스트 템플릿 마스크(312)는 스페이서 마스크 제조 프로세스에서 사용하기에 적합한 임의의 치수를 가질 수 있다. 본 발명의 또 다른 실시예에서, 포토레지스트 템플릿 마스크(312)의 각각의 피처의 폭 'x'은 실질적으로 순차적으로 형성된 반도체 소자 피처의 원하는 임계 치수와 상관되도록 선택된다. 일례로, 일 실시예에서, 포토레지스트 템플릿 마스크(312)의 각각의 피처의 폭 'x'은 실질적으로 게이트 전극의 원하는 임계 치수와 상관되도록 선택된다. 일 실시예에서, 폭 'x' 범위는 10-100 나노미터이다. 라인들 'y' 간의 공간(spacing)은 빈도 증배 수단(frequency doubling scheme)을 최적화시키도록 선택될 수 있다. 즉, 본 발명의 실시예에 따라, 순차적으로 제조된 스페이서 마스크는 스페이서 마스크의 스페이서 라인들의 폭이 포토레지스트 템플릿 마스크(312)의 각각의 피처의 폭 'x'와 실질적으로 동일해지도록 목표된다. 또한, 순차적으로 형성된 스페이서 라인들 간의 공간은 실질적으로 각각의 스페이서 영역의 폭과 같아지도록 목표된다. 따라서, 일 실시예에서, 빈도수(frequency)는 결국 2배가 되기 때문에, 포토레지스트 템플릿 마스크(312)의 각각의 피처 사이의 공간 'y'은 도 3b에 도시된 것처럼, 'x' 값의 대략 3배가 된다. 즉, 포토레지스트 템플릿 마스크(312)의 피치는 최종적으로 약 2의 피치를 가지는 스페이서 라인들을 갖는 스페이서 마스크를 제공하도록 대략 4로 선택된다.

[0021] 포토레지스트 템플릿 마스크(312)의 피처들에 대해 대략 3:1의 공간:폭 비율은 리소그래피 프로세스의 노출 단계에서 포지티브 포토레지스트층을 과잉-노출시킴으로써 또는 리소그래피/현상 프로세스에 대해 차후 포토레지스트층(302)을 트리밍(trimming)함으로써 달성될 수 있다. 일 실시예에서, 포토레지스트 템플릿 마스크(312)는 O_2 가스를 기반으로한 플라즈마 식각 화학제(chemistry)를 사용함으로써 현상 후 트리밍된 193nm 포지티브 포토레지스트로 구성된다. 트리밍 프로세스는 본 발명의 실시예에 따라 제 2 하드 마스크층(306)에 영향을 미칠 수 있기 때문에, 제 1 하드 마스크층(304)은 이러한 트리밍 프로세스 동안 제 2 하드 마스크층(306)을 보호하도록 제공된다.

[0022] 도 3c에 해당하는 흐름도(200)의 동작(206)을 참조로, 스페이서-형성 물질층(320)은 포토레지스트 템플릿 마스크(312) 및 제 1 하드 마스크층(304)의 노출된 부분 위에 등각으로(conformal) 증착된다. 스페이서-형성 물질

층(320)은 최종적으로 포토레지스트 템플릿 마스크를 기반으로한 빈도 증배 수단에서 이용되기 위해 스페이서 마스크가 되는 물질의 소스이다.

[0023] 스페이서-형성 물질층(320)은 순차적인 식각 프로세스에서 이용되는 신뢰성있는 마스크를 형성하기에 적합하며 포토레지스트 템플릿 마스크(312)와 호환가능한 임의의 물질로 구성될 수 있다. 포토레지스트 템플릿 마스크(312)의 직접적인 사용은 본 발명의 실시예에 따라 포토레지스트층과 구별되는 층에서 템플릿 마스크를 제조해야할 필요성을 없애지만, 다양한 프로세스 조건들에 대해 포토레지스트 템플릿 마스크(312)를 처리할 때 주의를 기울여야 할 필요는 있다. 예를 들어, 일 실시예에서, 포토레지스트 템플릿 마스크(312)는 스페이서-형성 물질층들을 증착하는데 통상적으로 이용되는 고온으로(예를 들어, 종래의 화학적 기상 증착 기술들에 이용되는 섭씨 약 129도 이상의 온도) 처리될 때 손상되기 시작한다. 따라서, 스페이서-형성 물질층(320)이 증착될 때, 저온 증착 기술을 사용하는 것이 바람직할 수 있다. 예를 들어, 일 실시예에서, 스페이서-형성 물질층(320)은 포토레지스트 템플릿 마스크(312)의 글래스-전이 온도 미만의 온도로 증착된다. 본 발명의 실시예에 따라, 저온 응축(condensation) 프로세스는 포토레지스트 템플릿 마스크(312) 상에 스페이서-형성 물질층(320)을 증착하는데 이용된다. 응축 프로세스는 가스 전구체들(gaseous precursors)로부터 물질층의 증착은 가스 전구체들의 온도를 기준으로 냉각되는 표면 상에 형성되는 물질층의 축적에 의해 유도되는 임의의 프로세스일 수 있다. 예를 들어, 일 실시예에서, 포토레지스트 템플릿 마스크(312) 및 구조물(300)은 포토레지스트 템플릿 마스크(312) 상에 스페이서-형성 물질층(320)의 응축을 통해 섭씨 0-100도 범위의 온도로 유지된다. 특정 실시예에서, 응축 프로세스는 약 60초 미만의 기간 동안 0-100도 범위의 온도에서 실행된다. 일 실시예에서, 포토레지스트 템플릿 마스크(312) 및 구조물(300)은 포토레지스트 템플릿 마스크(312) 상에 스페이서-형성 물질층(320)의 응축을 통해 약 80도 미만의 온도로 유지된다. 특정 실시예에서, 응축 프로세스는 약 90초 미만의 기간 동안 섭씨 약 80도 미만의 온도에서 실행된다. 특정 실시예에서, 스페이서-형성 물질층(320)은 응축 프로세스에 의해 형성된 실리콘 산화물로 구성된다. 또 다른 특정 실시예에서, 스페이서-형성 물질층(320)은 응축 프로세스에 의해 형성되며 5-15% 범위의 탄소 원자의 원자 농도를 가지는 탄소-도핑 실리콘 산화물로 구성된다. 일 실시예에서, 스페이서-형성 물질층(320)은 7% 탄소 원자의 원자 농도를 가지는 탄소-도핑 실리콘 산화물로 구성된다. 또 다른 실시예에서, O_3의 높은 농도 사용은 스페이서-형성 물질층(320)의 고도로 등각의 응축 증착을 제공한다.

[0024] 스페이서-형성 물질층(320)의 두께는 순차적으로 형성되는 스페이서 마스크에서 피처들의 폭을 결정하도록 선택될 수 있다. 따라서, 본 발명의 일 실시예에 따라, 스페이서-형성 물질층(320)의 두께는 도 3c에 도시된 것처럼, 포토레지스트 템플릿 마스크(312)의 피처들의 폭과 대략 동일하다. 빈도 증배 수단에 대해, 스페이서-형성 물질층(320)의 이상적인 두께는 포토레지스트 템플릿 마스크(312)의 피처들의 폭과 같은 것이지만, 초기 목표된 폭은 순차적으로 스페이서-형성 물질층(320)을 패터닝하는데 이용되는 식각 프로세스를 보상할 수 있도록 약간 두껍게 요구될 수 있다. 일 실시예에서, 스페이서-형성 물질층(320)의 두께는 포토레지스트 템플릿 마스크(312) 피처 폭의 약 1.06배, 즉 순차적으로 형성되는 스페이서 마스크에서의 라인들의 원하는 피처 폭의 1.06배이다.

[0025] 도 3d에 해당하는 흐름도(200)의 동작(208)을 참조로, 스페이서-형성 물질층(320)이 스페이서 마스크(330)를 제공하도록 식각된다. 스페이서 마스크(330)의 라인들은 포토레지스트 템플릿 마스크(312)의 피처들의 측벽들과 등각(conformal)이다. 따라서, 포토레지스트 템플릿 마스크(312)의 각각의 라인에 대해 스페이서 마스크(330)에 2개의 라인이 제공된다. 구조물(300)의 일부, 특히 제 1 하드 마스크층(304)의 상부 표면의 일부는 도 3d에 도시된 것처럼 스페이서-형성 물질층(320)의 식각에 따라 재-노출된다.

[0026] 스페이서-형성 물질층(320)은 정확히-제어된(well-controlled) 치수를 제공하기에 적합한 임의의 프로세스에 의해 스페이서 마스크(330)를 제공하도록 식각될 수 있다. 예를 들어, 일 실시예에서, 스페이서-형성 물질층(320)은 포토레지스트 템플릿 마스크(312)의 임계 치수와 대략 동일한 스페이서를 제공하는 프로세스에 의해 스페이서 마스크(330)를 형성하도록 식각된다. 본 발명의 일 실시예를 따라, 포토레지스트 템플릿 마스크(312)는 포토레지스트 템플릿 마스크(312)의 피처들이 노출될 때까지, 즉, 포토레지스트 템플릿 마스크(312)의 상부 표면을 덮는 모든 부분들이 제거될 때까지 식각된다. 일 실시예에서, 스페이서-형성 물질층(320)은 스페이서 마스크(330)의 라인들이 도 3d에 도시된 것처럼 포토레지스트 템플릿 마스크(312)의 피처들과 실질적으로 동일한 높이가 될 때까지 식각된다. 그러나 또 다른 실시예에서, 스페이서 마스크(330)의 라인들은 스페이서-형성 물질층(320)의 연속성(continuity)이 스페이서 마스크(330)의 라인들 위 및 그 사이에서 깨질 수 있도록, 포토레지스트 템플릿 마스크(312)의 피처들의 상부 표면 아래로 약간 리세스된다. 스페이서-형성 물질층(320)은 스페이서 마스크(330)의 스페이서 라인들이 스페이서-형성 물질층(320)의 원래 두께의 상당부(substantial portion)를 유지하도록 식각된다. 특정 실시예에서, 스페이서 마스크(330)의 각각의 라인의 상부 표면의 폭은 도 3d

에 도시된 것처럼, 스페이서 마스크(330) 및 제 1 하드 마스크층(304)의 계면에서의 폭과 거의 동일하다.

[0027] 스페이서 마스크(330)를 제공하기 위한 스페이서-형성 물질층(320)의 식각은 제 2 하드 마스크층(306)을 보호하기 위해 제 1 하드 마스크층(304)에 대해 높은 식각 선택도(selectivity)로 스페이서 마스크(330)를 형성하도록 수행될 수 있다. 특정 실시예에서, 제 1 하드 마스크층(304)은 실리콘 질화물, 비정질 실리콘 및 다결정성 실리콘으로 이루어진 그룹에서 선택된 물질로 구성되며, 스페이서-형성 물질층(320)은 실리콘 산화물 또는 탄소-도핑 실리콘 산화물로 구성되며, 스페이서-형성 물질층(320)은 C_4F_8, CH_2F_2 및 CHF_3로 이루어진 그룹에서 선택되는 가스로 건식 식각 프로세스를 이용하여 스페이서 마스크(330)를 형성하도록 식각된다.

[0028] 도 3e에 해당하는 흐름도(200)의 동작(210)을 참조로, 포토레지스트 템플릿 마스크(312)는 구조물(300) 위에 단지 스페이서 마스크(330)만이 남도록 제거된다. 본 발명의 실시예에 따라, 스페이서 마스크(330)는 소자층을 직접적으로 패터닝하는데 이용된다. 또 다른 실시예에서, 스페이서 마스크(330)는 소자층을 패터닝하는데 이용되는 식각 프로세스를 견딜수 없어, 스페이서 마스크(330)의 이미지는 하드 마스크층으로 먼저 전사된 다음 소자층으로 전사된다. 일 실시예에서, 하드 마스크층은 더블 하드 마스크층이다. 특정 실시예에서, 구조물(300)의 일부, 특히 포토레지스트 템플릿 마스크(312)에 의해 이전에 마스크처리된 제 1 하드 마스크층(304)의 상부 표면의 일부는 도 3e에 도시된 것처럼 노출된다.

[0029] 포토레지스트 템플릿 마스크(312)은 포토레지스트 템플릿 마스크(312)에 의해 이전에 커버된 제 1 하드 마스크층(304)의 부분들을 전체 노출시키기에 적합한 임의의 프로세스에 의해 제거될 수 있다. 본 발명의 실시예에 따라, 포토레지스트 템플릿 마스크(312)는 승화(sublimation) 프로세스에 의해 제거된다. 승화 프로세스는 식각 프로세스와 같은 화학적 변형과는 달리, 물리적인 변형일 수 있다. 포토레지스트 템플릿 마스크(312)를 제거하는데 이용되는 승화 프로세스는 최종적으로 포토레지스트 템플릿 마스크(312)를 가스-상으로 전환시키는 임의의 프로세스일 수 있다. 따라서, 승화란 용어는 통상적으로는 고체에서 가스 상으로의 직접적인 변환을 설명하는데 이용되지만, 본 발명에서는 포토레지스트 템플릿 마스크(312)의 가스-상 제거를 유도하는 임의의 프로세스가 승화 프로세스로서 특정화될 수 있다. 따라서, 본 발명의 실시예에 따라, 포토레지스트 템플릿 마스크(312)는 가스가 될 때까지 가열되나, 물질의 가열에 따라 가스가 되기 이전에 액체-상 및 글래스-상으로 이루어진 그룹에서 선택되는 중간 상(phase)을 나타낸다. 특정 실시예에서, 포토레지스트 템플릿 마스크(312)는 대략 섭씨 550도의 온도로 가열됨으로써 제거된다. 또 다른 특정 실시예에서, 포토레지스트 템플릿 마스크(312)는 응축 프로세스에 의해 앞서 형성된 스페이서 마스크(330)의 특성 및 치수를 크게 변형시키지 않도록 충분히 낮은 온도 및 충분히 짧은 기간 동안 가열됨으로써 제거된다. 부가적으로, 포토레지스트 템플릿 마스크(312) 폴리머를 포함할 수 있으며 관행에 따라 고체 물질로 정의되지 않을 수 있다. 그럼에도, 본 발명에서 사용되는 승화라는 용어는 폴리머를 포함하는 포토레지스트 템플릿 마스크(312)이 가스-상으로 전환되는 것을 나타내기 위해 사용된다.

[0030] 본 발명의 선택적 실시예에 따라, 포토레지스트 템플릿 마스크(312)는 제 2 하드 마스크층(306)을 식각하는 프로세스로 제거되나 제 1 하드 마스크(304)에 의해 차단된다. 일 실시예에서, 포토레지스트 템플릿 마스크(312)은 O_2 가스를 기반으로한 플라즈마를 이용하는 식각 또는 애싱(ash) 프로세스에 의해 제거된다.

[0031] 도 3f에 해당하는 흐름도(200)의 동작(212)을 참조로, 스페이서 마스크(330)의 이미지는 구조물(300)에 패터닝 마스크(340)를 형성하도록 각각 제 1 및 제 2 하드 마스크층들(304, 306)로 전사된다. 패터닝 마스크(340)는 제 1 하드 마스크 부분(340A) 및 제 2 하드 마스크 부분(340B)을 포함한다.

[0032] 스페이서 마스크(330)의 이미지는 전사 프로세스 동안 스페이서 마스크(330)의 패턴 및 치수를 신뢰성있게 유지하기에 적합한 임의의 프로세스에 의해 제 1 및 제 2 하드 마스크층들(304, 306)에 전사될 수 있다. 일 실시예에서, 스페이서 마스크(330)의 이미지는 단일-단계 식각 프로세스에서 제 1 및 제 2 하드 마스크층들(304, 306)로 전사된다. 본 발명의 또 다른 실시예에 따라, 스페이서 마스크(330)의 이미지는 각각 2개의 상이한 식각 단계들에서 제 1 하드 마스크층(304) 및 제 2 하드 마스크층(306)으로 전사된다. 일 실시예에서, 제 1 하드 마스크층(304)은 실질적으로 비정질 또는 다결정성 실리콘으로 구성되며 가스 CHF_3를 이용한 건식 식각으로 제 1 하드 마스크 부분(340A)을 형성하도록 식각된다. 또 다른 실시예에서, 제 1 하드 마스크층(304)는 실질적으로 실리콘 질화물로 구성되며 C_4F_8, Cl_2 및 HBr로 이루어진 그룹에서 선택된 가스들을 이용하는 건식 식각으로 제 1 하드 마스크 부분(340A)을 형성하도록 식각된다.

[0033] 본 발명의 실시예에 따라, 스페이서 마스크(330)의 이미지는 제 2 식각 단계에서 제 1 하드 마스크 부분(340A)에서 제 2 하드 마스크층(306)으로 전사된다. 따라서, 제 2 하드 마스크(306) 및 패터닝 마스크(340)의 제 2

하드 마스크 부분(340B)은 순차적으로 소자층(308)을 패터닝하는데 이용되는 식각 프로세스를 실질적으로 견디기에 적합한 임의의 물질로 구성될 수 있다. 일 실시예에서, 제 2 하드마스크 층(306)은 비정질 탄소를 필수적으로 함유하고(consist essentially), 도 3f에 도시된 것처럼, 패터닝 마스크(340)의 각각의 라인들에 대한 실질적으로 수직인 프로파일을 유지하는 임의의 식각 프로세스에 의해 스페이서 마스크(330)의 이미지를 이용하여 패터닝된다. 특정 실시예에서, 제 2 하드-마스크 층(306)은 비정질 탄소로 구성되며, O_2 및 N_2의 조합 또는 CH_4, N_2, 및 O_2의 조합으로 이루어진 군(群)으로부터 선택된 가스들로 이루어진 플라즈마를 이용하여 건식 식각 프로세스에 의해 패터닝 마스크(340)의 제 2 하드-마스크 부분(340B)를 형성하도록 식각된다. 스페이서 마스크(330)는 또한 도 3f에 도시된 것처럼 제거될 수도 있다. 본 발명의 일 실시예에 따라서, 스페이서 마스크(330)는 도 3d와 관련하여 기재된 것처럼 스페이서 마스크(330)를 제공하기 위해 스페이서-형성 물질층(320)을 식각하도록 사용된 식각 프로세스와 유사한 식각 프로세스에 의해 제거된다. 따라서, 일 실시예에서, 스페이서 마스크(330)는 C_4F_8, CH_2F_2 및 CHF_3 로 이루어진 군으로부터 선택된 가스를 이용하는 식각 프로세스에 의해 제거된다. 패터닝 마스크(340)의 이미지는 그 후 도 3g에 도시된 것처럼 패터닝된 소자 층(350)을 제공하도록 소자 층(308)으로 전사된다. 일 실시예에서, 패터닝된 소자 층(350)은 기판(310) 상부에 배치된다.

[0034] 따라서, 포토레지스트 템플릿으로부터 라인들의 빈도를 증배(doubling) 하는 라인들로 이루어진 패터닝 마스크(340)를 제조하는 방법이 기재되었다. 패터닝 마스크(340)는 그 후 가령 집적 회로를 위한 소자 제조용의 소자 층(308)을 패터닝하기 위해 사용될 수 있다. 본 발명의 일 실시예에 따라서, 패터닝 마스크(340)는 비정질 탄소를 필수적으로 함유하는 제 2 하드-마스크 부분(340B)를 갖는다. 소자 층(308)을 패터닝하기 위해 사용되는 식각 프로세스 동안, 비정질 탄소 물질은 패시베이션(passivation)되고 따라서 소자 층(308)의 전체 식각 내내 그 이미지와 치수를 유지할 수 있다. 따라서, 비록 스페이서 마스크(330)가 소자 층(308)을 패터닝하기 위한 원하는 치수를 가지지만, 스페이서 마스크(330)의 물질은 소자 층(308)에 정확한 이미지 전사를 견디기에 적합하지 않을 수 있다 - 즉 식각 프로세스 동안 열화할 수 있다. 따라서, 본 발명의 일 실시예에 따라서, 스페이서 마스크(330)의 이미지는 도 3e 및 3f와 관련하여 기재된 것처럼, 이미지를 소자 층(308)으로 전사하기 전에 먼저 비정질 탄소를 필수적으로 함유하는 층으로 전사된다.

[0035] 스페이서 마스크(330)를 제 1 및 제 2 하드-마스크 층(304 및 306)으로 전사하기 전에, 크로핑(cropping)된 스페이서 마스크를 형성하기 위하여 스페이서 마스크(330)를 최초로 크로핑하는 것이 바람직할 수 있다. 예를 들어, 도 3d와 관련하여 기재된 스페이서 마스크(330)를 형성하기 위하여 사용되는 식각 단계에서, 스페이서 마스크(330)로부터의 스페이서 라인들은 포토레지스트 템플릿 마스크(312)의 이웃하는 라인들 사이에서 불연속하게 이루어졌다. 그러나, 포토레지스트 템플릿 마스크(312)로부터의 동일한 라인과 연관된 스페이서 마스크(330)의 스페이서 라인들은, 포토레지스트 템플릿 마스크(312)의 라인들의 각각의 단부 주변에서 연속되게 유지된다. 본 발명의 다른 실시예에 따라서, 스페이서 마스크(330)내의 한 쌍의 스페이서 라인들 사이의 연속성은 포토레지스트 템플릿 마스크(312)의 라인들의 끝 부근에서 깨어져서 이후의 반도체 소자 제조를 위한 설계 레이아웃에서의 일층 더 유연함을 가능하게 한다. 도 4는 본 발명의 일 실시예에 따른 스페이서 마스크 크롭핑 프로세스의 단계를 나타내는 단면도를 도시한다. 일 실시예에서, 포토레지스트(490)의 층은 스페이서 마스크(430) 및 포토레지스트 템플릿 마스크(412) 상부에 증착 및 패터닝된다. 일 실시예에서, 스페이서 마스크(430)의 스페이서 라인들(480)의 단부는 포토레지스트 템플릿 마스크(412)의 제거 이전에 크로핑된 스페이서 마스크를 형성하기 위하여 식각된다. 대안의 실시예에서, 스페이서 마스크(430)로부터의 스페이서 라인들(480)의 단부는 포토레지스트 템플릿 마스크(412)의 제거 이후에 크로핑된 스페이서 마스크를 형성하기 위하여 식각된다. 특정 실시예에서, 크로핑 프로세스에서 사용되는 포토레지스트 층(490)은 포토레지스트 템플릿 마스크(412)의 제거와 동시에 순차적으로 제거된다.

[0036] 스페이서 마스크(330)를 형성함에 있어서, 템플릿 마스크(312)의 측벽과 등각의 스페이서-형성 물질층(320)의 부분 이상을 유지하는 것이 바람직할 수 있다. 따라서, 본 발명의 다른 실시예와 일치하여, 면적-보호 영역들(area-preservation regions)은 스페이서 마스크(330)의 형성 동안 유지된다. 도 5는 본 발명의 일 실시예에 따라서, 면적-보호 프로세스의 단계를 나타내는 단면도를 도시한다. 일 실시예에서, 포토레지스트(590)의 층은 식각 이전에 스페이서-형성 물질층(530) 상부에 배치된다. 그렇지 않았다면 스페이서 마스크를 형성하기 위해 사용되는 식각 단계에서 제거되었을 스페이서-형성 물질층(530)의 일부는 이러한 면적-보호 프로세스에서 유지된다. 따라서, 스페이서 마스크는 면적-보호 부분을 포함할 수 있다. 특정 실시예에서, 면적-보호 프로세스에서 사용되는 포토레지스트 층(590)은 포토레지스트 템플릿 마스크(512)의 제거와 동시에 제거된다.

[0037] 반도체 리소그래피 프로세스의 빈도는 노출된 비정질 탄소층의 존재시에 포토레지스트 템플릿 마스크를 이용하

여 증배할 수 있다. 도 2는 본 발명의 일 실시예에 따라서, 빈도 증배 제조 프로세스에서의 일련의 동작들을 나타내는 흐름도(200)이다. 도 6a-g는 본 발명의 일 실시예에 따라서, 적층 구조에 적용되는 도 2의 흐름도(200)로부터의 일련의 동작들을 나타내는 단면도를 도시한다.

[0038] 흐름도(200)의 동작(202) 및 대응하는 도 6a를 참조하여, 상부에 포토레지스트층(602)이 형성된 구조(600)가 제공된다. 구조 600은 비정질 탄소 하드-마스크 층(606), 소자 층(608) 및 기판(610)으로 이루어진다. 본 발명의 일 실시예에 따라서, 포토레지스트층(602)은 도 6a에 도시된 비정질 탄소 하드-마스크 층(606)상에 직접 형성된다. 포토레지스트층(602), 소자 층(608) 및 기판(610)은 각각 도 3의 포토레지스트층(302), 소자 층(308) 및 기판(310)과 관련하여 기재된 임의의 물질로 이루어지고 이와 관련하여 기재된 임의의 치수를 가질 수 있다. 비정질 탄소 하드-마스크 층(606)은 도 3a의 제 2 하드 마스크층(306)과 관련하여 기재된 비정질 탄소 막으로 이루어지고 이와 관련하여 기재된 임의의 치수를 가질 수 있다.

[0039] 흐름도(200)의 동작(204) 및 대응하는 도 6b를 참조하여, 포토레지스트층(602)이 포토레지스트 템플릿 마스크(612)를 형성하도록 패터닝된다. 구조 600의 일부 및 특히 비정질 탄소 하드-마스크 층(606)의 상부면의 일부는 도 6b에 도시된 것처럼 포토레지스트층(602)을 패터닝할 때 노출된다. 포토레지스트층(602)은 도 3b의 포토레지스트층(302)의 패터닝과 관련하여 기재된 임의의 기술 및 임의의 치수로 포토레지스트 템플릿 마스크(612)를 형성하도록 패터닝될 수 있다. 그러나, 본 발명의 일 실시예에 따라서, 비정질 탄소 하드-마스크 층(606)의 상부면은 포토레지스트 템플릿 마스크(612)를 형성하도록 포토레지스트층(602)을 패터닝할 때 노출되므로, 포토레지스트층(602)을 트리밍하기 위해 사용되는 O_2 기반의 플라즈마를 이용하는 임의의 트리밍 프로세스는 비정질 탄소 하드-마스크 층(606)에 현저하게 영향을 주지 않도록 충분히 짧은 지속기간을 갖는다.

[0040] 흐름도(200)의 동작(206) 및 대응하는 도 6c를 참조하여, 스페이서-형성 물질층(620)이 포토레지스트 템플릿 마스크(612) 및 비정질 탄소 하드-마스크 층(606)의 노출된 부분 상부에 증착되고 이와 등각이다. 스페이서-형성 물질층(620)은, 궁극적으로 포토레지스트 템플릿 마스크를 기초로 한 빈도 증배 수단에 사용하기 위한 스페이서 마스크가 될 것에 대한 물질의 소스이다. 스페이서-형성 물질층(620)은 도 3c의 스페이서-형성 물질층(320)과 관련하여 기재된 임의의 물질로 이루어지고 이와 관련하여 기재된 임의의 치수를 가질 수 있다. 따라서, 본 발명의 일 실시예에 따라서, 스페이서-형성 물질층(620)은 저온 응축 프로세스에 의해 증착된 물질로 이루어진다.

[0041] 흐름도(200)의 동작(206) 및 대응하는 도 6d를 참조하여, 스페이서-형성 물질층(620)이 스페이서 마스크(630)를 제공하도록 식각된다. 스페이서 마스크(630)의 라인들은 포토레지스트 템플릿 마스크(612)의 피쳐들의 측벽들과 등각이다. 따라서, 포토레지스트 템플릿 마스크(612)의 모든 라인들에 대하여 스페이서 마스크(630)에 대한 두 개의 라인들이 존재한다. 구조 600의 일부와 특히, 비정질 탄소 하드-마스크 층(606)의 상부면의 일부는 도 6d에 도시된 것처럼 스페이서-형성 물질층(620)을 식각할 때 다시 노출된다. 스페이서-형성 물질층(620)은 도 3d에서 스페이서 마스크(330)을 제공하기 위해 스페이서-형성 물질층(320)의 식각과 관련하여 기재된 임의의 프로세스에 의해 스페이서 마스크(630)를 제공하기 위해 식각될 수 있다. 그러나, 본 발명의 일 실시예에 따라서, 스페이서-형성 물질층(620)은 비정질 탄소 하드-마스크 층(606)에 대한 실질적인 선택도를 이용하여 식각된다. 예를 들어, 일 실시예에서, 스페이서-형성 물질층(620)의 식각 동안 제거되는 비정질 탄소 하드-마스크 층(606)의 노출된 부분의 두께는 비정질 탄소 하드-마스크 층(606)의 총 두께의 0-5%의 범위이다. 특정 실시예에서, 스페이서-형성 물질층(620)은 실리콘 산화물 또는 탄소 도핑 실리콘 산화물로 이루어지며, 스페이서-형성 물질층(620)의 식각을 완결하기에 충분히 긴 그러나, 비정질 탄소 하드-마스크 층(606)에 실질적으로 영향을 주지 않을 만큼 충분히 짧은 지속기간 동안 C_4F_8, C_2F_2 및 CHF_3 로 이루어진 군으로부터 선택된 가스를 이용하는 건식 식각 프로세스를 이용하여 스페이서 마스크(630)를 형성하도록 식각된다.

[0042] 흐름도(200)의 동작(210) 및 대응하는 도 6e를 참조하여, 포토레지스트 템플릿 마스크(612)는 제거되어 구조 600 상부에 단지 스페이서 마스크(630)만을 남긴다. 포토레지스트 템플릿 마스크(612)에 의해 이전에 마스킹되었던 구조 600의 일부 및 특히, 비정질 탄소 하드-마스크 층(606)의 상부면의 일부는 이제 도 6e에 도시된 것처럼 노출된다.

[0043] 포토레지스트 템플릿 마스크(612)는 포토레지스트 템플릿 마스크(612)에 의해 이전에 덮혀 있었던 비정질 탄소 하드-마스크 층(606)의 일부를 완전히 노출시키기에 적절한 임의의 프로세스에 의해 비정질 탄소 하드-마스크 층(606)에 실질적으로 영향을 주지 않고 제거될 수 있다. 따라서, 본 발명의 일 실시예에 따라서, 포토레지스트 템플릿 마스크(612)는 비정질 탄소 하드-마스크 층(606)에 큰 선택비를 갖는 프로세스를 이용하여 제거된다. 제 2 하드-마스크 층(306) 및 비정질 탄소 하드-마스크 층(606)과 관련하여 기재된 비정질 탄소 막은 포토레지스트 템플릿 마스크(612)의 식각 특성과 유사한 식각 특성을 가진다. 따라서, 포토레지스트 템플릿 마스크

(612)는 식각 프로세스에 의해 비정질 탄소 하드-마스크 층(606)에 대한 선택비를 가지며 제거될 수 없는 경우일 수 있다. 그러나, 제 2 하드-마스크 층(306) 및 비정질 탄소 하드-마스크 층(606)과 관련하여 기재된 비정질 탄소 막은 일반적으로 100℃를 훨씬 초과하는 녹는점을 가진다. 따라서, 일 실시예에서, 포토레지스트 템플릿 마스크(612) 및 비정질 탄소 하드-마스크 층(606)의 식각 특성이 유사하지만, 이들의 열적 거동은 상이하다. 특정 실시예에서, 포토레지스트 템플릿 마스크(612)는 도 3e의 포토레지스트 템플릿 마스크(312)의 제거와 관련하여 기재된 승화(sublimation) 프로세스에 의해 비정질 탄소 하드-마스크 층(606)에 대한 총 선택비를 가지며 제거된다. 특정 실시예에서, 포토레지스트 템플릿 마스크(612)는 약 550℃의 온도로 가열함으로써 제거된다.

[0044] 흐름도(200)의 동작(212) 및 대응하는 도 6f를 참조하여, 스페이서 마스크(630)의 이미지는 그 후 구조 600의 패터닝 마스크(640)를 형성하도록 비정질 탄소 하드-마스크 층(606)에 전사된다. 스페이서 마스크(630)의 이미지는, 도 3f의 제 2 하드-마스크 층(306)으로의 스페이서 마스크(330)의 이미지의 전사와 관련하여 기재된 임의의 프로세스에 의해, 비정질 탄소 하드-마스크 층(606)으로 전사될 수 있다. 따라서, 본 발명의 일 실시예에 따라서, 스페이서 마스크(630)의 이미지는 스페이서 마스크(630)로부터 비정질 탄소 하드-마스크 층(606)으로 직접 전사된다. 특정 실시예에서, 비정질 탄소 하드-마스크 층(606)은 O_2 및 N_2의 조합 또는 CH_4, N_2, 및 O_2의 조합으로 이루어진 군으로부터 선택된 가스들로 이루어진 플라즈마를 이용하여 건식 식각 프로세스에 의해 패터닝 마스크(640)를 형성하도록 식각된다. 스페이서 마스크(630)는 도 6f에 도시된 것처럼 제거될 수 있다. 패터닝 마스크(340)의 이미지는 그 후 도 6g에 도시된 것처럼 패터닝된 소자 층(650)을 제공하도록 소자 층(608)으로 전사될 수 있다. 일 실시예에서, 패터닝 소자층(650)은 기판 상부에 배치된다.

[0045] 도 4와 관련하여 기재된 것처럼, 스페이서 마스크(630)를 비정질 탄소 하드-마스크 층(606)로 전사하기 전에, 크로핑된 스페이서 마스크를 형성하도록 스페이서 마스크(630)를 먼저 크로핑하는 것이 바람직할 수 있다. 따라서, 본 발명의 일 실시예에 따라서, 포토레지스트의 층은 스페이서 마스크(630) 및 비정질 탄소 하드-마스크 층(606)의 노출된 부분 상부에 증착 및 패터닝된다. 일 실시예에서, 크로핑 프로세스에서 사용된 포토레지스트 층은 비정질 탄소 하드-마스크 층(606)의 노출된 부분들에 실질적으로 영향을 주지 않기 위하여 승화 프로세스에 의해 제거된다.

[0046] 도 5와 관련하여 기재된 것처럼, 스페이서 마스크(630)를 형성함에 있어서, 면적-보호 영역들을 유지하는 것이 바람직할 수 있다. 따라서, 본 발명의 일 실시예에 따라서, 포토레지스트의 층은 식각 이전에 스페이서-형성 물질층(620) 상부에 증착 및 패터닝되며 비정질 탄소 하드-마스크 층(606)의 상부면의 일부분의 노출시에 여전히 존재한다. 일 실시예에서, 면적-보호 프로세스에 사용되는 포토레지스트 층은 비정질 탄소 하드-마스크 층(606)의 노출된 부분에 실질적으로 영향을 주지 않기 위하여 승화 프로세스에 의해 제거된다.

[0047] 따라서, 포토레지스트 템플릿 마스크를 이용하여 리소그래피 프로세스의 빈도를 증배(doubling)하는 방법이 개시되었다. 본 발명의 일 실시예에 따라서, 상부에 포토레지스트 층이 형성된 적층 구조가 먼저 제공된다. 포토레지스트 층은 그 후 포토레지스트 템플릿 마스크를 형성하고 적층 구조의 일부를 노출시키도록 패터닝된다. 일 실시예에서,스페이서-형성 물질층이 그 후 포토레지스트 템플릿 마스크의 상부 및 적층 구조의 노출된 부분 상부에 증착된다. 스페이서-형성 물질층은 이후에 스페이서 마스크를 형성하고 포토레지스트 템플릿 마스크를 노출시키도록 식각된다. 특정 실시예에서, 포토레지스트 템플릿 마스크는 마지막으로 제거되고 스페이서 마스크의 이미지가 적층 구조물로 전사된다.

도면의 간단한 설명

[0048] 도 1a-c는 종래 기술에 따른 종래의 반도체 리소그래픽 프로세스를 나타내는 횡단면도들을 도시한다.

[0049] 도 2는 본 발명의 일실시예에 따른 빈도 증배 제조 프로세스의 일련의 동작들을 나타내는 흐름도(200)이다.

[0050] 도 3a-g는 본 발명의 일실시예에 따른 적층(layered) 구조물에 적용된 바와 같은 도 2의 흐름도(200)로부터의 일련의 동작들을 나타내는 횡단면도들을 도시한다.

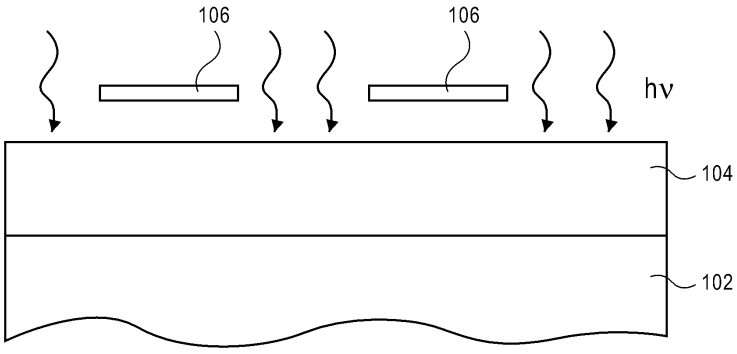
[0051] 도 4는 본 발명의 일실시예에 따른 스페이서 마스크 크로핑 프로세스의 단계를 나타내는 횡단면도를 도시한다.

[0052] 도 5는 본 발명의 일실시예에 따른 영역-보존 프로세스의 단계를 나타내는 횡단면도를 도시한다.

[0053] 도 6a-g는 본 발명의 일실시예에 따른 적층 구조물에 적용된 바와 같은 도 2의 흐름도(200)로부터의 일련의 동작들을 나타내는 횡단면도들을 도시한다.

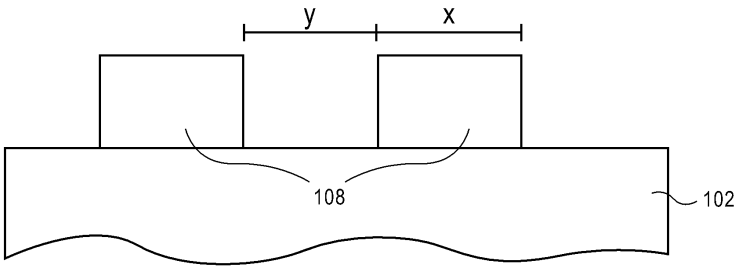
도면

도면1a



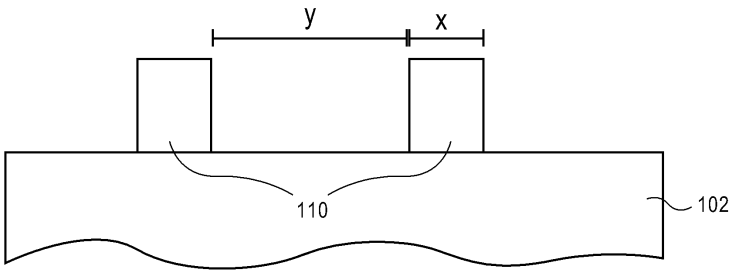
(종래기술)

도면1b



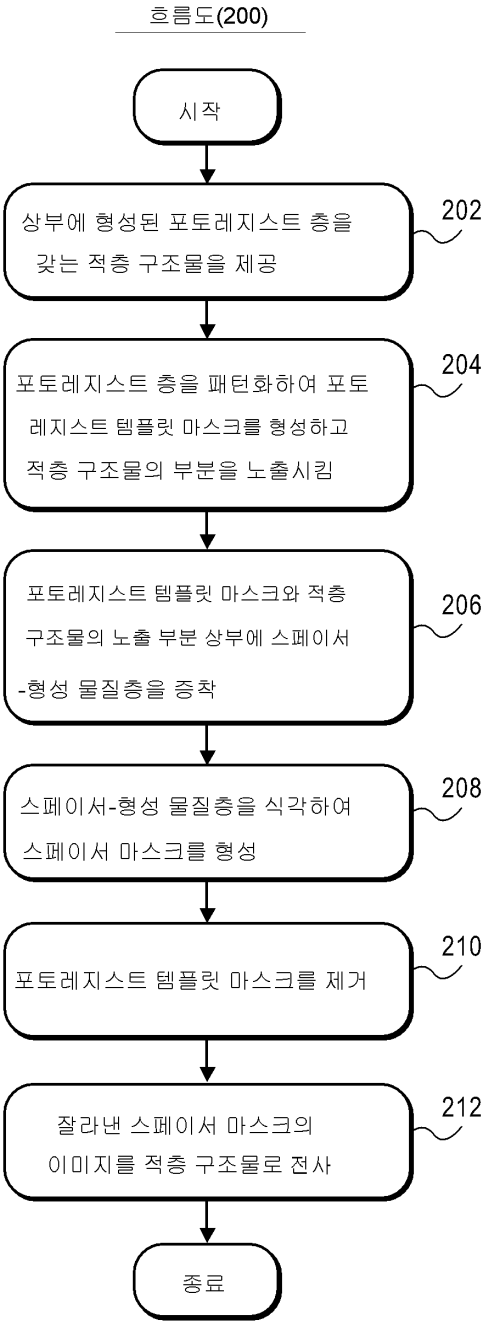
(종래기술)

도면1c

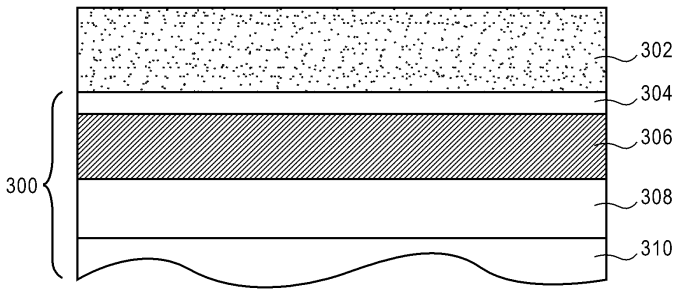


(종래기술)

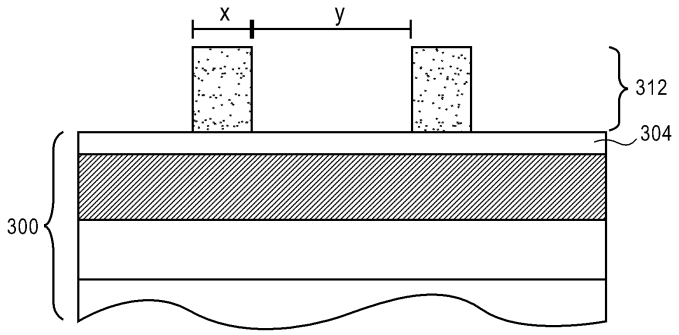
도면2


흐름도(200)
시작
상부에 형성된 포토레지스트 층을 갖는 적층 구조물을 제공
202
포토레지스트 층을 패턴화하여 포토레지스트 템플릿 마스크를 형성하고 적층 구조물의 부분을 노출시킴
204
포토레지스트 템플릿 마스크와 적층 구조물의 노출 부분 상부에 스페이서-형성 물질층을 증착
206
스페이서-형성 물질층을 식각하여 스페이서 마스크를 형성
208
포토레지스트 템플릿 마스크를 제거
210
잘라낸 스페이서 마스크의 이미지를 적층 구조물로 전사
212
종료

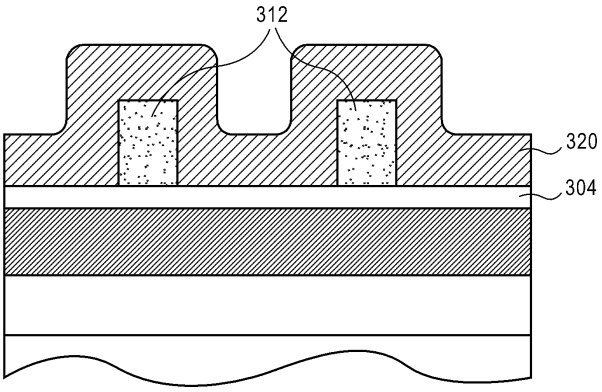
도면3a



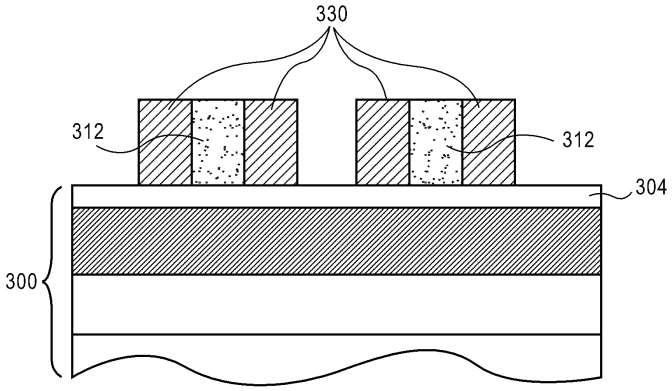
도면3b



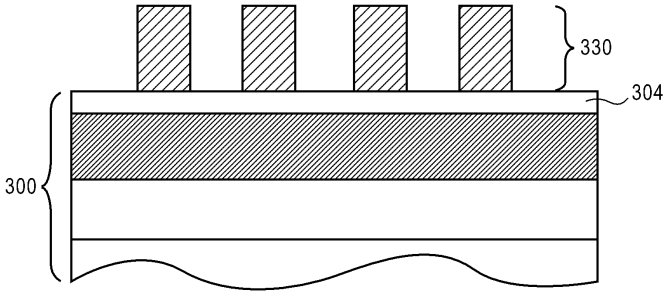
도면3c



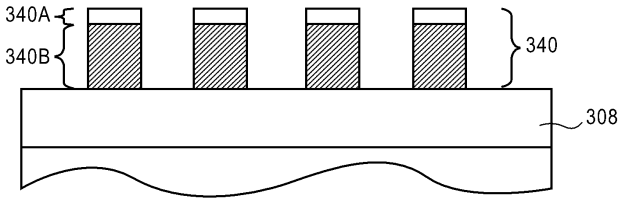
도면3d



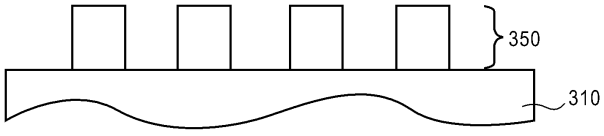
도면3e



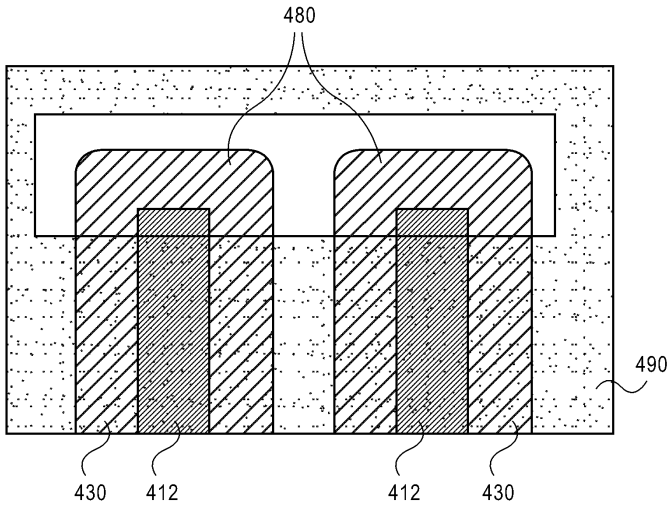
도면3f



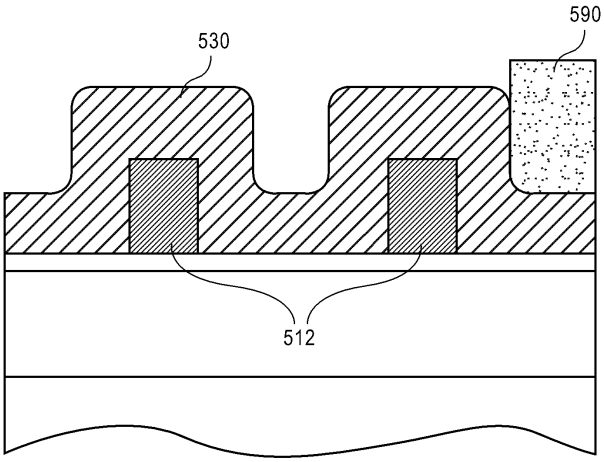
도면3g



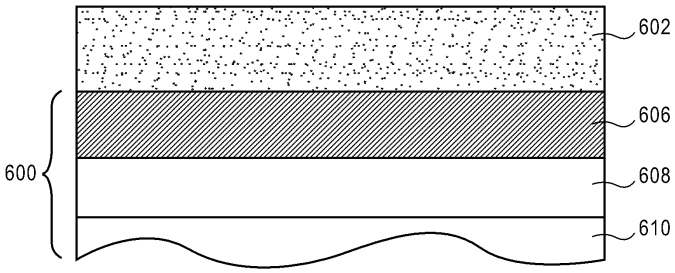
도면4



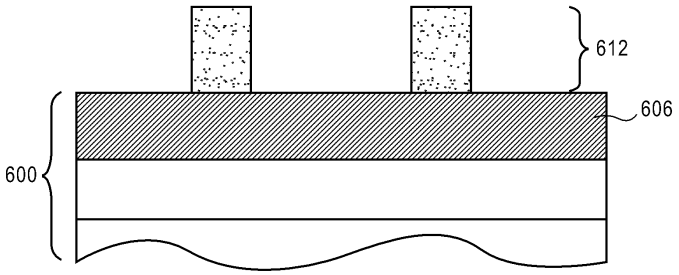
도면5



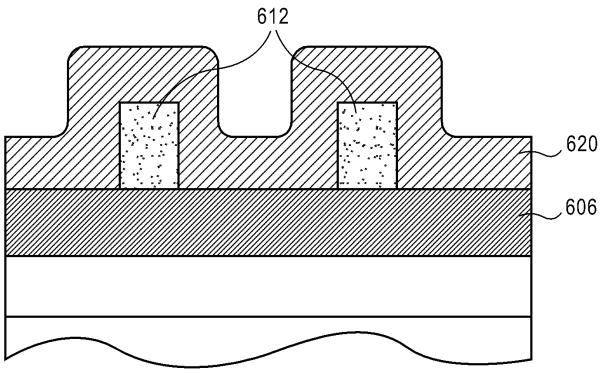
도면6a



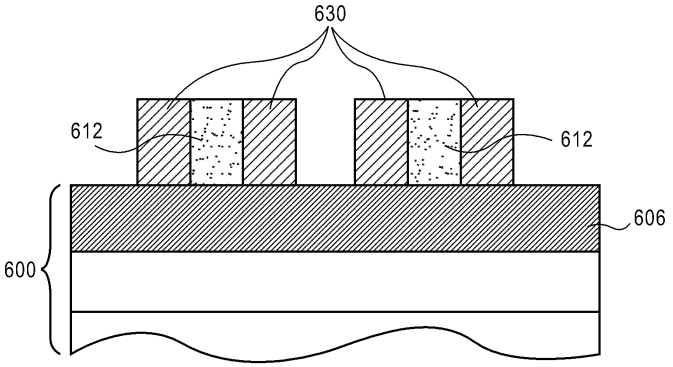
도면6b



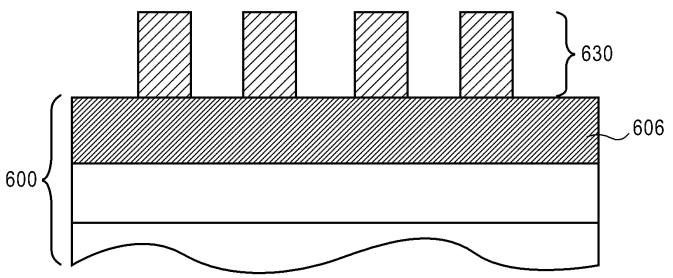
도면6c



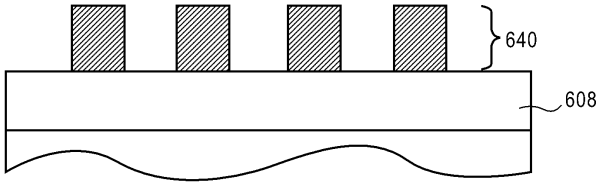
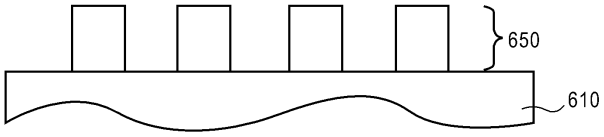
도면6d



도면6e



도면6f



도면6g