

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H01L 27/115	(45) 공고일자 1999년04월 15일	(11) 등록번호 특0179000
(21) 출원번호 특1991-000644	(65) 공개번호 특1992-015582	(24) 등록일자 1998년11월26일
(22) 출원일자 1991년01월 16일	(43) 공개일자 1992년08월 27일	
(73) 특허권자 엘지반도체주식회사	문정환	
(72) 발명자 박준영	충청북도 청주시 흥덕구 향정동 1번지	
(74) 대리인 김용인, 심창섭	서울특별시 송파구 가락동 174번지 9호	

심사관 : 김종찬

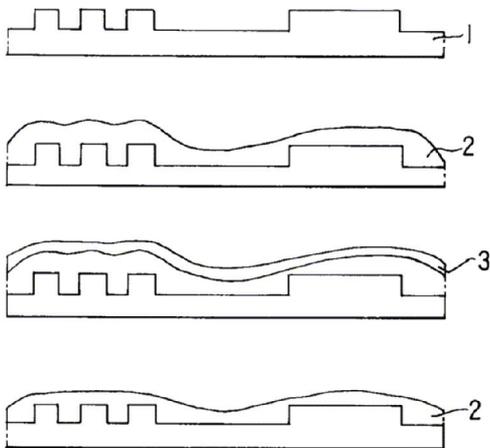
(54) 반도체 장치의 평탄화방법

요약

포토리소스트막을 이용하여 토폴로지가 심한층에 적합한 반도체 장치의 평탄화방법에 관한 것으로, 반도체 장치의 제조공정에 있어서, 웨이퍼상에 유전체막, 제1포토리소스트막을 차례로 도포하는 공정과, 단차가 넓게 형성된 부분 이외의 제1포토리소스트막을 제거하는 공정과, 남아 있는 제1포토리소스트막에 자외선 큐어링을 실시하는 공정과, 전면에 제2포토리소스트막을 도포하는 공정과, 에치백하여 평탄화하는 공정으로 이루어진다.

반도체 장치의 평탄화를 거의 완벽하면서도 용이하게 얻을 수 있으며, 또한 단순한 공정의 조합이므로 공정상 어려움이 없고 코스트의 감소에 기여할 수 있는 이점이 있다.

대표도



명세서

[발명의 명칭]

반도체 장치의 평탄화방법

[도면의 간단한 설명]

제1도(a)-(d)는 종래의 평탄화공정도.

제2도(a)-(g)는 본 발명에 따른 평탄화공정도이다.

\* 도면의 주요부분에 대한 부호의 설명

11 : 웨이퍼

12 : 유전체막

13, 14 : 포토레지스트

[발명의 상세한 설명]

본 발명은 반도체 장치의 제조공정에 관한 것으로, 특히 포토레지스트막을 이용하여 토폴로지가 심한 층에 적합한 반도체 장치의 평탄화방법에 관한 것이다.

일반적으로, 더블메탈을 사용하는 반도체 장치의 제조시에는 1차메탈을 도포하고 IMD(Inter-Metal-Dielectric)를 증착한 수 콘택을 형성하고 2차메탈을 도포하는 공정을 진행하게 되는데 1차메탈에 의한 토폴로지 때문에 이후 공정 진행에 어려움을 주게 된다.

이것을 완화시키기 위하여 평탄화공정을 실시하는데 종래에는 유전체막상에 포토레지스트막을 코팅한 후에 에칭하는 에치백(Etch-Back) 공정을 사용하였다.

제1도(a)-(d)를 참조하여 설명하면, 우선 토폴로지가 있는 웨이퍼(11)상에 유전체막(2)을 도포한 후(제1도(a)(b)), 그 위에 포토레지스트막(3)을 코팅하고, 유전체막(2)과 포토레지스트막(3)이 비슷한 에치비를 갖는 조건으로 에치백하여 평탄화한다(제1도(c)(d)).

그 후 완전한 평탄화를 위해서는 상술한 공정을 반복하여 실시하게 된다.

그러나, 이러한 종래기술은 평탄화의 정도가 우수한 패턴을 얻기 위해서는 에치백 공정을 여러번 반복수행하여야 하는 문제점이 있었다.

본 발명은 이와 같은 문제점을 해결하기 위한 것으로, 본 발명의 목적은 기존의 에치백공정을 사용하면 서도 우수한 평탄화를 용이하게 얻을 수 있도록 한 반도체 장치의 평탄화방법을 제공하는 것이다.

이와 같은 목적을 달성하기 위한 본 발명의 특징은 반도체장치의 제조공정에 있어서, 웨이퍼상에 유전체막, 제1포토레지스트막을 차례로 도포하는 공정과, 단차가 넓게 형성된 부분 이외의 제1포토레지스트막을 제거하는 공정과, 남아 있는 제1포토레지스트막에 자외선 큐어링을 실시하는 공정과, 전면에 제2포토레지스트막을 도포하는 공정과, 에치백하여 평탄화하는 공정으로 이루어진 반도체 장치의 평탄화방법에 있다.

이하, 본 발명을 첨부도면에 의하여 상세히 설명한다.

제2도(a)-(g)는 본 발명에 따른 평탄화공정도로서, 우선 제2도(a)(b)(c)에 도시한 바와 같이 토폴로지가 있는 웨이퍼(11)상에 유전체막(12)을 도포하고 그 위에 포토레지스트막(13)을 코팅한다.

그 후, 제2도(d)와 같이 단차가 넓게 형성된 부분 이외의 포토레지스트막(13)을 제거한 다음, 제2도(e)와 같이 다음에 코팅될 다른 포토레지스트막(14)과의 상호작용을 방지하기 위하여 포토레지스트막(13)에 자외선 큐어링(Ultraviolet Curing)을 실시한다.

제2도(f)에 도시한 바와 같이, 전면에 다른 포토레지스트막(14)을 코팅한 후, 에치백하여 평탄화하면 제2도(g)와 같은 거의 완벽한 평탄화를 얻을 수 있게 된다.

이상 설명한 바와 같이, 본 발명에 따르면 반도체 장치의 평탄화를 거의 완벽하면서도 용이하게 얻을 수 있으며, 또한 단순한 공정의 조합이므로 공정상 어려움이 없고 코스트의 감소에 기여할 수 있는 이점이 있다.

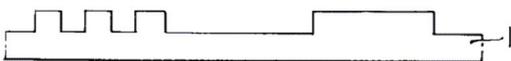
**(57) 청구의 범위**

**청구항 1**

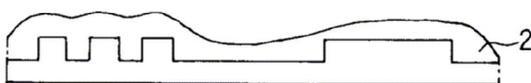
반도체 장치의 제조공정에 있어서, 웨이퍼상에 유전체막, 제1포토레지스트막을 차례로 도포하는 공정과, 단차가 넓게 형성된 부분 이외의 상기 제1포토레지스트막을 제거하는 공정과, 남아 있는 상기 제1포토레지스트막에 자외선 큐어링을 실시하는 공정과, 전면에 제2포토레지스트막을 도포하는 공정과, 에치백하여 평탄화하는 공정으로 이루어진 반도체 장치의 평탄화방법.

**도면**

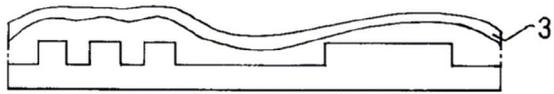
도면 1a



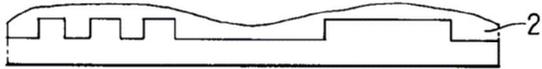
도면 1b



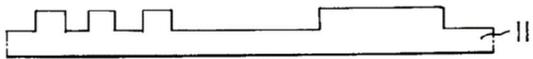
도면1c



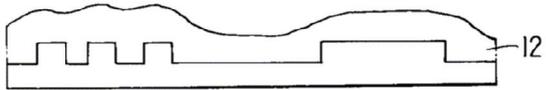
도면1d



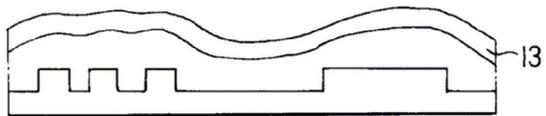
도면2a



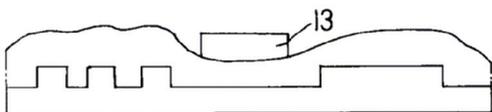
도면2b



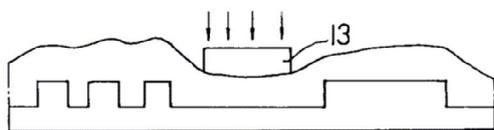
도면2c



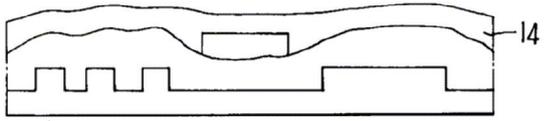
도면2d



도면2e



도면2f



도면2g

